

UM ESTUDO COMPARATIVO DE TÉCNICAS DE CHAVEAMENTO DE
CONVERSORES TRÊS NÍVEIS

Vinícius Maciel Pinto

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Maurício Aredes, Dr.-Ing.

Prof. José Luiz da Silva Neto, Ph.D.

Prof. Luís Guilherme Barbosa Rolim, Dr.-Ing.

Prof. Maria Dias Bellar, Ph.D.

RIO DE JANEIRO, RJ - BRASIL

JULHO DE 2005

PINTO, VINÍCIUS MACIEL

Um Estudo Comparativo de Técnicas de Chaveamento de Conversores Três Níveis [Rio de Janeiro] 2005

XIV, 103 p. 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 2005)

Dissertação – Universidade Federal do Rio de Janeiro, COPPE

1. Filtros Ativos
2. Qualidade de Energia
3. Conversor Três Níveis

I. COPPE/UFRJ II. Título (série)

AGRADECIMENTOS:

Aos colegas, professores, familiares e amigos gostaria de prestar os meus agradecimentos com algumas palavras.

Ao mestre e amigo **Prof. Maurício Aredes**, o meu agradecimento por seu apoio e orientação ao longo do mestrado, contribuindo muito para o bom andamento do trabalho.

Aos professores do grupo de Eletrônica de Potência, **Edson Watanabe, Richard Stephan, Luís Guilherme Rolim, José Luiz Neto e Walter Suemitsu**, por suas contribuições durante a realização do mestrado, permitindo solidificar os meus conhecimentos em Eletrônica de Potência.

Aos colegas do laboratório de eletrônica de potência **Fábio Domingues de Jesus, Rodrigo Martins Fernandes, Júlio César Carvalho Ferreira, Fernando José Giffoni, Eumir Vergara e Luís Fernando Costa Monteiro**, pela ajuda, pela amizade e companheirismo durante esses anos de uma agradável convivência.

Aos novos e muitos colegas do laboratório de eletrônica de potência, por essa convivência agradável permitindo colher bons frutos, com um bom ambiente de trabalho. Desculpas por não mencionar o nome de cada um de vocês. Mas tenham a certeza de que o carinho que tenho por cada um de vocês é enorme.

Aos familiares e amigos não mencionados e não esquecidos, contribuindo para a minha formação como pessoa. Em especial aos meus pais e ao meu irmão pelo amor e carinho prestados em todos os momentos da minha vida.

A todos vocês, de coração, o meu MUITO OBRIGADO!

Eu dedico este trabalho à minha amada família pelo amor e carinho ao longo da minha vida. Todo este esforço e trabalho não teriam sentido se eu não a tivesse ao meu lado.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

UM ESTUDO COMPARATIVO DE TÉCNICAS DE CHAVEAMENTO DE CONVERSORES TRÊS NÍVEIS

Vinícius Maciel Pinto

Julho/2005

Orientador: Maurício Aredes

Programa: Engenharia Elétrica

Neste trabalho, são propostas duas estratégias de chaveamento para conversores três níveis (Neutral Point Clamped - NPC) aplicados como filtros ativos. A primeira estratégia é baseada em comparadores três níveis e em uma tabela de chaveamento. Nesta tabela estão alocados os 27 vetores de chaveamento possíveis de serem sintetizados por um conversor NPC. A segunda técnica de chaveamento é baseada na modulação por vetor espacial (Space Vector Modulation – SVM). O princípio básico desta estratégia de chaveamento é sintetizar um vetor girante de referência através da combinação linear dos vetores de chaveamento padrão. Para validar estas estratégias de chaveamento propostas, resultados de simulação do condicionador universal de qualidade de energia UPQC (Unified Power Quality Conditioner) são mostrados.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

A COMPARATIVE STUDY OF SWITCHING TECHNIQUES OF THE THREE
LEVEL CONVERTERS

Vinícius Maciel Pinto

July/2005

Advisor: Maurício Aredes

Department: Electrical Engineering

In this work, two switching strategies for three level converters (Neutral Point Clamped - NPC) operating as an active filter are presented. The first switching strategy is based on a three level comparators and a switching table. The 27 basic switching vectors that NPC converters can synthesize are allocated in this switching table. The second switching technique is based on a Space Vector Modulation (SVM). The principle of this strategy is to synthesize the rotating reference vector through the linear combination of the basic switching vectors. Simulation results of the Unified Power Quality Conditioner (UPQC) are shown in order to validate the proposed switching strategies.

SUMÁRIO

<u>1</u>	<u>INTRODUÇÃO.....</u>	<u>1</u>
1.1	MOTIVAÇÕES PARA O TRABALHO.....	2
1.2	REVISÃO DE PESQUISAS REALIZADAS COM CONVERSORES MULTINÍVEIS	4
1.3	OBJETIVOS	5
1.4	RESUMO DOS PRINCIPAIS TÓPICOS	6
<u>2</u>	<u>CONVERSORES MULTINÍVEIS E SUAS APLICAÇÕES.....</u>	<u>8</u>
2.1	PRINCÍPIO DE FUNCIONAMENTO DO INVERSOR MULTINÍVEL.....	9
2.2	CONVERSORES MULTINÍVEIS COM DIODOS DE GRAMPEAMENTO.....	12
2.3	CONVERSORES MULTINÍVEIS COM CAPACITOR DE GRAMPEAMENTO	16
2.4	CONVERSORES MULTINÍVEIS PONTE COMPLETA EM CASCATA	18
2.5	OUTRAS ESTRUTURAS DE CONVERSORES MULTINÍVEIS	21
2.6	CONCLUSÕES PARCIAIS	25
<u>3</u>	<u>TÉCNICAS DE CHAVEAMENTO</u>	<u>26</u>
3.1	MÉTODOS DE CHAVEAMENTO PARA CONVERSORES MULTINÍVEIS	26
3.2	TÉCNICAS DE CHAVEAMENTO OPERANDO EM ALTA FREQUÊNCIA.....	27
3.3	TÉCNICAS DE CHAVEAMENTO OPERANDO NA FREQUÊNCIA FUNDAMENTAL	28
3.4	CONTROLADOR BASEADO EM COMPARADORES TRÊS NÍVEIS	28
3.5	TÉCNICA DE MODULAÇÃO POR VETOR ESPACIAL (SPACE VECTOR MODULATION).....	31
3.6	ESTADOS DE CHAVEAMENTO, VETORES DE CHAVEAMENTO E VETOR DE REFERÊNCIA	33
3.7	DESCRIÇÃO DO MODULADOR POR VETOR ESPACIAL PWM.....	35
3.8	DETERMINAÇÃO DOS SEXTANTES E DAS REGIÕES.....	36
3.9	DETERMINAÇÃO DOS CICLOS DE TRABALHO (DUTY CYCLES) E DA SEQUÊNCIA DOS VETORES DE CHAVEAMENTO	44

3.9	COMPORTAMENTO DAS TENSÕES NOS CAPACITORES DO BARRAMENTO CONTÍNUO	50
3.10	CONCLUSÕES PARCIAIS	55
4	<u>O CONDICIONADOR UNIVERSAL DE QUALIDADE DE ENERGIA (UPQC).....</u>	56
4.1	PRINCÍPIO DO FILTRO ATIVO PARALELO	56
4.2	PRINCÍPIO DO FILTRO ATIVO SÉRIE.....	58
4.3	DESCRIÇÃO DO CONDICIONADOR UNIVERSAL DE QUALIDADE DE ENERGIA - UPQC	59
4.4	CIRCUITO DE POTÊNCIA DO UPQC E DESCRIÇÃO DO SISTEMA SIMULADO	61
4.5	ESTRATÉGIA DE CONTROLE DO UPQC.....	64
4.6	DETECTOR DE SEQUÊNCIA POSITIVA (V_{+1})	64
4.7	CÁLCULO DAS CORRENTES DE COMPENSAÇÃO.....	66
4.8	CONTROLE DE AMORTECIMENTO	68
4.9	MALHA DA MODULAÇÃO POR VETOR ESPACIAL (SVM).	71
4.10	INICIALIZAÇÃO DO UPQC NO SISTEMA.	72
4.11	RESULTADOS DE SIMULAÇÃO DA TÉCNICA DE CHAVEAMENTO BASEADA EM COMPARADORES TRÊS NÍVEIS NO UPQC.....	75
4.12	RESULTADO DA SIMULAÇÃO UTILIZANDO MODULAÇÃO POR VETOR ESPACIAL NO UPQC.....	82
4.12	CONCLUSÕES PARCIAIS	91
5	<u>CONCLUSÕES.....</u>	94
5.1	SUGESTÕES PARA TRABALHOS FUTUROS.....	95
6	<u>REFERÊNCIAS BIBLIOGRÁFICAS</u>	97
7	<u>ANEXOS</u>	100

LISTA DE FIGURAS

FIG.1- 1 - PRINCÍPIO BÁSICO DE FUNCIONAMENTO DO UPQC.....	3
FIG.2- 2 - RAMOS DOS INVERSORES COM (A) DOIS NÍVEIS, (B) TRÊS NÍVEIS E (C) N-NÍVEIS.	10
FIG.2- 3 - DIAGRAMA COM AS TOPOLOGIAS MULTINÍVEIS	11
FIG.2- 4 - TOPOLOGIA DO CONVERSOR DOIS NÍVEIS.	11
FIG.2- 5 - BARRAMENTO CC E UMA FASE DO CONVERSOR DA TOPOLOGIA COM DIODO GRAMPEADOR.	12
FIG.2- 6 – TOPOLOGIA DO CONVERSOR TRÊS NÍVEIS (NPC).....	13
FIG.2- 7 - GRUPO DE CHAVES NO CONVERSOR TRÊS NÍVEIS.	14
FIG.2- 8 - RAMO MONOFÁSICO DA TOPOLOGIA DE UM CONVERSOR CAPACITOR GRAMPEADO ...	16
FIG.2- 9 - A CIRCULAÇÃO DE CORRENTE NO INVERSOR NOS ESTADOS DE CHAVEAMENTO	17
FIG.2- 10 - CIRCUITO DA TOPOLOGIA DO INVERSOR TRÊS NÍVEIS COM CAPACITOR FLUTUANTE	18
FIG.2- 11 - RAMO MONOFÁSICO DA TOPOLOGIA DE UM CONVERSOR PONTE COMPLETA EM CASCATA DE 9 NÍVEIS	21
FIG.2- 12 - ESTRUTURA DO INVERSOR MULTINÍVEL GENERALIZADO P2.....	22
FIG.2- 12 - CONFIGURAÇÃO DE UMA CÉLULA HÍBRIDA UTILIZANDO O INVERSOR TRÊS NÍVEIS COM CAPACITOR GRAMPEADO NA CÉLULA DE INVERSOR EM PONTE COMPLETA EM CASCATA	23
FIG.2- 133 – CÉLULA DE INVERSOR EM CASCATA HÍBRIDA ASSIMÉTRICA COM DIFERENTES NÍVEIS DE TENSÃO.....	23
FIG.2- 14 – FORMAS DE ONDA DAS TENSÕES DE FASE E DE LINHA NA SAÍDA DO INVERSOR COM CÉLULA ASSIMÉTRICA	24
FIG.3- 1 - DIAGRAMA APRESENTANDO AS TÉCNICAS DE MODULAÇÃO APLICADAS EM CONVERSORES MULTINÍVEIS.....	27
FIG.3- 2 - ESQUEMA DO CONTROLADOR DE CORRENTE BASEADO EM COMPARADORES	29
FIG.3- 3 - COMPARADOR TRÊS NÍVEIS AMPLIADO	29
FIG.3- 4 - HEXÁGONO REPRESENTANDO OS VETORES DE CHAVEAMENTO ALOCADOS NA TABELA DE CHAVEAMENTO.....	30
FIG.3- 5 - ESQUEMA DO CONTROLADOR DE TENSÃO BASEADO EM COMPARADORES.....	31
FIG.3- 6 - HEXÁGONO MOSTRANDO OS VETORES BÁSICOS DISPONIBILIZADOS EM UM INVERSOR DOIS NÍVEIS.....	32

FIG.3- 7 - HEXÁGONO REPRESENTANDO OS VETORES DE CHAVEAMENTO DE UM CONVERSOR TRÊS NÍVEIS	33
FIG.3- 8 - O 1° SEXTANTE DO HEXÁGONO DE UM CONVERSOR TRÊS NÍVEIS	34
FIG.3- 9 - REGIÃO A_1 LOCALIZADA NO 1° SEXTANTE DE UM CONVERSOR NPC.....	34
FIG.3- 40 – AS 4 EQUAÇÕES DE RETA ENVOLVIDAS NA DELIMITAÇÃO DAS REGIÕES DO 1° SEXTANTE	38
FIG.3- 51 - FIGURA MOSTRANDO AS EQUAÇÕES DE RETA QUE DELIMITA A REGIÃO A_1 DO 1° SEXTANTE	39
FIG.3- 62 - REGIÕES E VETORES DO PRIMEIRO SEXTANTE DE UM CONVERSOR TRÊS NÍVEIS	40
FIG.3- 13 - VETORES ASSOCIADOS À REGIÃO A_1 DO 1° SEXTANTE.....	40
FIG.3- 14 - VETORES ASSOCIADOS À REGIÃO A_2 DO 1° SEXTANTE.....	40
FIG.3- 15 - VETORES ASSOCIADOS À REGIÃO A_3 DO 1° SEXTANTE.....	41
FIG.3- 16 - VETORES ASSOCIADOS À REGIÃO A_4 DO 1° SEXTANTE.....	41
FIG.3- 17 – DIREÇÃO DA SEQÜÊNCIA DE CHAVEAMENTO ADOTADA PARA REGIÃO A_1 DO 1° SEXTANTE	42
FIG.3- 18 - DIREÇÃO DA SEQÜÊNCIA DE CHAVEAMENTO ADOTADA PARA REGIÃO A_2 DO 1° SEXTANTE	42
FIG.3- 19 - DIREÇÃO DA SEQÜÊNCIA DE CHAVEAMENTO ADOTADA PARA REGIÃO A_3 DO 1° SEXTANTE	43
FIG.3- 7 - DIREÇÃO DA SEQÜÊNCIA DE CHAVEAMENTO ADOTADA PARA REGIÃO A_4 DO 1° SEXTANTE	43
FIG.3- 8 - FIGURA MOSTRANDO OS VETORES BÁSICOS E O VETOR DE REFERÊNCIA	44
FIG.3- 9 - CICLOS DE TRABALHOS ASSOCIADOS À REGIÃO A_1 DO 1° SEXTANTE	46
FIG.3- 210 - CICLOS DE TRABALHOS ASSOCIADOS À REGIÃO A_2 DO 1° SEXTANTE	47
FIG.3- 24 - CICLOS DE TRABALHOS ASSOCIADOS À REGIÃO A_3 DO 1° SEXTANTE	48
FIG.3- 25 - CICLOS DE TRABALHOS ASSOCIADOS À REGIÃO A_4 DO 1° SEXTANTE	48
FIG.3- 26 - PADRÕES DE CHAVEAMENTO DE CADA FASE DOS VETORES DA REGIÃO A_1 DO 1° SEXTANTE	49
FIG.3- 27 - AÇÃO DO VETOR (100) NO EQUILÍBRIO DOS CAPACITORES DO BARRAMENTO CONTÍNUO.....	52
FIG.3- 28 - AÇÃO DO VETOR PEQUENO (0-1-1) NO EQUILÍBRIO DOS CAPACITORES DO BARRAMENTO CONTÍNUO	53

FIG.3- 29 - AÇÃO DO VETOR PEQUENO (110) NO EQUILÍBRIO DOS CAPACITORES DO BARRAMENTO CONTÍNUO	53
FIG.3- 30 - AÇÃO DO VETOR PEQUENO (00-1) NO EQUILÍBRIO DOS CAPACITORES DO BARRAMENTO CONTÍNUO	54
FIG.3- 111 - AÇÃO DO VETOR MÉDIO (10-1) NO EQUILÍBRIO DOS CAPACITORES DO BARRAMENTO CONTÍNUO	55
FIG.4- 1 - CIRCUITO DE POTÊNCIA DE UM FILTRO ATIVO PARALELO	57
FIG.4- 2 - PRINCÍPIO BÁSICO DE FUNCIONAMENTO DO FILTRO ATIVO PARALELO	57
FIG.4- 3 – PRINCÍPIO DE COMPENSAÇÃO DO FILTRO ATIVO SÉRIE	58
FIG.4- 4 - PRINCÍPIO BÁSICO DE FUNCIONAMENTO DO UPQC.....	60
FIG.4- 5 – DIAGRAMA UNIFILAR DO UPQC	60
FIG.4- 6 – CIRCUITO DE POTÊNCIA DO UPQC.....	63
FIG.4- 7 - DIAGRAMA DE BLOCOS DO CONTROLADOR DO UPQC	64
FIG.4- 8 - DIAGRAMA DE BLOCOS DO DETECTOR DE SEQUÊNCIA POSITIVA	65
FIG.4- 9 - CIRCUITO DE SINCRONISMO (PLL)	66
FIG.4- 10 - DIAGRAMA DE BLOCOS PARA O CÁLCULO DAS CORRENTES DE COMPENSAÇÃO	67
FIG.4- 11 - MALHA DE REGULAÇÃO DE TENSÃO NOS CAPACITORES	68
FIG.4- 12 - DIAGRAMA DE BLOCOS DO ALGORITMO DE CONTROLE PARA O AMORTECIMENTO ..	69
FIG.4- 13 - MALHA DE REALIMENTAÇÃO PARA O MODULADOR PWM DO FILTRO ATIVO PARALELO	71
FIG.4- 14 - MALHA DE REALIMENTAÇÃO PARA O MODULADOR PWM DO FILTRO ATIVO SÉRIE ..	72
FIG.4- 15 - CIRCUITO DE POTÊNCIA DO FILTRO ATIVO PARALELO DO UPQC IMPLEMENTADO NO PSCAD [®] /EMTDC [™]	73
FIG.4- 16 - CIRCUITO DE POTÊNCIA DO FILTRO ATIVO SÉRIE DO UPQC IMPLEMENTADO NO PSCAD [®] /EMTDC [™]	74
FIG.4- 17 - CONVERSORES SÉRIE E PARALELO DO UPQC CONECTADOS EM <i>BACK-TO-BACK</i>	75
FIG.4- 18 - CIRCUITO DE POTÊNCIA DE UM UPQC.....	76
FIG.4- 19 – TENSÕES DE SUPRIMENTO ANTES DO PROCESSO DE COMPENSAÇÃO	77
FIG.4- 20 – CORRENTES DA CARGA NÃO LINEAR ANTES DA COMPENSAÇÃO	77
FIG.4- 21 - TENSÕES DO SISTEMA ANTES E DEPOIS DA ENTRADA EM OPERAÇÃO DO FILTRO ATIVO SÉRIE	78
FIG.4- 22 - FORMAS DE ONDA DAS TENSÕES DE REFERÊNCIA E AS SINTETIZADAS PELO CONVERSOR	78

FIG.4- 23 - FORMAS DE ONDA DAS CORRENTES DE REFERÊNCIA E AS SINTETIZADAS PELO CONVERSOR	79
FIG.4- 24 - CORRENTES NA FONTE DO SISTEMA ANTES E DEPOIS DA ENTRADA EM OPERAÇÃO DO FILTRO ATIVO PARALELO	80
FIG.4- 25 – TENSÃO NA CARGA E CORRENTE NA FONTE DA FASE A DO SISTEMA	80
FIG.4- 26 - TENSÃO NA CARGA E CORRENTE NA FONTE DA FASE B DO SISTEMA	80
FIG.4- 27 - TENSÃO NA CARGA E CORRENTE NA FONTE DA FASE C DO SISTEMA	81
FIG.4- 28 - COMPORTAMENTO DAS TENSÕES NOS CAPACITORES DO BARRAMENTO CONTÍNUO .	81
FIG.4- 29 – TENSÕES DE SUPRIMENTO ANTES DO PROCESSO DE COMPENSAÇÃO	82
FIG.4- 30 – CORRENTES DA CARGA NÃO LINEAR ANTES DA COMPENSAÇÃO	83
FIG.4- 31 – SINAL w DO CIRCUITO DE SINCRONISMO	83
FIG.4- 320 – TENSÕES NA SAÍDA DO DETECTOR DE SEQÜÊNCIA POSITIVA	84
FIG.4- 33 – TENSÃO NA SAÍDA DO DETECTOR DE SEQÜÊNCIA POSITIVA COMPARADA COM A TENSÃO DA FONTE	84
FIG.4- 34 – CORRENTES DO SISTEMA ANTES E DEPOIS DA ENTRADA EM OPERAÇÃO DO FILTRO ATIVO PARALELO	85
FIG.4- 35 - CORRENTES COMPENSADAS NA FONTE DO SISTEMA ANTES E APÓS A ENTRADA DO FILTRO ATIVO SÉRIE.....	85
FIG.4- 36 – CORRENTES COMPENSADAS NA FONTE DO SISTEMA COM O UPQC OPERANDO EM REGIME PERMANENTE.....	86
FIG.4- 37 – CORRENTE CALCULADA PELA ESTRATÉGIA DE CONTROLE NA FASE A (I_{AREF}) E A CORRENTE MEDIDA NOS TERMINAIS DO FILTRO ATIVO PARALELO NA FASE A (I_{AF}).....	86
FIG.4- 38 - TENSÕES DO SISTEMA ANTES E DEPOIS DA ENTRADA EM OPERAÇÃO DO FILTRO ATIVO PARALELO.....	87
FIG.4- 39 – TENSÕES NA CARGA DO SISTEMA ANTES E APÓS A ENTRADA DO FILTRO ATIVO SÉRIE	88
FIG.4- 40 - TENSÕES COMPENSADAS NA FONTE DO SISTEMA COM O UPQC OPERANDO EM REGIME PERMANENTE	88
FIG.4- 41 - TENSÃO CALCULADA PELA ESTRATÉGIA DE CONTROLE NA FASE A (V_{AREF}) E A TENSÃO MEDIDA NOS TERMINAIS DO FILTRO ATIVO SÉRIE NA FASE A (V_{AF})	89
FIG.4- 42 – TENSÃO DE SUPRIMENTO E CORRENTE NA FONTE DA FASE A DO SISTEMA	89
FIG.4- 43 - TENSÃO DE SUPRIMENTO E CORRENTE NA FONTE DA FASE B DO SISTEMA	90
FIG.4- 44 - TENSÃO DE SUPRIMENTO E CORRENTE NA FONTE DA FASE C DO SISTEMA	90
FIG.4- 45 – COMPORTAMENTO DAS TENSÕES NOS CAPACITORES DO BARRAMENTO CONTÍNUO	91

FIG.4- 46 - GRÁFICO MOSTRANDO A COMPARAÇÃO ENTRE OS VALORES DE DHT DA TAB. 4-2.. 92

FIG.4- 47 - GRÁFICO MOSTRANDO A COMPARAÇÃO ENTRE OS VALORES DE DHT DA TAB. 4-3.. 93

LISTA DE TABELAS

TAB.2 1 - ESTADOS DE CHAVEAMENTO DA TOPOLOGIA DO INVERSOR COM CAPACITOR DE GRAMPEAMENTO.....	17
TAB.3- 1 - TABELA MOSTRANDO A RELAÇÃO ENTRE A ENTRADA D_x E A SAÍDA S_x 30	
TAB.3- 2 - TABELA RELACIONANDO OS VALORES DA VARIÁVEL <i>SETOR</i> COM OS RESPECTIVOS SEXTANTES.....	37
TAB. 4- 1 - TABELA COM OS PARÂMETROS DO CIRCUITO DE POTÊNCIA DO UPQC.68	
TAB. 4-2 - VALORES DE DHT ANTES E DEPOIS DA COMPENSAÇÃO NO MÉTODO UTILIZANDO COMPARADORES.....	92
TAB. 4-3 - VALORES DE DHT ANTES E DEPOIS DA COMPENSAÇÃO NO MÉTODO UTILIZANDO SVM.....	93

1 INTRODUÇÃO

A qualidade vem sendo cada vez mais valorizada e priorizada ao longo da última década nos principais setores da economia mundial. Como não poderia deixar de ser, o setor elétrico vem acompanhando esta tendência.

A indústria de eletrônica de potência vem aprimorando dispositivos existentes, desenvolvendo novas tecnologias, e tornando esses dispositivos financeiramente mais acessíveis. Com isso, a eletrônica de potência vêm, há algum tempo sendo aplicada em vários segmentos do setor elétrico.

Na área de transmissão de energia elétrica os FACTS (*Flexible AC Transmission Systems*), conceito introduzido por Hingorani [1], permitem um comando mais eficiente do sistema de transmissão, possibilitando um maior controle do fluxo de potência, com carregamento mais seguro das linhas de transmissão a níveis próximos ao seu limite térmico, entre outras melhorias.

Este mesmo autor introduziu o conceito de *Custom Power* aplicado a sistemas de distribuição de energia elétrica [1], cujo foco é a confiabilidade e qualidade da energia elétrica entregue ao consumidor final. O termo *Custom Power* descreve o valor agregado à energia elétrica que as distribuidoras de energia e outros provedores de serviço podem oferecer aos seus consumidores. A confiabilidade no fornecimento de energia elétrica deve ser avaliada sob vários aspectos, dentre os quais se destacam: o número de interrupções e as variações de tensão. Com o objetivo de melhorar esses parâmetros de confiabilidade, uma tendência que vem se confirmando é a utilização de controles aliados a circuitos eletrônicos de potência em sistemas de distribuição e/ou em pontos finais de fornecimento a consumidores comerciais e industriais.

Um dos fatores que interfere diretamente na qualidade da energia elétrica fornecida é o valor eficaz da tensão entregue ao consumidor. Ao longo das últimas décadas, vários estudos sobre a qualidade da energia em sistemas de distribuição relatam perdas financeiras realmente consideráveis nas indústrias, quando em decorrência de interrupções, de afundamentos momentâneos, desequilíbrios e harmônicos na tensão fornecida.

1.1 Motivação para o trabalho

O desenvolvimento da tecnologia de dispositivos semicondutores possibilitou um aumento significativo do uso de circuitos chaveados, fato este que tem causado um dos mais sérios problemas nos sistemas elétricos dos dias atuais. Estes circuitos, quando conectados ao sistema, operam como cargas não lineares que injetam componentes harmônicas, tanto nas formas de onda de tensão como nas de corrente, tornando-as distorcidas e desequilibradas. Isto tem causado prejuízos a consumidores industriais e comerciais, o que gerou uma demanda por soluções que pudessem pelos menos mitigar os efeitos danosos no sistema elétrico.

Nos últimos anos, o uso intensivo de cargas desta natureza, aliado a ampliação dos níveis de tensão, corrente e de resposta em frequência dos dispositivos semicondutores, tem proporcionado um interesse crescente soluções baseadas em eletrônica de potência para a melhoria da qualidade de energia elétrica. Outro fator que propiciou este maior interesse foram as iniciativas para a desregulamentação do mercado de energia elétrica.

Este trabalho concentra-se na pesquisa de filtro ativo de potência, que é um tipo de condicionador de potência, com as funções principais de compensar as componentes harmônicas e os desequilíbrios. Considerou-se a configuração composta pela combinação de um filtro ativo paralelo com um filtro ativo série, que é um equipamento denominado de condicionador universal de qualidade de energia (*Unified Power Quality Conditioner – UPQC*). Neste trabalho especificamente será analisada a configuração de UPQC baseada em conversores de três níveis.

O filtro ativo série se comporta como gerador de tensão controlada, produzindo uma tensão de compensação (V_c) em série com a tensão no ponto de entrega da rede de distribuição. Com isto, a tensão compensada (V_l) entregue ao barramento cujo está conectado a carga sensível a ser alimentada não conterá os harmônicos e desbalanços presentes na tensão de suprimento (V_s).

O filtro ativo paralelo atua como uma fonte de corrente controlada. A corrente de compensação (i_c) somada à corrente da carga não linear (il) faz com que a corrente drenada da fonte (i_s) tenha uma forma de onda senoidal e balanceada. O controle do filtro ativo paralelo é responsável por compensar o fator de potência da carga, tornando a corrente

drenada da fonte em fase com a tensão compensada e também por regular o fluxo de energia dos capacitores do barramento contínuo.

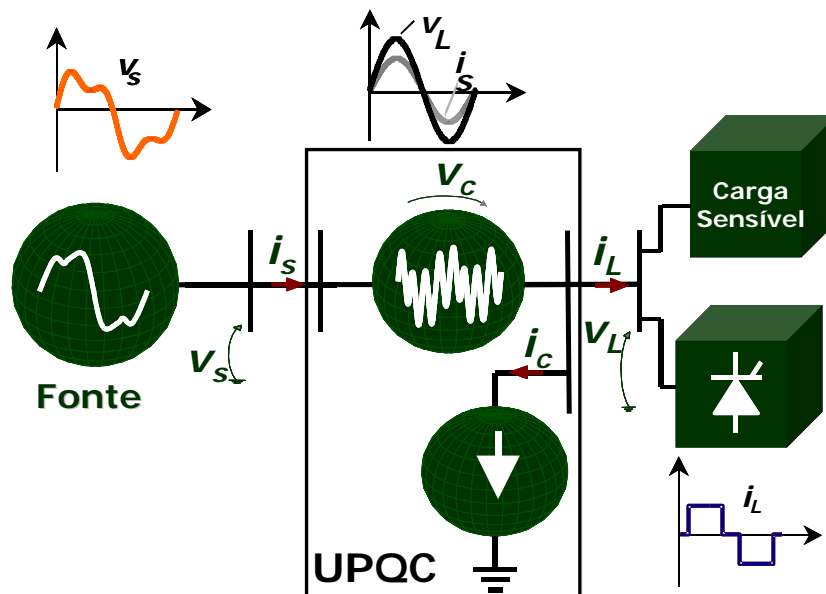


Fig.1- 1 - Princípio básico de funcionamento do UPQC.

Existem compensadores que combinam filtros ativos com filtros passivos, denominados filtros híbridos. Apesar deste tipo de filtro necessitar de um menor investimento para a sua implementação, estes compensadores híbridos não são capazes de realizar todas as funções de compensação que o condicionador UPQC apresenta.

Quando existe a necessidade de utilizar um equipamento, que possui certo grau de complexidade, como um condicionador universal de qualidade de energia para ser conectado ao sistema elétrico, existe muitos fatores que precisam ser levados em consideração, tais como quais semicondutores poderão ser utilizados, que terá importante influência na escolha da melhor estratégia de chaveamento a ser adotada. Outro aspecto a ser considerado é a topologia de conversor a ser utilizada, que pode ser de dois níveis ou multinível.

A área de conversores multiníveis começou a despertar interesse em 1980 com a publicação do trabalho de *Nabae et al.*[2], que introduziu o conversor três níveis (***Neutral Point Clamped – NPC***). Este conversor prometia algumas vantagens quando comparado com os conversores dois níveis convencionais. No começo da década de 90 os conceitos

aplicados no conversor NPC foram expandidos e novas topologias com três ou mais níveis foram propostas.

A seguir será apresentado um breve resumo sobre as pesquisas realizadas sobre conversores multinível.

1.2 Revisão de pesquisas realizadas com conversores multinível

O aspecto de principal interesse abordado neste trabalho, é o fato de se utilizar o conversor três níveis, que permitiu uma pesquisa mais aprofundada nas respectivas características e os benefícios envolvidos com a tecnologia de conversores multiníveis em geral.

Atualmente, a grande maioria das pesquisas desenvolvidas em relação a conversores com topologias multiníveis concentra-se em três principais classes de conversores: conversores multiníveis com diodos de grampeamento (***Diode-Clamped Multilevel Inverter - DCMI***) [2] [3], os conversores multiníveis em cascata utilizando conversores ponte H monofásicos (***Cascaded Multicell with separate dc sources***) [3] [4] [5] e conversores multiníveis com capacitores flutuantes (***Capacitor Clamped Multilevel Inverter*** ou ***Flying Capacitor Inverter***) [3] [6] [7]. Outras duas topologias conhecidas são: conversores multiníveis com chaves semicondutoras bidirecionais [8] e conversores multiníveis, criada a partir de conversores trifásicos dois níveis, estas não serão abordadas neste trabalho.

Uma topologia alternativa a aquela que utiliza os diodos de grampeamento é a topologia que utiliza capacitores para o grampeamento do ponto de neutro. Esta foi proposta em 1992[6].

Os conversores multiníveis em cascata utilizando conversores ponte H monofásicos também se apresentam como uma excelente alternativa de topologia multinível. A principal vantagem é a possibilidade de aumentar o número de níveis sem introduzir complexidade no circuito de potência. Outra vantagem é que, para montar um conversor três níveis com essa topologia, o número de semicondutores é igual ao utilizado nos conversores NPC, porém não necessitam de diodos de grampeamento. Uma desvantagem é que conforme aumenta o número de níveis, esta configuração utiliza muitos barramento contínuos.

Os avanços obtidos principalmente na velocidade dos semicondutores de potência têm propiciado um crescimento no interesse pelas aplicações dos conversores com fonte de

tensão (Voltage Source Converters - VSC) com utilização de modulação por largura de pulso (Pulse Width Modulation – PWM), bem como pelo desenvolvimento de novas estratégias de chaveamento que utilizam PWM têm sido largamente estudadas.

Vários métodos de modulação por largura de pulso por tensão controlada têm sido propostos na literatura [4] [9] [10] como, por exemplo, PWM senoidal, PWM com injeção de terceiro harmônico e modulação por vetor espacial. Todos estes métodos citados geram uma tensão na saída do conversor com componentes harmônicas de baixa de frequência. Isto é possível se a frequência de amostragem é alta em relação a componente fundamental na saída do conversor.

A modulação por vetor espacial (*Space Vector Modulation – SVM*) para conversores multiníveis tem sido cada vez mais utilizada, baseando-se no fato que, para conversores dois níveis, o SVM já vinha sendo largamente aplicada. Esta estratégia para conversores três níveis apresenta algumas vantagens como: o controle instantâneo dos estados de chaveamento e a possibilidade de selecionar vetores com o objetivo de manter o equilíbrio entre os capacitores do barramento contínuo. Outra qualidade muito importante desta modulação é a possibilidade de sintetizar tensões de saída utilizando os três vetores de chaveamento mais próximos do vetor de referência, fazendo com o espectro harmônico desta tensão de saída seja bem satisfatória.

1.3 Objetivos

Os objetivos que se desejam alcançar neste trabalho são:

- ✓ Abordar as topologias multiníveis e mostrar algumas de suas aplicações;
- ✓ Descrever a estratégia de chaveamento baseada em comparadores três níveis e mostrar os resultados que serão obtidos no equipamento condicionador universal de qualidade de energia;
- ✓ Detalhar a estratégia de chaveamento baseada na modulação por vetor espacial;
- ✓ Analisar o comportamento do carregamento e descarregamento dos capacitores do barramento contínuo do conversor três níveis do tipo NPC;
- ✓ Mostrar o princípio de funcionamento do condicionador universal de qualidade de energia (UPQC), a estratégia de controle utilizada para a

sintetização das grandezas de referência a ser realizada pelos conversores do respectivo equipamento;

- ✓ Mostrar os resultados conseguidos na simulação com o UPQC e fazer a comparação entre os resultados obtidos;

1.4 Resumo dos principais tópicos

Conversores multiníveis e suas aplicações. No segundo capítulo deste trabalho são abordadas as topologias dos conversores multiníveis, com ênfase aos conversores de três níveis que vem se tornando opções extremamente atrativas para aplicações em sistemas de média e alta tensão, principalmente em função do desenvolvimento de semicondutores que suportem as respectivas magnitudes de tensão. Este capítulo destaca as três famílias mais conhecidas na literatura, que são: as topologias com diodo de grampeamento, com capacitor de grampeamento e os conversores em cascata. Posteriormente, algumas aplicações utilizando conversores multiníveis, que vem sendo empregadas tanto no sistema elétrico quanto nos diversos ramos da indústria.

Técnicas de chaveamento. No terceiro capítulo são descritos os algoritmos utilizados para implementação das técnicas de chaveamento. A primeira estratégia é baseada em comparadores três níveis. O processo de digitalização e busca do vetor de chaveamento na tabela será explicado neste capítulo. A segunda é a teoria de modulação por vetor espacial. O algoritmo implementado tem como base a referência [5]. Serão apresentados detalhadamente os processos de identificação de sextantes e regiões e também o cálculo dos ciclos de trabalho dos vetores de chaveamento. O sistema de referência adotado para a representação do vetor de referência é o sistema de coordenadas ortogonais no plano ($\alpha\beta$). O último tópico abordado neste capítulo é o equilíbrio na tensão dos capacitores, onde será descrito o comportamento de carga e descarga dos elementos armazenadores de energia do barramento contínuo.

Condicionador universal de qualidade de energia (UPQC). No quarto capítulo são mostrados os resultados das simulações realizadas no equipamento condicionador

universal de qualidade de energia utilizando conversor NPC. Neste mesmo capítulo é descrito o princípio de funcionamento do UPQC, que é um equipamento que basicamente combina as funcionalidades do filtro ativo paralelo na compensação de corrente e do filtro ativo série na compensação da tensão. Uma breve descrição da estratégia de controle integrada utilizada para obtenção das correntes e tensões de referência a serem sintetizadas pelos conversores do UPQC também é realizada. A estratégia de controle é dividida em três blocos principais: O detector de seqüência positiva (V_{+1}), cujo principal componente é o circuito de sincronismo (***Phase Locked Loop - PLL***); os cálculos para obtenção das correntes de referência utilizando as correntes senoidais de Fryze (***Sinusoidal Fryze Currents - SFC***) e o controle de amortecimento. No final serão mostrados os resultados das simulações realizadas e também uma comparação entre as estratégias de chaveamento implementadas.

2 CONVERSORES MULTINÍVEIS E SUAS APLICAÇÕES

Existe uma grande demanda para aplicações de inversores fonte de tensão (VSI's) especificamente em sistemas de média e alta tensão. Especificamente os sistemas de média tensão têm como níveis de tensão característicos (2.3 kV– 16 kV) [1]. Atualmente, os conversores de eletrônica de potência utilizados nos sistemas de transmissão e de distribuição que operam com níveis de tensão elevados, são na maioria conversores do tipo fonte de corrente (CSI's), que utilizam como semicondutores tiristores com capacidade de bloquear alta tensão reversa. Os problemas associados à utilização dos tiristores são: suportar baixas frequências de chaveamento e a incapacidade de controlar o bloqueio da chave [3].

Recentemente os conversores multiníveis utilizando fonte de tensão têm recebido uma atenção maior por parte da indústria no segmento de aplicações de alta potência. O princípio básico deste equipamento é sintetizar no lado de carga uma tensão em forma de escada através dos vários níveis de tensão do barramento de tensão contínua.

Impulsionados por este fato houve um aumento significativo no número de pesquisas em aplicações das topologias de inversores multiníveis, principalmente nas três classes mais conhecidas: 1) conversores multiníveis com diodos de grampeamento 2) conversores multiníveis com capacitores de grampeamento 3) conversores em cascata com fontes de tensão contínua separadas. Outro fator que também propiciou este crescimento é o desenvolvimento de componentes destas topologias e que proporcionaram a possibilidade de um melhor rendimento destes. Por exemplo, o aparecimento de chaves semicondutoras com características mais apropriadas, sensores e DSP 's (Digital Signal Processors) e controle térmico [3].

Com o desenvolvimento e a disponibilidade de dispositivos semicondutores que suportem um nível maior de tensão e operem em alta frequência faz com que os conversores multiníveis tenham sua capacidade de operação aumentada proporcionalmente. Com isto, com conversores de três níveis é possível obter uma faixa

de operação de maior potência. Alguns dos principais dispositivos que concorrem para este objetivo são:

Integrated Gate Commutated Thyristor (IGCT), 6.5 (kV) [11] [12];

High Voltage Insulated Gate Bipolar Transistor (HVIGBT) [13];

Emitter Turn Off Thyristor (ETO) [14].

A ênfase maior neste trabalho será na topologia com diodos de grampeamento de três níveis (NPC), porém ainda neste capítulo será mostrado o estado da arte dos conversores multiníveis com três ou mais níveis, com foco principal nas principais topologias e também nas suas aplicações industriais mais recentes e importantes.

Este capítulo tem o objetivo de mostrar as principais topologias de conversores multiníveis, os princípios de funcionamento e as principais características de cada equipamento.

2.1 Princípio de funcionamento do inversor multinível

O termo multinível começou a ser utilizado a partir da publicação do trabalho com inversor três níveis Neutral Point Clamped (NPC) introduzido por Nabae et al. [2], posteriormente esta nomenclatura expandiu-se a outras topologias de conversores três ou mais níveis. Neste documento o destaque será dado ao inversor de três níveis. A constituição básica dos conversores multiníveis possui um conjunto de semicondutores (quatro em cada fase no inversor três níveis NPC). O ponto central de cada par de semicondutores é grampeado no ponto de neutro através de diodos grampeadores. No barramento contínuo dois capacitores são conectados em série e no centro dos mesmos está localizado o ponto de neutro.

Através da comutação das chaves, as tensões dos capacitores do barramento contínuo são adicionadas e adquirem a forma de escada no lado de carga do inversor. O número de capacitores e o número de semicondutores é que permite aumentar a potência de operação do conversor. Esta é a principal diferença na topologia do inversor convencional dois níveis que realiza o chaveamento através da conexão direta de cada semicondutor em cada fase ao nível de tensão total do barramento contínuo. Esta característica faz com que cada elemento comutador seja dimensionado para a respectiva tensão do elo contínuo. Cada etapa de operação dos inversores será mostrada nas próximas seções.

A Fig.2- 1 mostra os esquemas básicos de como a tensão nos capacitores nas respectivas topologias são aplicadas nos terminais de saída dos inversores, tanto o convencional dois níveis quanto nas configurações multiníveis. Na Fig.2- 1(a), os semicondutores são representados por uma chave ideal com duas posições. Esta configuração disponibiliza nos terminais de saída uma tensão de fase do conversor dois níveis de tensão do capacitor ($+V_{C1}$) ou ($-V_{C1}$). Através da conexão de uma única chave semicondutora fazendo com que a mesma, seja dimensionada de maneira que suporte toda a magnitude da tensão no elo de tensão contínua. Mesmo com o avanço da tecnologia aplicada aos semicondutores ainda hoje dependendo do nível de tensão, um projeto que utilize esta topologia pode se tornar inviável. Neste cenário, as diversas topologias de inversores multiníveis têm se mostrado como uma solução para trabalhar com os níveis de tensão já referidos no início desta seção. Na Fig.2- 1(b) e (c), estão representadas as topologias dos inversores multiníveis de três níveis e n-níveis respectivamente. Através de um conjunto de semicondutores que são conectados em série de forma que combinando os estados de chaveamento, seja possível aplicar vários níveis de tensão dos capacitores do barramento contínuo. A adição destes níveis, obtém-se tensões em forma de escada nos terminais de carga. Conforme a quantidade de níveis do conversor aumenta, as formas de onda de tensão adquirem mais degraus, fazendo com que esta se aproxime de uma senóide na componente fundamental, conseqüentemente reduzindo o conteúdo harmônico. O diagrama da Fig.2- 2 mostra quais são as classificações das principais classes de conversores multiníveis.

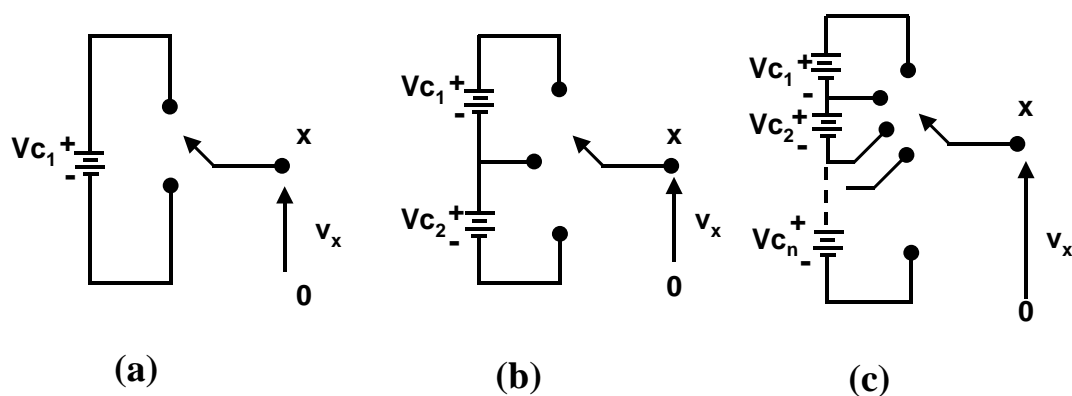


Fig.2- 1 - Ramos dos inversores com (a) dois níveis, (b) três níveis e (c) n-níveis.

O conversor convencional de dois níveis trifásico é mostrado na Fig.2- 3 composto por 6 semicondutores (S_{1a} – S_{2c}) quando comutados conseguem sintetizar dois níveis de tensão de fase na saída do conversor. Neste capítulo o objetivo principal é apresentar as diversas topologias dos inversores multiníveis que serão descritos mais detalhadamente nas próximas seções.

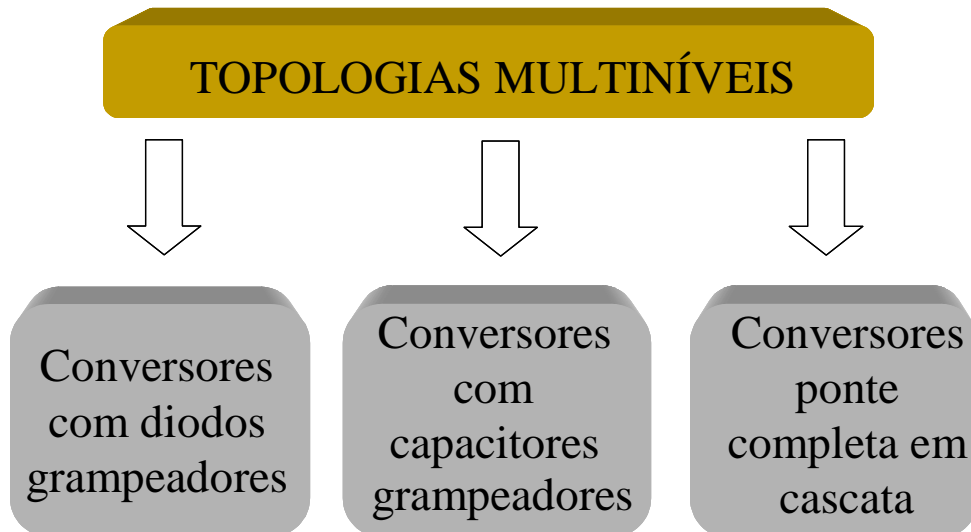


Fig.2- 2 - Diagrama com as topologias multiníveis.

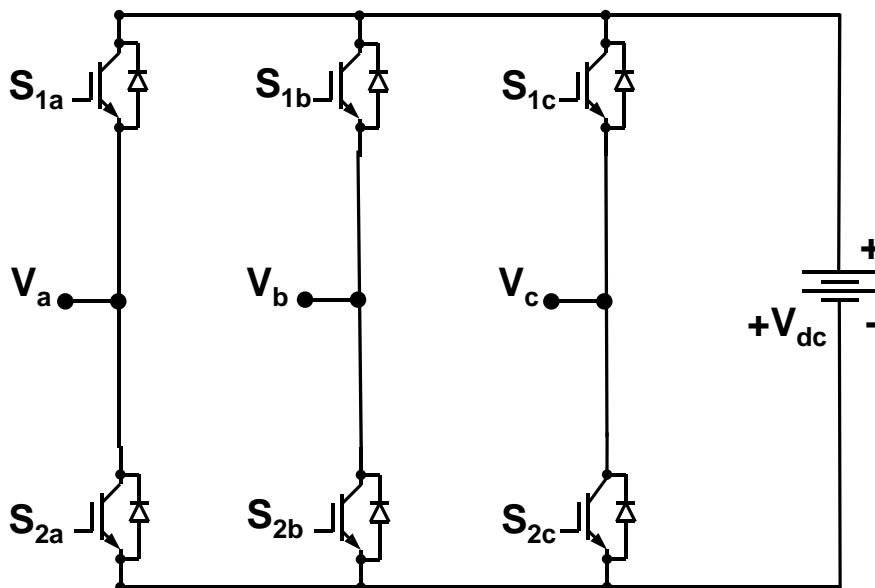


Fig.2- 3 - Topologia do conversor dois níveis.

Cada classe de conversor possui uma configuração diferente, porém basicamente os níveis de tensão discreta das fontes de tensão contínua sintetizam a tensão na carga

através da comutação das chaves semicondutoras. De uma forma geral as principais vantagens destes conversores são:

- 1) Capacidade de gerar tensões nos terminais de saída do conversor com menor taxa de distorção harmônica (THD) proporcionando um espectro de tensão com melhor qualidade quando comparado com os conversores dois níveis;
- 2) Menor taxa de variação (dV/dt) em cima dos semicondutores;
- 3) Capacidade de operar com menor frequência de chaveamento;
- 4) Capacidade de trabalhar com maior potência.

Nas próximas seções as principais características sobre as principais classes de conversores multiníveis serão mostradas. As três principais classes de conversores multiníveis:

- Conversores com diodos de grampeamento (Diode Clamped Converters);
- Conversores monofásicos ponte H em cascata (Cascaded Full Bridge Converters);
- Conversores com capacitores de grampeamento (Flying Capacitors Converters).

2.2 Conversores multiníveis com diodos de grampeamento

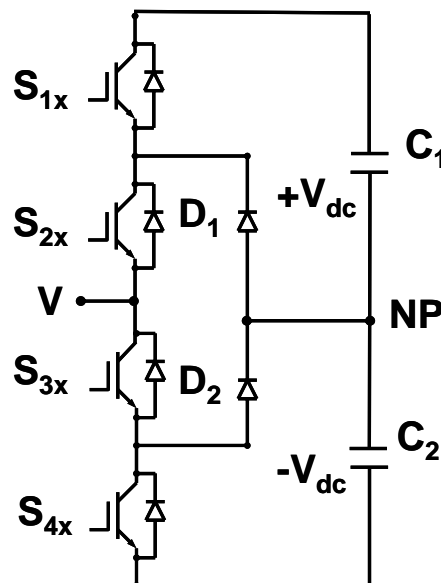


Fig.2- 4 - Barramento CC e uma fase do conversor da topologia com diodo grampeador.

A Fig.2- 4 mostra uma fase dos conversores tipo conversores com diodos de grampeamento (Diode Clamped Converters). A topologia multinível de três níveis da Fig.2- 5 é o NPC [2]. Esta configuração é largamente utilizada em aplicações como UPS [16], condicionadores de qualidade de energia (filtros ativos) [18] [19].

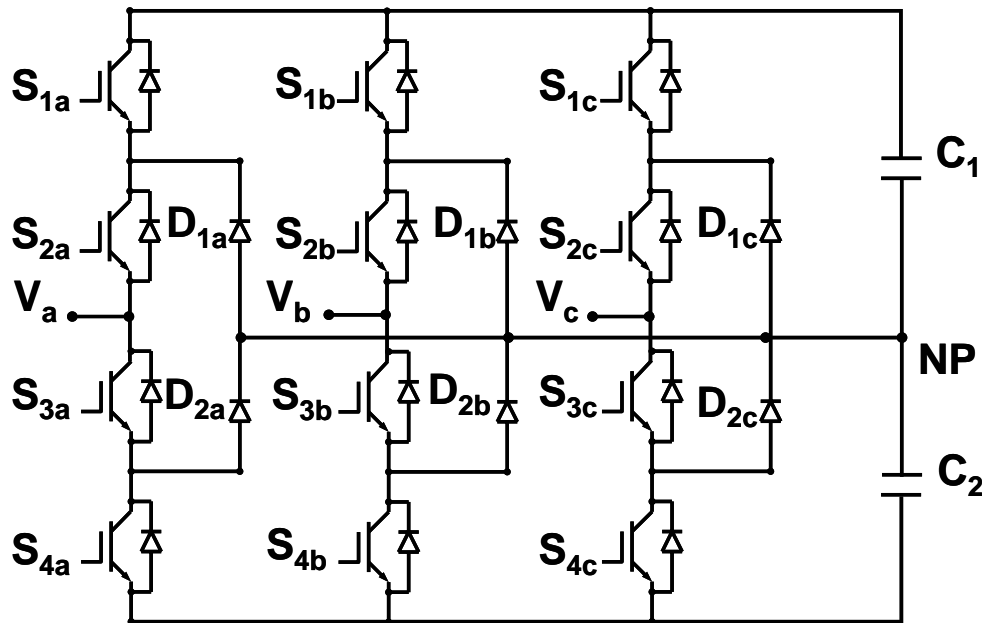


Fig.2- 5 - Topologia do conversor três níveis (NPC).

De uma forma geral um conversor com diodos de grampeamento com m – níveis consistem de $m-1$ capacitores no elo contínuo e produzem m – níveis nas tensões de fase e $2m-1$ níveis para as tensões de linha. Para uma tensão total V_{dc} na barra contínua cada capacitor aplica uma tensão de $V_{dc}/(m-1)$. No caso do inversor NPC cada elemento armazenador de energia disponibiliza a tensão de $V_{dc}/2$ conseqüentemente cada chave ativa será submetida ao nível de tensão de apenas um capacitor ($V_{dc}/2$), através dos diodos de grampeamento.

As vantagens desta topologia em relação aos conversores dois níveis são:

- Os semicondutores são submetidos a tensões equivalentes a metade da tensão do barramento contínuo;
- O primeiro grupo de tensões harmônicas está localizado em torno de duas vezes a frequência de chaveamento;
- Quanto maior o número de níveis, menor o conteúdo harmônico de tensão;

- Os princípios desta topologia podem ser generalizados para inversores com maior número de níveis.

Algumas desvantagens são:

- Esta topologia requer diodos de grampeamento no ponto de neutro (NP) de alta velocidade para suportar a condução da corrente de carga;
- Para topologias com mais de três níveis os diodos de grampeamento ao NP, estes ficam sujeitos a níveis de tensão da ordem de $V_{pn} \cdot (n-1)/n$, sendo V_{pn} a tensão no barramento contínuo e n o número de níveis do conversor, por esta razão a conexão série dos diodos deve ser utilizada e quando m é suficientemente grande o número de diodos requeridos pelo conversor tornam a implementação impraticável;

O sistema de controle para manter o equilíbrio de tensão entre os capacitores do barramento CC se torna muito complexo para inversores com mais de três níveis. Na maioria das aplicações, o conversor precisa transferir energia tanto no modo retificador quanto no modo inversor. Como este perfil é cíclico o resultado é desequilíbrio entre o carregamento dos capacitores. Este problema pode ser resolvido de algumas maneiras, como substituir por fontes de tensão constante e controlada, como, por exemplo, reguladores de tensão utilizando PWM ou baterias. Porém a aplicação destes equipamentos resulta uma complexidade maior do sistema na parte de controle dos conversores e também no aumento dos custos principalmente quando da utilização em sistemas com potência maior. Outro problema associado a potência do conversor é que a frequência de chaveamento deve ser baixa para evitar perdas por chaveamento e também problemas com interferências eletromagnéticas (EMI).

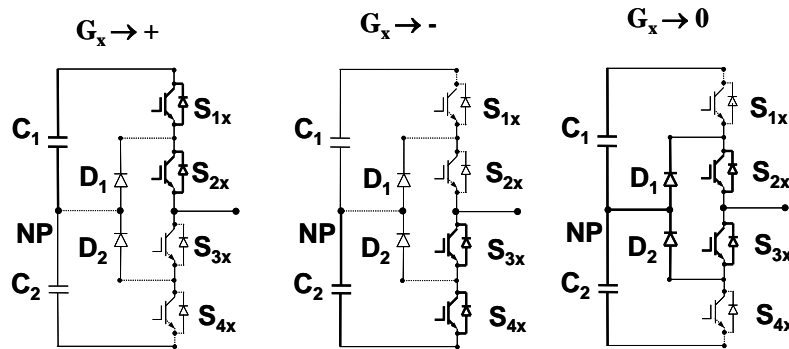


Fig.2- 6 - Grupo de chaves no conversor três níveis.

Este equipamento é composto de 12 chaves ativas e 6 diodos. As chaves ativas são divididas em 6 transistores principais que operam como chaves para PWM sendo estas (S_{1a}, S_{4a}) na fase A (S_{1b}, S_{4b}) na fase B (S_{1c}, S_{4c}) na fase C e 6 transistores auxiliares que anexam o terminal de saída ao ponto de neutro do barramento contínuo em conjunto com os diodos, sendo estas ($S_{2a}, S_{3a}, D_{1a}, D_{2a}$) na fase A, ($S_{2b}, S_{3b}, D_{1b}, D_{2b}$) na fase B, ($S_{2c}, S_{3c}, D_{1c}, D_{2c}$) na fase C. Neste circuito utiliza-se no barramento contínuo a configuração do capacitor dividido (Split Capacitor). O ponto central entre C_1 e C_2 é definido como o ponto de neutro (NP). A tensão de saída entre os terminais V e NP referente à Fig.2- 5 possui três estados $V_{dc}/2$, 0 , $-V_{dc}/2$, obtidas através do controle do acionamento das chaves controladas. A estratégia de acionamento obedece a seguinte lógica: Acionando as chaves S_{1x} e S_{2x} das respectivas fases, sendo $x \in \{a,b,c\}$, obtemos nos terminais de saída a tensão $V_{dc}/2$, conforme a Fig.2- 6(a), já fechando S_{2x} e S_{3x} , com a ajuda dos diodos D_{1x} e D_{2x} , obtemos o nível 0 (zero) nos terminais de carga, conforme a Fig.2- 6(b) e comandando as chaves S_{3x} e S_{4x} aplica-se $-V_{dc}/2$, conforme a Fig.2- 6(c).

Uma aplicação do conversor NPC é o primeiro exemplar de UPFC (Unified Power Flow Controller) instalado no mundo [22]. Este equipamento utiliza a topologia de conversor três níveis com diodos de grameamento (NPC). Este projeto começou a operar no primeiro semestre de 1998. O UPFC é composto de dois conversores de aproximadamente 160 (MVA) cada utilizando GTO como semicondutores. O UPFC é um equipamento baseado em eletrônica de potência conectado em série e em paralelo com as linhas de transmissão do sistema elétrico com o objetivo de fazer a regulação de tensão e otimizar o fluxo de potência.

2.3 Conversores multiníveis com capacitor de grampeamento

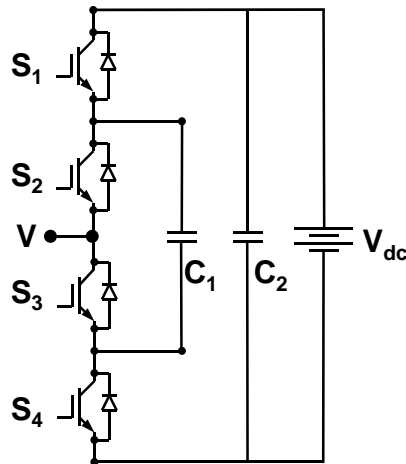


Fig.2- 7 - Ramo monofásico da topologia de um conversor capacitor grampeado.

A Fig.2- 7 mostra a configuração de apenas uma fase da topologia com capacitor de grampeamento (Capacitor-Clamped Converters) ou conversor com capacitor flutuante (Flying Capacitor) [5]. A estrutura básica do mesmo é semelhante ao do conversor de três níveis com diodos de grampeamento, que será explanado na próxima seção, a principal diferença é que ao invés da utilização de diodos para o grampeamento no ponto de neutro empregam-se capacitores. Esta topologia primeiramente foi proposta em 1992, é considerada a principal alternativa aos conversores com diodos de grampeamento. Dentre as classes dos conversores multiníveis esta estrutura apresenta como as suas principais vantagens:

- Eliminação dos problemas relacionados à presença de diodos de grampeamento no ponto de neutro no conversor NPC;
- Esta configuração possui estados de chaveamento (A e B), conforme pode ser visto na Tab.2 1, que são usados para manter o balanceamento de carga nos capacitores.
- Este inversor limita a derivada de tensão ($\frac{dV}{dt}$) nos semicondutores.

Algumas desvantagens são:

- O controlador de carga do capacitor do barramento CC adiciona complexidade para o controle do circuito inteiro;

- Esta configuração exige uma capacitância maior em relação ao circuito do NPC de mesma potência. Isto porque é necessário o capacitor do barramento contínuo e os capacitores de grampeamento.

Estados	C_x	S_{1x}	S_{2x}	S_{3x}	S_{4x}	V_{xn}
P	1	ON	ON	OFF	OFF	E
A	0	ON	OFF	ON	OFF	$E - e_{cx}$
B	0	OFF	ON	OFF	ON	e_{cx}
N	-1	OFF	OFF	ON	ON	0

Tab.2 1 - Estados de chaveamento da topologia do inversor com capacitor de grampeamento.

A Tab.2 1 mostra todas as possibilidades de estados de chaveamento para uma das fases do inversor três níveis com capacitor grampeado da Fig.2- 9. A tensão do capacitor grampeado definida como e_{cx} , sendo $x \in \{a, b, c\}$, é igual a $\frac{E}{2}$. Com esta condição, os estados de chaveamento A e B suprem a mesma tensão de saída $V_{xn} = \frac{E}{2}$. No controle da tensão de saída os estados A e B são chamados de estados zero. A variável $c_x(t)$ assumirá os valores 1, 0 ou -1 . Em cada fase o conversor possui quatro chaves controladas, quatro diodos de roda livre e um capacitor. Baseando-se na Tab.2 1 que representa a estados de chaveamento no inversor pode-se descrever o funcionamento básico do inversor.

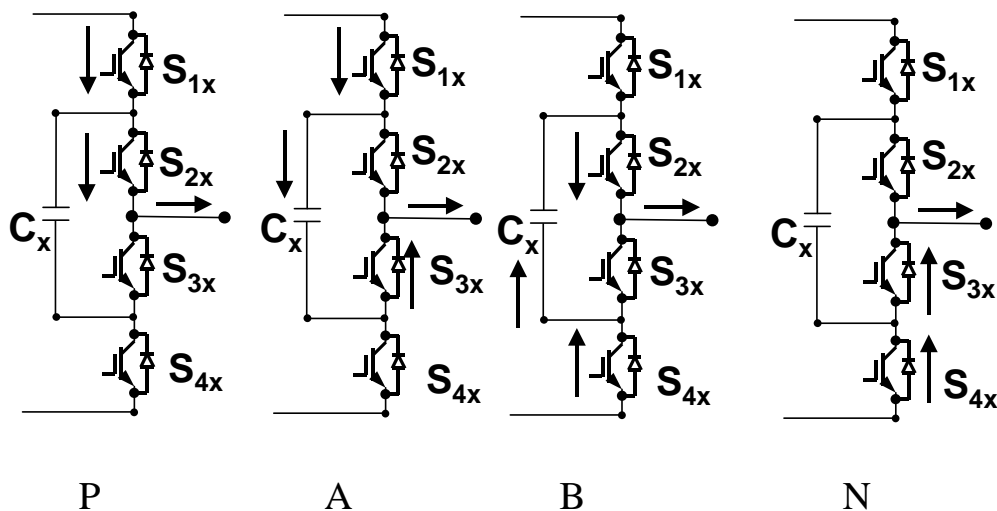


Fig.2- 8 - A circulação de corrente no inversor nos quatro estados de chaveamento.

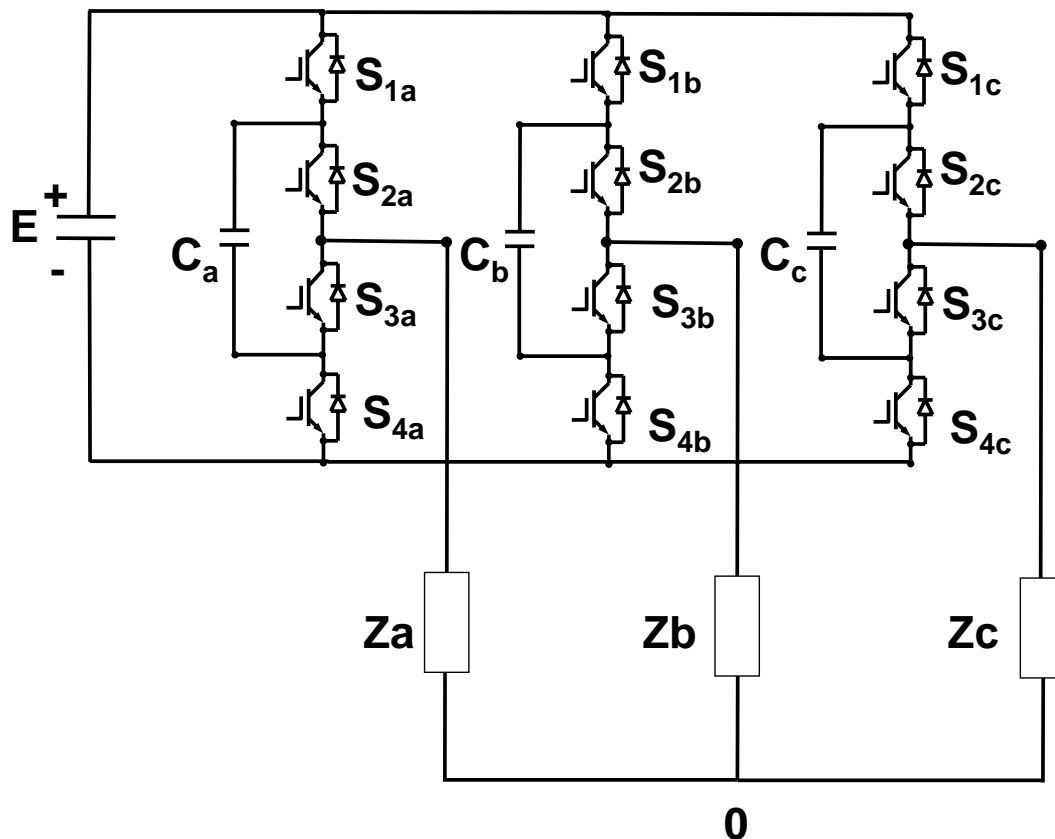


Fig.2- 9 - Circuito da topologia de um inversor três níveis com capacitor flutuante.

Nos estados P e N, a carga está diretamente conectada com o barramento contínuo e conseqüentemente estes estados não afetam a tensão no capacitor. Nos estados A e B, a corrente da respectiva fase x flui através do capacitor C_x . Considerando o sentido da corrente elétrica indicado pelas setas na Fig.2- 8 o capacitor irá se carregar no estado A e descarregar no estado B. A tensão e_{cx} pode ser controlada através da seleção apropriada dos estados de chaveamento 0 (A ou B). Como a tensão de saída não depende do tipo de estado usado (A ou B), logo estes podem ser utilizados para controlar independentemente a tensão no capacitor C_x .

2.4 Conversores multiníveis ponte completa em cascata

A Fig.2- 10 mostra o circuito de potência em uma fase de um inversor nove níveis utilizando a topologia denominada conversores em ponte completa em cascata com fontes de tensão contínuas separadas (Cascaded Full Bridge Converters). Uma das primeiras aplicações desta configuração de inversor foi em estabilização de plasma em

1988[6]. Em pesquisas posteriores esta estrutura modular estendeu suas aplicações para sistemas trifásicos obtendo excelentes resultados, principalmente na linha de acionamentos em sistemas de média tensão. Esta topologia de conversor evita a utilização de diodos extras de grampeamento como na classe dos inversores NPC ou capacitores para balanceamento de tensão como no caso da configuração dos capacitores de grampeamento. A topologia dos inversores baseia-se na conexão em série de inversores monofásicos com fontes de tensão CC separadas (quatro células no caso da Fig.2- 10). A tensão de fase na saída é sintetizada pela soma das tensões geradas em cada célula. Cada célula gera três níveis de tensão na saída: $+V_{dc}$, 0 e $-V_{dc}$. Isto é possível através da conexão seqüencial das tensões armazenadas nos capacitores nos terminais de carga do inversor através de 4 semicondutores. A tensão na saída varia entre $-4V_{dc}$ até $+4V_{dc}$. Outra versão desta topologia utiliza inversores dois níveis trifásicos. Estes circuitos utilizam um transformador nos terminais de saída para adicionar os diferentes níveis de tensões. Esta configuração é conhecida como estrutura multipulso, largamente utilizada em aplicações como STATCOM [15]. A Fig.2- 11 mostra como é sintetizada a tensão de fase no lado de carga do inversor nove níveis em ponte completa da Fig.2- 10.

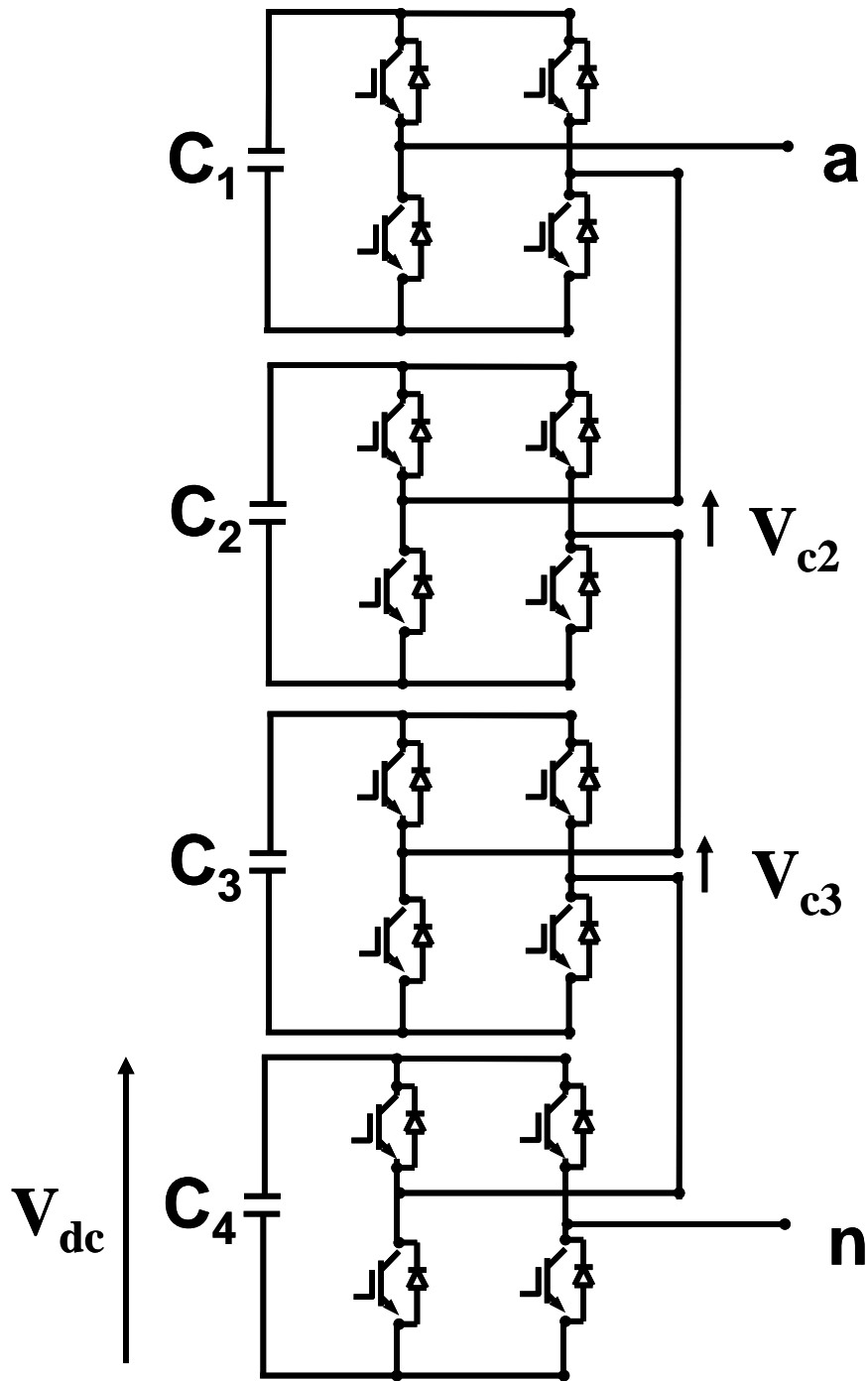


Fig.2- 10 - Ramo monofásico da topologia de um conversor ponte completa em cascata de 9 níveis.

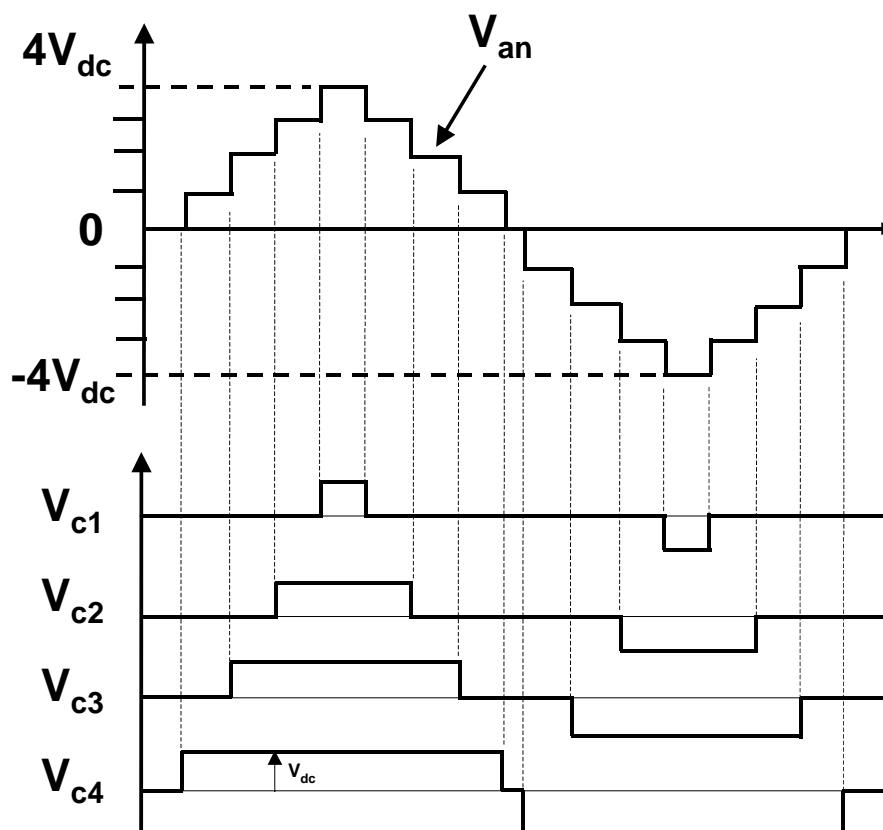


Fig.2- 11 – Forma de onda da tensão na fase A (V_{an}) na saída do inversor ponte completa em cascata.

2.5 Outras estruturas de conversores multiníveis

A Fig.2- 12 apresenta a estrutura por fase da topologia do inversor multinível generalizado P2 [20]. Equipamentos com qualquer número de níveis, inclusive dois níveis podem ser obtidos a partir desta configuração. A existência das topologias dos inversores multiníveis como as com diodos de grampeamento e capacitores de grampeamento podem ser obtidas a partir desta configuração. Este conversor é capaz de balancear o nível de tensão nos capacitores automaticamente para qualquer número de níveis sem qualquer circuito auxiliar, controle do inversor ou dependência das características da carga.

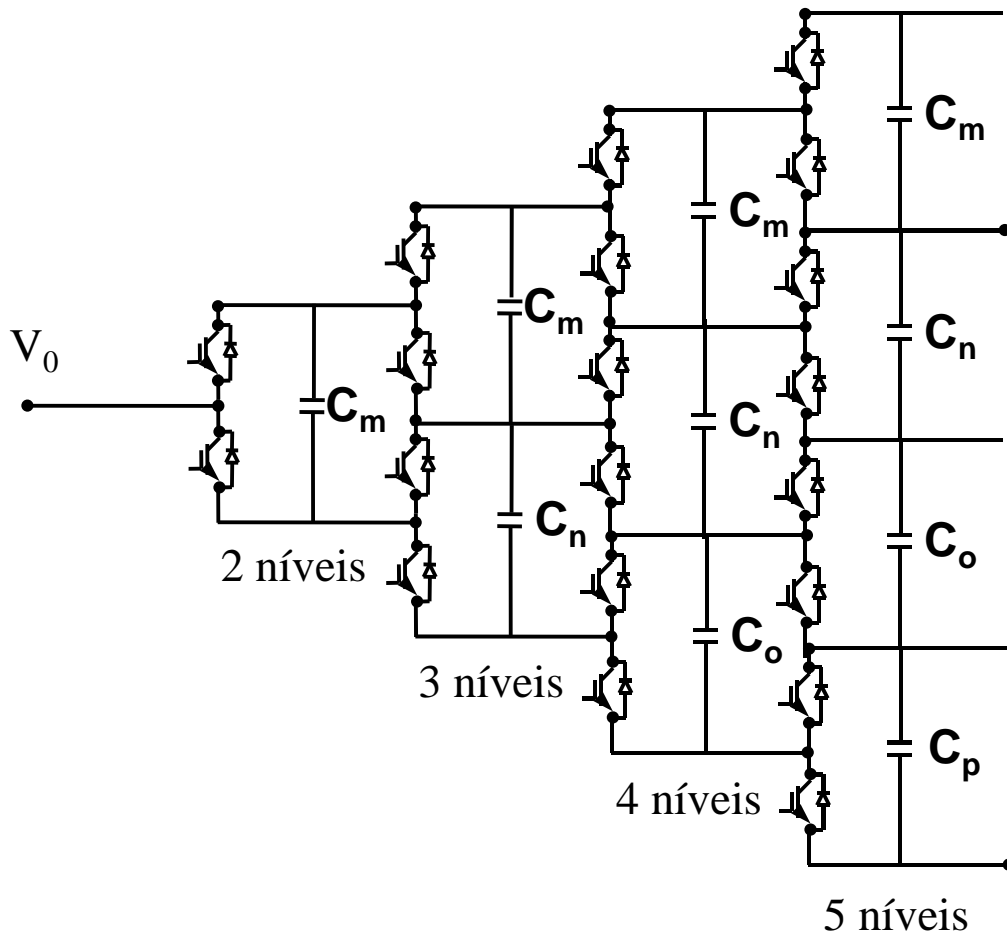


Fig.2- 12 - Estrutura do inversor multinível generalizado P2.

Para aplicações em alta tensão e alta potência, é possível adotar a configuração multinível com diodo de grampeamento ou com capacitor de grampeamento no inversor em cascata [3]. Esta é uma topologia híbrida que mistura ramos de inversores multiníveis em células em cascata. Estas são denominadas células híbridas. Visto que estas encaixadas em blocos do inversor em cascata. A Fig.2- 13 mostra um inversor utilizando a configuração híbrida em cascata incorporando um inversor três níveis com capacitor de grampeamento como célula. Outra possibilidade com diodo de grampeamento pode substituir a mostrada na Fig.2- 13.

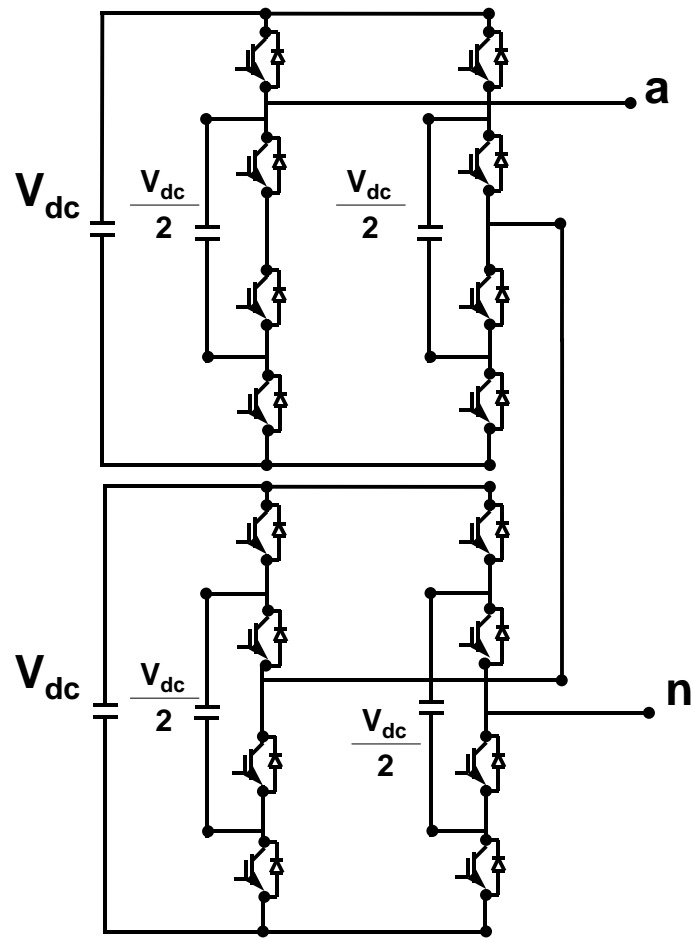


Fig.2- 13 - Configuração de uma célula híbrida utilizando o inversor três níveis com capacitor grampeado na célula de inversor ponte completa em cascata.

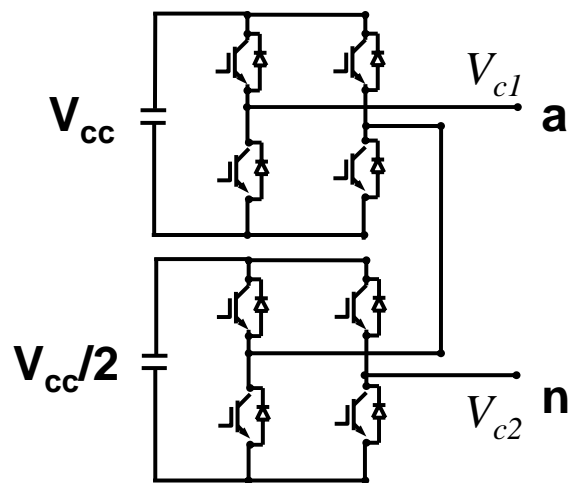


Fig.2- 14 – Célula de inversor em cascata híbrida assimétrica com diferentes níveis de tensão.

A topologia denominada células multiníveis híbridas assimétricas possibilita trabalhar com diferentes níveis de tensão entre as células [3]. As Fig.2- 14 - Fig.2- 15 mostram duas células, uma com nível de tensão do capacitor V_{cc} e a segunda célula com um nível de tensão $V_{cc}/2$ e as respectivas formas de onda na saída do equipamento. Dependendo da disponibilidade dos elementos armazenadores de energia os níveis de tensão não estão limitados a uma razão específica. Com isto é possível adicionar mais níveis na tensão na saída fazendo com que o conteúdo harmônico tenha uma redução.

Ainda que os níveis de tensão nos capacitores sejam iguais, outra possibilidade para a implementação desta configuração é a utilização de uma célula utilizando PWM enquanto a segunda célula comuta em frequências menores [3]. A característica modular da topologia em cascata permite a realização de uma configuração que combine duas células uma com chaves ativas que suportem alta frequência de chaveamento e outra que suporte níveis de tensão maiores. A estrutura seria semelhante à mostrada na Fig.2- 14, a diferença está apenas nos semicondutores utilizados em cada módulo. Por exemplo, a primeira célula modular poderia utilizar Insulated Gate Bipolar Transistor (IGBT's) que possuem a capacidade de comutar em alta frequência. No segundo módulo os semicondutores poderiam ser Gate Turn Off (GTO's), que comutam em baixa frequência, tipicamente na frequência fundamental.

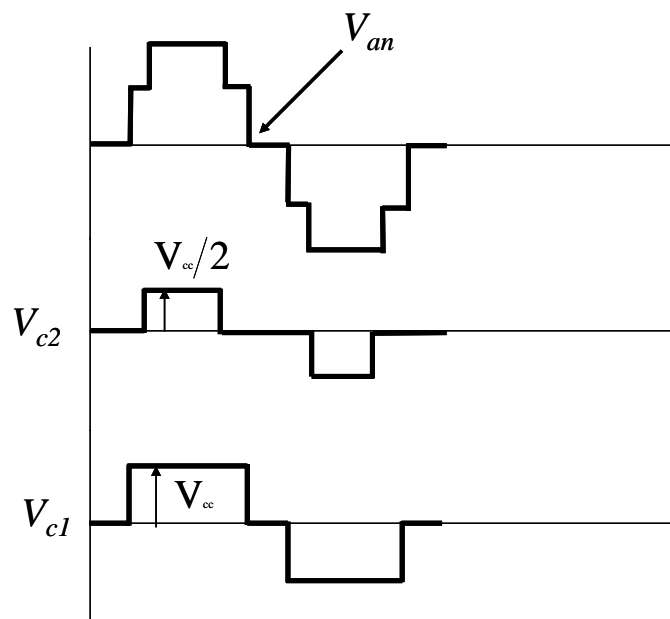


Fig.2- 15 – Formas de onda das tensões de fase e de linha na saída do inversor com célula assimétrica.

2.6 CONCLUSÕES PARCIAIS

Este capítulo apresentou e descreveu as principais classes de inversores multiníveis e algumas topologias híbridas, mostrando suas vantagens e desvantagens. Além disto, são mostrados os elementos que compõem cada conversor apresentado e ainda uma descrição das configurações abordando principalmente os respectivos princípios de funcionamento. Algumas aplicações utilizadas no próprio sistema elétrico de conversores multiníveis e também outras topologias alternativas são mostradas e brevemente comentadas.

3 TÉCNICAS DE CHAVEAMENTO

A estrutura deste capítulo mostra uma figura com os principais tipos de estratégias de chaveamento, pelo menos as mais utilizadas em conversores multiníveis. Será apresentada uma breve descrição sobre estas técnicas de chaveamento. Em seguida, serão mostrados os princípios de funcionamento das duas técnicas de chaveamento implementadas neste trabalho. A primeira é baseada em comparadores. A princípio a primeira estratégia foi concebida para controle de corrente no filtro ativo paralelo. Posteriormente utilizou-se o mesmo princípio para controle de tensão. Isto propiciou a aplicação desta estratégia de chaveamento no condicionador universal de qualidade de energia. A segunda estratégia é baseada na teoria da modulação por vetor espacial para conversores três níveis. O algoritmo que será descrito detalhadamente nas próximas seções, baseia-se na representação espacial dos vetores de chaveamento do conversor três níveis. Todos os passos desta técnica de chaveamento serão mostrados nas seções subseqüentes. Finalmente será analisada a influência de cada vetor de chaveamento no equilíbrio da carga nos capacitores do barramento contínuo.

3.1 Técnicas de chaveamento para conversores multiníveis

O objetivo desta seção é citar as estratégias de chaveamento mais utilizadas em conversores multiníveis. Na literatura existem várias técnicas de modulação aplicadas, cada qual com seus respectivos conceitos e desempenho. As técnicas de chaveamento usadas nestas topologias de conversores são classificadas de acordo com a frequência de chaveamento, conforme o esquema apresentado na Fig.3- 1.

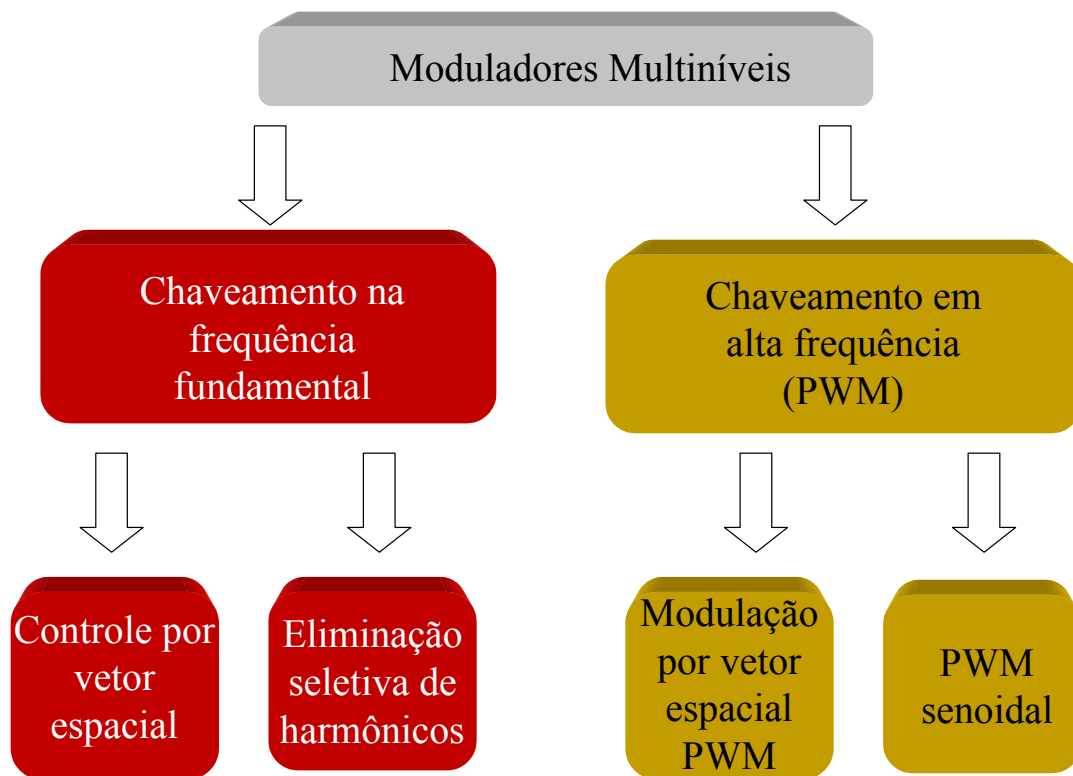


Fig.3- 1 - Diagrama apresentando as técnicas de modulação aplicadas em conversores multiníveis.

3.2 Técnicas de chaveamento operando em alta frequência

Dentre as estratégias de chaveamento mostradas na Fig.3- 1 duas delas trabalham com modulação por largura de pulso (PWM). Uma destas técnicas é largamente aplicada tanto em conversores dois níveis quanto em configurações multiníveis. Esta técnica é denominada modulação por largura de pulso senoidal (SPWM) [9], também conhecida como “seno PWM”. O princípio fundamental é a comparação de sinais de controle cujas formas de onda são senoidais com uma portadora triangular. Estas portadoras têm a função de determinar a frequência de chaveamento para a geração dos pulsos dos semicondutores do conversor.

A estratégia Modulação por Vetor Espacial (Space Vector Modulation - SVM) também opera com alta frequência de chaveamento. Inicialmente esta modulação foi concebida para o controle de acionamento de motores utilizando conversores dois níveis [23]. Esta técnica tem sido aplicada com cada vez mais frequência em conversores multiníveis. O SVM tem ampliado suas áreas de atuação, principalmente em aplicações como equipamentos condicionadores de qualidade de energia (filtros ativos) [24] e sistemas

UPS [16]. Esta estratégia permite a redução do número de comutações das chaves, a redução do conteúdo harmônico presente na tensão de linha obtida na saída do conversor, e uma melhor utilização do barramento contínuo. O crescimento do número de níveis dos conversores é diretamente proporcional ao número de estados de chaveamento redundantes e conseqüentemente a complexidade para seleção dos estados de chaveamento, com isto os esforços computacionais para o modulador também sofrem aumento.

3.3 Técnicas de chaveamento operando na frequência fundamental

As outras duas dentre as estratégias de chaveamento citadas na Fig.3- 1 trabalham com frequência de chaveamento da componente fundamental. As modulações que representam esta categoria são: Eliminação Seletiva dos Harmônicos (Multilevel selective harmonic elimination) e o controle por vetor espacial (Space Vector Control - SVC).

O método de Eliminação Seletiva dos Harmônicos minimiza a distorção harmônica através da obtenção da amplitude da componente fundamental ajustável. O conteúdo harmônico pode ser removido da forma de onda da tensão através do controle do ângulo de disparo dos semicondutores. Em geral, os harmônicos de baixa frequência mais significantes são escolhidos para serem removidos através da seleção apropriada dos ângulos entre os diferentes níveis dos inversores. Já o conteúdo harmônico de alta frequência pode ser removido facilmente através de circuitos de filtros passivos adicionais.

No caso do método de chaveamento por SVC (Space Vector Control) [25]. A idéia principal é selecionar um vetor de chaveamento básico adequado. Diferentemente do SVM, esta modulação não sintetiza o vetor de referência médio em cada intervalo de chaveamento através da combinação linear dos três vetores adjacentes ao mesmo. Esta estratégia é mais utilizada em conversores multiníveis que disponibilizem um número grande de vetores de chaveamento básicos, tipicamente 11 níveis ou mais.

3.4 Controlador baseado em comparadores três níveis.

Esta seção visa mostrar o princípio de funcionamento da estratégia de chaveamento baseado em comparadores. Este tipo de modulação é utilizado para o controle de conversores três níveis aplicados em um condicionador universal de qualidade de energia. Grande parte dos trabalhos cujo foco é filtros ativos, se aplicam a sistemas trifásicos com três fios e inversores dois níveis. Serão apresentados alguns resultados de simulações de um

sistema com UPQC com conversores três níveis de maneira a comprovar a eficiência dos controladores de corrente e tensão.

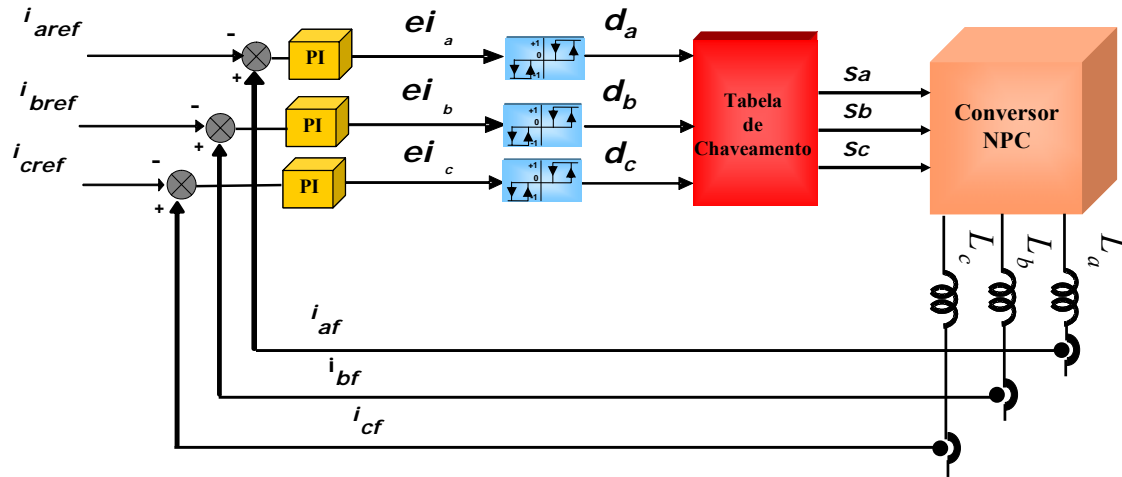


Fig.3- 2 - Esquema do controlador de corrente baseado em comparadores.

Conforme se observa na Fig.3- 2, a modulação baseada em comparadores três níveis trabalha diretamente com as coordenadas a- b- c, não utilizando as coordenadas ortogonais (α, β), conforme [21].

A Fig.3- 3 mostra o comparador de três níveis e suas três regiões distintas. O comparador funciona como um elemento da malha que transforma o sinal de erro em níveis (+1,0,-1). Isto acontece de acordo com a localização do sinal de erro (ei_x) dentro do comparador. Se ei_x estiver localizado acima da região indicada pela letra por +1 o sinal d_x será nível positivo. Se ei_x estiver na área da região 0 d_x será 0. Por último se ei_x estiver localizado abaixo de -1 a resposta d_x será nível negativo.

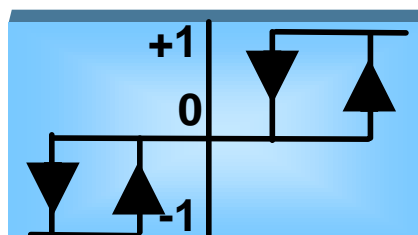


Fig.3- 3 – Comparador três níveis ampliado.

O sinal d_x é variável de entrada do bloco denominado tabela de chaveamento. Neste bloco estão alocados os 27 vetores de chaveamento que o conversor NPC. A Fig.3- 4

mostra a representação espacial no plano α , β dos 27 vetores de chaveamento. A lógica de seleção dos vetores de chaveamento segue a idéia de compensação. Por exemplo, se d_x for +1 o vetor escolhido na tabela de chaveamento será -1. A Tab.3- 1 resume como funciona a escolha dos vetores.

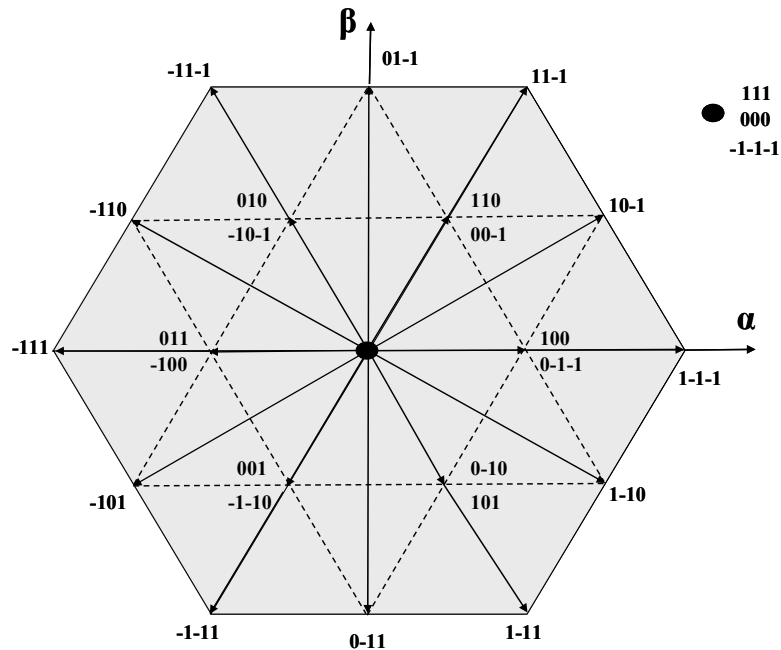


Fig.3- 4 - Hexágono representando os vetores de chaveamento alocados na tabela de chaveamento.

d_x	s_x
+1	-1
0	0
-1	+1

Tab.3- 1 - Tabela mostrando a relação entre a entrada d_x e a saída s_x .

Esta modulação apresenta uma desvantagem com relação a frequência de chaveamento do conversor. Por exemplo, se num determinado período de chaveamento o vetor (1,-1,-1) está sendo sintetizado pelo conversor no próximo período pode acontecer do conversor precisar sintetizar o vetor (-1,1,1). Isto acarreta a mudança de vários semicondutores fazendo com que as perdas por chaveamento do conversor aumentem.

Um detalhe desta malha de controle apresentada na Fig.3- 2 é que os sinais de referência de corrente i_{aref} , i_{bref} e i_{cref} entram com sinal negativo no comparador com as correntes sintetizadas pelo inversor i_{af} , i_{bf} e i_{cf} para gerar os sinais de erro ei_x ($x \in a, b, c$).

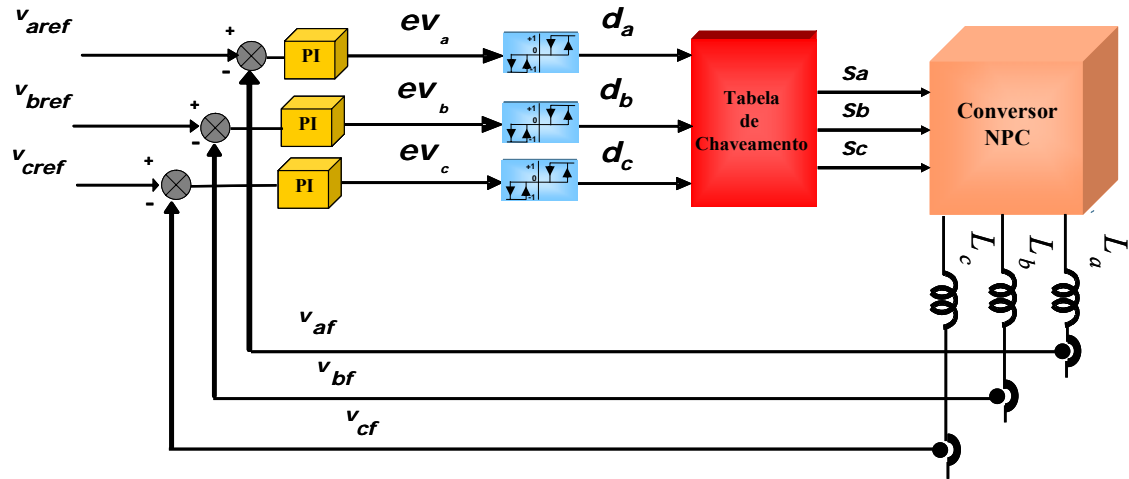


Fig.3- 5 - Esquema do controlador de tensão baseado em comparadores.

Com o objetivo de implementar uma estratégia de chaveamento no UPQC baseou-se na mesma idéia do controlador de corrente para implementar o controlador para tensão, conforme Fig.3- 5. O princípio básico da malha de tensão é o mesmo, porém os sinais v_{aref} , v_{bref} e v_{cref} entram com sinais positivos quando comparados com os sinais v_{af} , v_{bf} e v_{cf} sintetizados pelo inversor. Os resultados obtidos nas simulações serão mostrados na próxima seção.

3.5 Técnica de Modulação por vetor espacial (Space Vector Modulation)

O princípio básico da estratégia de chaveamento denominado modulação por vetor espacial (Space Vector Modulation) para conversores dois níveis é sintetizar um vetor girante de referência através da combinação linear dos vetores de chaveamento padrão representados na Fig.3- 6.

Esta sintetização do vetor de referência é realizada através de uma seqüência de chaveamento dos vetores padrão determinado pelo controlador de PWM. Como é possível decidir a seqüência de chaveamento a ser habilitada? No caso da modulação por vetor espacial dois níveis, isto depende apenas do respectivo sextante no qual o vetor a ser sintetizado esteja localizado.

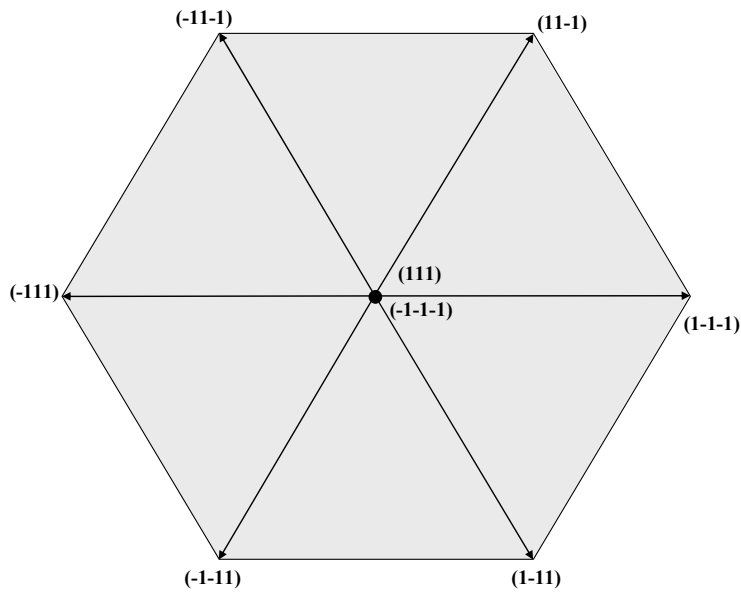


Fig.3- 6 - Hexágono mostrando os vetores básicos disponibilizados em um inversor dois níveis.

Para implementar a modulação por vetor espacial para conversores três níveis é necessário uma expansão da idéia de modulação por vetor espacial para os inversores de dois níveis. Na modulação utilizando um conversor NPC o hexágono resultante tem o formato apresentado na Fig.3- 7 com vinte e sete vetores básicos enquanto o hexágono dois níveis da Fig.3- 6 disponibiliza apenas oito vetores de chaveamento. Tomando como exemplo um filtro ativo como aplicação, a disponibilidade de um maior número de vetores de chaveamento permite sintetizar um vetor de compensação mais apurado. Outras vantagens do maior número de vetores de chaveamento é que a definição da seqüência de chaveamento permite que a corrente ou tensão de compensação seja obtida pelo inversor procurando minimizar as perdas por chaveamento e procurando manter o equilíbrio entre as tensões nos capacitores do barramento contínuo do conversor multinível.

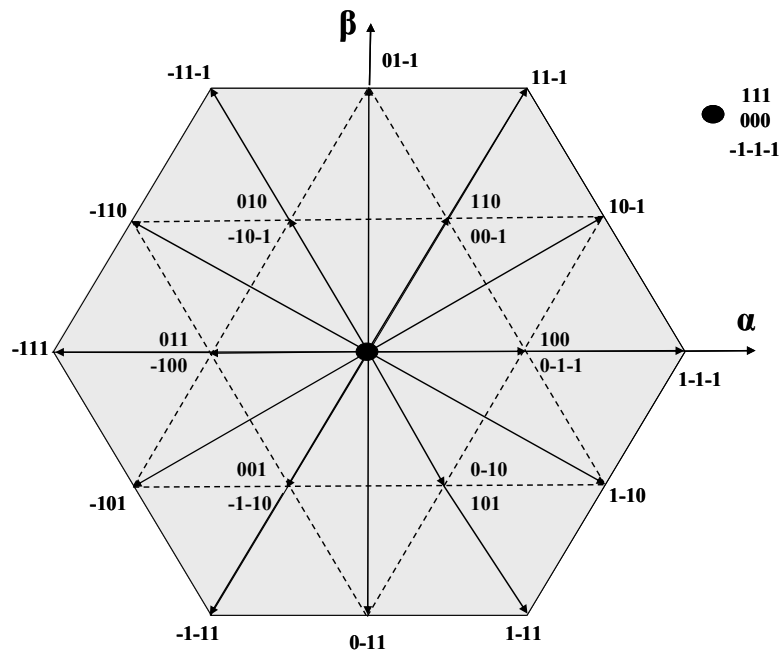


Fig.3- 7 - Hexágono representando os vetores de chaveamento de um conversor três níveis.

Para começar a apresentar o algoritmo da modulação por vetor espacial é necessária a diferenciação de alguns termos que são freqüentemente utilizados na teoria de modulação por vetor espacial.

Dentre estes termos, os principais são estados de chaveamento, vetores de chaveamento e vetor de referência. Na seção seguinte serão definidas as respectivas nomenclaturas.

3.6 Estados de chaveamento, vetores de chaveamento e tensão de referência.

A Fig.3- 7 mostra a representação hexagonal dos vetores de chaveamento disponíveis em um conversor três níveis (NPC). A identificação dos semicondutores que estão conduzindo ou não em cada fase determina os estados de chaveamento. A combinação de três estados de chaveamento forma os vetores de chaveamento básicos ou padrão. Cada segmento de reta orientado por uma seta e o ponto no centro do hexágono regular é um vetor de chaveamento.

Cada vetor recebe uma denominação composta por três números ou três letras que mostram as posições das chaves do inversor que estarão conduzindo em suas respectivas fases para sintetizar determinado vetor.

Na Fig.3- 8 é mostrado em destaque o primeiro sextante do hexágono da Fig.3- 7 que nada mais é do que um dos seis triângulos equiláteros principais que compõem um hexágono. Este sextante é dividido em regiões, mostradas na Fig.3- 9, que são identificadas no intuito de delimitar a área de atuação de cada vetor de chaveamento.

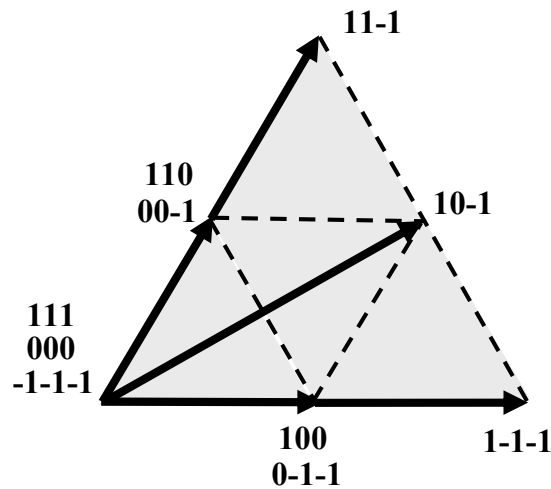


Fig.3- 8 - O 1º sextante do hexágono de um conversor três níveis.

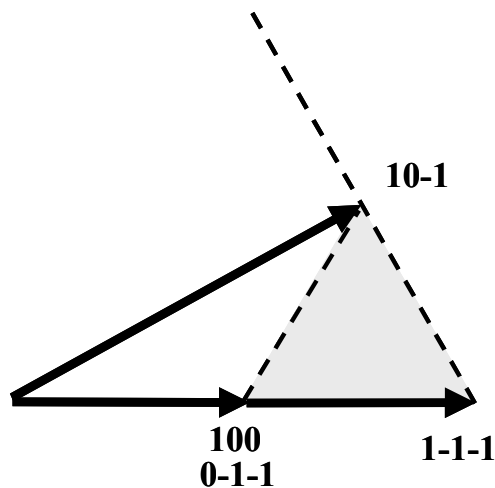


Fig.3- 9 - Região A_1 localizada no 1º sextante de um conversor NPC.

Na literatura disponível sobre SVM, encontram-se representações dos estados de chaveamento por letras p(positive), o (zero) e n(negative) e a nomenclatura numérica, conforme a apresentada neste trabalho, as duas podem ser utilizadas sem prejuízo ao entendimento da modulação. Neste trabalho a representação numérica é preferencialmente adotada, onde ‘-1’ significa que os semicondutores S_{3x} e S_{4x} estão conduzindo, ‘0’ S_{2x} e S_{3x} estão fechados e ‘1’ quando S_{1x} e S_{2x} estão conduzindo.

Outro conceito importante a ser definido é o de vetor de referência, que é o vetor que representa a combinação linear dos três vetores básicos envolvidos no processo de modulação.

Um dos motivos da importância de discernir o significado destas nomenclaturas é a possibilidade de obtenção de vetores redundantes. Conforme aumentam o número de níveis do inversor, ou seja, diferentes estados de chaveamento podem ser combinados e pode produzir vetores de chaveamento iguais. Os vetores redundantes são importantes para que possa haja a possibilidade de otimização da seqüência de chaveamento. Esta otimização é feita de maneira com que a seqüência comute apenas um estado de chaveamento por vez. Esta seqüência de chaveamento aloca os vetores de pequena amplitude de maneira que suas influências nos capacitores do barramento contínuo sejam iguais. Desta maneira é possível garantir que estes aumentem o desequilíbrio entre as cargas dos capacitores.

A função do modulador de PWM é definir os estados de chaveamento que os semicondutores em cada fase deverão assumir e quanto tempo é necessário manter cada estado de chaveamento para sintetizar o vetor de referência desejado.

3.7 Descrição do modulador por vetor espacial PWM

Nesta seção será especificado cada passo utilizado para a implementação deste modulador utilizando a técnica de chaveamento baseada na modulação por vetor espacial. O modulador foi dividido em três principais passos, nos quais permitem ao final a geração dos pulsos que serão aplicados nos semicondutores do conversor três níveis.

- 1° passo – determinação dos sextantes e das regiões e seqüências de chaveamento;
- 2° passo – cálculo dos ciclos de trabalho (duty cycles);
- 3° passo – determinação dos padrões de chaveamento.

3.8 Determinação do sextante e das regiões e seqüências de chaveamento

Para a implementação de todos os passos do respectivo algoritmo é necessária a decomposição do sinal de referência. Para tal é preciso realizar uma operação de mudança de coordenada, que pode ser retangular, polar, dentre outras. Existe um grau de liberdade na escolha do sistema de coordenadas que representa o vetor de referência (V_{ref}). A escolha deste sistema terá uma influência direta no caso de implementação prática em tempo real do algoritmo do modulador, através de Processadores de Sinais Digitais (**D**igital **S**ignal **P**rocessors – **DSP**). Os dois sistemas de coordenadas mais encontrados na literatura são as coordenadas polares e o sistema de eixos ortogonais (α , β). No caso de optar-se pelo sistema de coordenadas polares, o V_{ref} é representado por m , que representa a amplitude do vetor, e pelo ângulo θ do vetor de referência. Algumas das vantagens desta representação é a identificação direta do ângulo do vetor de referência (wt), conseqüentemente, a identificação do sextante no qual o vetor de referência está localizado também.

Caso a opção seja o sistema de coordenadas retangulares, um sistema trifásico passa a ser representado por dois eixos ortogonais (α , β). Nas simulações realizadas neste trabalho foi implementado o sistema de coordenadas retangulares. A explanação do modulador neste capítulo utilizou o sistema de coordenadas ortogonais, sem nenhum prejuízo ao entendimento do método.

Todos os passos do respectivo algoritmo são baseados em equações e comparações que necessitam das informações do vetor de referência. Então o primeiro passo é decompor o vetor de referência nas respectivas coordenadas escolhidas.

De posse desta informação, o modulador começa a proceder a identificação de qual sextante e a região na qual esteja localizado o vetor de referência a ser sintetizado. Antes de mostrar o mecanismo de determinação dos sextantes e regiões, mostrados nas Fig.3- 8 e Fig.3- 9, é necessário esclarecer o que vem a ser os mesmos.

Os sextantes são os seis triângulos equiláteros principais. Levando-se em consideração que o vetor de referência seja representado em coordenadas retangulares, os sextantes são determinados através da conversão das componentes ortogonais no plano, v_α e v_β , do vetor de referência para componentes v_{ref1} , v_{ref2} e v_{ref3} definidas em (3.1).

$$\begin{aligned}
v_{ref1} &= -\frac{\sqrt{3}}{2}v_{\alpha} + \frac{3}{2}v_{\beta} \\
v_{ref2} &= \frac{\sqrt{3}}{2}v_{\alpha} - \frac{3}{2}v_{\beta} \\
v_{ref3} &= -\frac{\sqrt{3}}{2}v_{\alpha} - \frac{3}{2}v_{\beta}
\end{aligned} \tag{3.1}$$

Após a transformação, realizam-se comparações seguindo a lógica apresentada em (3.2).

$$\begin{aligned}
v_{ref1} \leq 0 &\rightarrow a = 0 \\
v_{ref1} > 0 &\rightarrow a = 1 \\
v_{ref2} \leq 0 &\rightarrow b = 0 \\
v_{ref2} > 0 &\rightarrow b = 1 \\
v_{ref3} \leq 0 &\rightarrow c = 0 \\
v_{ref3} > 0 &\rightarrow c = 1
\end{aligned} \tag{3.2}$$

Através da variável denominada *setor*, definida em (3.3) identifica-se o sextante onde o vetor de referência está localizado. A Tab.3- 2 faz a relação da variável setor com o respectivo sextante.

$$setor = a + 2 \cdot b + 4 \cdot c \tag{3.3}$$

<i>setor</i>	1	2	3	4	5	6
<i>sextante</i>	2	6	1	4	3	5

Tab.3- 2 - Tabela relacionando os valores da variável *setor* com os respectivos sextantes.

As regiões são pequenos triângulos dentro de um determinado sextante. Os lados destes triângulos internos ao sextante são descritos através de equações de retas utilizando o respectivo sistema de referência adotado, no caso o sistema de coordenadas retangulares.

A Fig.3- 10 mostra as 4 equações de reta que determinam os limites de cada região do 1º sextante. O número de equações de reta em todos os sextantes é igual. Para determinar as regiões é necessário definir qual a posição do vetor de referência em relação às retas que delimitam as respectivas regiões. Por exemplo, para garantir que o vetor de referência está localizado na região A_1 é necessário que as condições (3.4) a (3.6) precisem

ser obedecidas. A Fig.3- 11 mostra a localização das equações de reta e as retas que delimitam a região A_1 . Na mesma figura mostra os três vetores de chaveamento envolvido na combinação linear para sintetizar um vetor de referência qualquer localizado no primeiro sextante e na região A_1 . Os vértices das regiões são as extremidades dos vetores de chaveamento. Neste trabalho optou-se pela técnica de organizar as seqüências de chaveamento com os três vetores mais próximos de cada região em todos os sextantes. Porque desse modo é possível garantir que haja troca de apenas um estado de chaveamento por vetor envolvido na combinação linear. Logo é necessário determinar em cada região três ciclos de trabalho, um para cada vetor aplicado na respectiva seqüência [16], [23].

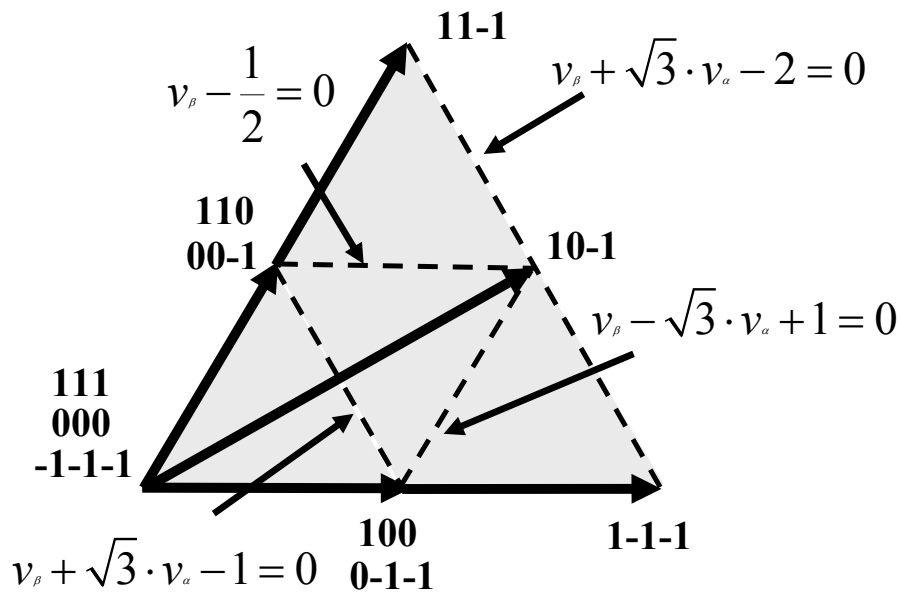


Fig.3- 10 – As 4 equações de reta envolvidas na delimitação das regiões do 1º sextante.

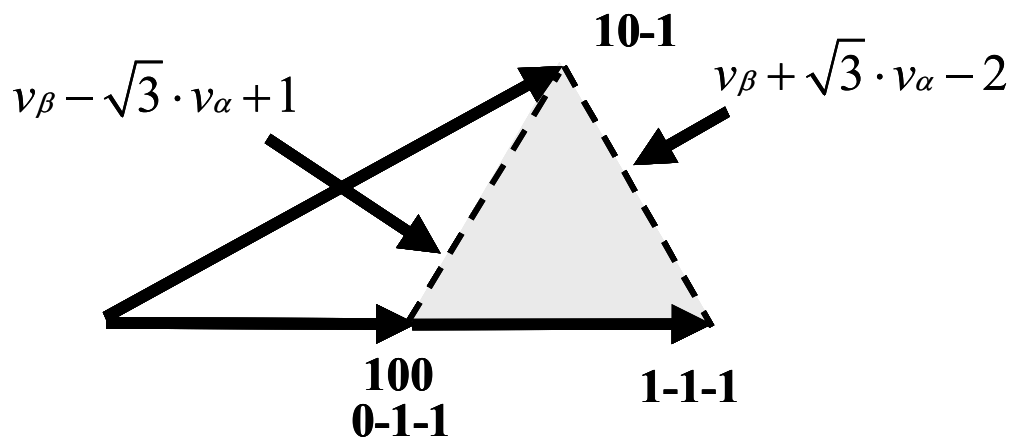


Fig.3- 11 - Figura mostrando as equações de reta que delimita a região A₁ do 1º sextante.

Através da determinação de qual das regiões se encontra o vetor de referência, associado com a informação de cada sextante é possível precisar quais os três vetores mais próximos utilizados na combinação linear para sintetização do V_{ref} desejado e conseqüentemente definir a seqüência de chaveamento.

$$v_{\beta} - \sqrt{3} \cdot v_{\alpha} + 1 > 0 \quad (3.4)$$

$$v_{\beta} + \sqrt{3} \cdot v_{\alpha} - 2 < 0 \quad (3.5)$$

$$v_{\beta} > 0 \quad (3.6)$$

Na Fig.3- 12 estão mostradas além das regiões do primeiro sextante, também os vetores de chaveamento padrão localizados no primeiro sextante do hexágono do conversor três níveis. Cada sextante possui 4 vetores de pequena amplitude, 2 vetores de grande amplitude, 1 vetor de média amplitude e os 3 vetores nulos. Além disso, podemos observar a divisão do sextante nas regiões (A₁, A₂, A₃ e A₄). Em cada região desta, habilita-se uma seqüência de chaveamento diferente. Nas Fig.3- 13 a Fig.3- 16 mostra quais os vetores estarão envolvidos no processo de sintetização do vetor de referência em cada uma das regiões.

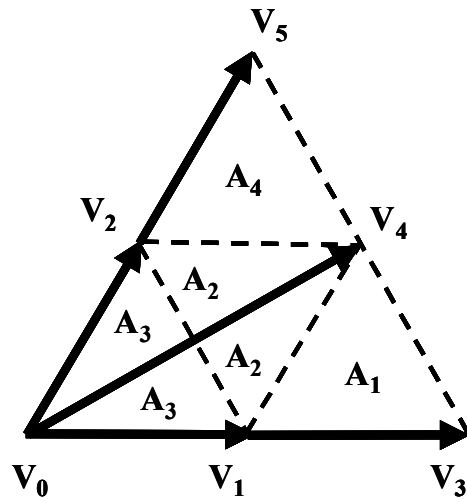


Fig.3- 12 - Regiões e vetores do primeiro sextante de um conversor três níveis.

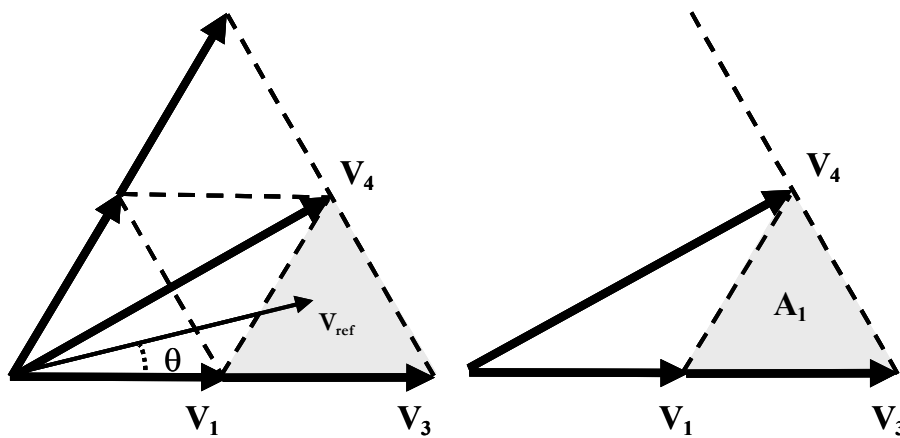


Fig.3- 13 - Vetores associados à região A_1 do 1º sextante.

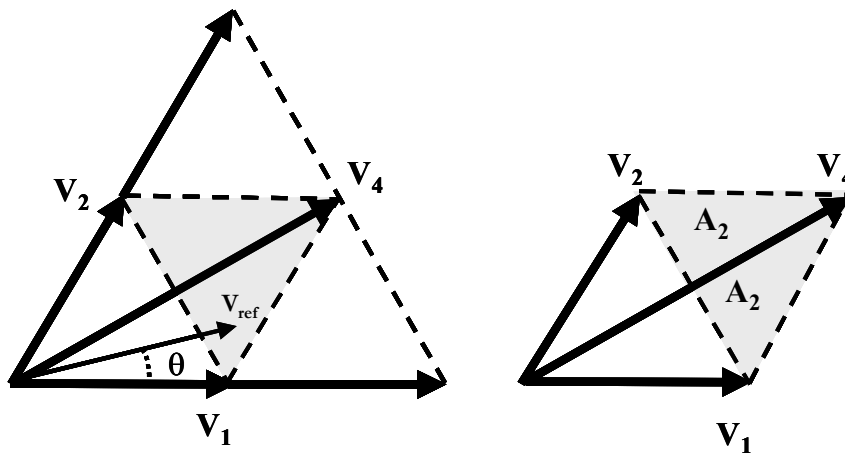


Fig.3- 14 - Vetores associados à região A_2 do 1º sextante.

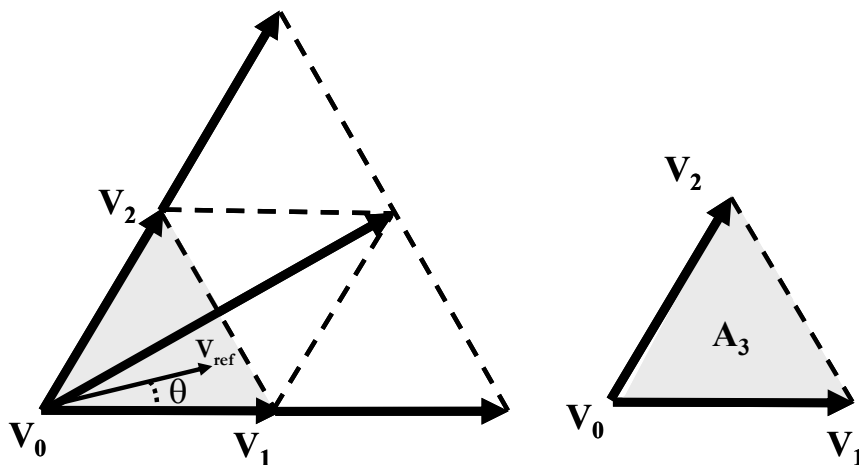


Fig.3- 15 - Vetores associados à região A_3 do 1º sextante.

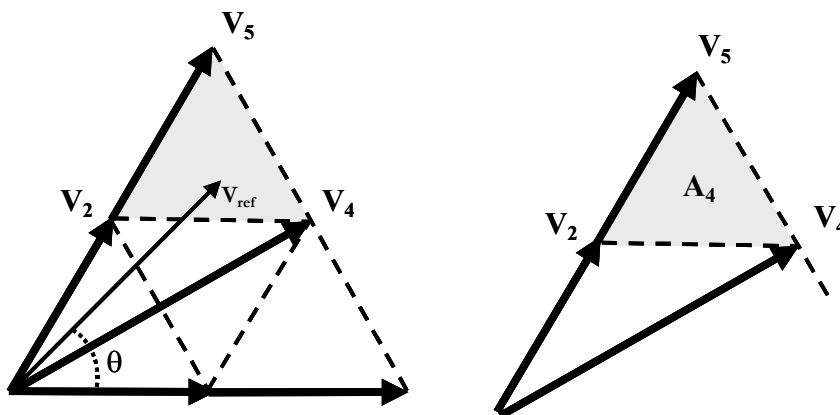


Fig.3- 16 - Vetores associados à região A_4 do 1º sextante.

Após a localização dos sextantes e regiões, por conseguinte a determinação dos três vetores adjacentes ao V_{ref} , o passo seguinte é selecionar uma seqüência de chaveamento pré – determinada no modulador. O arranjo desta seqüência leva em conta, que haja apenas uma mudança de estado de chaveamento por fase em cada troca de vetor básico de chaveamento. Fazendo uma análise dos vetores de chaveamento alocados no hexágono é possível obter mais de uma seqüência de chaveamento utilizando o método implementado (detecção dos três vetores mais próximos ao vetor de referência), porém optou-se por uma delas [16]. As Fig.3- 17 a Fig.3- 20 mostra quais as direções foram adotadas para a definição da seqüência de chaveamento para as regiões localizadas no 1º sextante.

Região A₁

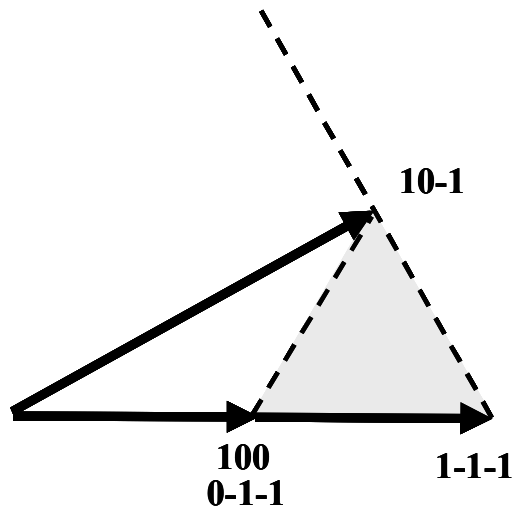
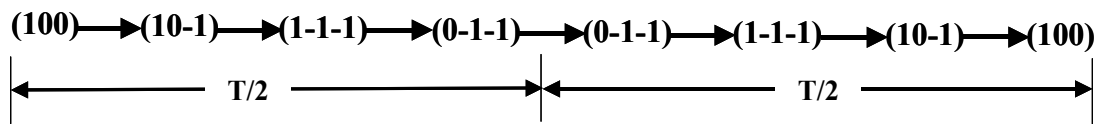


Fig.3- 17 – Direção da seqüência de chaveamento adotada para região A₁ do 1º sextante.



Região A₂

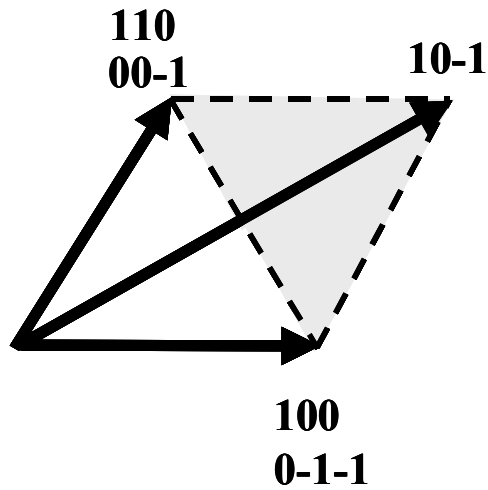
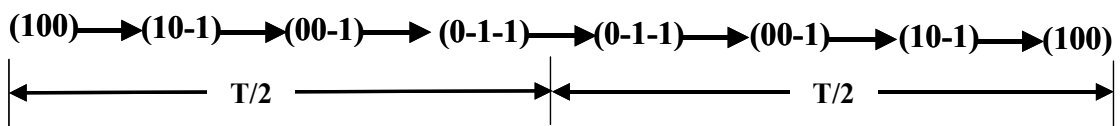


Fig.3- 18 - Direção da seqüência de chaveamento adotada para região A₂ do 1º sextante.



Região A₃

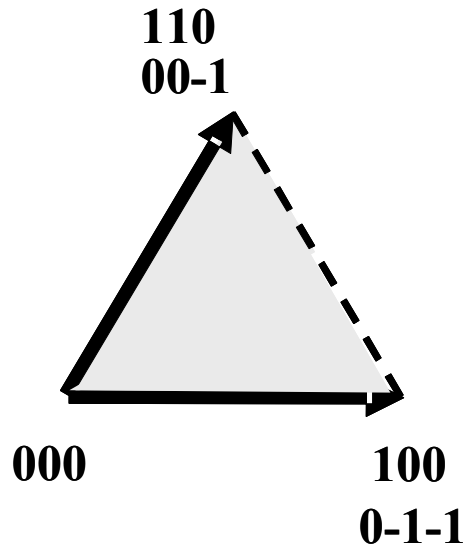


Fig.3- 19 - Direção da seqüência de chaveamento adotada para região A₃ do 1º sextante.

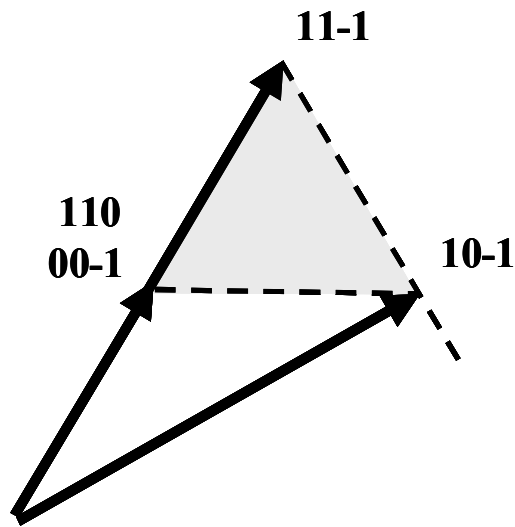
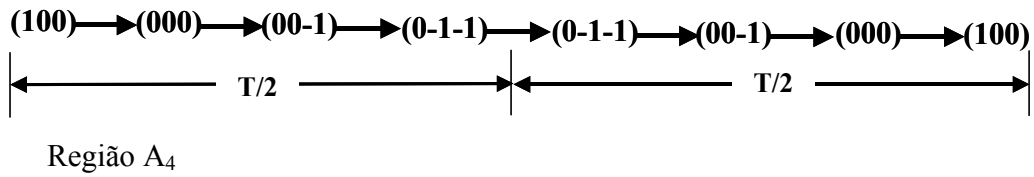
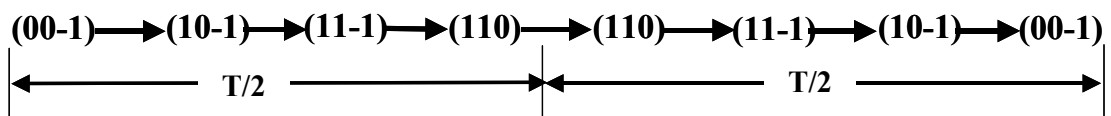


Fig.3- 20 - Direção da seqüência de chaveamento adotada para região A₄ do 1º sextante.



Observando a representação espacial dos vetores de chaveamento dos conversores dois níveis nota-se que em todas as seqüências de chaveamento o vetor nulo está presente. As seqüências de chaveamento das regiões mais externas do hexágono dos conversores três níveis do primeiro sextante estão representadas nas Fig.3- 17, Fig.3- 18 e Fig.3- 20. Nestas podemos observar que não há a presença do vetor nulo e sim de vetores redundantes de pequena amplitude. Na Fig.3- 19 são regiões que teoricamente não forçam nenhum desequilíbrio no barramento contínuo visto que é uma região que a seqüência de chaveamento é composta de vetores de pequena amplitude e o vetor de chaveamento nulo. Contudo, as regiões A_1 , A_2 e A_4 envolvem o chaveamento do vetor médio, que não possui redundância. Conforme será visto mais adiante existe um desequilíbrio inevitável em C_1 e C_2 quando o V_{ref} estiver nas regiões A_1 , A_2 e A_4 .

Com estas seqüências pré - determinada para cada região, é possível garantir que apenas um estado de chaveamento será alterado durante a troca de vetores de chaveamento no processo de combinação linear. Outra vantagem que estas seqüências propiciam é o fato de alocar os vetores redundantes de pequena amplitude de forma que mantenha o equilíbrio entre os capacitores do barramento contínuo.

3.9 Determinação dos ciclos de trabalho (duty cycles) e da seqüência de chaveamento dos vetores de chaveamento.

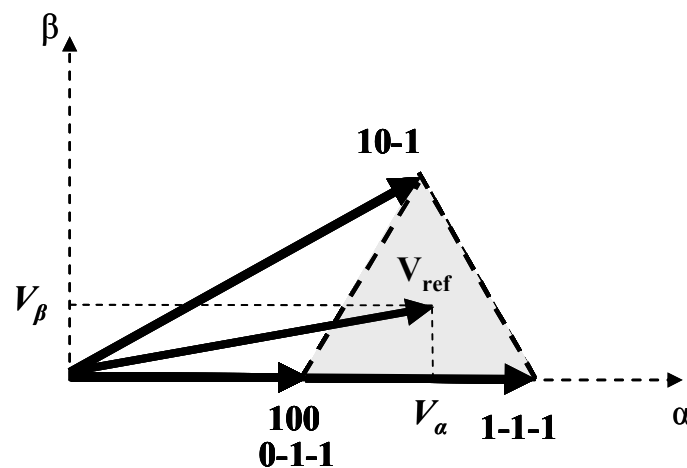


Fig.3- 21 - Figura mostrando os vetores básicos e o vetor de referência.

Com a informação da localização do vetor de referência, é possível definir quais os três vetores básicos mais próximos serão utilizados na sintetização do mesmo. Conhecendo

os vetores que estarão envolvidos na combinação linear, o próximo passo é calcular o ciclo de trabalho de cada vetor de chaveamento envolvido no processo de formação do V_{ref} . Estes cálculos são realizados através de equações com as informações dos eixos v_α e v_β do vetor de referência. O princípio básico é o mesmo que para o cálculo dos tempos para os conversores dois níveis [23], ou seja, considera-se que em cada região do hexágono existe a combinação de três vetores de chaveamento sendo que pelo menos um deles é redundante.

A técnica PWM de modulação por vetor espacial tem por objetivo sintetizar um vetor de referência através da combinação dos padrões de chaveamento correspondente aos vetores de chaveamento básicos. A Fig.3- 21 mostra o exemplo de um vetor de referência localizado no 1º sextante na região A_1 as componentes V_α e V_β e os três vetores mais próximos do V_{ref} . As componentes V_α e V_β mostradas na Fig.3- 21 são as projeções do vetor de referência nos eixos α e β respectivamente. Estas projeções serão os sinais de entrada para o modulador da estratégia de chaveamento.

Através da combinação linear dos três vetores mais próximos, $V_1(100$ ou $0-1-1)$, $V_3(1-1-1)$ e $V_4(10-1)$ conforme a Fig.3- 21 será sintetizado o V_{ref} . De acordo com a posição do vetor de referência no sextante e na região os vetores básicos serão aplicados por mais ou menos tempo. O tempo que cada vetor de chaveamento será utilizado na combinação linear é denominado ciclo de trabalho. Os ciclos de trabalho de cada vetor básico envolvido no processo de sintetização do vetor de referência são calculados a partir do sistema de equações (3.7). Em cada região é possível obter o sistema de equações dos ciclos de trabalho de todos os vetores de chaveamento. Para ilustrar foi tomado como exemplo um vetor de referência localizado na região A_1 do 1º sextante.

$$\begin{aligned} T_1 &= 1 - T_3 - T_4 \\ V_{ref} &= \overline{V_1} \cdot T_1 + \overline{V_3} \cdot T_3 + \overline{V_4} \cdot T_4 \\ \text{sendo :} & \end{aligned} \tag{3.7}$$

$$V_1 = \frac{1}{3} e^{j0}, V_3 = \frac{2}{3} e^{j0}, V_4 = \frac{1}{\sqrt{3}} e^{j\frac{\pi}{6}}$$

A variável T representa o período total correspondente a um ciclo de chaveamento. Em (3.8) a (3.10) são apresentadas as equações dos três ciclos de trabalho obtidas, para os vetores de chaveamento da região A_1 do primeiro sextante. As outras equações de ciclos de trabalho para os vetores de chaveamento das outras regiões do primeiro sextante são

apresentadas em (3.11) a (3.19) e seguem o mesmo princípio. Sendo que as equações de ciclos de trabalho para as demais regiões e sextantes são mostradas no capítulo de Anexos.

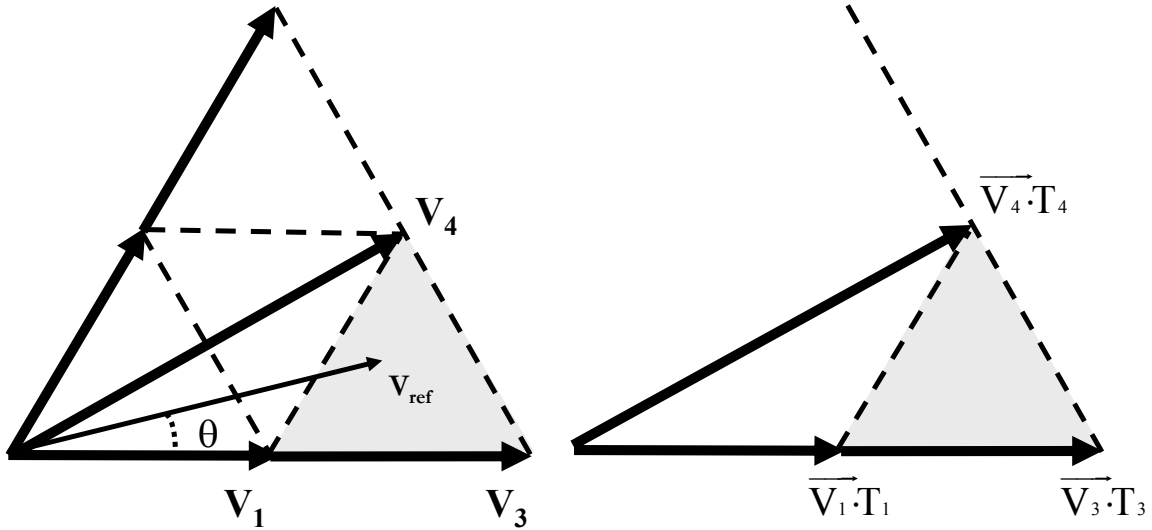
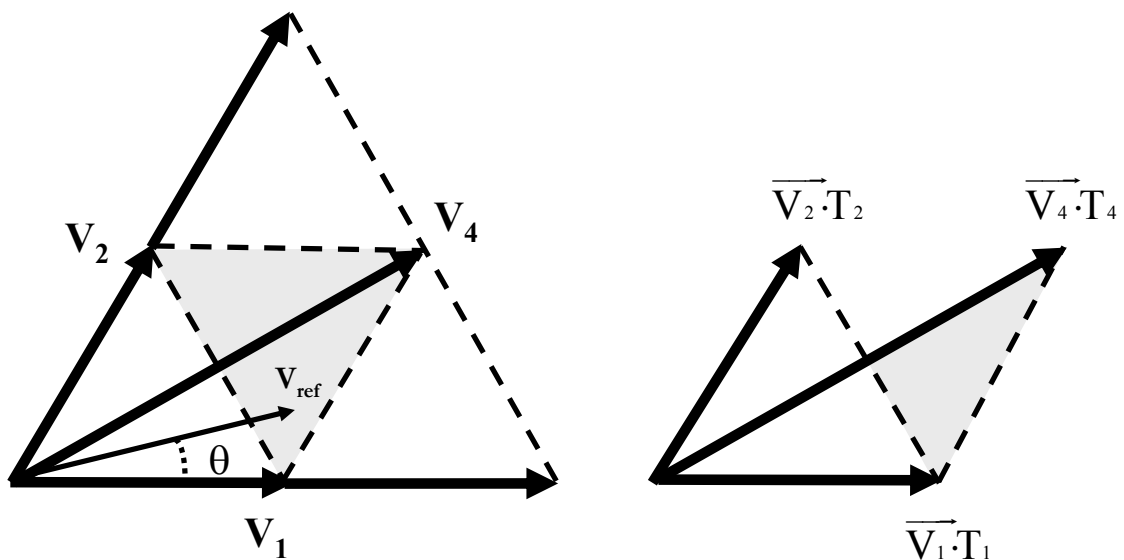


Fig.3- 22 - Ciclos de trabalhos associados à região A_1 do 1º sextante.

$$T_1 = 1 - T_3 - T_4 \quad (3.8)$$

$$T_3 = \frac{1}{2} \cdot (\sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta) \quad (3.9)$$

$$T_4 = 2 \cdot V_\beta \quad (3.10)$$



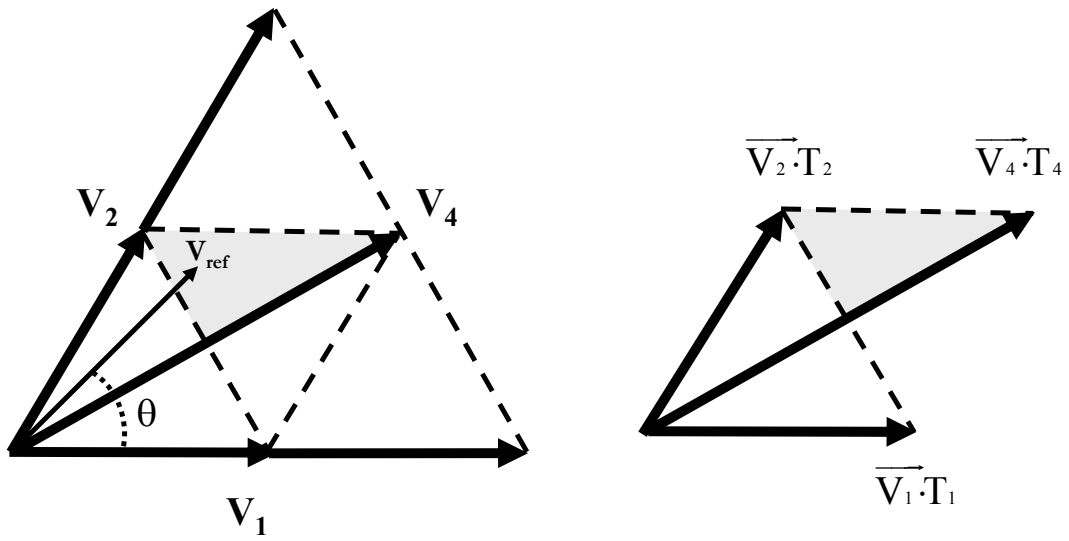
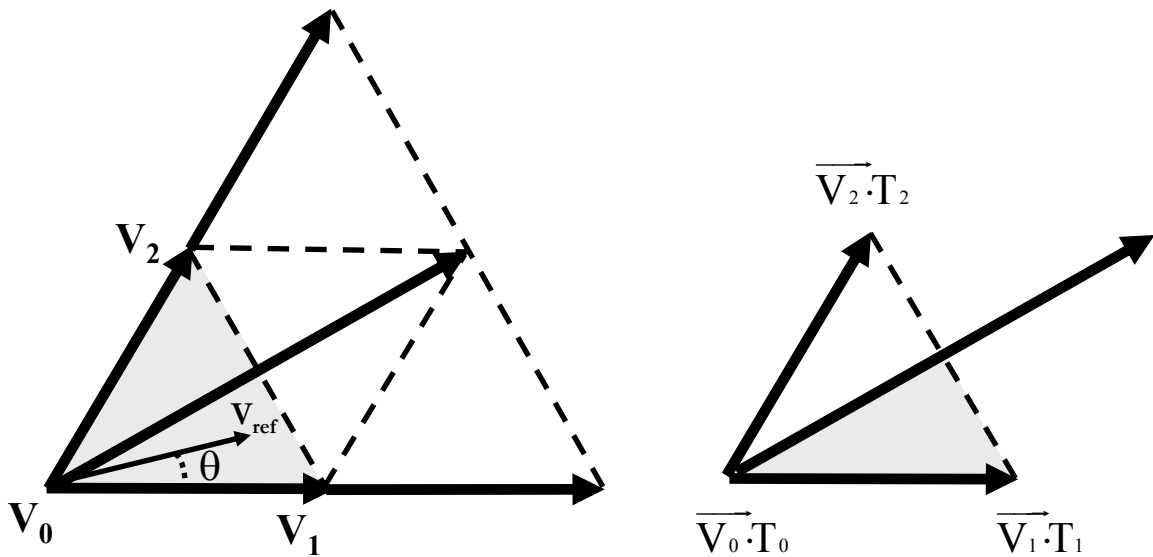


Fig.3- 23 - Ciclos de trabalhos associados à região A_2 do 1º sextante.

$$T_1 = 1 - T_2 - T_4 \quad (3.11)$$

$$T_2 = (\sqrt{3} \cdot V_\alpha - V_\beta) \quad (3.12)$$

$$T_4 = 2 \cdot V_\beta \quad (3.13)$$



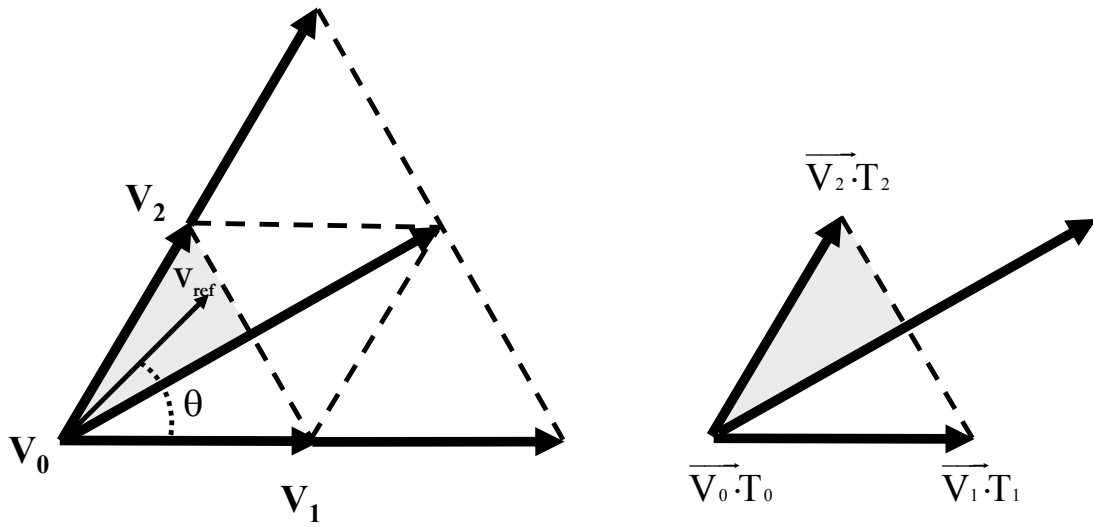


Fig.3- 24 - Ciclos de trabalhos associados à região A₃ do 1º sextante.

$$T_1 = (\sqrt{3} \cdot V_\alpha - V_\beta) \quad (3.14)$$

$$T_2 = 2 \cdot V_\beta \quad (3.15)$$

$$T_0 = 1 - T_2 - T_1 \quad (3.16)$$

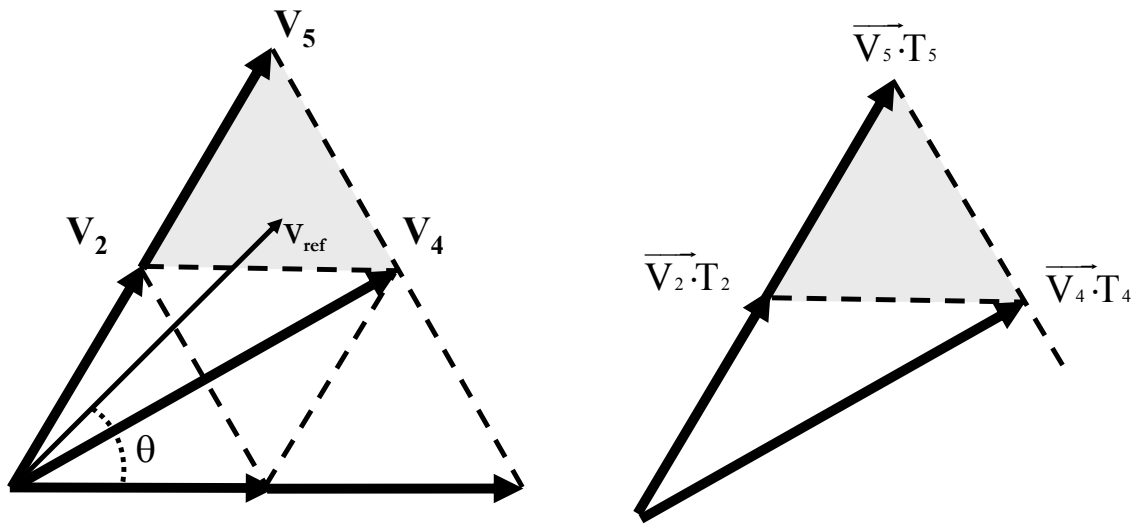


Fig.3- 25 - Ciclos de trabalhos associados à região A₄ do 1º sextante.

$$T_4 = (\sqrt{3} \cdot V_\alpha - V_\beta) \quad (3.17)$$

$$T_5 = \frac{1}{2} \cdot (\sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta) \quad (3.18)$$

$$T_2 = 1 - T_4 - T_5 \quad (3.19)$$

Os ciclos de trabalho possuem a informação de quanto tempo cada um dos três vetores mais próximos ficará aplicado na combinação linear, sem levar em consideração que os tempos dos vetores redundantes precisam ser divididos em partes iguais. Esta estratégia de chaveamento permite que pelo menos um dos vetores de chaveamento envolvido na combinação linear seja redundante com isto o ciclo de trabalho do mesmo precisa ser dividido em partes iguais para que a aplicação deste vetor não desequilibre os capacitores do barramento contínuo. Para o caso da região A_1 existe um vetor redundante que é o V_1 (100) ou (0-1-1), o seu ciclo de trabalho (T_1) é dividido pela metade para cada vetor.

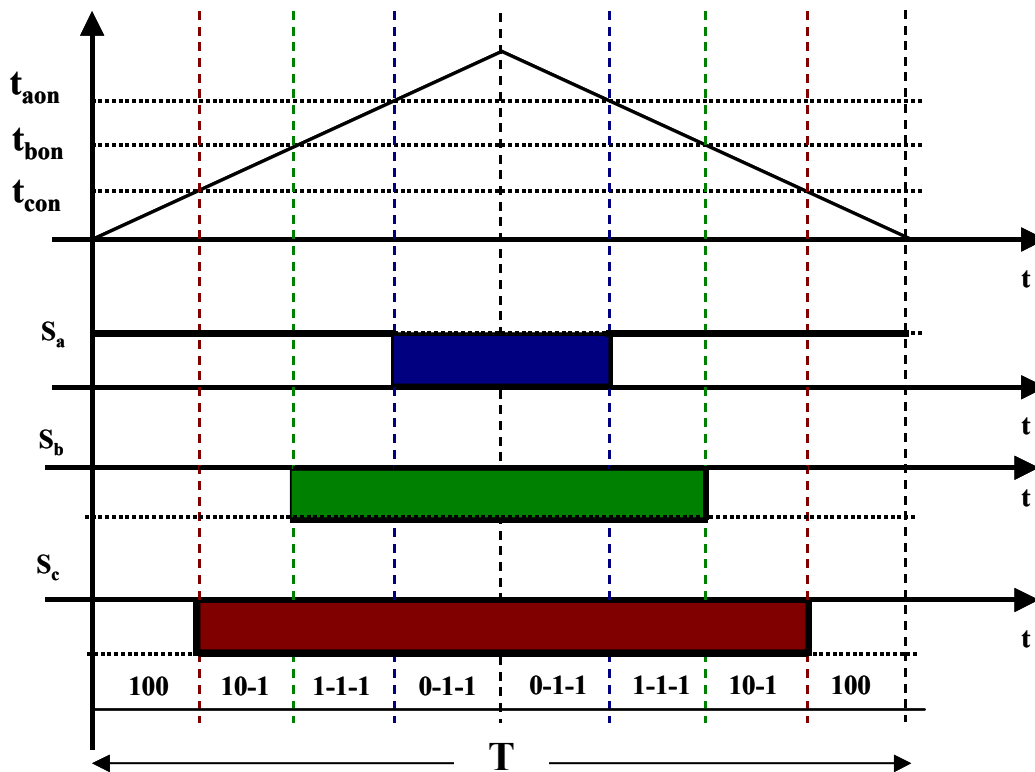


Fig.3- 26 - Padrões de chaveamento de cada fase dos vetores da região A_1 do 1º sextante.

As equações (3.20) a (3.22) determinam as variáveis t_{aon} , t_{bon} e t_{con} que são os padrões de chaveamento das fases a , b e c respectivamente da região A_1 do 1º sextante. Os

ciclos de trabalho dos vetores de chaveamento são utilizados para obter os tempos t_{aon} , t_{bon} e t_{con} .

$$t_{aon} = \frac{(T_1)}{2} \quad (3.20)$$

$$t_{bon} = t_{aon} + T_4 \quad (3.21)$$

$$t_{con} = t_{bon} + T_3 \quad (3.22)$$

A Fig.3- 26 mostra os padrões de chaveamento das fases a , b e c para a seqüência de chaveamento da região A_1 do primeiro sextante. Analisando os respectivos padrões obtidos na Fig.3- 26 é possível observar que cada um deles possui apenas duas variações de estado a cada ciclo completo de chaveamento (T). Por exemplo, tomando o padrão de chaveamento da fase a (t_{aon}) observa-se que o conversor só varia dos estados 1 para 0 na primeira metade do ciclo de chaveamento e volta do estado 0 para 1 na metade final da seqüência de chaveamento. Esta característica existe para os padrões de chaveamento de todas as regiões do hexágono.

3.10 Comportamento das tensões nos capacitores do barramento contínuo

O objetivo desta seção é mostrar como cada categoria de vetor de chaveamento, principalmente os de pequena amplitude, influencia no equilíbrio de tensão entre os capacitores do barramento contínuo.

Os conversores de três níveis disponibilizam um total de 27 vetores de chaveamento. De acordo com a representação espacial é possível classificar estes vetores em quatro categorias diferentes de acordo com os respectivos comprimentos [5]: seis vetores de grande amplitude, (1-1-1), (11-1), (-11-1), (-111), (-1-11), (101); seis vetores de média amplitude, (10-1), (01-1), (-120), (-101), (0-11), (1-10); doze vetores de pequena amplitude, (100), (0-1-1), (110), (00-1), (010), (-10-1), (011), (-100), (001), (-1-10), (0-10), (101); três vetores nulos (111), (000), (-1-1-1). Com base nesta divisão é possível dividir as ações que cada categoria exerce no equilíbrio de carga nos capacitores do barramento contínuo. As categorias de vetores com pequena amplitude e vetores nulos disponibilizam vetores redundantes, ou seja, o mesmo vetor de chaveamento pode ser sintetizado através de uma outra combinação de estados de chaveamento.

A topologia de conversor NPC possui o barramento contínuo dividido, ou seja dois capacitores conectados em série ligados ao ponto de neutro. Esta configuração exige que o

equilíbrio entre os mesmos seja mantido a fim de evitar problemas de desequilíbrio das tensões aplicadas nos semicondutores. A técnica de chaveamento SVM através da determinação das seqüências dos vetores de chaveamento em cada região do hexágono é um importante artifício para propiciar uma minimização efetiva neste desequilíbrio de tensão entre os capacitores do barramento contínuo.

Nas Fig.3- 27 a Fig.3- 31 são mostrados os efeitos dos chaveamentos, dos vetores de pequena amplitude e do vetor de média amplitude pertencentes ao 1° sextante. Baseando-se nas combinações dos estados de chaveamento e também com a direção da corrente de neutro (i_n) é analisado como cada vetor afeta o equilíbrio entre as tensões nos capacitores do conversor três níveis.

Os vetores de grande amplitude e os vetores nulos não contribuem para o equilíbrio ou desequilíbrio das tensões nos capacitores do barramento contínuo. Os vetores de média amplitude conectam sempre uma das fases a ponto de neutro (N) gerando um desequilíbrio de carga. O efeito destes não é controlável visto que em um mesmo sextante não existe um outro vetor com a mesma amplitude com ação contrária que possa ser utilizada para compensação. Todos os vetores de chaveamento que possuem pequena amplitude são vetores redundantes. Com isto, podem ser sintetizados através de mais de uma combinação de chaveamento produzindo efeitos de ação de carregamento ou descarregamento nos capacitores C_1 e C_2 . O sentido da corrente de neutro nas respectivas combinações influencia no carregamento e descarregamento dos capacitores do barramento contínuo.

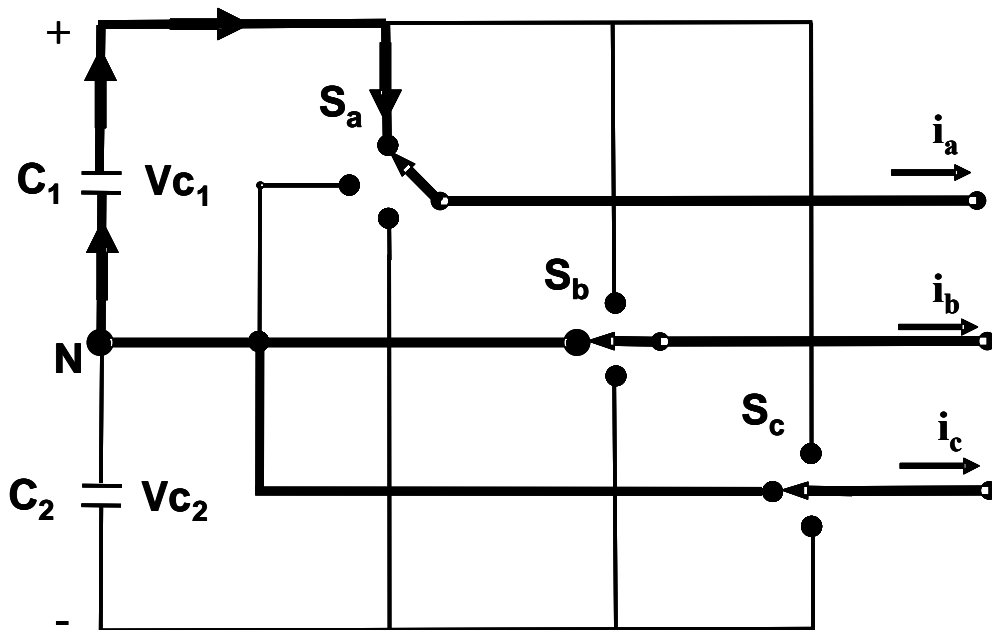


Fig.3- 27 - Ação do vetor pequeno (100) no equilíbrio dos capacitores do barramento contínuo.

A Fig.3- 27 mostra que as fases *b* e *c* estão grampeadas no ponto de neutro (*N*) e o semicondutor da fase *a* está conectando o capacitor C_1 , ao lado de carga. De acordo com a Fig.3- 27 a corrente que circulará pelo ponto de neutro (i_n) será a da fase *a*. Se as correntes da fase *b* e *c* forem positivas, e i_n for menor que zero ou seja $i_a < 0$ o capacitor C_1 irá carregar.

A Fig.3- 28 mostra a ação do vetor de chaveamento redundante (0-1-1). Nesta apenas a fase *a* está grampeada no ponto de neutro (*N*) e os semicondutores das fases *b* e *c* estão conectando o capacitor C_2 aos terminais de carga. De acordo com Fig.3- 28 o sentido da corrente de neutro que circulará no ramo grampeado é indicado pelo caminho em negrito. A corrente de neutro sendo positiva ou seja $i_n > 0$ e as correntes nas fases *b* e *c* sendo negativas faz com que a tensão no V_{C2} diminua.

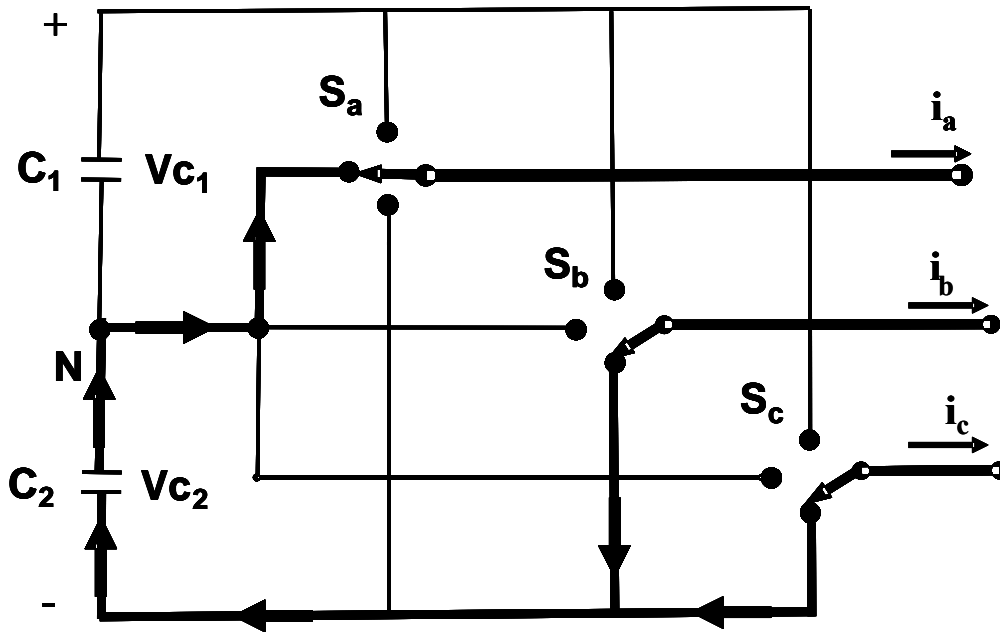


Fig.3- 28 - Ação do vetor pequeno (0-1-1) no equilíbrio dos capacitores do barramento contínuo.

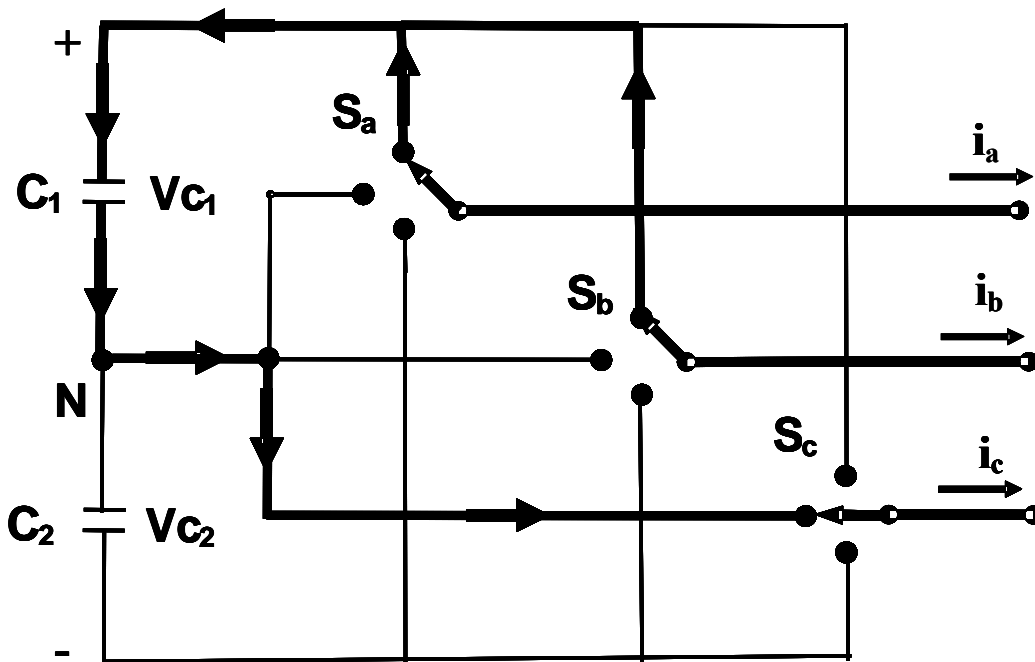


Fig.3- 29 - Ação do vetor pequeno (110) no equilíbrio dos capacitores do barramento contínuo.

A Fig.3- 29 mostra a ação do vetor de pequena amplitude (110). Os semicondutores das fases *a* e *b* estão conectando o capacitor C_1 nos terminais de carga e o semicondutor da fase *c* está grampeando o ponto de neutro (N). Sendo as correntes nas fases *a* e *b* entrando

no ponto N, a corrente da fase c que circulará pelo ponto de neutro terá o sentido saindo do ponto N ou seja $i_c > 0$ e o capacitor C_1 irá carregar.

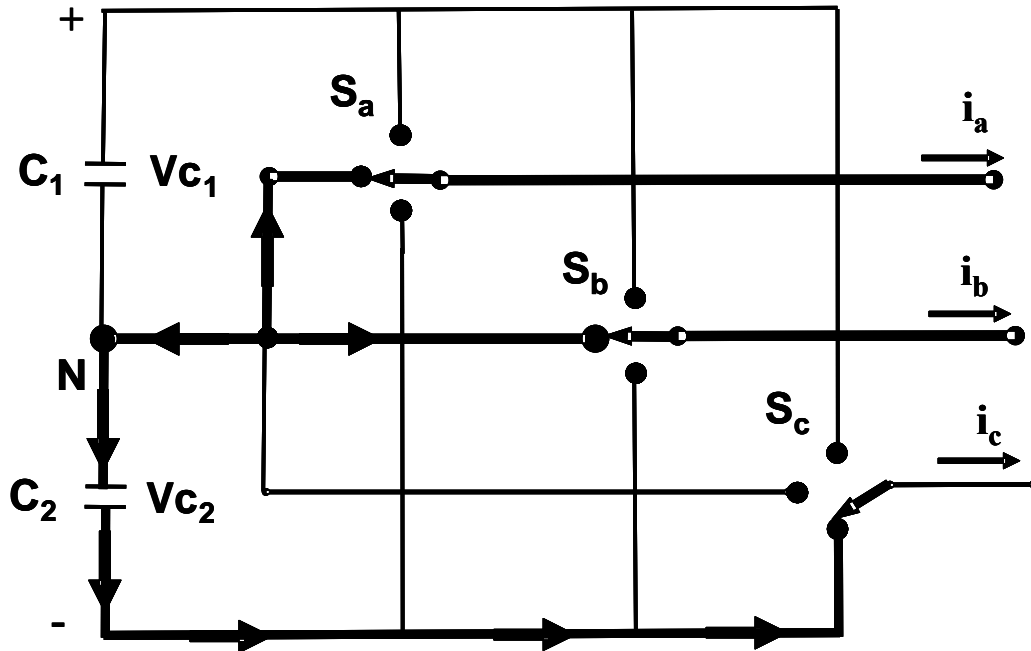


Fig.3- 30 - Ação do vetor pequeno (00-1) no equilíbrio dos capacitores do barramento contínuo.

A Fig.3- 30 mostra a ação do vetor de chaveamento redundante (00-1). As fases a e b estão grampeadas no ponto de neutro (N) e os semicondutores da fase c está conectando o capacitor C_2 aos terminais da carga. Se as correntes de neutro (i_n) e as correntes de fase obedecer os sentidos indicados pelo caminho em negrito conforme Fig.3- 30 faz com que a tensão V_{C2} aumente.

A Fig.3- 31 mostra que um vetor de média amplitude influencia de maneira diferente no equilíbrio do barramento contínuo, visto que o vetor analisado (10-1) indica que a fase b está grampeada no ponto de neutro (N) e a corrente de neutro fluirá no sentido indicado pelo caminho em negrito conforme Fig.3- 31. Se as correntes nas fases a e c obedecerem os sentidos das setas, os dois capacitores C_1 e C_2 sofrerão ações de descarregamento.

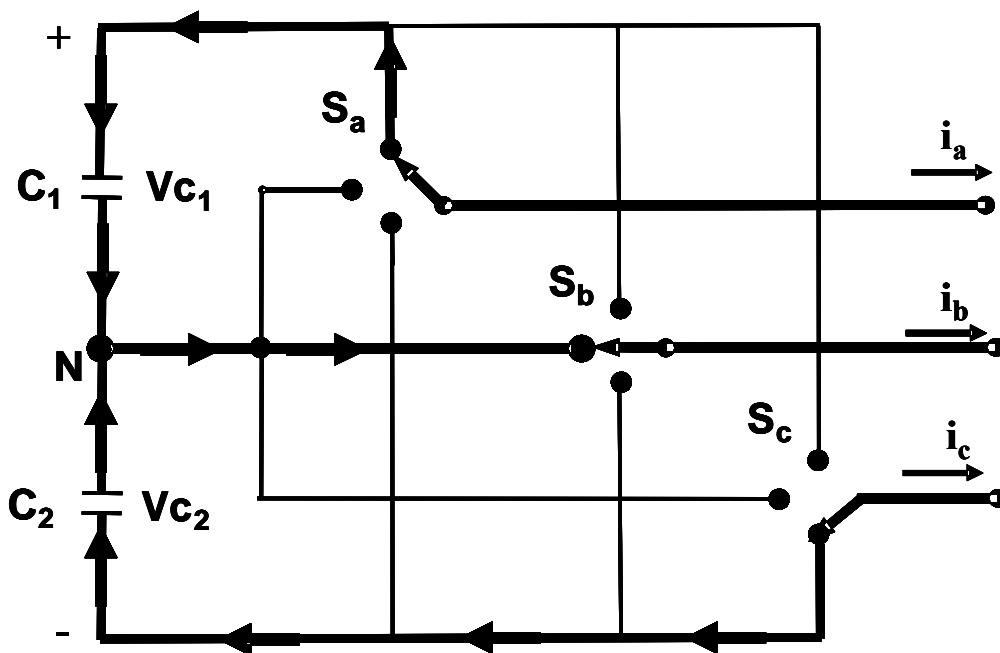


Fig.3- 31 - Ação do vetor médio (10-1) no equilíbrio dos capacitores do barramento contínuo.

3.11 Conclusões Parciais

Este capítulo apresentou algumas técnicas de chaveamento aplicadas em conversores multiníveis. Neste capítulo foi descrita a técnica de chaveamento baseada em comparadores três níveis. Enfocando sua lógica de funcionamento para acessar a tabela de chaveamento. A técnica de modulação por vetor espacial utilizada também foi descrita detalhadamente mostrando os principais passos desde a identificação sextantes e das regiões até a geração dos padrões de chaveamento. Ambas as técnicas foram implementadas em simulações que serão apresentadas no próximo capítulo. Além disto, ao final é mostrado como os vetores de chaveamento podem influenciar no equilíbrio dos capacitores do barramento contínuo.

4 CONDICIONADOR UNIVERSAL DE QUALIDADE DE ENERGIA (UPQC)

O objetivo deste capítulo é mostrar os resultados obtidos com as simulações nos modelos implementados no programa de simulação PSCAD[®]/EMTDC[™]. Foram realizadas simulações no conversor três níveis utilizando a topologia NPC, aplicado no condicionador universal de qualidade de energia. Neste capítulo será mostrada uma breve apresentação sobre os princípios de funcionamento tanto do filtro ativo paralelo quanto do filtro ativo série. Será indicado o circuito de potência do UPQC que inclui o filtro ativo paralelo e o filtro ativo série. Resumidamente será descrita a estratégia de controle tanto para o cálculo da corrente de referência quanto da tensão de referência utilizada no condicionador. Serão expostos os resultados obtidos nas simulações com intuito de comprovar a eficácia da técnica de chaveamento baseada em comparadores e na modulação por vetor espacial.

4.1 Princípio do filtro ativo paralelo

Na Fig.4- 1 pode ser visto o circuito de potência básico do filtro ativo paralelo, utilizando o conversor três níveis. O inversor do filtro ativo funciona com uma malha de corrente controlada e tem como função básica, confinar todas as correntes não desejadas geradas pela carga, permitindo que a corrente drenada da rede torne-se senoidal, conforme Fig.4- 2. Idealmente, o filtro ativo paralelo compensa em tempo real, todo conteúdo harmônico da corrente da carga.

A estratégia de controle irá gerar as correntes de compensação, estas correntes serão sintetizadas pelo filtro através da estratégia de chaveamento, que comanda a comutação dos estados de chaveamento dos semicondutores do inversor.

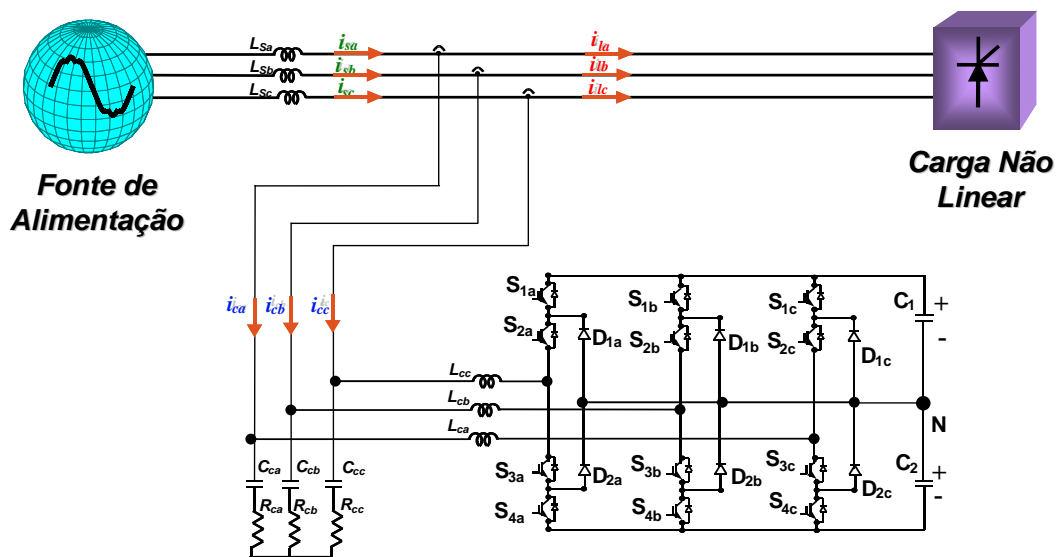


Fig.4- 1 - Circuito de potência de um filtro ativo paralelo.

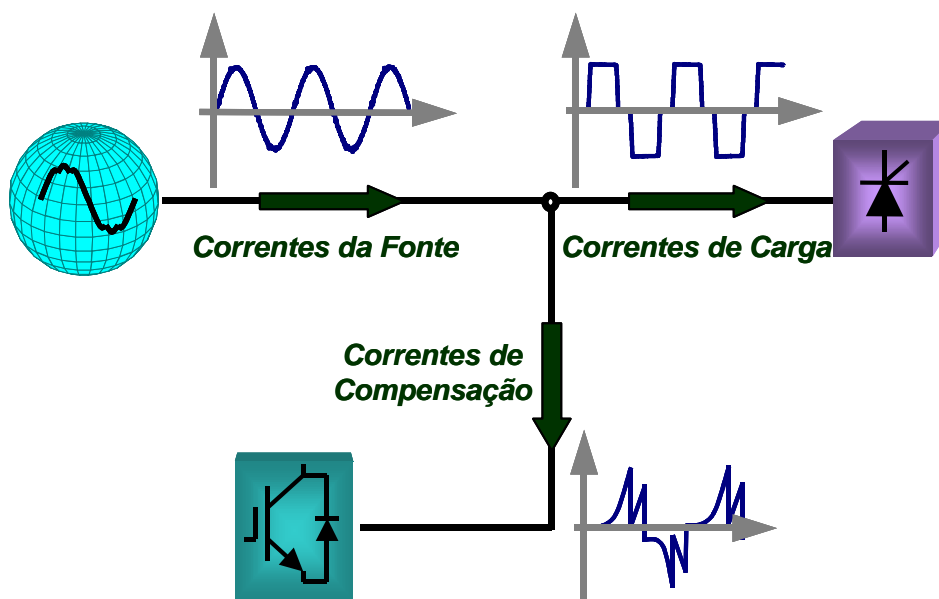


Fig.4- 2 - Princípio básico de funcionamento do filtro ativo paralelo.

Considerando a Fig.4- 1, as correntes na fonte são i_{sa} , i_{sb} e i_{sc} , as correntes de compensação são i_{ca} , i_{cb} e i_{cc} e as correntes na carga são i_{la} , i_{lb} e i_{lc} . A partir da lei das correntes de Kirchhoff, em (4.1) é mostrado o equacionamento destas correntes em concordância com a Fig.4- 2.

$$\begin{bmatrix} \dot{i}_{sa} \\ \dot{i}_{sb} \\ \dot{i}_{sc} \end{bmatrix} = \begin{bmatrix} \dot{i}_{la} \\ \dot{i}_{lb} \\ \dot{i}_{lc} \end{bmatrix} + \begin{bmatrix} \dot{i}_{ca} \\ \dot{i}_{cb} \\ \dot{i}_{cc} \end{bmatrix} \quad (4.1)$$

4.2 Princípio do filtro ativo série

O filtro ativo série comporta-se como um gerador de tensão controlada, quando a tensão de suprimento V_s está desequilibrada e contém harmônico. O filtro ativo série irá gerar uma tensão de compensação V_c , em oposição de fase à soma dos harmônicos não desejados, além de compensar também as componentes de seqüência negativa e zero na frequência fundamental, eventualmente presente em V_s . Como resultado, a tensão a ser entregue à carga será senoidal e equilibrada. Conseqüentemente, a tensão compensada V_l que irá alimentar a carga conterá apenas a componente fundamental de seqüência positiva.

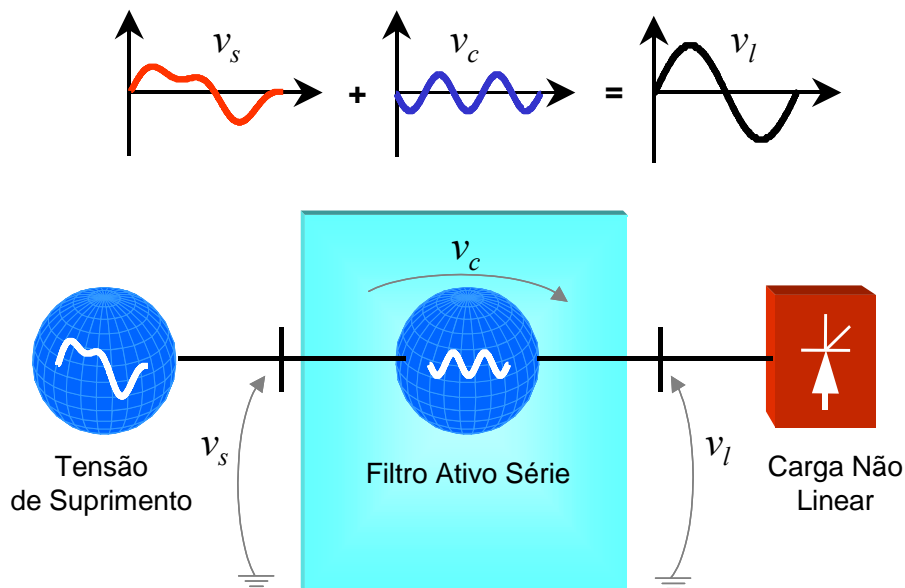


Fig.4- 3 – Princípio de compensação do filtro ativo série.

No UPQC o inversor filtro ativo série é conectado em back to back com o filtro ativo paralelo. A ligação com a rede é realizada através de três transformadores monofásicos. Na Fig.4- 3, pode ser visto um diagrama unifilar básico de um filtro ativo série, onde a tensão entregue ao sistema V_s apresenta harmônicos não desejáveis e está desequilibrada. A carga está sendo representada por uma carga não linear.

A estratégia de controle é responsável pela geração das tensões de compensação, estas tensões serão sintetizadas pelo filtro através da estratégia de chaveamento, que comanda a comutação dos estados de chaveamento dos semicondutores do inversor.

Considera-se que esta fonte presente como tensões fase - neutro v_{sa} , v_{sb} e v_{sc} , as tensões de compensação sendo v_{ca} , v_{cb} e v_{cc} e as tensões na carga sendo v_{la} , v_{lb} e v_{lc} . Utilizando a lei das tensões de Kirchhoff, mostrada em (4.2) para equacionar estas tensões encontra-se:

$$\begin{bmatrix} v_{la} \\ v_{lb} \\ v_{lc} \end{bmatrix} = \begin{bmatrix} v_{ca} \\ v_{cb} \\ v_{cc} \end{bmatrix} + \begin{bmatrix} v_{sa} \\ v_{sb} \\ v_{sc} \end{bmatrix} \quad (4.2)$$

A tensão de compensação deve ser tal que todas as parcelas não desejáveis geradas pela fonte de tensão V_S em direção à carga sejam compensadas pelas tensões de compensação. Este tipo de compensação é considerado como compensação total ou ideal.

4.3 Descrição do condicionador universal de qualidade de energia – UPQC

Este equipamento denominado UPQC consiste na combinação das funcionalidades do filtro ativo paralelo e do filtro ativo série. Na Fig.4- 4 é mostrado o princípio de funcionamento do condicionador universal de qualidade de energia, destacando o potencial de compensação tanto de corrente quanto de tensão do mesmo. A Fig.4- 5 mostra o diagrama unifilar de um condicionador universal de qualidade de energia. Neste UPQC utilizaram-se dois conversores três níveis baseado na topologia com diodos de grampeamento, tanto do filtro ativo paralelo quanto do filtro ativo série e estes estão conectados através da configuração back-to-back.

O filtro ativo paralelo é responsável pela sintetização de correntes de compensação que somadas as correntes da carga, tornam as correntes da fonte senoidais e balanceadas. Outros atributos do filtro ativo paralelo é regulação de tensão do barramento contínuo e também a regulação ativa do fator de potência.

O objetivo do filtro ativo série no UPQC é o isolamento de componentes harmônicas de tensão entre a rede e o ponto de entrega à carga. Este tem a capacidade de compensar os desbalanços e oscilações de tensão em baixas frequências, que podem vir a

causar distúrbios como cintilações nos sistemas de iluminação (efeito “flicker”). Outra função é a de compensar as componentes harmônicas no ponto de acoplamento comum PCC (*point of common coupling*). Por último o filtro ativo série melhora a estabilidade do sistema via controle de amortecimento.

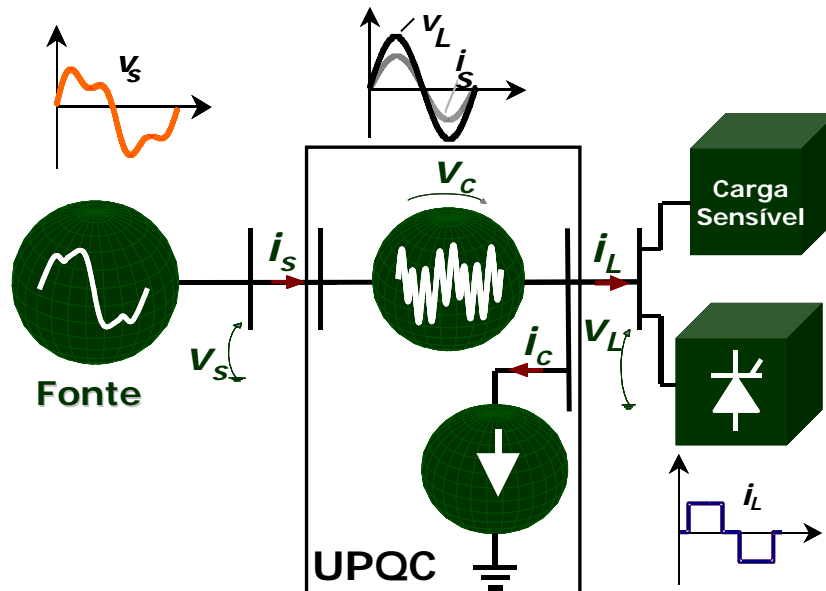


Fig.4- 4 - Princípio básico de funcionamento do UPQC.

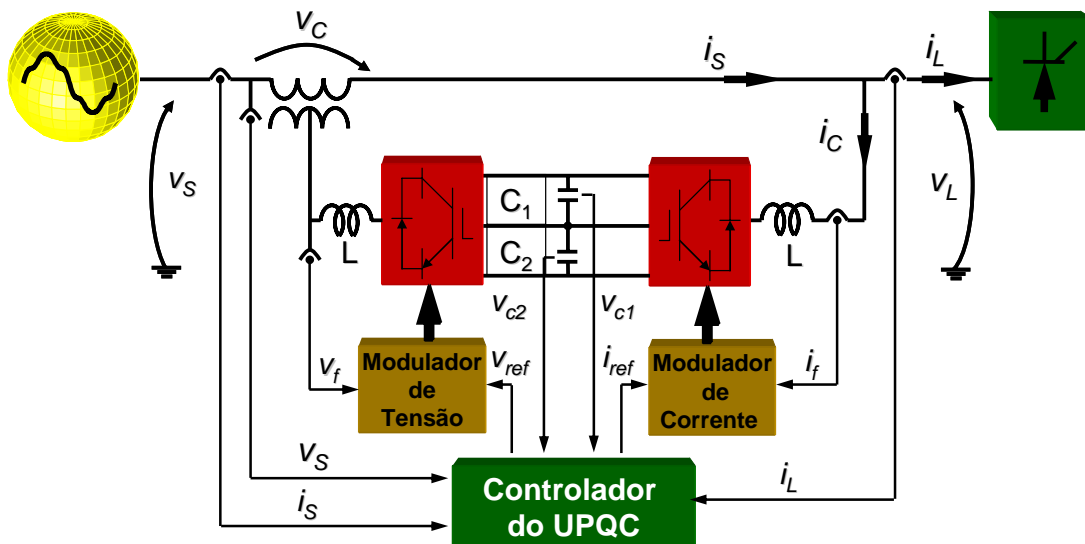


Fig.4- 5 – Diagrama unifilar do UPQC.

Baseando-se na Fig.4- 5 é possível dividir o condicionador universal de qualidade de energia deste trabalho em três partes, são elas:

- Circuito de potência (Conversores três níveis do filtro ativo série e paralelo);
- Circuito de controle;
- Estratégia de chaveamento dos conversores três níveis.

4.4 Circuito de potência do UPQC e descrição do sistema simulado

A Fig.4- 6 mostra o modelo do circuito de potência utilizado na simulação do UPQC no programa de simulação PSCAD[®]/EMTDC[™]. O circuito de potência do condicionador universal de qualidade de energia é composto por dois conversores três níveis baseado na topologia com diodos de grampeamento. Os semicondutores são capazes de suportar altas frequências de chaveamento de maneira a poder operar com chaveamento com modulação por largura de pulso (PWM). Os conversores três níveis utilizados nas simulações realizadas neste capítulo são do tipo inversores alimentados com fonte de tensão (*VSI*). Pequenos filtros passivos do tipo (RC) são instalados após as indutâncias de comutação tanto do filtro ativo paralelo (L_p) quanto do filtro ativo série e (L_s). Estes filtros têm o objetivo de filtrar as componentes harmônicas de alta frequência geradas pelo chaveamento PWM dos conversores. Três transformadores monofásicos estabelecem a conexão do filtro ativo série com o sistema de potência.

A tensão de alimentação do sistema possui uma componente de 7^o harmônico de seqüência positiva com magnitude 5% da V_{base} e ainda um desbalanço de 3% de seqüência negativa na frequência fundamental. O lado de carga do sistema é representado por uma ponte retificadora trifásica de seis pulsos utilizando tiristores como semicondutores, o ângulo de disparo dos mesmos foi definido em 30°. O valor eficaz da corrente medida no lado CA igual a 50(A).

As indutâncias em cada fase na entrada da carga foram especificadas em 1.75(mH), correspondendo a, aproximadamente, 7% da impedância base do sistema. O barramento contínuo dos inversores do UPQC apresenta dois capacitores cada qual de 3500(μ F) com tensões contínuas com magnitude igual a 600(V). Os indutores na saída de cada fase no lado do conversor do filtro ativo paralelo equivalente a 0.4(mH). A frequência de chaveamento do inversor é igual a 5 (kHz) com filtros do tipo RC, com o valor do resistor igual a 2.5(Ω) e do capacitor igual a 15(μ F). No lado do filtro ativo série apresenta 0.5

(mH) de valores de indutâncias na saída do conversor. Os resistores do filtro RC são de 5 (Ω) e os capacitores do mesmo 10 (μF).

Os indutores foram dimensionados de maneira que suas magnitudes fossem menores do que 5% da impedância base do sistema.

Os capacitores foram projetados de tal forma que atuando junto com os indutores, as tensões e correntes de compensação que serão sintetizados pelos inversores tenham as componentes harmônicas da ordem de 5 (kHz) gerados pelo chaveamento dos semicondutores dos inversores suficientemente atenuados.

Os resistores empregados possuem a função de amortecer possíveis ressonâncias.

Parâmetros do circuito de potência	
Tensão de linha base do sistema (V_{base})	440 (V)
Potência base (S_{base})	38 (kVA)
Corrente base (I_{base})	50 (A)
Indutância na carga (L_s)	1.75 (mH)
Indutância na entrada do conversor série (L_s)	0.5 (mH)
Capacitância na entrada do conversor série (C_s)	10 (μF)
Resistor na entrada do conversor série (R_s)	5 (Ω)
Indutância na entrada do conversor paralelo (L_p)	0.4 (mH)
Capacitância na entrada do conversor paralelo (C_p)	15 (μF)
Resistor na entrada do conversor paralelo (R_p)	2.5 (Ω)
Frequência do sistema	50 Hz

Tab.4- 1 - Tabela com os parâmetros do circuito de potência do UPQC.

O dimensionamento do capacitor utilizado, é realizado pelo UCC (*Unit of Constant Capacitor*) como mostra a equação (4.3), para uma tensão de 600 (V) em cada capacitor do barramento contínuo e uma potência de 38 (kVA). O valor obtido é de aproximadamente 8.29 (ms). Levando-se em conta que um período do sistema equivale 20 (ms), o capacitor empregado tem energia o suficiente para suprir 41.5%, ou seja, menos da metade de um ciclo de operação até ser totalmente descarregado.

$$UCC = \frac{1 \cdot C \cdot V^2}{2 \cdot S} \quad (4.3)$$

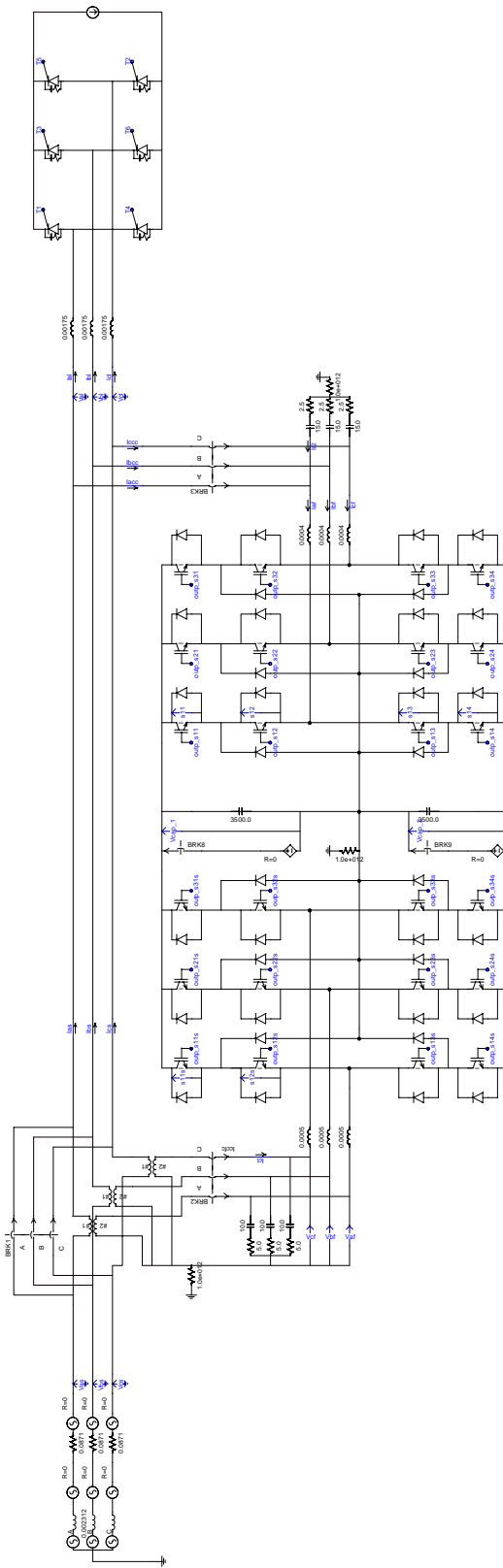


Fig.4- 6 – Circuito de potência do UPQC.

4.5 Estratégia de controle do UPQC.

O circuito de controle do UPQC agrega de forma integrada os circuitos de controle dos filtros ativos série e paralelo. Na Fig.4- 7 é mostrado a divisão dos blocos do controle do UPQC. De acordo com a figura podemos dividir a estratégia de controle em três principais partes, são estas:

- Detector de V_{+1} ;
- Cálculo das Correntes de Compensação;
- Controle de Amortecimento (*Damping*).

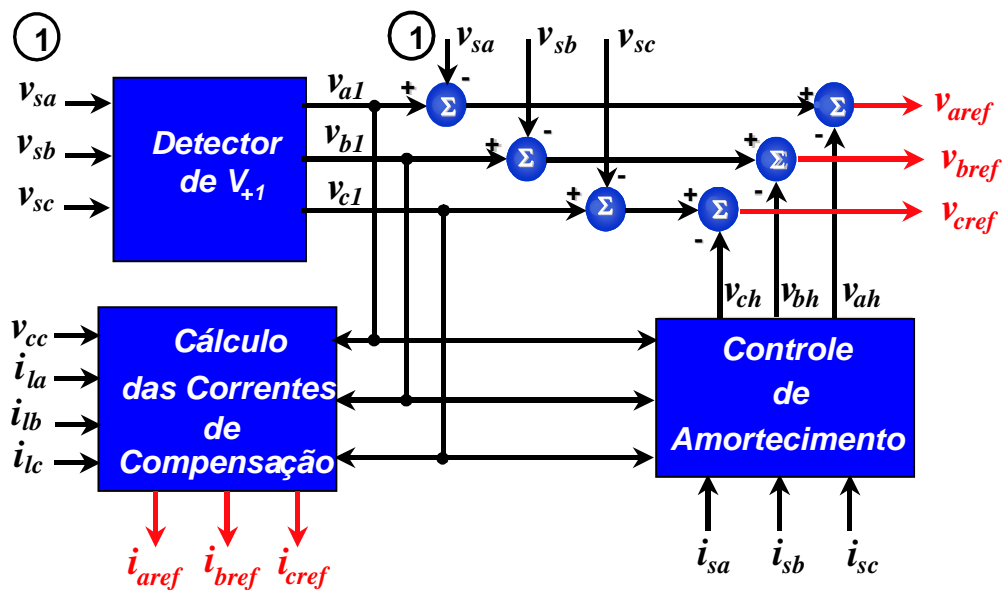


Fig.4- 7 - Diagrama de blocos do controlador do UPQC.

4.6 Detector de seqüência positiva (V_{+1})

A estratégia de controle é representada por um conjunto de diagrama de blocos, um deles é denominado detector de seqüência positiva. Este disponibiliza na saída três sinais de controle (v_{a1} , v_{b1} e v_{c1}) em fase com a componente de seqüência positiva na frequência fundamental. As entradas deste circuito são as tensões de suprimento. A Fig.4- 8 mostra os elementos dentro do bloco do detector de seqüência positiva cujo principal componente é o circuito de sincronismo extremamente robusto denominado PLL (Phase Locked Loop). O circuito PLL, a partir destas tensões, irá determinar a frequência fundamental e a fase da seqüência positiva. As saídas deste circuito de sincronismo serão aqui denominadas correntes de controle i_{a1} , i_{b1} , i_{c1} . O sinal de controle R , conforme descrito no diagrama de

blocos da Fig.4- 8, é determinada por meio das tensões de suprimento e das correntes de controle obtidas pelo circuito de sincronismo. É importante observar o princípio da dualidade entre as operações realizadas na determinação de R e de G no diagrama de blocos da Fig.4- 10, ambos utilizando o método dos mínimos multiplicadores de Lagrange.

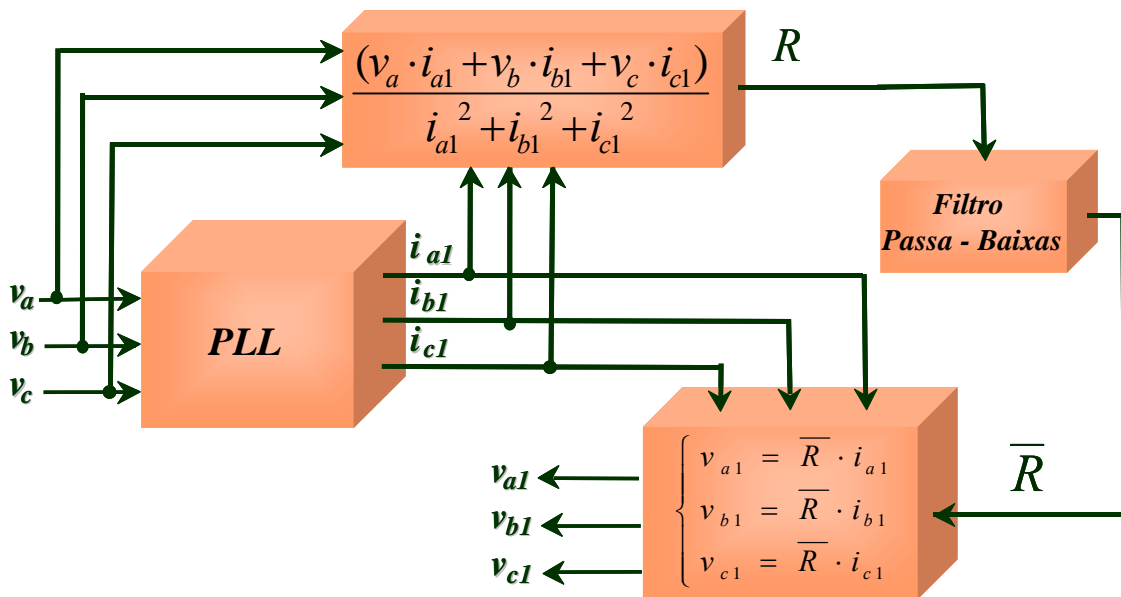


Fig.4- 8 - Diagrama de blocos do detector de seqüência positiva.

O circuito de sincronismo (circuito PLL) detecta de forma contínua a frequência fundamental das tensões do sistema. O projeto deste circuito deve garantir uma boa operação mesmo em situações onde as tensões contenham um alto conteúdo harmônico ou desequilíbrios. O circuito de sincronismo mostrado na Fig.4- 9 determina a frequência e o ângulo de fase da componente fundamental de seqüência positiva das tensões de suprimento, que correspondem às tensões de fase v_a , v_b , v_c . As entradas deste circuito são as tensões $v_{ab} = v_a - v_b$ e $v_{cb} = v_c - v_b$. O algoritmo é baseado na expressão da potência fictícia $P_{3\phi}$.

$$P_{3\phi} = v_a i_a + v_b i_b + v_c i_c \quad (4.4)$$

Onde a soma das correntes i_a , i_b , i_c é igual a zero. Os sinais de realimentação das correntes de controle $i_a(\omega t) = \sin(\omega t)$ e $i_c(\omega t) = \sin(\omega t + 2\pi/3)$ foram obtidos pelo circuito PLL, usando apenas a integral no tempo da saída ω do controlador PI. Estes sinais apresentam a mesma magnitude estando $i_c(\omega t)$ adiantado de 120° em relação à corrente de

controle $i_a(\omega t)$. Isto representa uma realimentação a partir da componente de seqüência positiva na freqüência ω . O circuito PLL se estabiliza quando o valor médio do sinal $P_{3\phi}$ for igual a zero. Conforme [19], este circuito possui um único ponto de operação estável, dado quando a freqüência angular ωt se torna perpendicular e em avanço com relação ao ângulo de fase de V_{+1} .

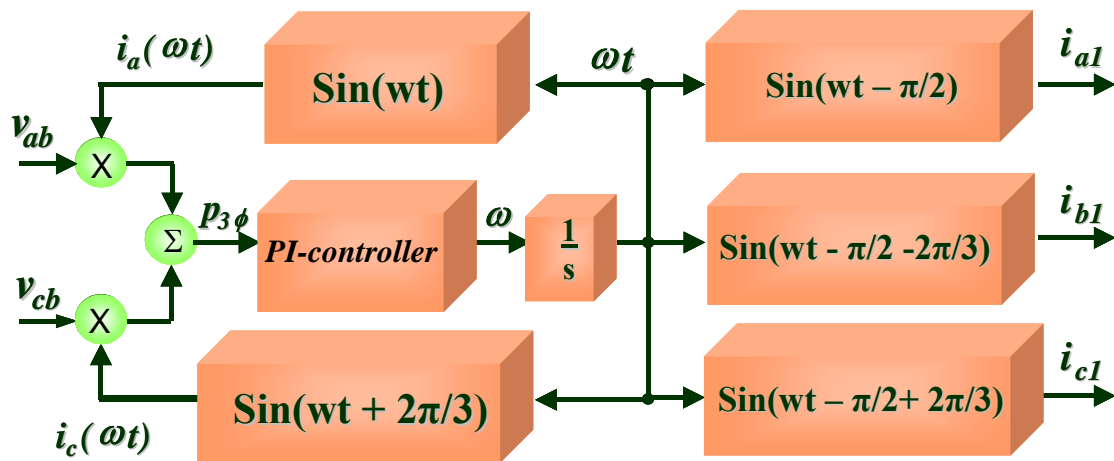


Fig.4- 9 - Circuito de sincronismo (PLL).

4.7 Cálculo das correntes de compensação

De posse das tensões de seqüência positiva na freqüência fundamental v_{a1} , v_{b1} , v_{c1} , extraídas do bloco de detector de V_{+1} . O algoritmo do cálculo das correntes de compensação é executado, associando as correntes medidas nos terminais de carga, conforme mostrado no diagrama de blocos da Fig.4- 10. O algoritmo é baseado nos mínimos multiplicadores de Lagrange. O resultado desta operação é o sinal de controle G , que terá um valor médio e um valor oscilante, sendo necessário o uso de um filtro passa baixas freqüências para extrair a sua componente média. O sinal de controle obtido após passar pelo filtro passa - baixas, \bar{G} é somado ao sinal de regulação do elo CC, que é obtido a partir da medição da tensão no capacitor, chamado de G_{loss} .

A tensão no capacitor acoplado aos conversores, por maior que seja a freqüência de chaveamento destes, sofrerá oscilações. Além disso, o chaveamento do conversor produz perdas que são supridas pela energia armazenada no capacitor, tendendo a descarregá-lo.

Com isto, torna-se importante o uso de um regulador de tensão com o intuito de diminuir estas oscilações de tensão sobre o capacitor e de repor as perdas.

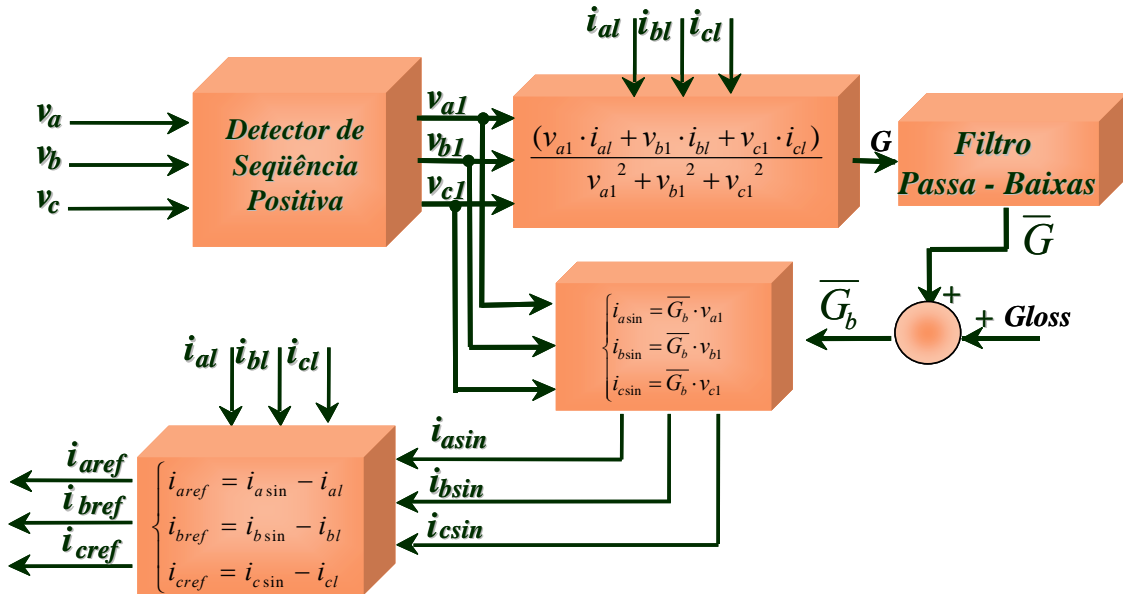


Fig.4- 10 - Diagrama de blocos para o cálculo das correntes de compensação.

A tensão no capacitor CC será controlada através de um regulador de tensão CC do condicionador unificado UPQC, na parte que corresponde às funções do filtro ativo paralelo presentes neste condicionador. O sinal para controle de perdas no capacitor é gerado neste regulador. Um filtro passa-baixas, com frequência de corte em 20 Hz é inserido neste regulador de tensão com o objetivo de torná-lo insensível a variações de tensão de frequência elevada e ruídos. Isto ocorre, por exemplo, quando o condicionador compensa harmônicos de segunda ordem (2ω) de seqüência positiva na carga.

O sinal G_{loss} é usado no controlador do UPQC como uma *potência média real*. Este sinal está incluso no cálculo das correntes de referência para forçar o conversor paralelo a realizar a regulação da tensão do elo CC, conforme Fig.4- 10 e Fig.4- 11.

Quando a tensão no capacitor for menor do que a tensão definida por V_{ref} então o inversor estará absorvendo energia da rede CA, e o inverso ocorre quando a tensão no capacitor for maior do que a tensão definida para V_{ref} . Para obter erro zero em regime permanente, um controlador proporcional-integral (controlador PI) é usado.

Uma malha de realimentação mais lenta proporcionado por G_{loss} também é útil para corrigir variações de tensão devido a erros de compensação que ocorrem durante a resposta

transitória do condicionador unificado UPQC. Com isto, pode ser vista a importância deste sinal para proporcionar um balanço de energia dentro do filtro ativo.

Obtendo-se a componente média desta condutância somada ao G_{loss} , em conjunto com as tensões fornecidas pelo detector de V_{+1} , os valores instantâneos da componente fundamental de seqüência positiva das correntes da carga, denominadas i_{asin} , i_{bsin} , i_{csin} são determinadas. O cálculo das correntes de compensação é realizado pela subtração das correntes senoidais fornecidas pelo algoritmo demonstrado anteriormente e as correntes de carga, baseando-se na lei de Kirchoff a partir da consideração da referência de corrente como sendo positiva a corrente que entra no conversor.

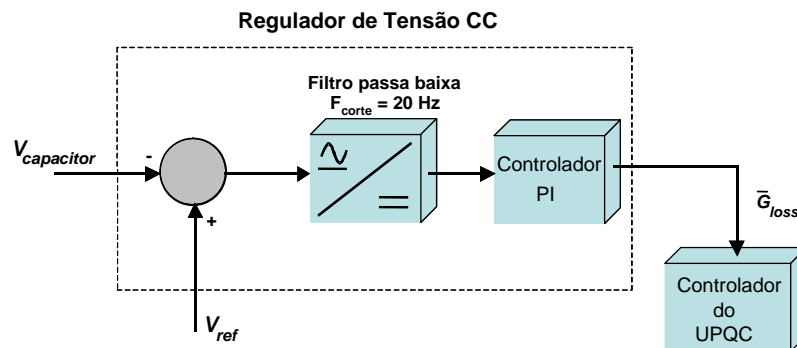


Fig.4- 11 - Malha de regulação da tensão nos capacitores.

4.8 Controle de amortecimento

Para implementar o algoritmo do controle de amortecimento é necessário o uso das correntes de linha i_{sa} , i_{sb} , i_{sc} que fluem através dos transformadores monofásicos do conversor série. A partir destas correntes são determinadas as correntes harmônicas i_{ah} , i_{bh} , i_{ch} .

A Fig.4- 12 mostra o algoritmo de controle de amortecimento para o cálculo das correntes i_{ah} , i_{bh} , i_{ch} usando as definições das correntes ativas e não ativas. As tensões harmônicas v_{ah} , v_{bh} , v_{ch} são determinadas pelo produto das correntes harmônicas com o ganho k . Este ganho pode ser interpretado como um resistor para as correntes harmônicas que fluem da carga para a rede. Importante salientar que este algoritmo não tem efeito algum sobre as componentes de corrente na frequência fundamental, ou seja, o filtro ativo série representa um curto-circuito para corrente fundamental.

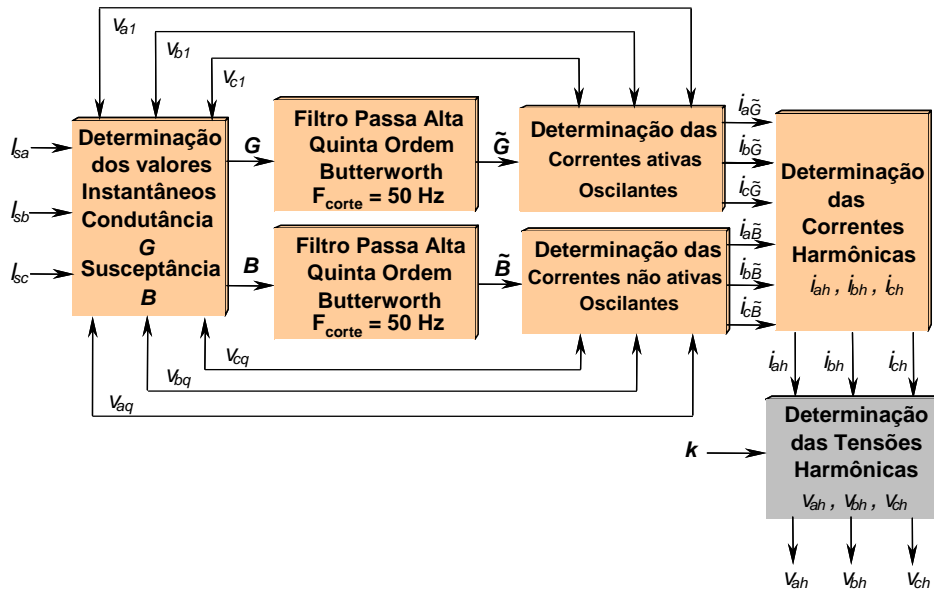


Fig.4- 12 - Diagrama de blocos do algoritmo de controle para o amortecimento.

A partir das correntes medidas na fonte, em conjunto com as tensões determinadas no circuito de controle “Detector de V_{+1} ”, são determinados os sinais denominados p e q , conforme mostram as equações (4.5).

$$\begin{aligned}
 p &= v_{a1} \cdot i_{as} + v_{b1} \cdot i_{bs} + v_{c1} \cdot i_{cs} \\
 q &= v_{aq} \cdot i_{as} + v_{bq} \cdot i_{bs} + v_{cq} \cdot i_{cs}
 \end{aligned}
 \tag{4.5}$$

As tensões v_{aq} , v_{bq} , v_{cq} em (4.6), apresentam a mesma magnitude das tensões determinadas pelo controle “Detector de V_{+1} ”, porém defasadas em 90° (atrasadas). Desta forma o produto entre estas tensões com as correntes medidas na carga irá produzir apenas a potência q , conforme é o desejado.

$$\begin{aligned}
 v_{aq} &= \frac{1}{\sqrt{3}} \cdot (v_{b1} - v_{c1}) \\
 v_{bq} &= \frac{1}{\sqrt{3}} \cdot (v_{c1} - v_{a1}) \\
 v_{cq} &= \frac{1}{\sqrt{3}} \cdot (v_{a1} - v_{b1})
 \end{aligned}
 \tag{4.6}$$

O sinal denominado como “condutância instantânea” G é determinada a partir das correntes i_{as} , i_{bs} e i_{cs} , em conjunto com o quadrado das tensões fictícias geradas pelo circuito de controle “Detector de V_{+1} ”, conforme (4.7).

$$G = \frac{v_{a1} \cdot \dot{i}_{as} + v_{b1} \cdot \dot{i}_{bs} + v_{c1} \cdot \dot{i}_{cs}}{v_{a1}^2 + v_{b1}^2 + v_{c1}^2} \quad (4.7)$$

Da mesma forma, o sinal denominado como “susceptância instantânea” B é determinado pela relação entre as correntes drenadas da fonte, em conjunto com as tensões v_{aq} , v_{bq} , v_{cq} de acordo com a equação (4.8).

$$B = \frac{v_{aq} \cdot \dot{i}_{as} + v_{bq} \cdot \dot{i}_{bs} + v_{cq} \cdot \dot{i}_{cs}}{v_{aq}^2 + v_{bq}^2 + v_{cq}^2} \quad (4.8)$$

Depois de obtidos os valores instantâneos dos sinais G e B , filtros do tipo passa altas frequências são utilizados para extrair suas respectivas componentes oscilantes. De posse das componentes oscilantes de G e B , os sinais correspondentes as componentes oscilantes das correntes ativas e não ativa são calculadas, conforme (4.9) e (4.10).

$$\begin{aligned} \dot{i}_{a\tilde{G}} &= \tilde{G} \cdot v_{a1} \\ \dot{i}_{b\tilde{G}} &= \tilde{G} \cdot v_{b1} \end{aligned} \quad (4.9)$$

$$\begin{aligned} \dot{i}_{c\tilde{G}} &= \tilde{G} \cdot v_{c1} \\ \dot{i}_{a\tilde{B}} &= \tilde{B} \cdot v_{a1} \\ \dot{i}_{b\tilde{B}} &= \tilde{B} \cdot v_{b1} \\ \dot{i}_{c\tilde{B}} &= \tilde{B} \cdot v_{c1} \end{aligned} \quad (4.10)$$

As correntes harmônicas i_{ah} , i_{bh} , i_{ch} são determinadas por meio da soma entre as componentes oscilantes da corrente ativa e as da corrente não ativa, segundo (4.11).

$$\begin{aligned} \dot{i}_{ah} &= \dot{i}_{a\tilde{G}} + \dot{i}_{a\tilde{B}} \\ \dot{i}_{bh} &= \dot{i}_{b\tilde{G}} + \dot{i}_{b\tilde{B}} \\ \dot{i}_{ch} &= \dot{i}_{c\tilde{G}} + \dot{i}_{c\tilde{B}} \end{aligned} \quad (4.11)$$

Por fim, as tensões harmônicas são obtidas em (4.12) pelo produto entre as correntes harmônicas i_{ah} , i_{bh} , i_{ch} e o ganho k .

$$\begin{aligned}
 v_{ah} &= k \cdot i_{ah} \\
 v_{bh} &= k \cdot i_{bh} \\
 v_{ch} &= k \cdot i_{ch}
 \end{aligned}
 \tag{4.12}$$

Conforme já mencionado, este ganho pode ser entendido como uma resistência para as componentes harmônicas, sem afetar a componente fundamental das correntes que fluem através dos transformadores série do filtro ativo série.

4.9 Malha da modulação por vetor espacial (SVM)

A Fig.4- 13 mostra o detalhe da malha de realimentação que gera o vetor de referência que será decomposto nas componentes $V_{ref\alpha}$ e $V_{ref\beta}$ que dentro do bloco denominado PWM fará a identificação dos sextantes e das regiões, o cálculo dos ciclos de trabalho e a geração dos pulsos que serão aplicados nos semicondutores do filtro ativo paralelo. Todos estes passos seguindo a metodologia apresentada no capítulo 3. Nesta malha o controlador utilizado é um proporcional integral (PI). As correntes i_{aref} , i_{bref} e i_{cref} entram no comparador com sinal negativo e a corrente i_{af} , i_{bf} e i_{cf} com os sinais positivos. A idéia é que o vetor de referência a ser sintetizado tenha o intuito de compensar o erro de corrente do sistema.

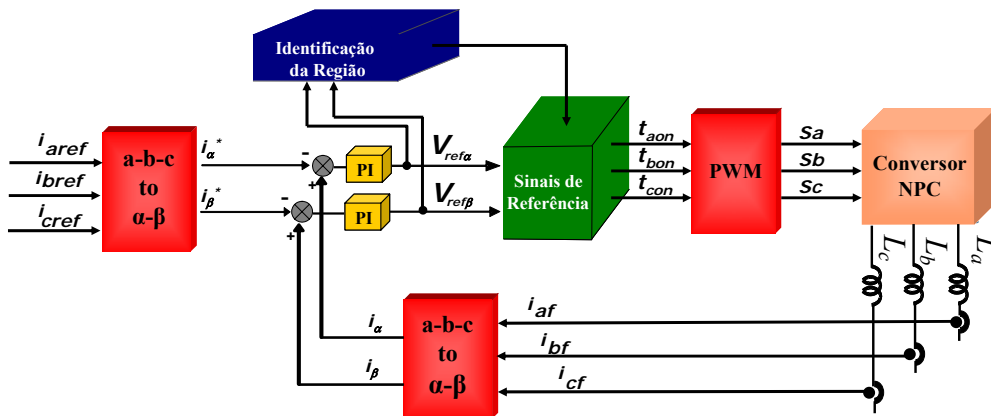


Fig.4- 13 – Malha de realimentação para o modulador PWM do filtro ativo paralelo.

A Fig.4- 14 mostra a malha de realimentação utilizada para sintetizar o vetor de referência do filtro ativo série. O controlador utilizado é um controlador PI. Os sinais de v_{aref} , v_{bref} e v_{cref} são positivos ao contrário da malha de realimentação do filtro ativo paralelo.

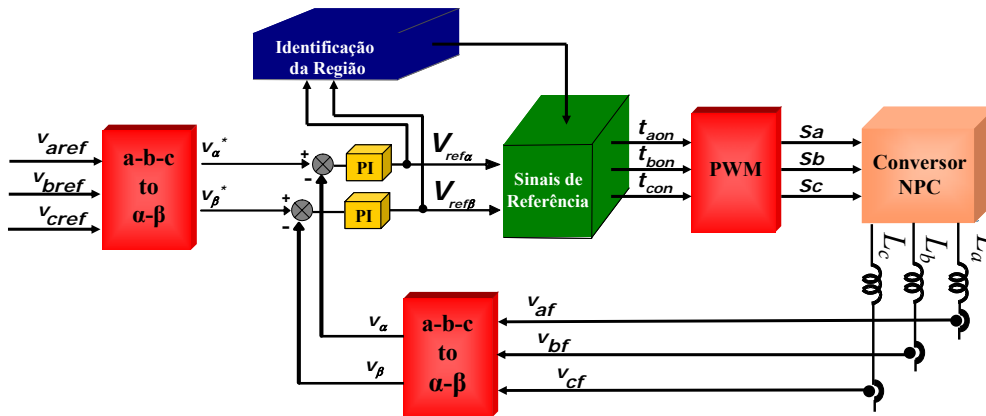


Fig.4- 14 - Malha de realimentação para o modulador PWM do filtro ativo série.

4.10 Inicialização do UPQC no sistema

Neste tópico será descrito como é realizado o procedimento para conectar o equipamento de maneira o mais suave possível para evitar transitórios que possam desestabilizar o sistema. Para ilustrar este procedimento utilizaram-se algumas figuras do circuito de potência implementados no programa de simulação PSCAD[®]/EMTDC[™].

O processo de conexão do condicionador universal de qualidade de energia é realizado através de 6 etapas. A Fig.4- 15 mostra o lado do conversor do filtro ativo paralelo e o disjuntor BRK3 responsável pela inserção do mesmo no sistema de potência.

A Fig.4- 16 mostra o lado do conversor série, junto com o disjuntor BRK1 responsável pelo acoplamento dos transformadores monofásicos ao sistema de potência e o disjuntor BRK2 que conecta o filtro ativo série ao sistema de potência. A Fig.4- 17 mostra os dois conversores conectados em *Back to Back*.

O processo de inicialização do equipamento obedece a seguinte seqüência:

Etapa 1 – Os disjuntores BRK8 e BRK9 da Fig.4- 15 são responsáveis pelo carregamento dos respectivos capacitores do barramento contínuo. Este processo de carga dos capacitores começa no início da simulação e os disjuntores passam a ficar com a condição de aberto em 0.05 (s) após o começo da simulação.

Etapa 2 – Os sinais de disparo dos semicondutores *outpt_s11s*, *outpt_s12s*, *outpt_s21s*, *outpt_s22s*, *outpt_s31s* e *outpt_s32s* do conversor série da Fig.4- 16 devem permanecer em estado de condução até 0.34 (s), momento em que o conversor série entra em operação. Todos os semicondutores do conversor do filtro ativo paralelo têm que estar abertos, até 0.25 (s), neste instante o filtro ativo paralelo começa a compensar. A partir dos instantes

0.25 (s) e 0.34 (s) os semicondutores dos conversores do filtro ativo paralelo e do filtro ativo série, respectivamente, passam a ser controlados através das lógicas de chaveamento. Etapa 3 – A partir desta etapa começa o processo conexão dos equipamentos com o sistema a ser compensado. No instante 0.23 (s) o disjuntor BRK3 da Fig.4- 15 passa do estado aberto para o estado fechado permitindo a conexão do filtro ativo paralelo. Apesar deste equipamento estar conectado ao sistema ainda não está compensando visto que os IGBT's ainda estão todos abertos.

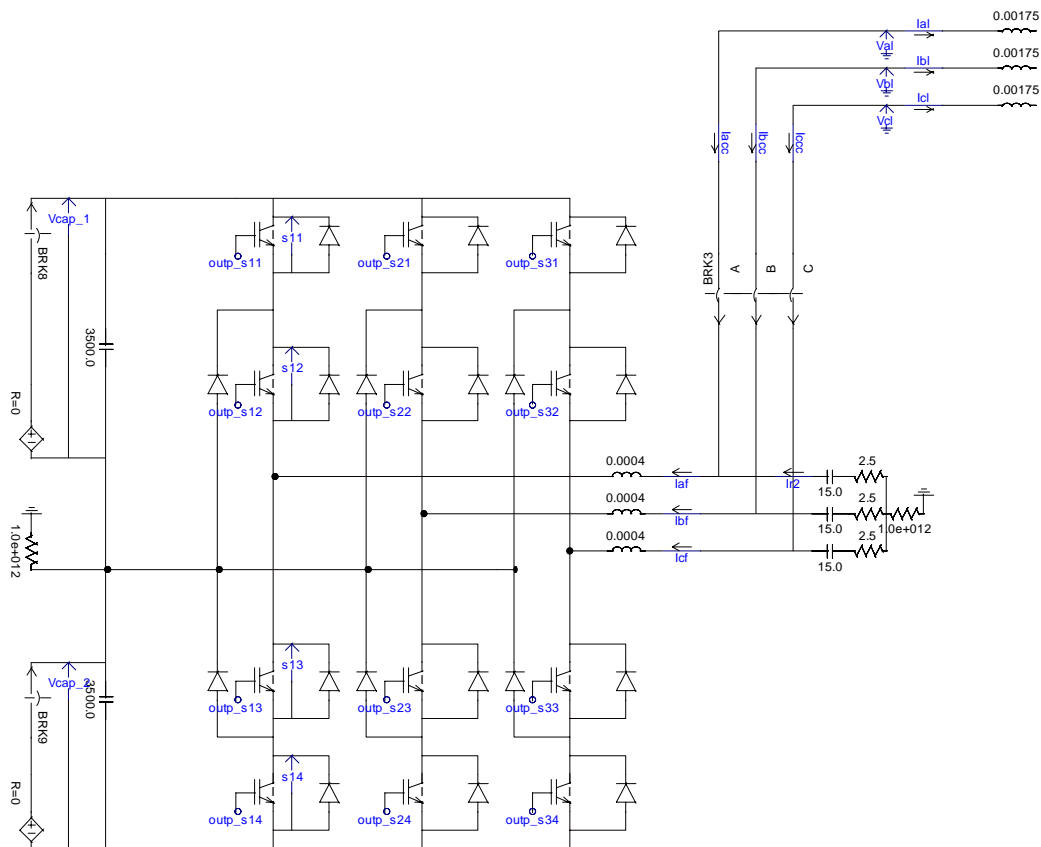


Fig.4- 15 - Circuito de potência do filtro ativo paralelo do UPQC implementado no PSCAD®/EMTDC™.

Etapa 4 – Nesta etapa o filtro ativo paralelo entra em operação. No tempo 0.25 (s) o conversor começa a ser controlado pela estratégia de chaveamento e o mesmo começa o processo de compensação.

Etapa 5 – No instante 0.30 (s) o disjuntor BRK2 da Fig.4- 16 é comandado ao estado fechado fazendo com que o secundário dos transformadores monofásicos conecte-se ao filtro ativo série. Um ciclo depois, 0.32 (s), o disjuntor BRK1 da Fig.4- 16 passa a não

conduzir fazendo com que o conversor série esteja em condição para iniciar o processo de compensação.

Etapa 6 – No instante 0.34 (s) os semicondutores do filtro ativo série passam a ser controlados pela estratégia de chaveamento fazendo com que o processo de compensação comece.

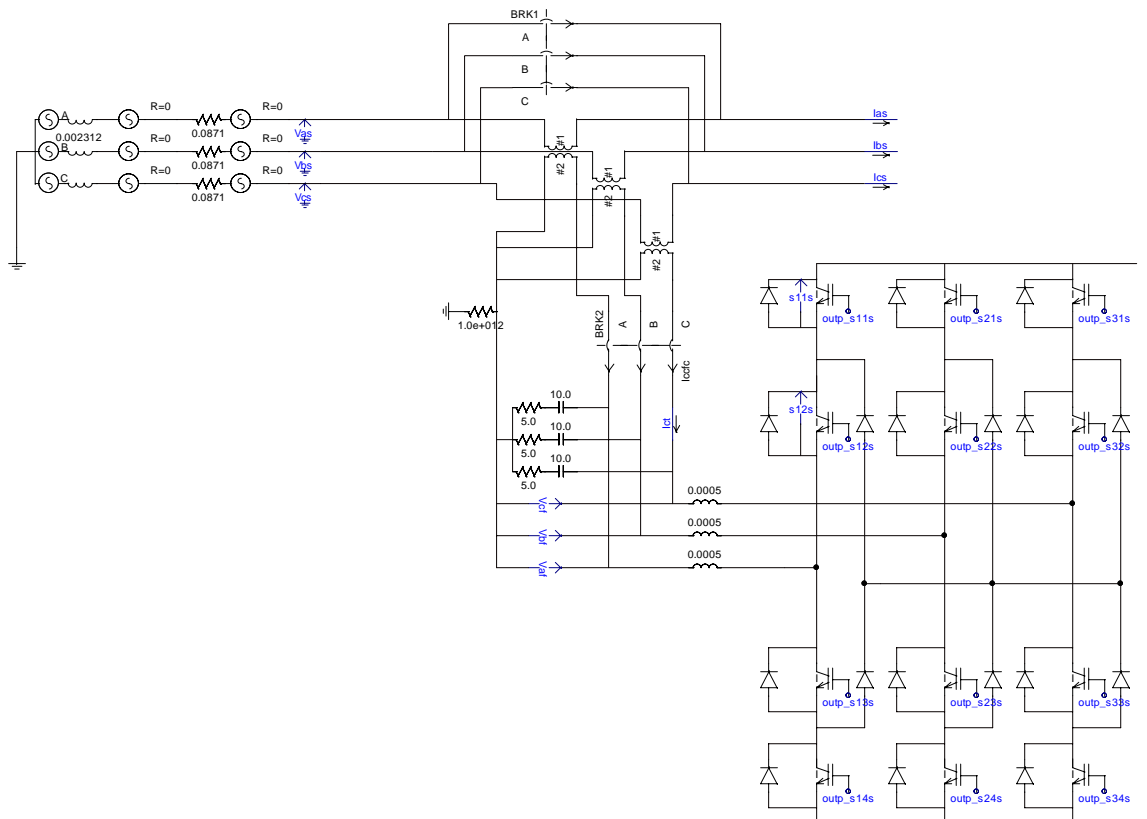


Fig.4- 16 - Circuito de potência do filtro ativo série do UPQC implementado no PSCAD®/EMTDC™.

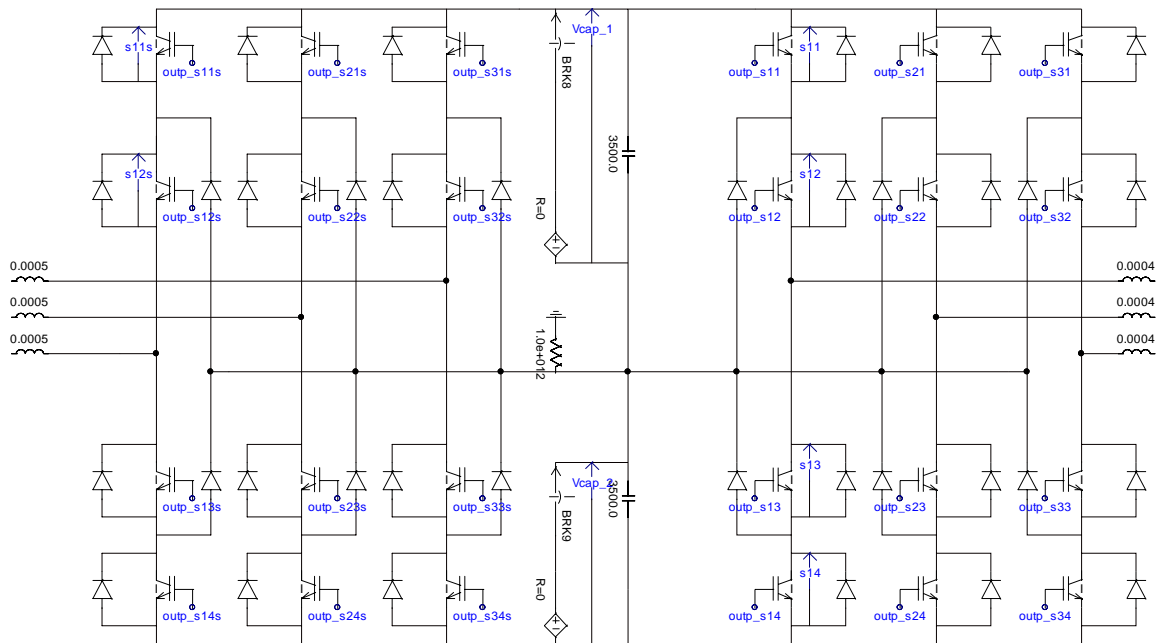


Fig.4- 17 - Conversores série e paralelo do UPQC conectados em *Back-to-Back*.

4.11 Resultados de simulação da técnica de chaveamento baseada em comparadores três níveis no UPQC.

Nesta seção serão mostrados os resultados das simulações realizadas no condicionador universal de qualidade de energia. Com o intuito de verificar as performances das estratégias de disparo dos semicondutores tanto para o filtro ativo paralelo quanto para o filtro ativo série. A Fig.4- 18 mostra o circuito de potência que foi utilizado nas simulações. Estas foram realizadas no programa de simulação PSCAD[®]/EMTDC[™] em um sistema trifásico com três fios.

Uma estratégia de disparo dos semicondutores robusta e eficaz é essencial para o desempenho dos conversores tanto dois níveis quanto topologias multiníveis. Algumas técnicas de acionamento dos semicondutores do inversor têm sido pesquisadas nos últimos anos [3] [26]. Dentre estas técnicas utilizadas no modulador para o disparo das chaves, uma é o controlador baseado em comparadores três níveis [18] [19]. O método baseia-se na análise dos sinais na saída dos comparadores de três níveis, conforme explicado no capítulo 3. A estratégia de controle utilizada para os cálculos das correntes de referência e tensões de referência é a estratégia das correntes e tensões senoidais de Fryze [27] [28].

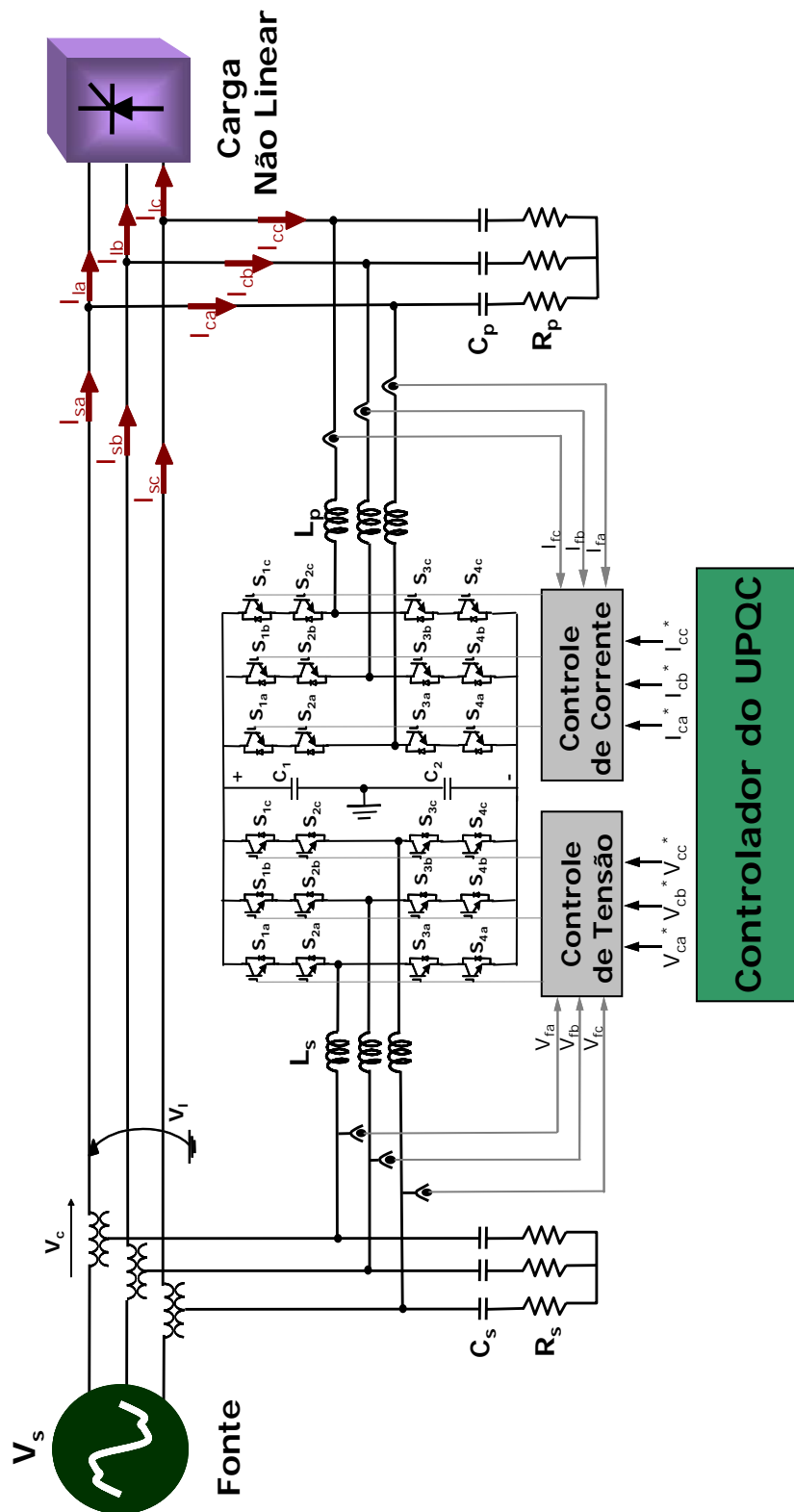


Fig.4- 18 - Circuito de potência de um UPQC.

O tempo total de simulação foi estipulado em 1.0 (s) com um passo de simulação de 5 (μ s). As tensões do sistema, conforme se observa na Fig.4- 19, antes da conexão do filtro ativo paralelo apresentam-se desbalanceadas e distorcidas. A presença de ‘notches’ é devido ao fato da carga ser não linear, representada na simulação por um retificador trifásico.

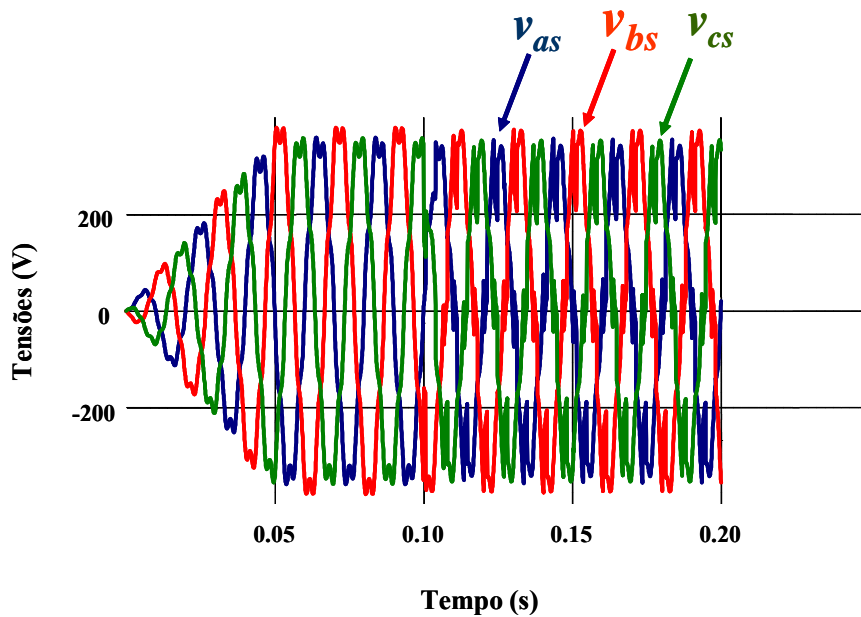


Fig.4- 19 - Tensões de suprimento antes do processo de compensação.

A Fig.4- 20 mostra uma forma de onda típica de um retificador trifásico de seis pulsos a tiristores, com ângulo de disparo de 30° .

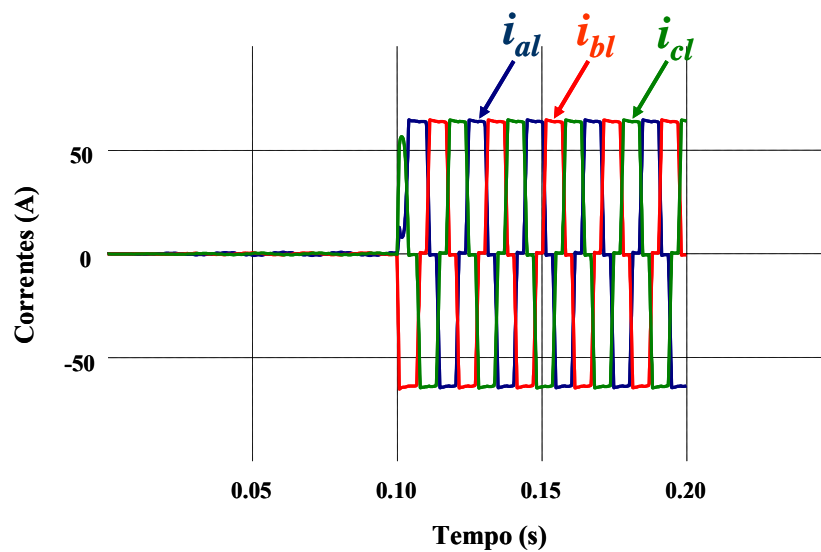


Fig.4- 20 - Correntes da carga não linear antes da compensação.

A conexão do equipamento obedeceu a seguinte ordem: o primeiro a entrar em operação foi o filtro ativo paralelo, isto ocorreu em 0.25 (s); em 0.28 (s) entrou em funcionamento o filtro ativo série.

Com a entrada em operação do filtro ativo paralelo em 0.25 (s) as tensões na carga têm seu conteúdo harmônico reduzido. Com a entrada em operação do filtro ativo série em 0.28 (s) é possível observar que as tensões v_{al} , v_{bl} e v_{cl} depois dos transformadores que estavam distorcidas passaram a ter características senoidais.

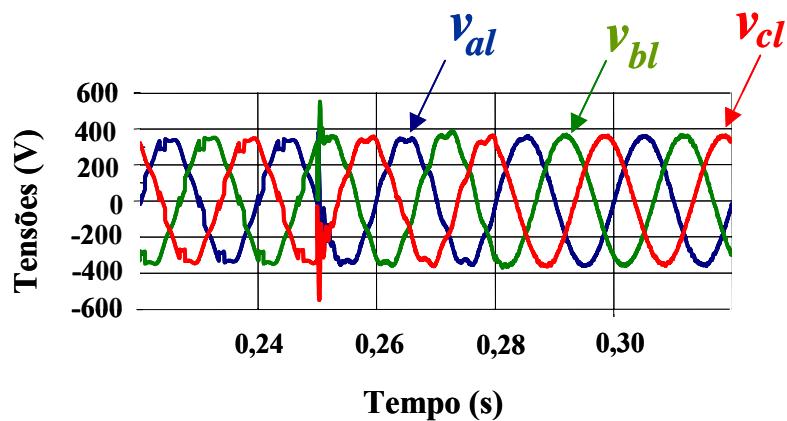


Fig.4- 21 - Tensões do sistema antes e depois da entrada em operação do filtro ativo série.

Na Fig.4- 22 observa-se que a tensão de compensação v_{af} sintetizada consegue seguir precisamente a tensão de referência calculada pela estratégia de controle do filtro ativo série v_{aref} .

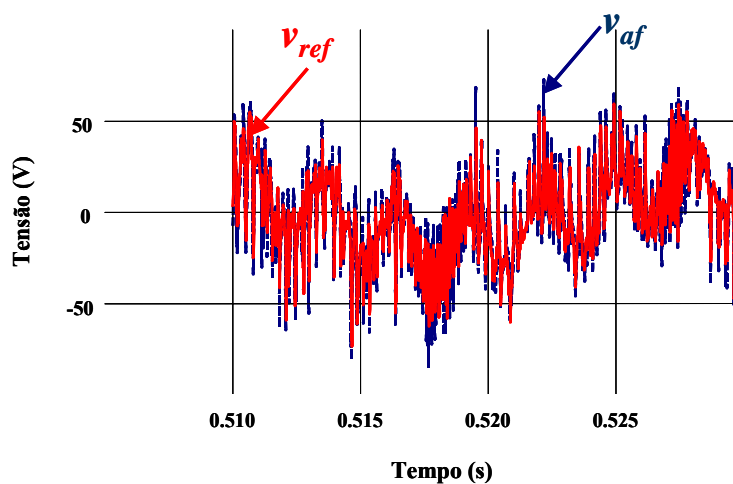


Fig.4- 22 - Formas de onda das tensões de referência e as sintetizadas pelo conversor.

Na Fig.4- 23 observa-se que a corrente de compensação i_{af} sintetizada é coincidente com a corrente de referência calculada pela estratégia de controle do filtro ativo paralelo i_{aref} . A Fig.4- 24 mostra as formas de onda das correntes da fonte do sistema i_{as} , i_{bs} e i_{cs} . Antes da entrada em operação do filtro ativo paralelo, nota-se que as mesmas possuem distorções, forma de onda típica de um retificador trifásico. A partir de 0.25 (s), que é o momento em que o filtro ativo paralelo começa a operar, estas grandezas têm o conteúdo harmônico reduzido, porém somente com a entrada em funcionamento do UPQC que as correntes da fonte do sistema tornam-se senoidais e balanceadas. Nas Fig.4- 25 a Fig.4- 27 mostram-se as formas de onda das correntes na fonte e das tensões após os transformadores. Observa-se que após a entrada do filtro ativo paralelo estas grandezas ficam em fase. Com isto é possível confirmar que a estratégia de controle do filtro ativo paralelo faz a correção do fator de potência de maneira ativa.

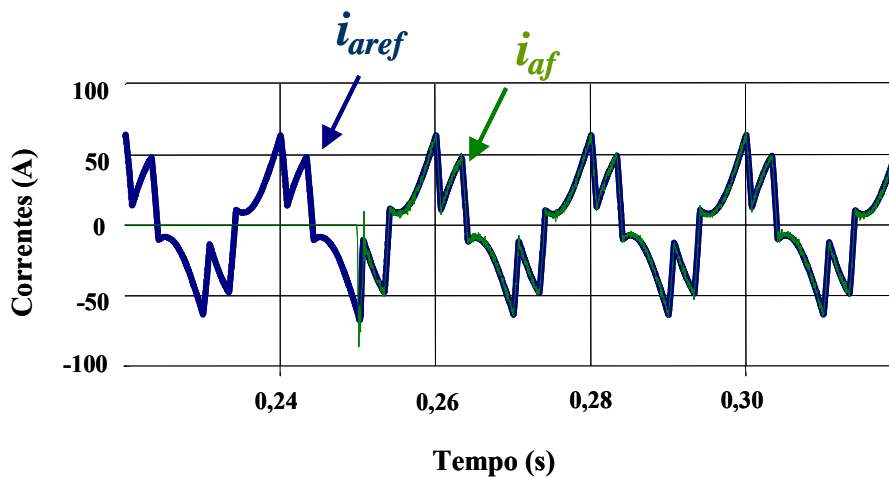


Fig.4- 23 - Formas de onda das correntes de referência e as sintetizadas pelo conversor.

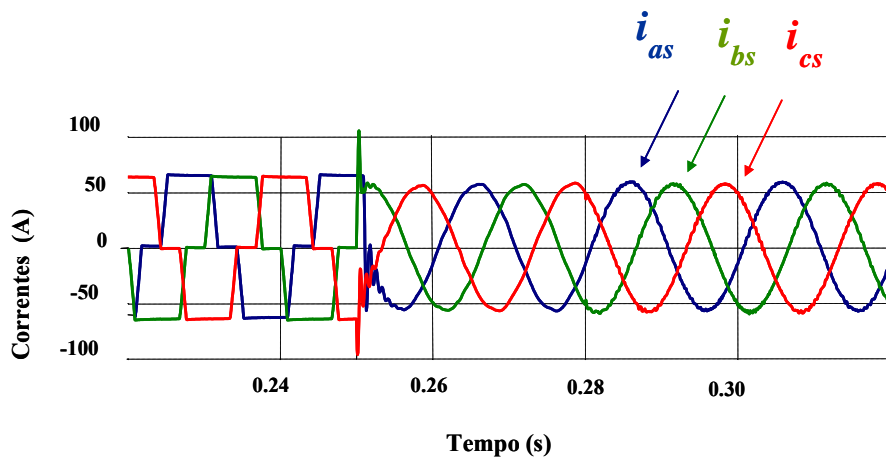


Fig.4- 24 - Correntes na fonte do sistema antes e depois da entrada em operação do filtro ativo paralelo.

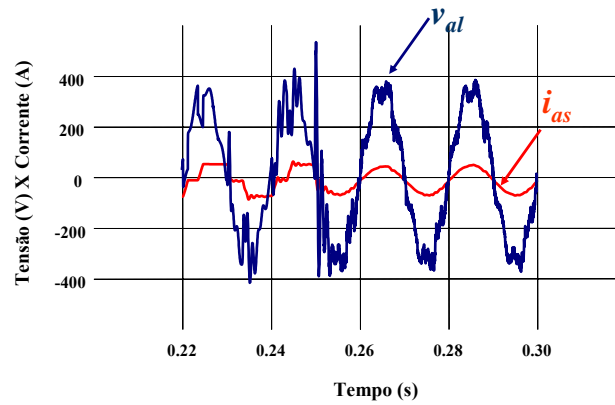


Fig.4- 25 - Tensão na carga e corrente na fonte da fase *a* do sistema.

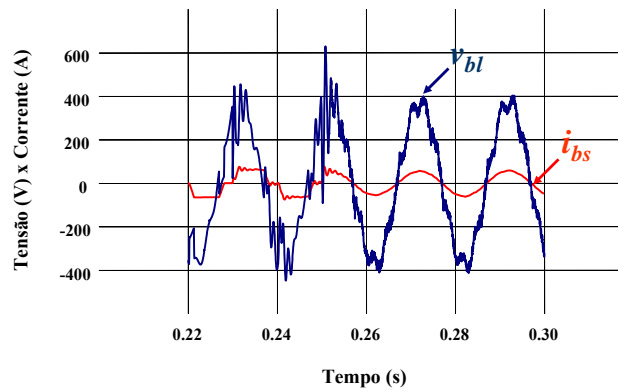


Fig.4- 26 - Tensão na carga e corrente na fonte da fase *b* do sistema.

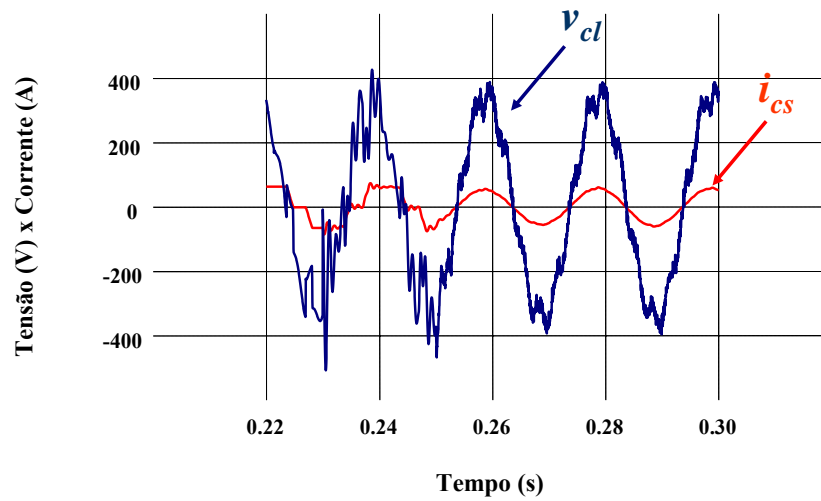


Fig.4- 27 - Tensão na carga e corrente na fonte da fase c do sistema.

Na Fig.4- 28 observa-se o comportamento das tensões do barramento contínuo. Entre 0.25 (s) até 0.40 (s) aproximadamente nota-se um pequeno transitório. O regime permanente é obtido em aproximadamente 0.5 (s) onde o equilíbrio entre as tensões nos dois capacitores V_{cap1} e V_{cap2} em torno de 450 (V). O ripple aproximado de 20 (V) pico a pico. A grandeza dos capacitores do elo CC é de 1600 (μ F) com uma tensão de 450 (V) em cada um deles.

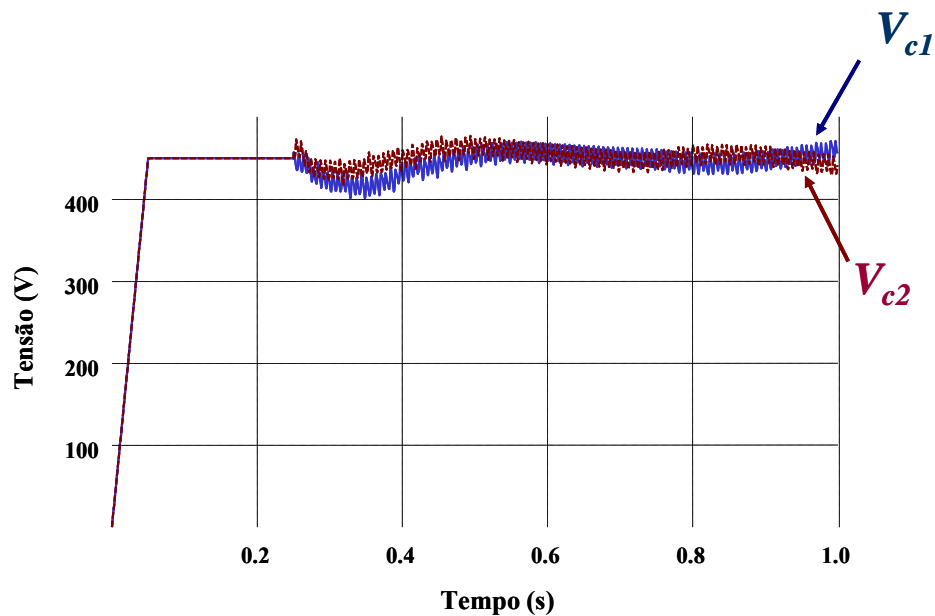


Fig.4- 28 - Comportamento das tensões nos capacitores do barramento contínuo.

4.12 Resultado da simulação utilizando modulação por vetor espacial no UPQC.

As simulações apresentadas nesta seção utilizam a estratégia de chaveamento baseada na teoria de modulação por vetor espacial, conforme foi descrito no capítulo 3. Esta técnica implementada em coordenadas retangulares α, β .

O tempo de simulação total foi estipulado em 1.0 (s) com um passo de simulação de 5 (μ s). O primeiro equipamento a entrar em operação foi o filtro ativo paralelo isto ocorreu em 0.25 (s). O filtro ativo série entrou em operação em 0.34 (s).

As tensões do sistema estavam desbalanceadas e distorcidas conforme podemos observar na Fig.4- 29. Através da mesma é possível observar a presença de ‘notches’ devido ao fato da carga ser uma carga não linear representada aqui por um equipamento retificador trifásico de seis pulsos a tiristores com ângulo de disparo de 30° , conforme se observa na Fig.4- 30.

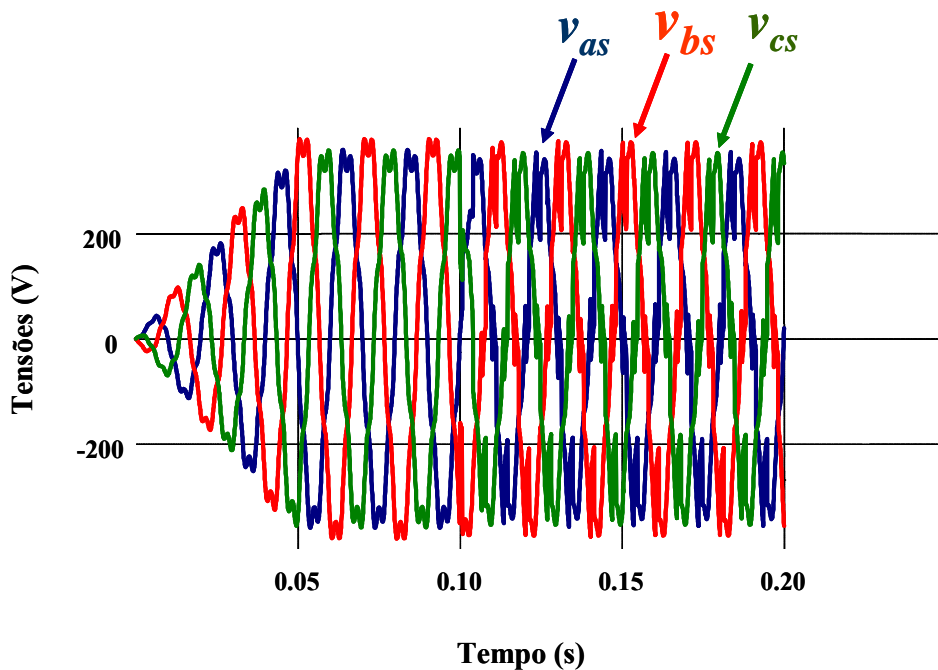


Fig.4- 29 – Tensões de suprimento antes do processo de compensação.

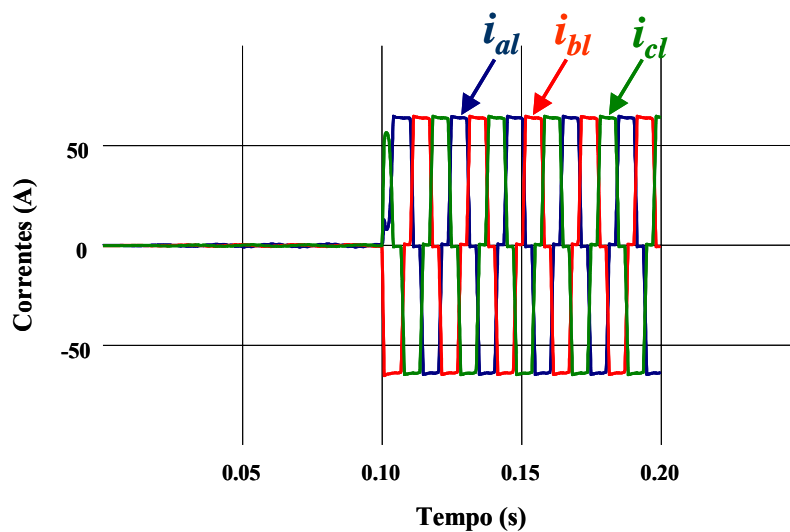


Fig.4- 30 – Correntes da carga não linear antes da compensação.

A partir das tensões de suprimento, o circuito de sincronismo detecta a frequência fundamental ω , de acordo com Fig.4- 31 . O sinal ω apresenta uma componente oscilante causado pelas distorções e desbalanços presentes nas tensões de suprimento. O sinal de sincronismo ω se estabilizou em torno de 0.1 (s).

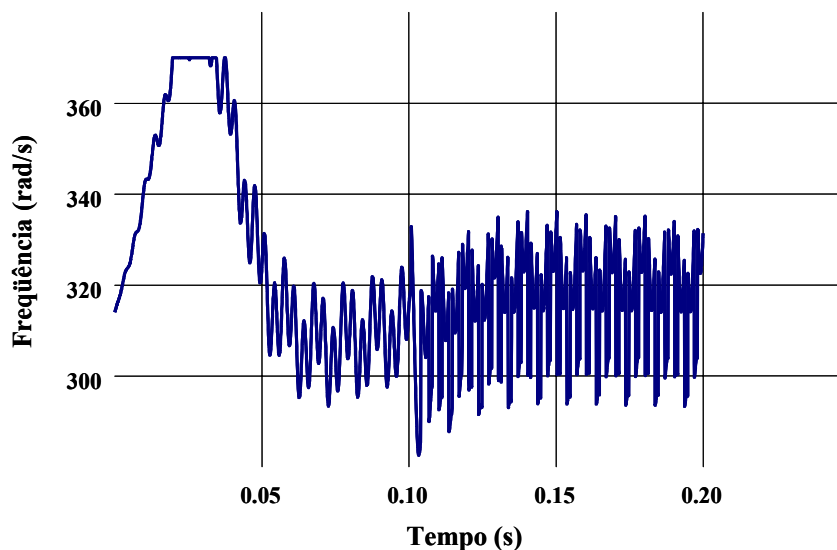


Fig.4- 31 – Sinal ω do circuito de sincronismo.

A Fig.4- 32 mostra as tensões determinadas pelo circuito de controle “Detector de V_{+1} ” v_{a1} , v_{b1} , v_{c1} .

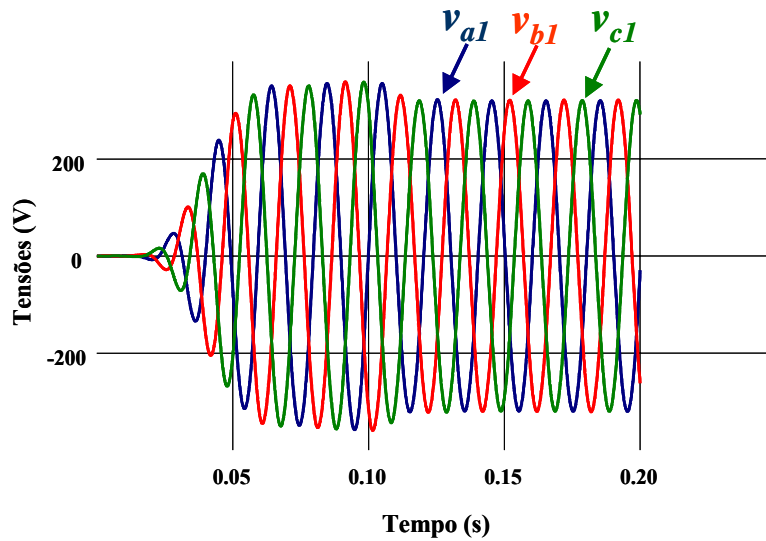


Fig.4- 32 – Tensões na saída do detector de seqüência positiva.

A Fig.4- 33 mostra a tensão v_{a1} determinada pelo circuito de sincronismo em conjunto com a tensão de suprimento v_{as} . Com um pouco mais de 0.10 (s) estas tensões já se encontram em fase. Ao término da rampa inicial presente nas tensões de suprimento, o sinal de controle v_{a1} precisa de três ciclos, aproximadamente, para estar sincronizado com a tensão v_{as} .

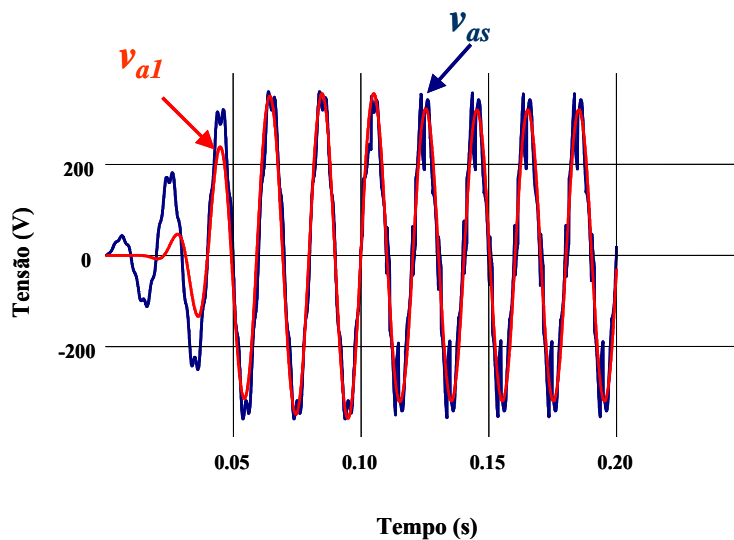


Fig.4- 33 – Tensão na saída do detector de seqüência positiva comparada com a tensão da fonte.

A Fig.4- 34 mostra as formas de onda das correntes da fonte do sistema i_{as} , i_{bs} e i_{cs} . Antes da entrada em operação do filtro ativo paralelo, nota-se que as mesmas possuem uma

forma de onda típica de uma ponte retificadora trifásica. Em 0.23 (s) o disjuntor BRK3 é fechado fazendo com que haja uma ressonância com os filtros RC do filtro ativo paralelo em conjunto com a impedância do sistema.

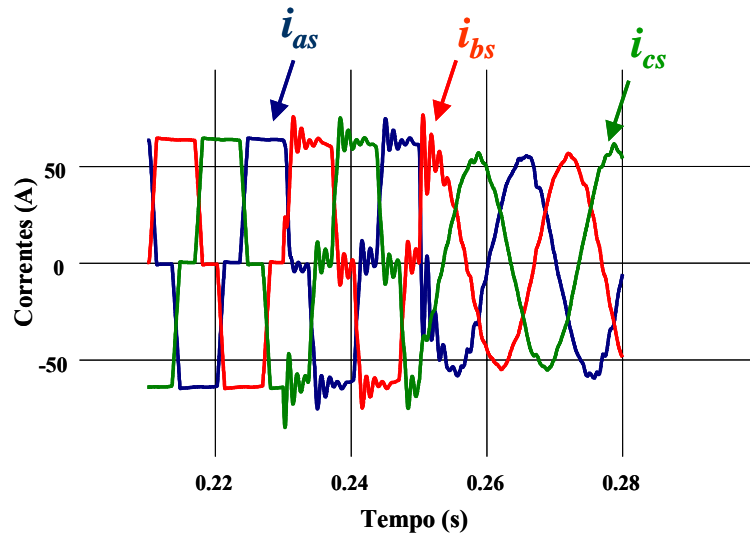


Fig.4- 34 – Correntes do sistema antes e depois da entrada em operação do filtro ativo paralelo.

A partir de 0.25 (s), que é o momento em que o filtro ativo paralelo começa a operar, a ressonância é atenuada e correntes drenadas do sistema passam a ser compensadas, porém ainda possuem conteúdo harmônico significativo em suas formas de onda. Com a entrada em operação do filtro ativo série em 0.34 (s) é possível observar que as correntes drenadas do sistema passaram a ter características senoidais, conforme a Fig.4-35.

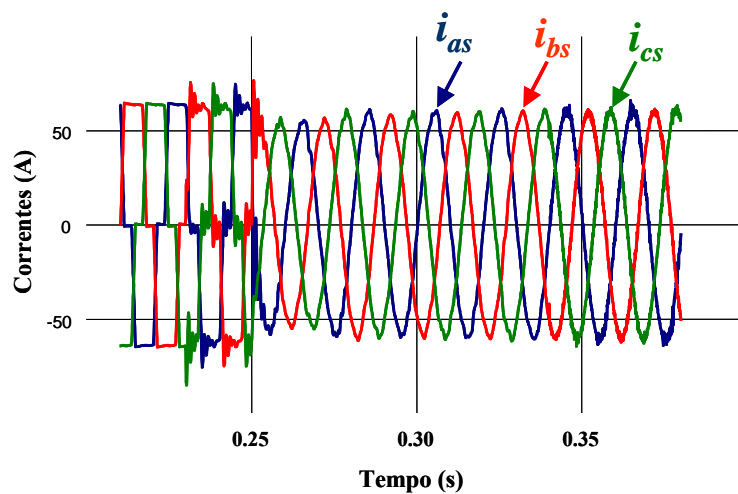


Fig.4- 35 - Correntes compensadas na fonte do sistema antes e após a entrada do filtro ativo série.

Na Fig.4- 36 podemos observar as correntes compensadas quando o condicionador UPQC opera em regime permanente.

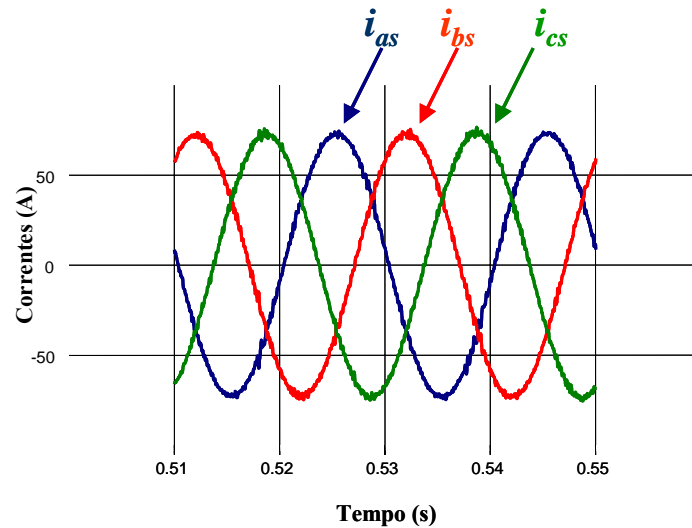


Fig.4- 36 – Correntes compensadas na fonte do sistema com o UPQC operando em regime permanente.

Na Fig.4- 37 podemos observar que a corrente de compensação i_{af} sintetizada consegue seguir precisamente a corrente de referência calculada pela estratégia de controle do filtro ativo paralelo i_{aref} .

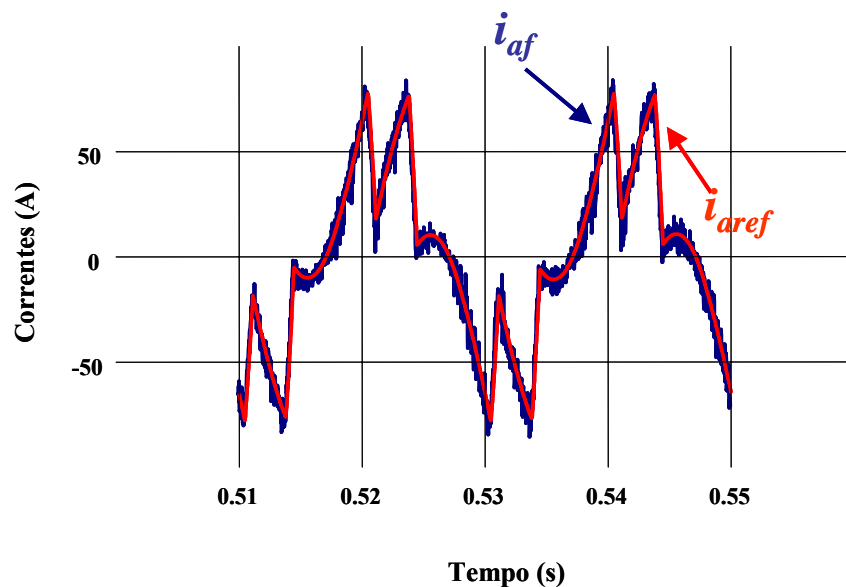


Fig.4- 37 – Corrente calculada pela estratégia de controle na fase a (i_{aref}) e a corrente medida nos terminais do filtro ativo paralelo na fase a (i_{af}).

A Fig.4- 38 mostra as formas de onda das tensões da fonte do sistema v_{al} , v_{bl} e v_{cl} . Estas tensões são medidas após os transformadores ligados ao conversor do filtro ativo série. Antes da entrada em operação do filtro ativo paralelo, nota-se que as mesmas possuem distorções. Em 0.23 (s) o disjuntor BRK3 é fechado fazendo com que haja uma ressonância com os filtros RC do filtro ativo paralelo em conjunto com a impedância do sistema. No instante 0.25 (s), o filtro ativo paralelo começa a operar, a ressonância é atenuada e as tensões na carga do sistema (v_{al} , v_{bl} e v_{cl}) sofrem uma diminuição do conteúdo harmônico, porém ainda possuem componentes harmônicas significativas em suas formas de onda.

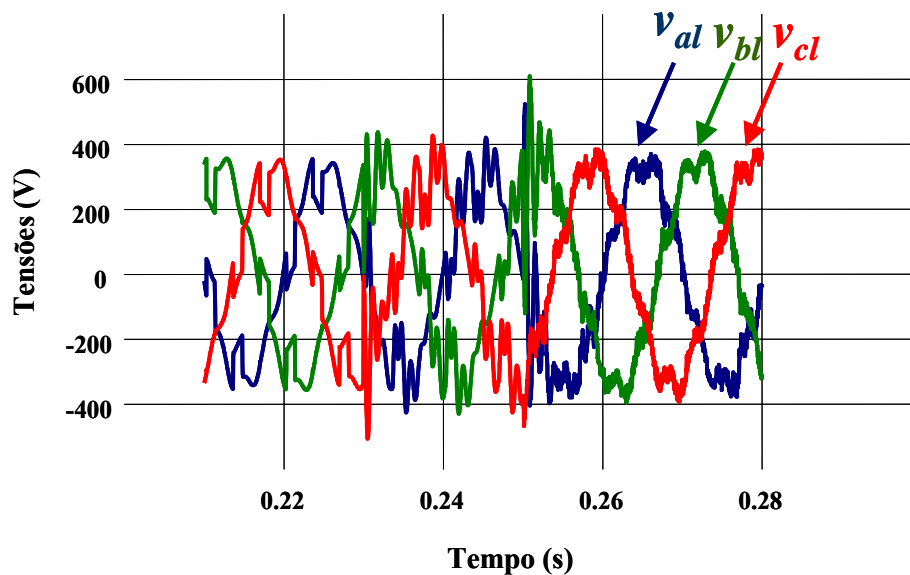


Fig.4- 38 - Tensões do sistema antes e depois da entrada em operação do filtro ativo paralelo.

Apenas com a entrada em operação do filtro ativo série em 0.34 (s) é possível observar que as tensões v_{al} , v_{bl} e v_{cl} passaram a ter características senoidais, conforme a Fig.4- 39.

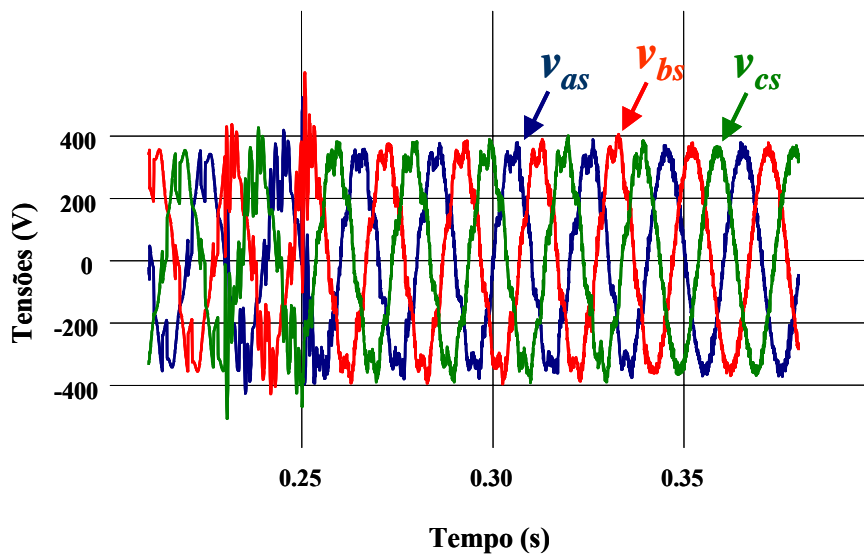


Fig.4- 39 – Tensões na carga do sistema antes e após a entrada do filtro ativo série.

Na Fig.4- 40 são mostradas as tensões na carga quando o UPQC opera em regime permanente.

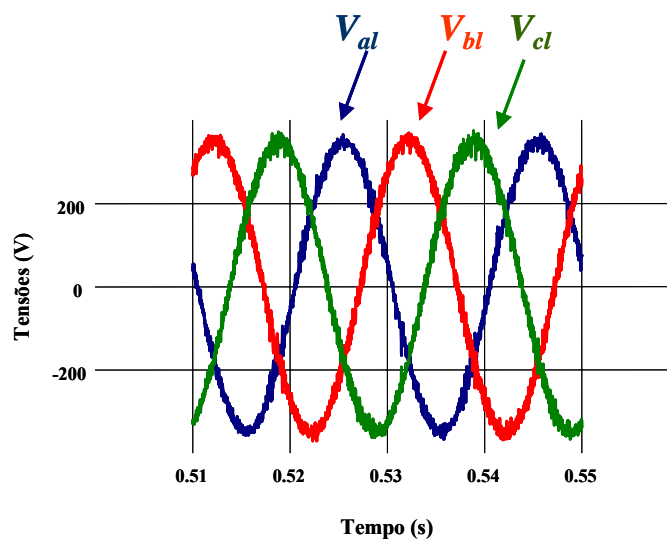


Fig.4- 40 - Tensões compensadas na fonte do sistema com o UPQC operando em regime permanente.

Na Fig.4- 41 podemos observar que a tensão de compensação v_{af} sintetizada consegue seguir precisamente a tensão de referência calculada pela estratégia de controle do filtro ativo paralelo v_{aref} .

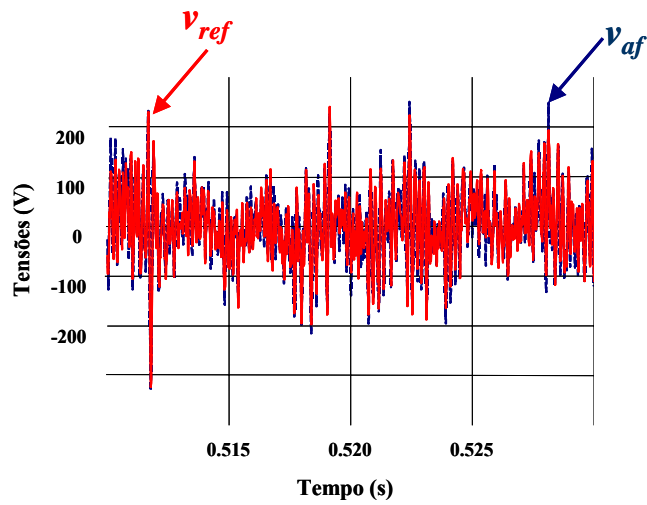


Fig.4- 41 - Tensão calculada pela estratégia de controle na fase *a* (v_{ref}) e a tensão medida nos terminais do filtro ativo série na fase *a* (v_{af}).

Nas Fig.4- 42 a Fig.4- 44 podemos observar que as tensões da fonte estão em fase com as correntes da fonte o que confirma que a estratégia de controle corrige fator de potência de maneira ativa.

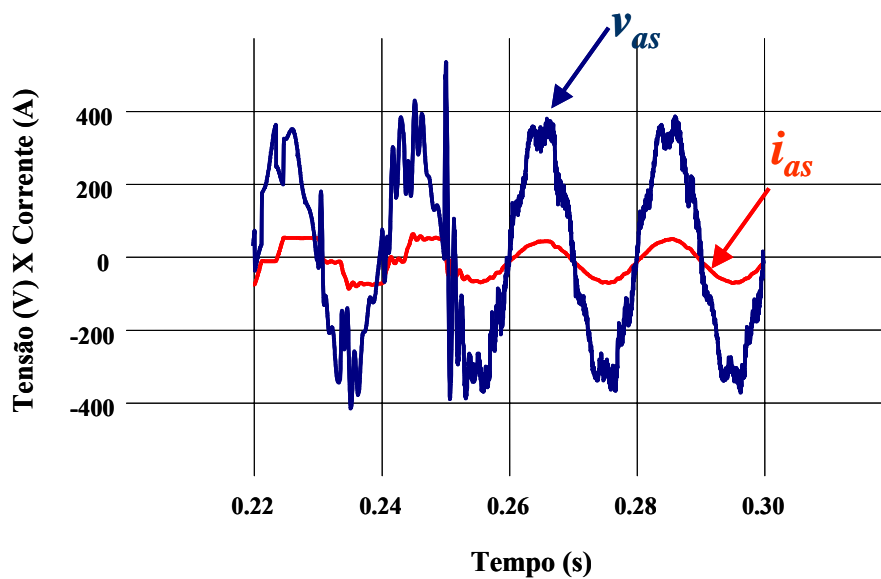


Fig.4- 42 – Tensão de suprimento e corrente na fonte da fase *a* do sistema.

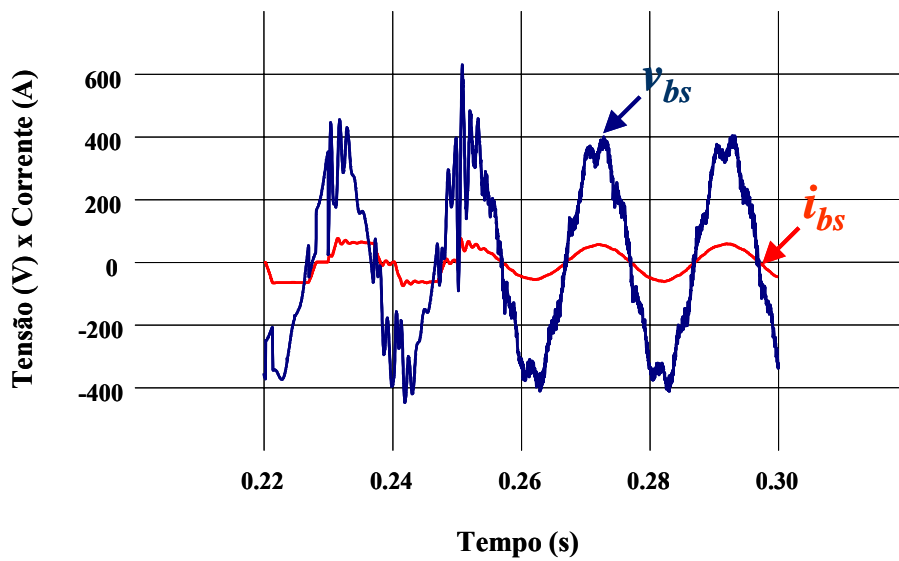


Fig.4- 43 - Tensão de suprimento e corrente na fonte da fase *b* do sistema.

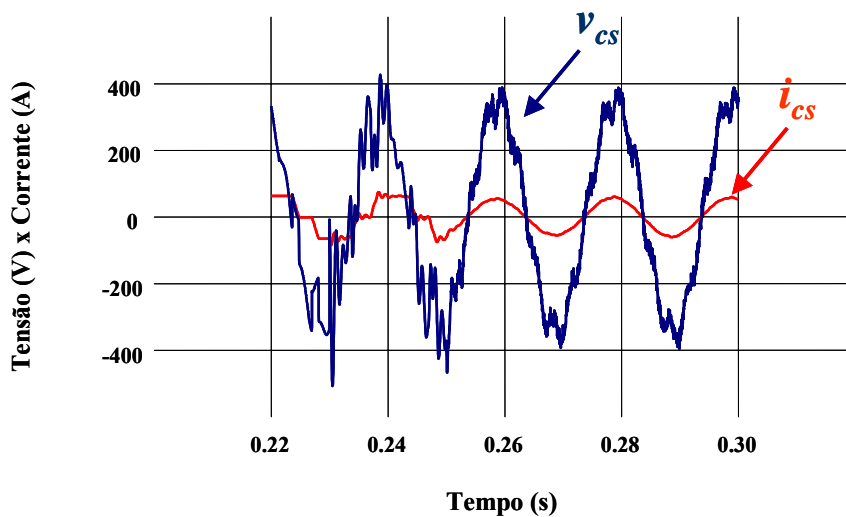


Fig.4- 44 - Tensão de suprimento e corrente na fonte da fase *c* do sistema.

Na Fig.4- 45 podemos observar o comportamento das tensões do barramento contínuo. O regime transitório varia de 0.25 (s) até 0.6 (s) aproximadamente. Nota-se que em regime permanente obteve-se o equilíbrio entre as tensões nos dois capacitores V_{cap1} e V_{cap2} em torno de 600 (V). A grandeza dos capacitores do elo CC é de 3500 (μ F) com uma tensão de 600 (V) em cada um deles.

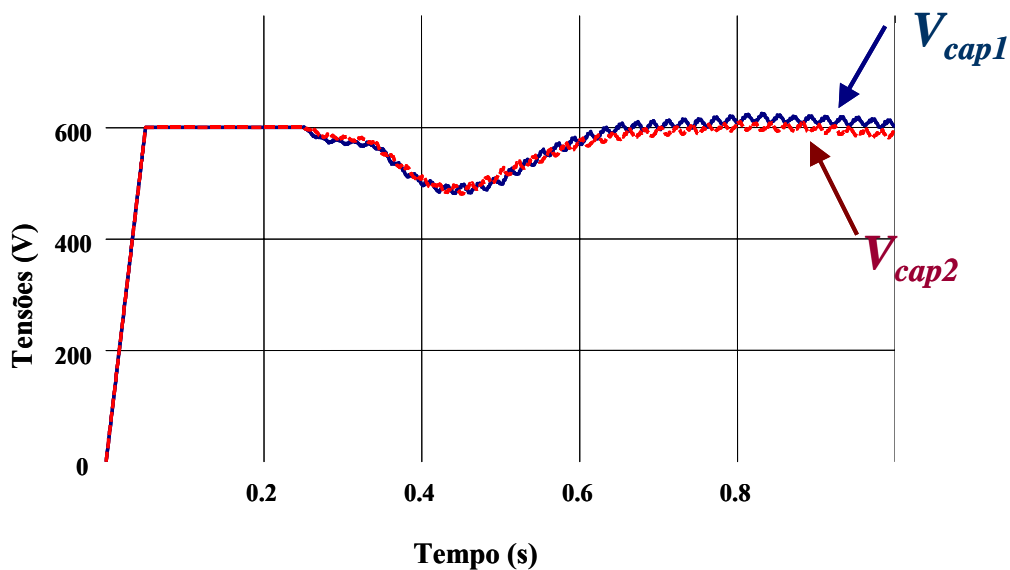


Fig.4- 45 – Comportamento das tensões nos capacitores do barramento contínuo.

4.13 Conclusões parciais

Neste capítulo foram mostrados os resultados das simulações no condicionador UPQC. Estes resultados foram utilizados para verificar a eficácia das duas estratégias implementadas. É importante comentar que o condicionador se mostrou capaz de melhorar a qualidade de energia do sistema, entregando tensões e correntes senoidais e equilibradas.

Analisando os resultados das simulações apresentados podemos fazer algumas comparações entre as duas estratégias de chaveamento. Os gráficos de barra das Fig.4- 46 e Fig.4- 47 e as respectivas tabelas com os valores de distorção harmônica total (DHT) Tab.4- 2 e Tab.4- 3 é possível concluir que a técnica que utiliza comparadores apresenta melhores resultados.

Outra diferença é a dinâmica do barramento contínuo do UPQC. Na primeira estratégia o regime transitório é menor. O regime transitório varia de 0,25 (s) até 0,5 (s) aproximadamente. O nível de tensão no barramento chega perto dos 400 (V) antes de estabilizar em 450 (V). Na estratégia baseada no SVM o regime transitório começa em 0,25 (s) e só em 0,6 (s) atinge o regime permanente. A tensão do elo de corrente contínua chega a aproximadamente 500 (V) antes de estabilizar em 600 (V).

	Distorção Harmônica Total DHT		
Intervalo	0.1 - 0.25s	0.25s - 0.28s	0.28s - 0.5s
I_{sa}	24.03%	1.45%	1.00%
I_{sb}	23.60%	1.43%	1.04%
I_{sc}	23.79%	1.54%	0.96%
V_{Ia}	21.75%	4.17%	0.93%
V_{Ib}	21.12%	3.86%	1.00%
V_{Ic}	21.53%	4.01%	0.96%

Tab.4- 2 - Valores de DHT antes e depois da compensação no método utilizando comparadores.

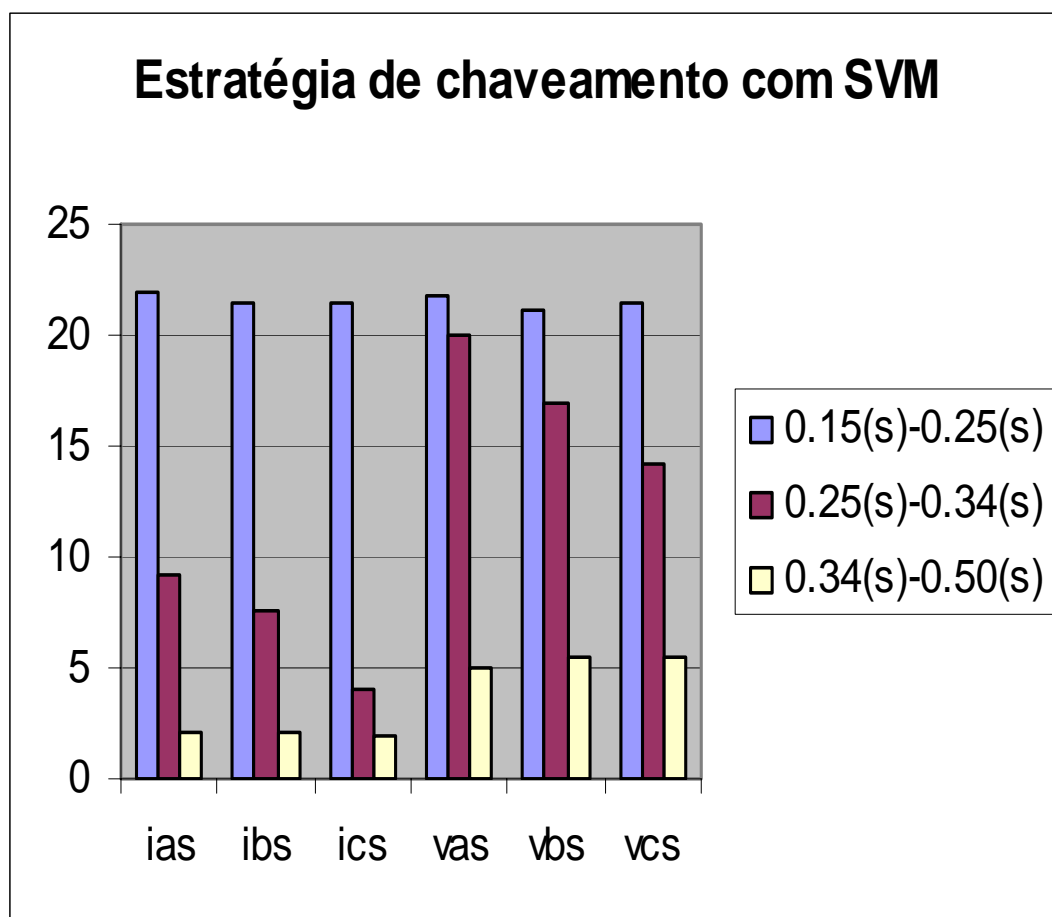


Fig.4- 46 – Gráfico mostrando a comparação entre os valores de DHT da Tab.4- 2.

	Distorção Harmônica Total DHT		
Intervalo	0.15 - 0.25s	0.25s - 0.34s	0.34s - 0.5s
I_{sa}	21.87%	9.27%	2.15%
I_{sb}	21.40%	7.61%	2.10%
I_{sc}	21.49%	4.01%	1.92%
V_{Ia}	21.75%	20.02%	5.06%
V_{Ib}	21.12%	16.98%	5.46%
V_{Ic}	21.53%	14.19%	5.55%

Tab.4- 3 - Valores de DHT antes e depois da compensação no método utilizando SVM.

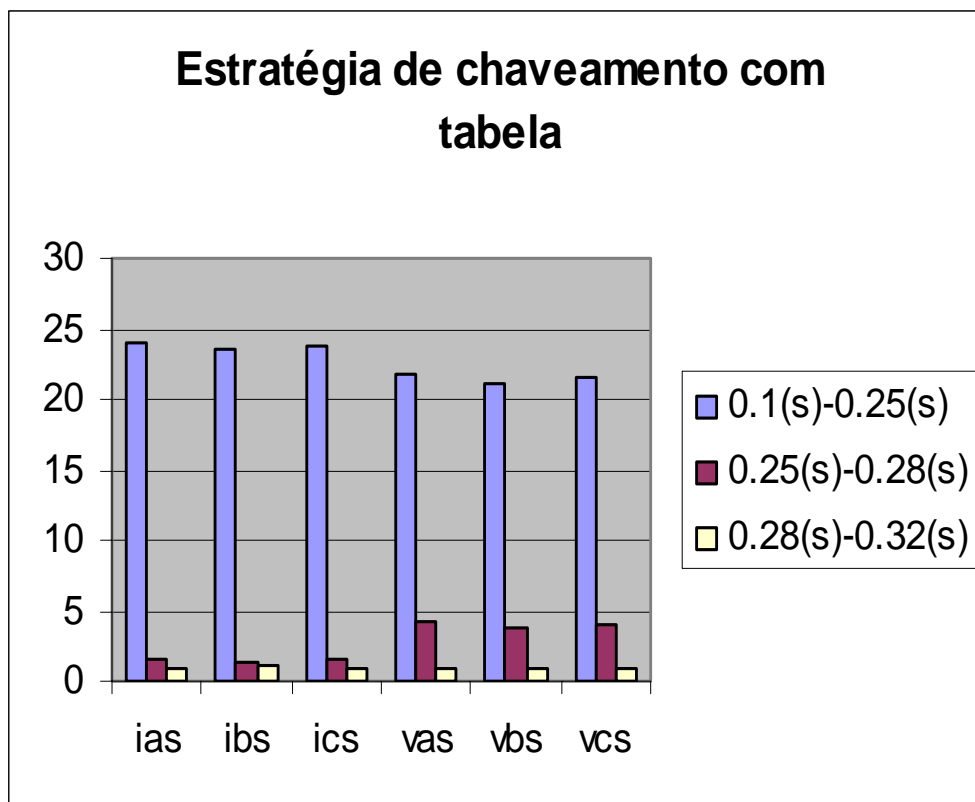


Fig.4- 47 - Gráfico mostrando a comparação entre os valores de DHT da Tab.4- 3.

5 CONCLUSÕES

Neste trabalho, são apresentados as pesquisas sobre conversor três níveis e suas aplicações no sistema elétrico e nos vários segmentos do ramo das indústrias. São mostrados e discutidos também os resultados obtidos nas simulações utilizando os conversores três níveis topologia NPC aplicado como condicionador universal de qualidade de energia.

Nesta pesquisa receberam destaque as três famílias mais conhecidas na literatura, que são: as topologias com diodo de grampeamento, com capacitor de grampeamento e os conversores em cascata, com seus respectivos circuitos de potência, e respectivos princípios de funcionamento. A abordagem nas topologias dos conversores multiníveis concentrou-se principalmente nos conversores três níveis e foi possível observar que cada vez mais os mesmos vêm se tornando opções extremamente atrativas e ampliando seus ramos de atuação nas aplicações tanto em sistemas de média e alta tensão quanto no setor industrial. Um dos principais fatores que vem impulsionando este maior interesse nestas topologias é o desenvolvimento de semicondutores que suportem maiores magnitudes de tensão e também frequências de chaveamento elevadas.

Neste trabalho foram implementadas duas estratégias de chaveamento para conversores três níveis do UPQC. Os algoritmos utilizados para implementação destas técnicas foram descritos. Ambos as técnicas mostraram eficácia tanto no controle de corrente quanto no controle de tensão. O primeiro é baseado em comparadores multiníveis e uma tabela de chaveamento. A principal característica desta técnica de chaveamento é o fato dos vetores de referência são os próprios vetores básicos do hexágono três níveis. Esta estratégia apresentou menores índices de distorção harmônica. Porém esta estratégia acessa o melhor vetor de chaveamento de acordo com a saída dos comparadores. Com isto é possível que ocorra a mudança de estado em todos os semicondutores na troca de vetor de chaveamento. Este fato aumenta e muito as perdas por chaveamento. O segundo método é baseado na teoria de modulação por vetor espacial. O princípio fundamental desta estratégia é a sintetização do vetor de referência através da combinação linear dos próprios vetores básicos do hexágono três níveis. Este teve índices de DHT um pouco maiores. Em contrapartida esta técnica trabalha com seqüências de chaveamento pré definidas e que

garantem que haja a troca de apenas um estado de chaveamento por cada troca de vetor. Tanto a estratégia utilizando comparadores quanto o SVM mostraram conseguir manter o equilíbrio do barramento contínuo. Na técnica de modulação por vetor espacial mesmo partindo sob condições iniciais de desequilíbrio entre os capacitores do barramento contínuo, o equilíbrio entre os capacitores do barramento contínuo foi alcançado. Contudo, a literatura sobre conversores três níveis é contundente em dizer que não basta a escolha de uma seqüência de chaveamento, conforme utilizada neste trabalho, para assegurar sob quaisquer condições o equilíbrio entre os capacitores.

Para a estratégia de controle tanto do filtro ativo paralelo quanto do filtro ativo série, utilizou-se para a determinação das tensões e correntes de referência, uma alternativa que faz a combinação do uso dos mínimos multiplicadores de Lagrange, em conjunto com um circuito de sincronismo robusto, se configurando como uma proposta para o cálculo das tensões e correntes de referência a partir das tensões e correntes nas fases a - b-c. Os resultados das simulações realizadas no equipamento condicionador universal de qualidade de energia utilizando conversor três níveis (NPC), foram mostrados e vieram a comprovar a eficiência da estratégia de controle implementada. O circuito de sincronismo (PLL) mostrou-se eficiente conseguindo rastrear a frequência da componente fundamental de seqüência positiva. As tensões obtidas na saída do detector de seqüência positiva conseguiram seguir as tensões de suprimento em aproximadamente três ciclos. A estratégia de controle conseguiu compensar de maneira ativa o fator de potência. O controle de amortecimento implementado a partir das correntes não ativas mostrou-se eficiente. Este é uma parte fundamental no controle do UPQC para limitar as componentes harmônicas que fluem através dos transformadores série do filtro ativo série.

5.1 SUGESTÕES PARA TRABALHOS FUTUROS

Uma melhor investigação do uso das estratégias de controle apresentadas em sistemas trifásicos a quatro fios deve ser feita, uma vez que todas as simulações realizadas visaram apenas sistemas trifásicos com três fios.

Um estudo mais aprofundado deve ser feito para um melhor aproveitamento do condicionador série aplicado em sistemas de distribuição. Nos dias de hoje, são notórias as consideráveis perdas nas indústrias de médio e grande porte com a má qualidade da tensão entregue. Problemas como afundamentos, cintilações, interrupções momentâneas de

energia entre tantos outros, fazem com que estas indústrias tenham consideráveis prejuízos, tendo que parar a produção ou perdendo uma linha de montagem devido ao mau funcionamento dos equipamentos.

Diante disto, é interessante o estudo para conceber e validar o condicionador UPQC de tal forma que o seu conversor série consiga entregar ao consumidor especial tensões senoidais e equilibradas, com a capacidade de manter esta tensão regulada contra afundamento e / ou elevação da tensão.

Outro trabalho que pode ser aprofundado é a questão da seqüência de chaveamento da modulação por vetor espacial. Dentro dos sextantes e regiões é possível adotar outras seqüências de chaveamento. Verificar os efeitos de uma nova seqüência de chaveamento seria um estudo válido. Determinar se esta influencia no equilíbrio dos capacitores do barramento contínuo é um dos aspectos a ser analisado.

Por fim cabe ressaltar que os esforços para os trabalhos futuros estarão concentrados em implementar, em bancada, um protótipo do condicionador UPQC utilizando conversores multiníveis com a estratégia de controle proposta. Uma outra alternativa a ser estudada e analisada para a elevação da potência dos conversores é a utilização das outras topologias multiníveis, o que também deve ser melhor pesquisado nos trabalhos futuros.

Referências Bibliográficas

- [1] Hingorani, N.G.; Gyugyi L.; “Understanding FACTS: Concepts and Technology of Flexible AC Transmission Systems”, *IEEE press*, New York, 2000.
- [2] Nabae, A., Takahashi, I., Akagi, H., “A New Neutral-Point Clamped PWM Inverter,” *IEEE Transactions on Industry Applications*, vol. 19-C, no. 5, September/October 1981, pp. 518-523.
- [3] Rodríguez J., Lai, J.S., Peng, F.Z., “Multilevel Inverters: A Survey of Topologies, Controls, and Applications,” *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, August 2002, pp. 724-738.
- [4] Hammond, P., “A New approach to enhance power quality for medium voltage ac drives,” *IEEE Transactions on Industry Applications*, vol. 33, Jan/Feb 1997, pp. 206-208.
- [5] Meynard, T. A., Foch, H., “Multilevel-Level Conversion: High Voltage Choppers and Voltage Source-Source Inverters,” *IEEE-PESC Conference Record*, pp.397-403, 1992.
- [6] Marchesoni, M., Mazzuchelli, M., Tenconi, S., “A non conventional power converter for plasma stabilization,” *IEEE Transactions on Power Electronics*, vol. 5, no. 2, April 1990.
- [7] Mendes, M. A. Severo Peixoto, Z. M. Assis Seixas, P. F. Garcia, P. Donoso Lima, A. M. N., “A Space Vector PWM Method for Three Level Flying Capacitor Inverters,” *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual Volume 1*, 17-21 June 2001 Page(s): 182-187.
- [8] Bhagwat, Pradeep M., Stefanovic, V. R., “Generalized Structure of a Multilevel PWM Inverter,” *IEEE Transactions on Industry Applications*, vol. IA-19, no. 6, November/December 1983, pp. 1057-1069.
- [9] Bose, Bimal K., “Power Electronics and Variable Frequency Drives: technology and applications,” *IEEE Press*, NJ, 1996, pp. 195-205.
- [10] Lee, Y. -H., Suh, B. -S., Hyun, D. -S., “A Novel PWM Scheme for a Three Level Voltage Source Inverter with GTO Thyristors,” *IEEE Transactions on Industry Applications*, vol. 32, no. 2, March/April 1996, pp.260-268.
- [11] Steimer, P. K., Steinke, J. K., Gruning, H. E., “A reliable, interface-friendly medium voltage drive based on the robust IGCT and DTC technologies,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, Phoenix, AZ, Oct. 1999, pp. 1505-1512.
- [12] Eicher, S., Weber, A., Bernet, S., Steimer, P., “The 10 kV IGCT – A new device for medium voltage drives,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, Rome, Italy, Oct. 2000, pp. 2859-2865.
- [13] Auerbach, F., Glantschnig, M., Porst, A., Bauer, J.G., Reznik, D., Schulze, H.J., Gottert, J. Hierholzer, M. Schutze, T. and Spanke, R., “6.5 kV IGBT modules” in *Conf. Rec. IEEE-IAS Annu. Meeting*, Phoenix, AZ, Oct. 1999, pp. 1770-1774.

- [14] Huang, A.Q., Sirisukprasert, S., Xu, Z., Zhang, B., Lai, J. S., “A high-frequency 1.5 MVA H-bridge building block for cascaded multilevel converters using emitter turn-off thyristor (ETO),” in *Proc. IEEE APEC*, Dallas, TX, Mar. 2002, pp.25-32.
- [15] Pimentel, D. G. M, Lopes, F. C., Rolim, L. G. B., e Watanabe, E. H., “Análise e Validação Experimental de um STATCOM para Regulação de Tensão”, Proc. (CDROM) XV CBA – Congresso Brasileiro de Automática, Gramado, Brasil, Setembro 2004.
- [16] Celanovic, N., “Space Vector Modulation and Control of Multilevel Converters,” Doctor of Philosophy Thesis, Blacksburg, Virginia, September 2000.
- [17] Mendes, M. A. Severo Peixoto, Z. M. Assis Seixas, P. F. Garcia, P. Donoso Lima, A. M. N., “A Space Vector PWM Method for Three Level Flying Capacitor Inverters,” *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual Volume 1*, 17-21 June 2001 Page(s): 182-187.
- [18] Wong, M.C., Zhao, Z. Yi, Han, Y.D., Zhao, L. B., “Three-Dimensional Pulse Width Modulation Technique in Three-Level Power Inverters for Three-Phase Four-Wire System,” *IEEE Trans. On Power Electronics*, vol.16, no.3, May 2001, pp. 418-427.
- [19] Pinto, V.M., Silva, F.J.G., Aredes, M., Monteiro, L. F. C., Neto, J. A. M., Costa, J. C. C., “A Sign Cubical Hysteresis Current Controller based on a-b-c reference Frame for Three Level Converter operating as Three-Phase Four-Wire Shunt Active Filter,” *Proc. (CDROM) of the VI Induscon – Conferência de Aplicações Industriais*, Joinville, Brasil, Outubro 2004, pp. 345-350.
- [20] Peng, F.Z., “A Generalized Multilevel Inverter Topology with Self Voltage Balancing,” *IEEE Transactions on Industry Applications*, vol. 37, no.2, March/April 2001, pp. 611-618.
- [21] Song, B.M., Gurol, S., Jeong, C. Y., Yoo, D.W., and Lai, J.S., “ A soft-switching high-voltage active power filter with flying capacitors for urban maglev system applications,” in *Conf. Rec. IEEE-IAS Annu Meeting*, Chicago, IL, Sept. 2001, pp.1461-1469.
- [22] Renz, B.A., et al., “AEP unified power flow controller performance,” *presented at the IEEE/PES Winter Meeting*, Tampa, FL, 1998, Paper PE-042-PWRD-0-12.
- [23] Texas Instruments, “Digital Motor Control; Software Library”, Literature Number SPRU485, August 2001.
- [24] Villalva, M. G., Oliveira Filho, M. E. de, Filho, E. R., “Detailed Implementation of a Current Controller with 3D Space Vectors for Four Wire Active Filters,” *PEDS 2003*, vol. 1, 17-20 Nov. 2003, pp. 536-541.
- [25] Rodríguez, J., Correa, P., Morán, L., “A vector control technique for médium voltaje multilevel inverters,” in *Proc. IEEE APEC*, Anaheim, CA, Mar. 2001, pp. 173-178.
- [26] Lai, J.S., Peng, F.Z., “Multilevel converters – A new breed of power converters,” *IEEE Trans. Ind. Applicat.*, vol. IM-36, no. 3, 1996, pp. 509-517.

- [27] Monteiro, L. F. C., “Algumas Contribuições para Controle de Filtros Ativos,” Tese de Mestrado, Programa de Engenharia Elétrica – COPPE/UFRJ, Dezembro de 2003.
- [28] Monteiro, L. F. C. e Aredes, M., “A comparative analysis among different control strategies for shunt active filters,” *Proc. (CDROM) of the V INDUSCON – Conferência de Aplicações Industriais*, Salvador, Brasil, Julho 2002, pp. 345-350.
- [29] Aredes, M. e Monteiro, L. F. C., “Compensation Algorithms based on instantaneous powers defined in the phase-mode and in the $\alpha\beta 0$ reference frame,” *Proc. (CDROM) of the VII COBEP – Congresso Brasileiro de Eletrônica de Potência*, Fortaleza, Brasil, Setembro 2003, pp. 344-349.
- [30] Wei, L., Wu, Y., Li, C., Wang, H., Liu, S., Li, F., “A Novel Vector Control of Three – Level PWM Converter,” *IEEE PEDS’99*, July 1999, Hong Kong, pp. 745-750.
- [31] Aredes, M., “Active Power Line Conditioners,” Doktor Ing. Thesis, Techischen Universität Berlim, março 1996.
- [32] Aredes, M. e Monteiro, L. F. C., “A Control Strategy for Shunt Active Filter,” 10th ICHQP – IEEE/PES 10th Int. Conf. on Harmonics and Quality of Power, Rio de Janeiro, Brasil, Outubro 2002, vol. 1, pp. 472-477.
- [33] Monteiro, L. F. C., Aredes, M., Neto, J. A. M., “A Control Strategy for Unified Power Quality Conditioner,” *Proc. (CDROM) of ISIE – International Symposium on Industrial Electronics*, Rio de Janeiro, Brasil, Julho 2003.
- [34] Verdelho, P., Marques, G. D., “Four Wire Current Regulated PWM Voltage Converter,” *IEEE Trans. on Ind. Electronics*, vol. 45, no. 5, October 1998, pp. 761-770.
- [35] Fukuda, S. e Endoh, T., “Control Method for a Combined Active Filter System Employing a Current Source Converter and a High Pass Filter,” *IEEE Trans. Ind. App.*, vol. 31, no. 3, Maio /Junho 1995, pp. 590-595.
- [36] Akagi, H., “Trends in Active Power Line Conditioners,” *IEEE Trans. Power Electronics App.*, vol. 9, no. 3, Maio 1994, pp. 263-268.
- [37] Akagi, H., “New Trends in Active Filters,” EPE’95 – Eur. Conf. Power Electronics, vol. 0, Spain, Sevilla, Setembro 1995, pp. 0.017–0.026.

6 - ANEXOS

Ciclos de trabalho da região A₁ do 2º sextante

$$T_1 = 1 - T_3 - T_4 \quad (6.1)$$

$$T_3 = \sqrt{3} \cdot V_\alpha \quad (6.2)$$

$$T_4 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.3)$$

Ciclos de trabalho da região A₂ do 2º sextante:

$$T_1 = 1 - T_2 - T_4 \quad (6.4)$$

$$T_2 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.5)$$

$$T_4 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.6)$$

Ciclos de trabalho da região A₃ do 2º sextante:

$$T_1 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.7)$$

$$T_2 = 2 \cdot \sqrt{3} \cdot V_\alpha \quad (6.8)$$

$$T_0 = 1 - T_2 - T_1 \quad (6.9)$$

Ciclos de trabalho da região A₄ do 2º sextante:

$$T_4 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.10)$$

$$T_5 = \sqrt{3} \cdot V_\alpha \quad (6.11)$$

$$T_2 = 1 - T_4 - T_5 \quad (6.12)$$

Ciclos de trabalho da região A₁ do 3º sextante:

$$T_1 = T - \frac{T_3}{T} - \frac{T_4}{T} \quad (6.13)$$

$$T_3 = \frac{1}{2} \left(\sqrt{3} \cdot V_\alpha + 3 \cdot V_\beta \right) \quad (6.14)$$

$$T_4 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.15)$$

Ciclos de trabalho da região A₂ do 3º sextante:

$$T_1 = 1 - T_2 - T_4 \quad (6.16)$$

$$T_2 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.17)$$

$$T_4 = 2 \cdot V_\beta \quad (6.18)$$

Ciclos de trabalho da região A₃ do 3º sextante:

$$T_1 = \frac{1}{2} (\sqrt{3} \cdot V_\alpha - V_\beta) \quad (6.19)$$

$$T_2 = \frac{1}{2} (\sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta) \quad (6.20)$$

$$T_0 = 1 - T_2 - T_1 \quad (6.21)$$

Ciclos de trabalho da região A₄ do 3º sextante:

$$T_4 = \frac{1}{2} (\sqrt{3} \cdot V_\alpha + 3 \cdot V_\beta) \quad (6.22)$$

$$T_5 = 2 \cdot V_\beta \quad (6.23)$$

$$T_2 = 1 - T_4 - T_5 \quad (6.24)$$

Ciclos de trabalho da região A₁ do 4º sextante:

$$T_1 = 1 - T_3 - T_4 \quad (6.25)$$

$$T_3 = \frac{1}{2} (\sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta) \quad (6.26)$$

$$T_4 = 2 \cdot V_\beta \quad (6.27)$$

Ciclos de trabalho da região A₂ do 4º sextante:

$$T_1 = 1 - T_2 - T_4 \quad (6.28)$$

$$T_2 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.29)$$

$$T_4 = 2 \cdot V_\beta \quad (6.30)$$

Ciclos de trabalho da região A₃ do 4º sextante:

$$T_1 = 2 \cdot V_\beta \quad (6.31)$$

$$T_2 = \sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta \quad (6.32)$$

$$T_0 = 1 - T_2 - T_1 \quad (6.33)$$

Ciclos de trabalho da região A₄ do 4º sextante:

$$T_4 = \frac{1}{2} (\sqrt{3} \cdot V_\alpha - 3 \cdot V_\beta) \quad (6.34)$$

$$T_5 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.35)$$

$$T_2 = 1 - T_4 - T_5 \quad (6.36)$$

Ciclos de trabalho da região A₁ do 5º sextante:

$$T_1 = 1 - T_3 - T_4 \quad (6.37)$$

$$T_3 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.38)$$

$$T_4 = \sqrt{3} \cdot V_\alpha \quad (6.39)$$

Ciclos de trabalho da região A₂ do 5º sextante:

$$T_1 = 1 - T_2 - T_4 \quad (6.40)$$

$$T_2 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.41)$$

$$T_4 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.42)$$

Ciclos de trabalho da região A₃ do 5º sextante:

$$T_1 = 2 \cdot \sqrt{3} \cdot V_\alpha \quad (6.43)$$

$$T_2 = \sqrt{3} \cdot V_\alpha - V_\beta \quad (6.44)$$

$$T_0 = 1 - T_2 - T_1 \quad (6.45)$$

Ciclos de trabalho da região A₄ do 5º sextante:

$$T_4 = \sqrt{3} \cdot V_\alpha \quad (6.46)$$

$$T_5 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.47)$$

$$T_2 = 1 - T_4 - T_5 \quad (6.48)$$

Ciclos de trabalho da região A₁ do 6º sextante:

$$T_1 = 1 - T_3 - T_4 \quad (6.49)$$

$$T_3 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.50)$$

$$T_4 = \frac{1}{2} \left(\sqrt{3} \cdot V_\alpha + 3 \cdot V_\beta \right) \quad (6.51)$$

Ciclos de trabalho da região A₂ do 6º sextante:

$$T_1 = 1 - T_2 - T_4 \quad (6.52)$$

$$T_2 = 2 \cdot V_\beta \quad (6.53)$$

$$T_4 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.54)$$

Ciclos de trabalho da região A₃ do 6º sextante:

$$T_1 = \sqrt{3} \cdot V_\alpha + 3 \cdot V_\beta \quad (6.55)$$

$$T_2 = \sqrt{3} \cdot V_\alpha + V_\beta \quad (6.56)$$

$$T_0 = 1 - T_2 - T_1 \quad (6.57)$$

Ciclos de trabalho da região A₄ do 6º sextante:

$$T_4 = 2 \cdot V_\beta \quad (6.58)$$

$$T_5 = \frac{1}{2} \left(\sqrt{3} \cdot V_\alpha + 3 \cdot V_\beta \right) \quad (6.59)$$

$$T_2 = 1 - T_4 - T_5 \quad (6.60)$$