

ESTRUTURAS CMOS PROGRAMÁVEIS PARA APLICAÇÃO EM ELETRÔNICA
EVOLUCIONÁRIA

Antonio Luiz Pimentel Guimarães

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS
PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA
ELÉTRICA.

Aprovada por:

Prof. Antonio Carneiro de Mesquita Filho, Dr. d'État

Prof. José Franco Machado do Amaral, D. Sc.

Prof. Jorge Lopes de Souza Leão, Dr. Ing.

RIO DE JANEIRO, RJ - BRASIL

MARÇO DE 2006

GUIMARÃES, ANTONIO LUIZ PIMENTEL

Estruturas CMOS Programáveis para Aplicação em Eletrônica Evolucionária [Rio de Janeiro] 2006

XIII, 123 p. 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 2006)

Dissertação - Universidade Federal do Rio de Janeiro, COPPE

1. Estruturas CMOS
2. Eletrônica Evolucionária

I. COPPE/UFRJ II. Título (série)

DEDICATÓRIA

A minha esposa Vânia e aos meus filhos Felipe e Fábio, pela
compreensão e apoio dedicados.

AGRADECIMENTOS

Ao Prof. Antonio Carneiro de Mesquita Filho, pela excelente orientação e pelo conhecimento que me transmitiu.

Ao Instituto de Pesquisas da Marinha, que possibilitou a realização deste trabalho.

Aos professores avaliadores desta dissertação, Jorge Lopes de Souza Leão e José Franco Machado do Amaral.

Ao amigo Carlos Philippe Emmanuel Vasconcellos Duarte que compartilhou comigo o período do mestrado.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

ESTRUTURAS CMOS PROGRAMÁVEIS PARA APLICAÇÃO EM ELETRÔNICA EVOLUCIONÁRIA

Antonio Luiz Pimentel Guimarães

Março/2006

Orientador: Antonio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

O projeto e a validação de estruturas CMOS programáveis para aplicações em Eletrônica Evolucionária são discutidos. As estruturas propostas são partes integrantes de um projeto de circuito integrado em tecnologia CMOS, que servirá de plataforma de hardware programável.

As estruturas projetadas foram analisadas em um ambiente de simulação, especialmente desenvolvido com esta finalidade, utilizando Algoritmos Genéticos com abordagem *steady state*.

Os testes realizados demonstraram que as estruturas são funcionais e viáveis de serem implementadas em um circuito integrado, viabilizando a continuidade do projeto da plataforma de hardware programável.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

PROGRAMMABLE CMOS STRUCTURES WITH APPLICATION IN EVOLUTIONARY
ELECTRONICS

Antonio Luiz Pimentel Guimarães

March/2006

Advisor: Antonio Carneiro de Mesquita Filho

Department: E Engineering

The design and validation of CMOS structures consisting of programmable MOSFET transistors to be used in hardware platforms able to perform intrinsic evolutionary experiments are discussed.

A set of programmable transistors is proposed and tested in an extrinsic environment specially designed to this purpose, using a *steady state* Genetic Algorithm.

The tests performed show that the proposed structures are viable and more flexible than the structures proposed in the literature being well adapted to the intended application.

ÍNDICE

1.	INTRODUÇÃO.....	1
1.1.	OBJETIVOS DO TRABALHO	2
1.2.	ESTRUTURA DO TRABALHO	3
2.	ELETRÔNICA EVOLUCIONÁRIA	5
2.1.	INTRODUÇÃO.....	5
2.2.	TIPOS DE PROCESSOS EVOLUTIVOS	5
2.2.1.	Evolução Extrínseca.....	6
2.2.2.	Evolução Intrínseca.....	7
2.3.	HARDWARE EVOLUCIONÁRIO	7
2.3.1.	Plataformas de Hardware Reconfiguráveis.....	9
2.3.1.1.	FPGA (<i>Field Programmable Gate Arrays</i>).....	9
2.3.1.2.	FPAA (<i>Field Programmable Analog Arrays</i>).....	10
2.3.1.3.	FPTA (<i>Field Programmable Transistor Arrays</i>)	10
2.4.	ALGORITMOS GENÉTICOS	10
2.4.1.	Terminologia Utilizada.....	12
2.4.2.	Passos de Um Algoritmo Genético	15
2.4.3.	Método <i>Steady State</i>	15
3.	ESTRUTURAS CMOS PROGRAMÁVEIS.....	18
3.1.	INTRODUÇÃO.....	18
3.2.	O FPTA DO KIRCHHOFF INSTITUTE.....	18
3.2.1.	Configuração da Matriz	19
3.2.2.	Dimensionamento do comprimento de canal (L)	20
3.2.3.	Dimensionamento da largura de canal (W)	21
3.2.4.	Interligando as Células.....	21
3.3.	O FPTA DO JET PROPULSION LABORATORY DA NASA.....	22
4.	PROJETO DAS CHAVES ANALÓGICAS	25
4.1.	INTRODUÇÃO.....	25
4.2.	O TRANSISTOR MOS (<i>METAL-OXIDE SEMICONDUCTOR</i>).....	25
4.3.	TECNOLOGIA CMOS (<i>COMPLEMENTARY METAL-OXIDE SEMICONDUCTOR</i>).....	26
4.3.1.	Operação do Transistor NMOS.....	27
4.3.2.	Efeito de Corpo em Um Transistor NMOS.....	31
4.3.3.	Modulação de Canal em Um Transistor NMOS.....	32
4.3.4.	Tecnologia Utilizada	33
4.3.5.	Transistor de Tamanho Mínimo	34
4.4.	CHAVES ANALÓGICAS.....	34
4.4.1.	Chave NMOS	34
4.4.2.	Chave PMOS	36
4.4.3.	Chave Complementar	38
4.5.	DIMENSIONAMENTO DAS CHAVES ANALÓGICAS.....	41
4.5.1.	Influência das Chaves na Associação em Série de Transistores	42
4.5.2.	Influência das Chaves na Associação em Paralelo de Transistores	46
4.5.3.	Influência da Inclusão de Chaves em Série.....	48
4.5.4.	Retardo na Propagação do Sinal em Uma Chave Complementar	49
4.5.5.	Definição das Dimensões das Chaves	51
5.	TRANSISTOR PROGRAMÁVEL	53
5.1.	INTRODUÇÃO.....	53
5.2.	TRANSISTOR PROGRAMÁVEL PRIMEIRA OPÇÃO	55
5.2.1.	Arquitetura da Matriz de Transistores	55
5.2.2.	Configuração do Transistor Programável	56
5.2.3.	Possíveis Configurações.....	58
5.2.4.	Chave de Interligação de Terminal Porta.....	59
5.2.4.1.	Chave Tipo 1.....	59

5.2.4.2.	Chave Tipo 2.....	61
5.2.4.3.	Chave Tipo 3.....	62
5.3.	TRANSISTOR PROGRAMÁVEL SEGUNDA OPÇÃO	64
5.3.1.	Arquitetura da Matriz de Transistores	65
5.3.2.	Configuração do Transistor Programável	67
5.3.3.	Possíveis Configurações.....	68
5.3.4.	Chave de Interligação de Terminal Fonte.....	68
5.3.5.	Chave de Interligação de Terminal Porta.....	69
5.4.	TRANSISTOR PROGRAMÁVEL TERCEIRA OPÇÃO.....	70
5.4.1.	Barra de Transistores.....	72
5.4.2.	Configuração do Transistor Programável	72
5.4.3.	Chave Interligação de Terminal Porta.....	73
5.4.4.	Possíveis Configurações.....	73
5.5.	TESTES COMPARATIVOS DE DESEMPENHO	74
5.5.1.	Testes de Desempenho das Chaves da Primeira Opção.....	74
5.5.1.1.	Teste de Medida da Corrente de Dreno em Saturação.....	74
5.5.1.2.	Medida do Retardo de Um Inversor.....	75
5.5.1.3.	Definição da chave	78
5.5.2.	Comparação entre as Três Opções	78
5.5.2.1.	Medida da Corrente de Dreno em Saturação.....	78
5.5.2.2.	Medida do Retardo de Um Inversor.....	80
5.5.3.	Quantidade de Transistores por Opção	83
5.6.	INFLUÊNCIA DAS CHAVES	83
6.	ESTRUTURAS DE TRANSISTORES PROGRAMÁVEIS	87
6.1.	INTRODUÇÃO.....	87
6.2.	ESTRUTURA TIPO 1	87
6.2.1.	Barramento Local	88
6.2.2.	Bits de Configuração e Interligação	89
6.3.	ESTRUTURA TIPO 2	90
6.3.1.	Interligação interna.....	91
6.3.2.	Possíveis Configurações.....	92
6.3.3.	Barramento Local	93
6.3.4.	Bits de Configuração e Interligação	94
6.4.	ESTRUTURA TIPO 3	96
6.4.1.	Barramento Local	96
6.4.2.	Bits de Configuração e Interligação	97
7.	EVOLUÇÕES EXTRÍNSECAS UTILIZANDO AS ESTRUTURAS PROPOSTAS 98	
7.1.	INTRODUÇÃO.....	98
7.2.	AMBIENTE DE SIMULAÇÃO	98
7.2.1.	Processo Evolutivo.....	98
7.2.2.	Programa Servidor	99
7.2.3.	Programa Cliente	99
7.2.4.	Recursos do Programa	99
7.2.5.	Parâmetros do Processo Evolutivo	100
7.2.5.1.	Parâmetros Fixos	100
7.2.5.2.	Parâmetros Programáveis	100
7.2.6.	Seqüência de um torneio	101
7.3.	EVOLUÇÕES EXTRÍNSECAS	102
7.3.1.	Evolução de Uma Porta Inversora	102
7.3.1.1.	Evolução da Estrutura 1.....	104
7.3.1.2.	Evolução da Estrutura 2.....	106
7.3.1.3.	Evolução da Estrutura 3.....	108
7.3.2.	Evolução de Um Amplificador Operacional com Entrada Diferencial.....	111
7.3.2.1.	Evolução da Estrutura 1.....	113
7.3.2.2.	Evolução da Estrutura 2.....	115
7.3.2.3.	Evolução da Estrutura 3.....	117
8.	CONCLUSÕES E TRABALHOS FUTUROS	120

9. REFERÊNCIAS BIBLIOGRÁFICAS	122
-------------------------------------	-----

ÍNDICE DE FIGURAS

Figura 2-1 – Evolução extrínseca.....	6
Figura 2-2 – Evolução intrínseca.....	7
Figura 2-3 – Cruzamento entre dois indivíduos em apenas 1 ponto.....	13
Figura 2-4 – Mutaç�o de 1 bit.....	13
Figura 2-5 – Fluxograma de um algoritmo gen�tico b�sico.....	15
Figura 2-6 – Fluxograma algoritmo gen�tico <i>steady state</i>	16
Figura 3-1 – Topologia da matriz.....	18
Figura 3-2 – Matriz de transistores.....	19
Figura 3-3 – Bits de configura�o do transistor.....	20
Figura 3-4 – Pontos de interliga�o das c�lulas.....	22
Figura 3-5 – Diagrama em blocos da EORA do <i>Jet Propulsion Laboratory</i>	23
Figura 3-6 – Esquema el�trico da PTA do <i>Jet Propulsion Laboratory</i>	24
Figura 4-1 – Simbologia dos transistores NMOS e PMOS.....	25
Figura 4-2 – Estrutura simplificada de um transistor NMOS.....	26
Figura 4-3 – Processo CMOS substrato P.....	26
Figura 4-4 – Esquema b�sico para opera�o de transistor NMOS.....	27
Figura 4-5 – Regi�o de corte.....	28
Figura 4-6 – Regi�o sub-limiar.....	29
Figura 4-7 – Regi�o de triodo.....	30
Figura 4-8 – Regi�o de satura�o.....	31
Figura 4-9 – Efeito de corpo.....	31
Figura 4-10 – Modula�o de canal.....	32
Figura 4-11 – Transistor de tamanho m�nimo NMOS e PMOS.....	34
Figura 4-12 – Chave NMOS.....	35
Figura 4-13 – Gr�fico da resist�ncia de uma chave NMOS.....	36
Figura 4-14 – Chave PMOS.....	37
Figura 4-15 – Gr�fico da resist�ncia de uma chave PMOS.....	38
Figura 4-16 – Chave complementar.....	38
Figura 4-17 – Gr�fico da resist�ncia aproximada da chave complementar.....	40
Figura 4-18 – Gr�fico da resist�ncia da chave complementar.....	40
Figura 4-19 – Circuito de teste de transistores em s�rie.....	42
Figura 4-20 – Curvas de corrente de dreno em satura�o com erro m�ximo.....	43
Figura 4-21 – Curvas de corrente de dreno em satura�o com erro m�nimo.....	43
Figura 4-22 – Curvas de corrente de dreno em satura�o com erro m�dio.....	44
Figura 4-23 – Corrente de dreno em satura�o para diferentes valores de W	45
Figura 4-24 – Curvas de erro em rela�o as poss�veis configura�o de W	45
Figura 4-25 – Circuito de teste de transistores em paralelo.....	46
Figura 4-26 – Curvas de corrente de dreno em satura�o com erro m�ximo.....	46
Figura 4-27 – Curvas de corrente de dreno em satura�o com erro m�nimo.....	47
Figura 4-28 – Curvas de corrente de dreno em satura�o com erro m�dio.....	47
Figura 4-29 – Circuito de teste de chaves em s�rie.....	48
Figura 4-30 – Curvas de corrente dreno em satura�o.....	49
Figura 4-31 – Circuito de teste de retardo na propaga�o do sinal.....	49
Figura 4-32 – Retardo introduzido pela chave na propaga�o do sinal.....	50
Figura 5-1 – Transistores em paralelo e em s�rie.....	53
Figura 5-2 – Transistor program�vel.....	54
Figura 5-3 – Matriz de transistores tipo N da primeira op�o.....	55
Figura 5-4 – Valores de W e L da matriz da primeira op�o.....	55
Figura 5-5 – Esquema el�trico da matriz tipo N da primeira op�o.....	56
Figura 5-6 – Diagrama em blocos do transistor program�vel primeira op�o.....	57
Figura 5-7 – Serigrafias dos transistores program�veis tipo N e P op�o 1.....	57
Figura 5-8 – Esquema el�trico da chave tipo 1 para matrizes do tipo N.....	60
Figura 5-9 – Esquema el�trico da chave tipo 1 para matrizes do tipo P.....	60
Figura 5-10 – Esquema el�trico da chave tipo 2 para matrizes do tipo N.....	61
Figura 5-11 – Esquema el�trico da chave tipo 2 para matrizes do tipo P.....	62
Figura 5-12 – Esquema el�trico da chave tipo 3 para matrizes do tipo N.....	63
Figura 5-13 – Esquema el�trico da chave tipo 3 para matrizes do tipo P.....	63
Figura 5-14 – Matriz de transistores da segunda op�o.....	64

Figura 5-15 – Interligação dos transistores da matriz da segunda opção	65
Figura 5-16 – Esquema elétrico da matriz de transistores programáveis.....	66
Figura 5-17 – Diagrama em blocos do transistor programável segunda opção	67
Figura 5-18 – Serigrafias dos transistores programáveis tipo N e tipo P.....	67
Figura 5-19 – Esquema elétrico da chave de interligação de terminal fonte.....	68
Figura 5-20 – Esquema elétrico das chaves de porta para matrizes do tipo N	69
Figura 5-21 – Esquema elétrico das chaves de porta para matrizes do tipo P	70
Figura 5-22 – Barra de transistores programáveis na dimensão W	71
Figura 5-23 – Esquema elétrico da barra de transistores.....	72
Figura 5-24 – Diagrama em blocos do transistor programável.....	72
Figura 5-25 – Serigrafias dos transistores programáveis tipo N e tipo P.....	73
Figura 5-26 – Circuito de teste com transistores programáveis da primeira opção	74
Figura 5-27 – Corrente de dreno em saturação.....	75
Figura 5-28 – Circuito de teste de um inversor.....	76
Figura 5-29 – Tempo de retardo na propagação do sinal invertido.....	76
Figura 5-30 – Tempo de descida e subida do sinal invertido	77
Figura 5-31 – Teste da corrente de dreno com as 3 opções	79
Figura 5-32 – Corrente de dreno em saturação (comparação entre opções)	79
Figura 5-33 – Teste do inversor com as 3 opções.....	80
Figura 5-34 – Inversor com transistor programável	81
Figura 5-35 – Tempo de descida e subida do sinal invertido	82
Figura 5-36 – Influencia negativa da utilização de chaves	83
Figura 5-37 – Inversores com sinais de entrada de 1GHz	84
Figura 5-38 – Inversores com sinais de entrada de 100MHz	85
Figura 5-39 - Saída de 2 inversores com terminais interligados por chaves.....	86
Figura 6-1 – Diagrama em blocos de interligação do barramento local.	87
Figura 6-2 – Sinais disponíveis no barramento externo	88
Figura 6-3 – Diagrama em blocos do barramento local.....	89
Figura 6-4 – Bits de configuração e interligação.....	89
Figura 6-5 – Estrutura tipo 1.....	90
Figura 6-6 – Simbologia simplificada da estrutura tipo 1	90
Figura 6-7 – Interligação interna de um bloco do tipo N	91
Figura 6-8 – Exemplo de configuração de 3 transistores	92
Figura 6-9 – Exemplo de ligação nula de terminais intermediários	94
Figura 6-10 – Bits de configuração e interligação.....	95
Figura 6-11 – Estrutura tipo 2.....	95
Figura 6-12 – Simbologia simplificada da estrutura tipo 2	95
Figura 6-13 – Ligações previamente estabelecidas.....	96
Figura 6-14 – Simbologia simplificada da estrutura tipo 3	97
Figura 7-1 – Torneio com população de 4 indivíduos.....	101
Figura 7-2 – Circuito para evolução de um inversor	102
Figura 7-3 – Função objetivo para análise de transferência DC de um inversor.....	103
Figura 7-4 – Função objetivo para análise de transiente de um inversor	103
Figura 7-5 – Gráfico comparativo entre função objetivo e resultado alcançado.....	104
Figura 7-6 – Gráfico comparativo entre função objetivo e resultado alcançado.....	105
Figura 7-7 – Gráfico de melhor <i>fitness</i> e média dos <i>fitness</i>	105
Figura 7-8 – Gráficos comparativos entre função objetivo e resultado alcançado	107
Figura 7-9 – Gráficos comparativos entre função objetivo e resultado alcançado	107
Figura 7-10 – Gráficos de melhor <i>fitness</i> e média dos <i>fitness</i>	108
Figura 7-11 – Gráficos comparativos entre função objetivo e resultado alcançado	109
Figura 7-12 – Gráficos comparativos entre função objetivo e resultado alcançado	109
Figura 7-13 – Gráficos de melhor <i>fitness</i> e média dos <i>fitness</i>	110
Figura 7-14 – Circuito para evolução de um amplificador operacional.....	111
Figura 7-15 – Função objetivo para análise AC de um amplificador operacional	112
Figura 7-16 – Função objetivo transferência DC de um amplificador operacional	112
Figura 7-17 – Gráficos comparativos entre função objetivo e resultado alcançado	113
Figura 7-18 – Gráficos comparativos entre função objetivo e resultado alcançado	114
Figura 7-19 – Gráficos de melhor <i>fitness</i> e média dos <i>fitness</i>	114
Figura 7-20 – Gráficos comparativos entre função objetivo e resultado alcançado	115

Figura 7-21 – Gráficos comparativos entre função objetivo e resultado alcançado	116
Figura 7-22 – Gráficos de melhor <i>fitness</i> e média dos <i>fitness</i>	116
Figura 7-23 – Gráficos comparativos entre função objetivo e resultado alcançado	117
Figura 7-24 – Gráficos comparativos entre função objetivo e resultado alcançado	118
Figura 7-25 – Gráficos de melhor <i>fitness</i> e média dos <i>fitness</i>	118

ÍNDICE DE TABELAS

Tabela 2-1 – Classificação de processos evolutivos na Eletrônica Evolucionária	5
Tabela 3-1 – Bits de seleção da dimensão do comprimento de canal	21
Tabela 3-2 – Bits de dimensionamento de largura de canal.....	21
Tabela 4-1 – Dimensões do transistor de tamanho mínimo	34
Tabela 4-2 – Intervalo de condução e condutância da chave complementar	39
Tabela 4-3 – Dimensões e resistência das chaves complementares.....	41
Tabela 4-4 – Erro introduzido por uma chave em uma associação em série.....	44
Tabela 4-5 – Erro introduzido pela chave em uma associação em paralelo	48
Tabela 4-6 – Comparação entre os retardos introduzidos pelas chaves.....	50
Tabela 4-7 – Dimensões das chaves analógicas complementares.....	52
Tabela 5-1 – Possíveis dimensões de W	58
Tabela 5-2 – Possíveis dimensões de L	58
Tabela 5-3 – Dimensões dos transistores das chaves tipo 1	61
Tabela 5-4 – Dimensões dos transistores das chaves tipo 2	62
Tabela 5-5 – Dimensões dos transistores das chaves tipo 3	64
Tabela 5-6 – Dimensões da chave de terminal fonte	69
Tabela 5-7 – Dimensões das chaves de terminal porta (matrizes tipo N e P).....	70
Tabela 5-8 – Possíveis dimensões L por barra.....	73
Tabela 5-9 – Tempo de retardo na propagação do sinal.....	77
Tabela 5-10 – Tempos de subida e descida do sinal invertido	77
Tabela 5-11 – Comparação entre corrente de dreno das três opções	80
Tabela 5-12 – Tempo de retardo na propagação do sinal.....	81
Tabela 5-13 – Tempos de subida e descida do sinal invertido	82
Tabela 5-14 – Relação de transistores de matrizes do tipo N	83
Tabela 5-15 – Relação de transistores de matrizes do tipo P	83
Tabela 6-1 – Configurações com transistores em série	93
Tabela 7-1 – Parâmetros do sinal de entrada.....	103

1. Introdução

O homem sempre buscou, na observação da natureza, inspiração para suas invenções. Um dos maiores anseios da humanidade é a criação de máquinas que possam executar funções idênticas a do próprio homem.

Inteligência Computacional é uma área da Ciência da Computação cujo objetivo é aplicar técnicas que reproduzem aspectos do comportamento humano na criação de sistemas dotados de atributos tais como a inteligência, o aprendizado, a percepção, o raciocínio, a evolução e a adaptação, para a solução de problemas complexos de engenharia. A Inteligência Computacional engloba as áreas de Lógica Nebulosa, Redes Neurais, Computação Evolucionária e Inteligência Artificial.

Computação Evolucionária é uma linha de pesquisa em Inteligência Computacional baseada na teoria da evolução de Charles Darwin (DARWIN, 1859). Como exemplos de técnicas de computação evolucionária podem ser citados o Algoritmo Genético, AG, (HOLLAND, 1975), a Programação Genética, PG, (DE GARIS, 1992; KOZA, 1992) e a chamada "Engenharia Evolucionária", incluindo o Hardware Evolucionário, EHW, (DE GARIS, 1993).

A Programação Genética é uma técnica de geração automática de programas de computador para a solução aproximada ou não de problemas complexos.

A partir de uma população inicial de indivíduos gerados aleatoriamente, que representam possíveis soluções do problema, novos indivíduos são obtidos através da aplicação de operadores genéticos do tipo cruzamento e mutação. O processo de evolução é direcionado por uma função de avaliação que determina, através de um índice de aptidão convencionado, quanto um indivíduo é ou não uma boa solução para o problema. Os indivíduos mais aptos, com as melhores avaliações, têm maior chance de sobrevivência ao longo do processo evolutivo.

A Programação Genética é aplicada em diversas áreas da engenharia tais como Engenharia de Software, Engenharia Eletrônica, Mineração de Dados, Biologia Molecular entre outras. Na Programação Genética são utilizadas diferentes estruturas

para representar um indivíduo de uma população tais como as árvores de derivação sintática e genomas lineares. As ferramentas da Programação Genética são geralmente destinadas à solução de apenas um problema específico.

Segundo a definição de Koza (KOZA, 1992), um algoritmo genético é um algoritmo matemático altamente paralelo que transforma populações de objetos matemáticos individuais em novas populações utilizando as operações genéticas de reprodução sexual (recombinação) e proporcional à adaptabilidade, que é o princípio da sobrevivência do mais apto. Os AG se diferenciam da PG pelo tipo de codificação dos cromossomos utilizada.

Hardware Evolucionário utiliza o modelo genético de aprendizado no espaço de estruturas complexas para a programação de circuitos eletrônicos. Utiliza conceitos dos sistemas evolucionários naturais no projeto automático de circuitos permitindo a criação de circuitos tolerante a falhas, circuitos adaptáveis ao meio ambiente e projetos de robôs.

1.1. Objetivos do Trabalho

Este trabalho é parte integrante de um projeto de circuito integrado em tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*), que servirá de plataforma de hardware programável para experimentos em Eletrônica Evolucionária.

O projeto de um circuito integrado não permite testar sua funcionalidade em condições reais de operação em laboratório. Portanto, como etapa preliminar ao envio do circuito para fabricação é necessário testar a funcionalidade do circuito através de ferramentas de simulação.

Uma plataforma programável para realização de processos evolucionários impõe uma série de restrições adicionais às estruturas do circuito, em relação àquelas impostas aos projetos de circuitos convencionais. Isso requer células básicas mais complexas para atender aos requisitos de configuração e interconexão, exigindo maior variedade nos testes a serem realizados para a validação das soluções propostas.

Para ser uma plataforma prática para uso em processos evolucionários o circuito integrado deverá utilizar tecnologia CMOS devido a sua alta densidade de integração. Neste caso, a implementação de componentes passivos tais como resistores e capacitores deve ser evitada devido ao grande consumo de área desses componentes. Como será visto ao longo da dissertação a funcionalidade desses componentes pode ser implementada de forma limitada por transistores CMOS. Assim a plataforma prevista será composta apenas por transistores CMOS programáveis e elementos de configuração e interconexão.

Na escolha das estruturas que comporão a plataforma de hardware programável, além do desempenho da estrutura em relação à funcionalidade prevista, devem ser considerados outros requisitos tais como área de layout e consumo entre outros.

Este trabalho tem o objetivo preliminar de projetar e validar através de simulações as estruturas CMOS programáveis propostas, antes do projeto físico (layout) do circuito. As estruturas simuladas reproduzem com todos os seus componentes a estrutura real a ser incorporada ao projeto da plataforma de hardware programável.

1.2. Estrutura do Trabalho

Além da introdução o trabalho contém sete capítulos adicionais:

No Capítulo 2 são apresentados os conceitos de Eletrônica Evolucionária e os tipos de processos evolutivos existentes são analisados. Os tipos de plataformas programáveis de aplicação geral, atualmente utilizadas, são apresentadas. O capítulo termina com a apresentação do algoritmo genético, sua definição, princípio de funcionamento e terminologia utilizada.

No Capítulo 3 são analisados dois tipos de estruturas CMOS Programáveis especificamente propostas para utilização em processos evolutivos; a FPTA do Kirchhoff Institute (LANGEHEINE *et ali.*, 2001) e a FPTA do Jet Propulsion Laboratory da NASA (STOICA *et ali.*, 1999).

As propriedades da tecnologia de fabricação a ser utilizada no projeto das estruturas programáveis são analisadas no Capítulo 4. O principal elemento auxiliar de um circuito programável, a chave analógica, é analisado e caracterizado para determinar os seus efeitos negativos no desempenho dos transistores programáveis e na configuração da topologia do circuito.

Três propostas de transistores programáveis são apresentadas e seus desempenhos comparados no Capítulo 5.

No Capítulo 6 os transistores programáveis projetados no Capítulo 5 são utilizados no projeto de estruturas programáveis que serão caracterizadas no capítulo seguinte.

O ambiente de simulação utilizado nos testes e os resultados obtidos nas simulações são apresentados e discutidos no Capítulo 7. Os parâmetros do processo evolutivo, a estrutura do programa implementado e os recursos de programação disponíveis são descritos. Os resultados obtidos em simulações do comportamento das estruturas em experimentos evolucionários são analisados.

As conclusões e sugestões de trabalhos futuros são apresentadas no Capítulo 8.

2. Eletrônica Evolucionária

2.1. Introdução

Em setembro de 1997, pesquisadores de diversas universidades européias reuniram-se na University of Napier, Escócia, com o objetivo de formalizar uma nova área de pesquisa que surgira nos últimos anos e que envolvia Computação Evolucionária e Eletrônica (ZEBULUM *et al.*, 2002). Estimulados por resultados promissores alcançados por eles e pesquisadores dos EUA e Japão, decidiram realizar o encontro com a seguinte agenda:

- Formalizar um nome para a nova área de pesquisa,
- Definir quais as aplicações devem ser incluídas nessa nova área,
- Identificar os principais grupos de pesquisas trabalhando na área e
- Organizar os principais artigos publicados.

Nesse encontro, ficou estabelecido o nome de Eletrônica Evolucionária para a área de pesquisa que envolve Computação Evolucionária para projetos de sistema eletrônicos (ZEBULUM *et al.*, 2002).

2.2. Tipos de Processos Evolutivos

A Eletrônica Evolucionária pode ser classificada de acordo com as propriedades relacionadas na Tabela 2-1 (ZEBULUM *et al.*, 2002).

Tabela 2-1 – Classificação de processos evolutivos na Eletrônica Evolucionária

Tipo de projeto	Tipo de plataforma	Tipo de síntese
Otimização	Digital	Extrínseca
Síntese de circuitos	Analógica	Intrínseca
	Híbrida (dig/anal)	

Os processos de Eletrônica Evolucionária que utilizam apenas simuladores são denominados extrínsecos (DE GARIS, 1993; SANCHEZ, 1996; ZEBULUM *et al.*, 2002). Aqueles utilizando um hardware programável em conjunto com um algoritmo

genético capaz de reconfigurar o sistema de forma a satisfazer um conjunto de requisitos de desempenho são denominados intrínsecos.

A plataforma para evolução intrínseca mais utilizada é o FPGA (*Field Programmable Gate Array*). Mais recentemente outros tipos de plataformas configuráveis para síntese evolucionária de circuitos analógicos vêm sendo utilizadas, entre as quais as mais conhecidas são a FPTA (*Field Programmable Transistor Array*) do Jet Propulsion Laboratory da NASA (STOICA *et ali.*, 1999), a FPTA do Kirchhoff Institute (LANGEHEINE *et ali.*, 2001) e a PAMA (*Programmable Analog Multiplexer Array*) da PUC-RJ, (ZEBULUM *et al.*, 2000).

2.2.1. Evolução Extrínseca

Em uma síntese de circuito por evolução extrínseca o hardware é substituído por um simulador de circuitos eletrônicos. Como são utilizados simuladores no lugar do circuito real e a quantidade de configurações possíveis é demasiadamente grande, são necessárias realizações de várias simulações até que um resultado satisfatório seja alcançado tornando a síntese muito demorada. Outro fator importante é que nesse tipo de síntese o resultado é apenas uma simulação do circuito real não levando em consideração as propriedades físicas do meio eletrônico.

Uma plataforma para síntese de circuitos por intermédio de evolução extrínseca é basicamente formada pelos seguintes módulos; simulador de circuitos e algoritmo evolutivo como mostra a Figura 2-1.

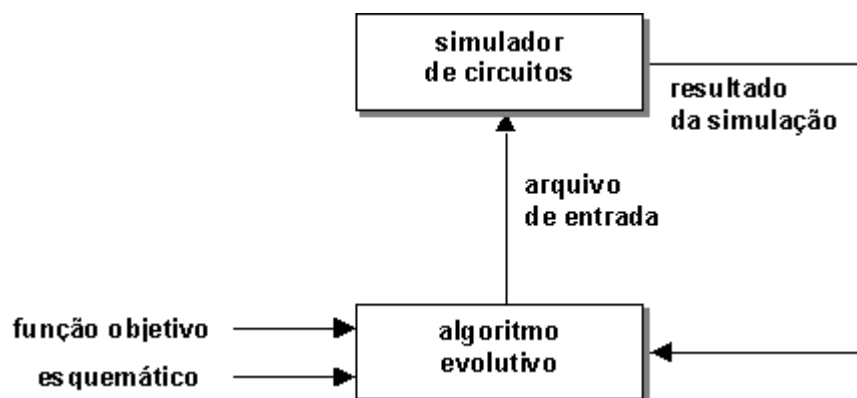


Figura 2-1 – Evolução extrínseca

2.2.2. Evolução Intrínseca

A síntese de circuito por evolução intrínseca, por utilizar o meio físico real, garante que todas as características elétricas e de construção do circuito eletrônico utilizado sejam levadas em consideração durante a síntese.

Pela não utilização de simuladores, a evolução intrínseca é muito mais rápida que a evolução extrínseca, possibilitando que o resultado desejado seja alcançado com muito mais precisão e rapidez.

Uma plataforma para síntese de circuitos por intermédio de evolução intrínseca é basicamente formada pelos seguintes módulos; hardware reconfigurável e algoritmo evolutivo como mostra a Figura 2-2.

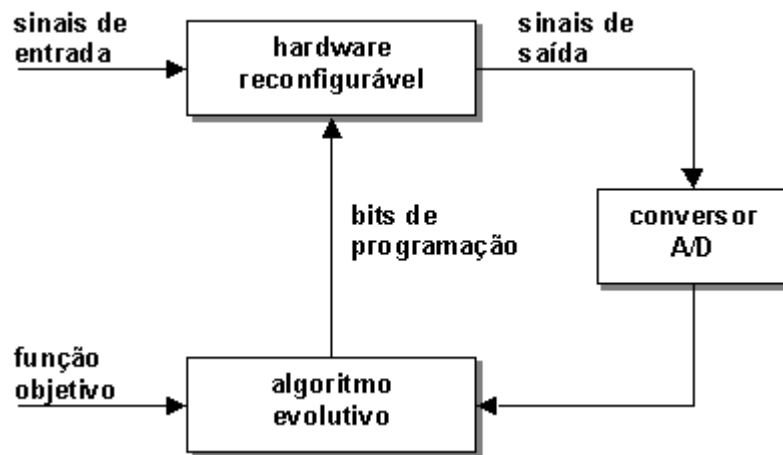


Figura 2-2 – Evolução intrínseca

A utilização do hardware reconfigurável garante que as propriedades físicas do circuito eletrônico estão disponíveis sem restrições, para serem exploradas pelos circuitos evoluídos durante a síntese.

2.3. Hardware Evolucionário

Hardware Evolucionário (EHW) são estruturas de circuitos eletrônicos reconfiguráveis que utilizam mecanismos de evolução genética. Permitem, ao contrário dos circuitos convencionais constituídos de estruturas fixas, alterações na

arquitetura do circuito adaptando-o a novas especificações de desempenho, em função de mudanças nas condições ambientais ou falhas de funcionamento causadas por deterioração de partes do circuito.

O primeiro trabalho realizado utilizando-se algoritmo evolucionário como ferramenta para projeto de circuitos digitais foi realizado por Louis e Rawlins (LOUIS *et al.*, 1991).

O conceito de hardware evolucionário foi introduzido quando foram realizados os primeiros trabalhos de reconfiguração de circuitos eletrônicos utilizando algoritmos genéticos (DE GARIS, 1993).

Nas últimas décadas a procura por circuitos eletrônicos de alto desempenho com especificações cada vez mais sofisticadas vem aumentando significativamente. O aumento do número e complexidade dos requisitos para o projeto de circuitos eletrônicos além da necessidade de circuitos tolerantes a falhas para operação em ambientes hostis tornou os projetos caros e de difícil implementação. As técnicas clássicas de projeto de circuitos muitas vezes se tornam de difícil execução exigindo muito tempo e esforço dos projetistas devido a grande complexidade dos circuitos envolvidos. Com o surgimento de circuitos integrados cada vez mais rápidos, de baixo consumo e de alta densidade de integração, surgiu como alternativa aos projetos clássicos a técnica da síntese automática de circuitos eletrônicos utilizando plataformas de hardware reconfigurável. A primeira experiência utilizou uma plataforma do tipo FPGA (*Field Programmable Gate Arrays*) (THOMPSON *et al.*, 1996).

A característica de configuração dinâmica desses dispositivos permite que as conexões sejam alteradas sem necessidade de se desconectar o circuito ou interromper o processo. Essas características dão ao circuito uma grande capacidade de adaptação ao meio físico, possibilitando a redução do consumo, desligando-se partes do circuito que não estão sendo utilizados e permitindo detecção e correção de falhas. Por suas características de adaptação ao meio físico e tolerância à falhas, são

excelentes para utilização em ambientes hostis e de difícil acesso como satélites, plataformas submarinas e equipamentos militares.

2.3.1. Plataformas de Hardware Reconfiguráveis

As plataformas dividem-se em digitais, analógicas e híbridas (digitais e analógicas). Neste trabalho são apresentadas apenas as plataformas conhecidas pelas siglas FPGA (*Field Programmable Gate Arrays*), FPAA (*Field Programmable Analog Arrays*) e FPTA (*Field Programmable Transistor Arrays*). Essas plataformas são a tendência atual na síntese de circuitos eletrônicos, sendo capazes de implementar uma grande variedade de circuitos.

Uma das formas de se caracterizar uma plataforma é quanto a sua granulosidade podendo ser de granulosidade fina, granulosidade grossa ou granulosidade flexível. Plataformas de granulosidade fina são formadas por elementos de baixo nível como transistores, plataformas de granulosidade grossa são formadas por elementos do tipo portas lógicas, blocos lógicos e componentes analógicos enquanto plataformas de granulosidade flexível permitem que os elementos construtores sejam configurados.

2.3.1.1. FPGA (*Field Programmable Gate Arrays*)

Atualmente são os dispositivos lógicos programáveis mais utilizados no desenvolvimento de aplicações de hardware evolucionário para síntese de circuitos digitais. São circuitos integrados da classe VLSI (*Very Large Scale Integration*) sem função pré-determinada e são considerados de granulosidade grossa.

Uma FPGA consiste de um arranjo de blocos lógicos programáveis, interconectados por intermédio de chaves de transistores. A função lógica de cada elemento é determinada pelos estados das chaves que compõem o elemento. As ligações entre os elementos também são efetivadas por intermédio de chaves. Os

estados das chaves de configuração são determinados por um vetor de bits carregados por software através de uma fonte externa.

2.3.1.2. FPAA (*Field Programmable Analog Arrays*)

São plataformas reconfiguráveis de granulosidade grossa formada por blocos de células analógicas interligadas por intermédio de chaves analógicas. São vastamente utilizadas para sínteses de circuitos analógicas como, por exemplo, filtros, amplificadores e osciladores. As chaves de configuração são acionadas através de bits de configuração por intermédio de uma fonte externa.

2.3.1.3. FPTA (*Field Programmable Transistor Arrays*)

São plataformas reconfiguráveis de granulosidade fina formada por um *array* de transistores programáveis ou não. Sendo de granulosidade fina e como, interliga diretamente os transistores pode ser utilizada tanto para síntese de circuitos analógicos como para circuitos digitais.

2.4. Algoritmos Genéticos

A utilização da teoria da evolução das espécies como base para criação de um algoritmo matemático para otimização em sistemas complexos foi proposta em 1962 por John Henry Holland, pesquisador da Universidade de Michigan. Este algoritmo pretendia simular matematicamente o mecanismo da evolução biológica utilizando os princípios genéticos de seleção natural; cruzamento, mutação e elitismo, descritos nos estudos de Darwin (DARWIN, 1859) sobre a evolução das espécies.

Após anos de pesquisas e observações, Darwin acumulou farta documentação que lhe permitiu concluir que existe uma grande variação entre indivíduos de uma mesma espécie, chegando à conclusão que as espécies se modificam ao longo do tempo.

Através do estudo de pombos, Darwin verificou a enorme variedade de indivíduos gerados pelo processo de seleção natural, que se obtém cruzando

indivíduos de uma mesma espécie. As variações mais favoráveis possuem melhores condições de sobreviverem, garantindo a preservação e evolução da espécie.

A seleção natural pode não ser o único elemento no mecanismo evolutivo, mas com certeza representa importante papel nesse processo.

Os mecanismos de evolução natural ainda não são plenamente compreendidos, porém, algumas importantes características são conhecidas. A evolução de um indivíduo se processa nos cromossomos que são responsáveis por sua codificação e decodificação. Apesar, dos processos de codificação e decodificação também não estarem plenamente consolidados algumas características podem ser levadas em consideração:

- A seleção natural é a ligação entre os cromossomos e o desempenho de suas estruturas decodificadas.
- É no processo de reprodução que a evolução se realiza, por intermédio de cruzamentos e mutações.
- A produção de um novo indivíduo depende apenas da combinação de genes de quem o produziu.

Considerando os conceitos até agora introduzidos, Holland (HOLLAND, 1975) criou um algoritmo, denominado Algoritmo Genético, que manipulava cadeias de dígitos binários (cromossomos) capaz de resolver problemas complexos reproduzindo o processo natural de evolução.

A partir da década de 80, o Algoritmo Genético passou a ser utilizado em diversas áreas de aplicação científica devido a sua versatilidade e aos excelentes resultados obtidos.

Comparando-o aos principais métodos de busca tradicionais é mais robusto e eficiente. Os métodos tradicionais realizam a busca sempre na vizinhança do ponto corrente, tornando-se um método de busca local. A busca pela melhor solução se processa sempre de um único ponto para outro do espaço de decisão. Como o espaço de decisão pode apresentar vários picos, é grande a probabilidade de um falso pico

ser retornado como solução do problema. O Algoritmo Genético trabalha simultaneamente sobre uma grande base de dados, realizando busca em vários picos em paralelo, reduzindo assim, a probabilidade de convergência para um falso pico.

A implementação de um Algoritmo Genético parte da geração aleatória de uma população de indivíduos, que são avaliados de forma a permitir que os indivíduos mais aptos tenham maiores chances de reprodução do que indivíduos menos aptos.

Algoritmo Genético é qualquer modelo baseado em população que utiliza operadores de seleção e recombinação para gerar novos pontos amostrais em um espaço de busca. É um mecanismo de evolução que atua sobre um conjunto de soluções codificadas de um determinado problema, alcançando resultados de soluções de excelente qualidade sendo utilizado em inúmeras áreas da pesquisa científica.

2.4.1. Terminologia Utilizada

- **Gene:**

Seqüência binária que define uma característica.

- **Cromossomo:**

Seqüência de genes. Representa uma possível solução do problema.

- **Indivíduo:**

Cromossomo codificado.

O cromossomo biológico é composto por genes, que são responsáveis pelas características do indivíduo, como por exemplo; cor dos olhos e cor da pele. De forma análoga, um cromossomo artificial pode ser construído com genes que possuam características como topologia do circuito e dimensões de transistores.

- **População:**

Conjunto de indivíduos no espaço de busca.

- **Cruzamento:**

É a troca de material genético (seqüência de bits) entre dois indivíduos como mostra a Figura 2-3. O número de rupturas geralmente varia entre uma e duas. Um grande número de rupturas pode acarretar uma menor herança genética de pai para filho dificultando a convergência.

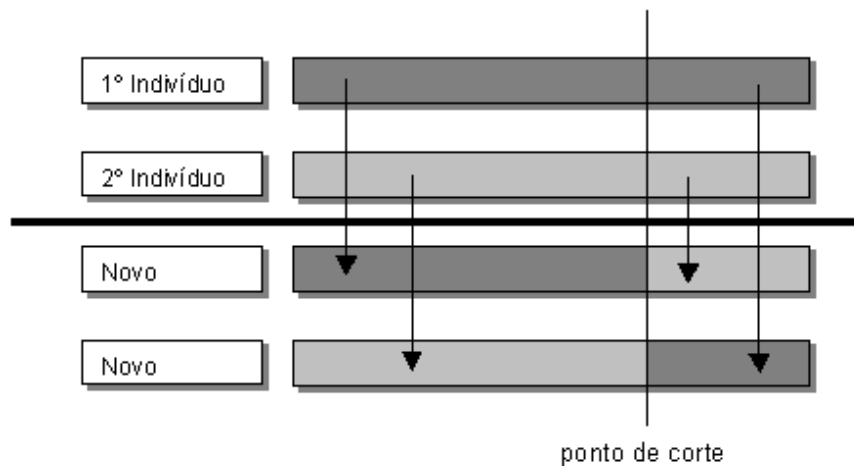


Figura 2-3 – Cruzamento entre dois indivíduos em apenas 1 ponto

- **Mutação:**

Alteração do código genético de um indivíduo que passou por um processo de cruzamento. O mecanismo de mutação ajuda a impedir a convergência para mínimos locais durante o processo de evolução, promovendo alterações que direcionam a busca para outros pontos do espaço de decisão.

A mutação na representação binária se realiza pela a troca do estado de zero para um ou vice-versa, de um ou mais bits do cromossomo como mostra a Figura 2-4.

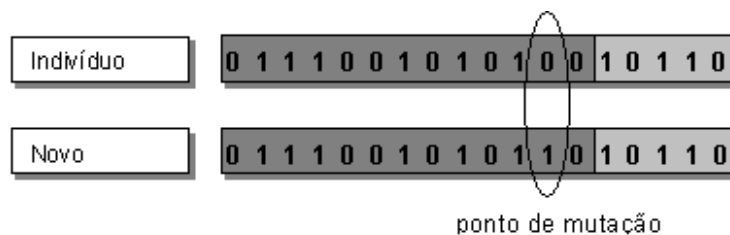


Figura 2-4 – Mutação de 1 bit

- **Função objetivo:**

Define os parâmetros pelos quais um indivíduo deve ser avaliado quanto ao seu desempenho com respeito à solução do problema apresentado. É determinada a partir dos parâmetros envolvidos no problema e fornece uma medida da proximidade da solução em relação ao conjunto de soluções. Como os parâmetros envolvidos no problema podem ser conflitantes, é preciso encontrar um ponto de equilíbrio que melhor defina a aptidão do indivíduo.

- **Aptidão:**

É determinada comparando-se o desempenho do indivíduo com a função objetivo. Cada indivíduo é um parâmetro de entrada para uma ferramenta de análise de desempenho, o resultado desta análise é comparado com a função objetivo gerando um valor numérico ao qual denominamos aptidão (também chamado *fitness*).

- **Seleção:**

Os melhores indivíduos da população devem ser selecionados. Durante o processo evolutivo, esses indivíduos serão utilizados para gerar uma nova população por cruzamento. Cada indivíduo tem uma probabilidade de ser selecionado proporcional à sua aptidão. Alguns indivíduos podem ser selecionados várias vezes, assim como, indivíduos bons não sorteados podem ser descartados.

- **Critério de parada:**

Os critérios de parada padrão, utilizados nos métodos iterativos são:

- Precisão (função objetivo ou percentual de aptidão, alcançados),
- Número máximo de torneios e
- Tempo máximo de execução

2.4.2. Passos de Um Algoritmo Genético

Um algoritmo genético básico é formado pelos seguintes passos:

- Geração da população inicial,
- Avaliação e cálculo da aptidão,
- Seleção,
- Aplicação dos operadores genéticos de cruzamento e mutação.

O fluxograma de um algoritmo genético básico é mostrado na Figura 2-5.

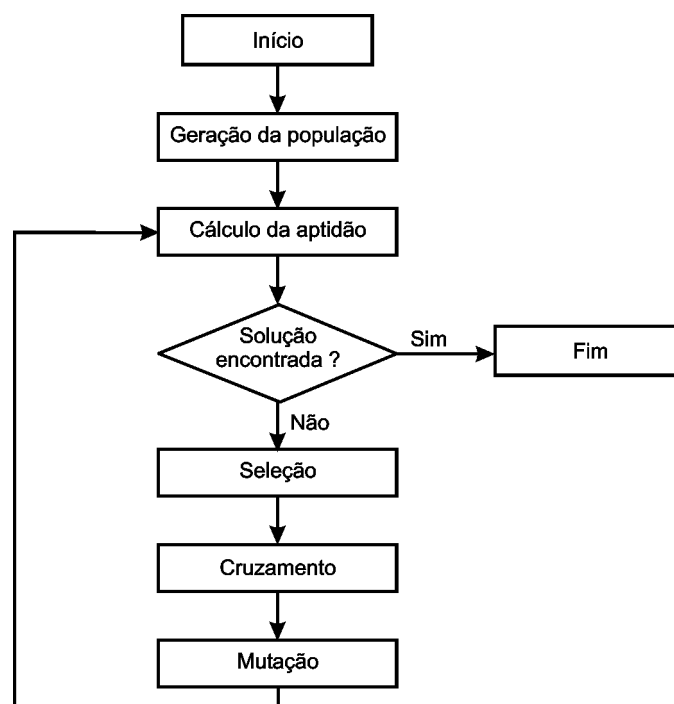


Figura 2-5 – Fluxograma de um algoritmo genético básico

2.4.3. Método *Steady State*

Basicamente existem duas formas de evoluç o da populaç o durante a execuç o de um Algoritmo Genético.

Na primeira forma, chamado algoritmo genético generacional, toda a populaç o é avaliada e os indivíduos selecionados para aplicaç o dos operadores genéticos substituem igual n mero de indivíduos da populaç o anterior.

Na segunda forma, denominada *steady state*, uma população de indivíduos é gerada, indivíduos são selecionados em torneios, avaliados, cruzados gerando descendentes que podem ou não sofrer mutações. Os descendentes são incorporados à população substituindo os indivíduos menos aptos descartados no torneio. O fluxograma do algoritmo genético com abordagem *steady state* é mostrado na Figura 2-6.

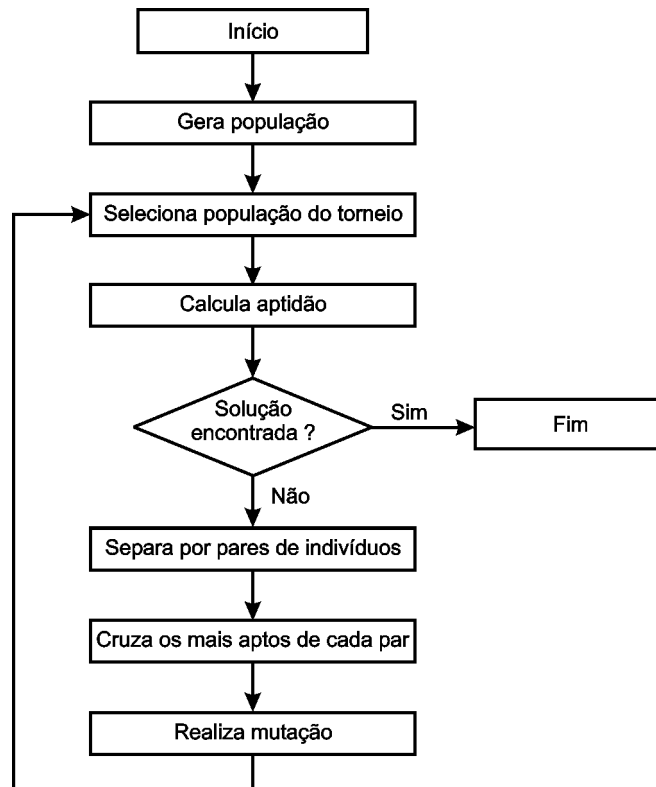


Figura 2-6 – Fluxograma algoritmo genético *steady state*

A técnica *steady state* tenta reproduzir as características naturais de uma população biológica. Onde indivíduos nascem, reproduzem, ficam velhos, ou não, e morrem (são descartados), mantendo assim uma interação entre indivíduos de diferentes gerações. Ao invés de criarmos uma nova população a cada processo evolutivo, são criados filhos através de cruzamento entre indivíduos da população sendo estes filhos introduzidos na população em substituição dos piores pais. Algumas implementações substituem aleatoriamente os pais a serem substituídos, a idéia e

impedir a convergência genética, situação em que todos os indivíduos ficam muito parecidos fazendo com que o cruzamento entre eles gere novos indivíduos idênticos ou muito semelhantes aos seus geradores.

3. Estruturas CMOS Programáveis

3.1. Introdução

Neste capítulo são apresentadas duas plataformas CMOS reconfiguráveis; a FPTA do Kirchhoff Institute (LANGEHEINE *et ali.*, 2001) e a FPTA do Jet Propulsion Laboratory da NASA (STOICA *et ali.*, 1999). Ambas são classificadas como de granulosidade fina e permitem sínteses de circuitos digitais, analógicos e híbridos. As plataformas apesar de implementadas para o mesmo propósito, possuem arquiteturas bastante diferentes e serviram como fonte de consulta para a elaboração deste trabalho.

3.2. O FPTA do Kirchhoff Institute

O projeto desenvolvido no Kirchhoff Institute pela equipe liderada por Jörg Langeheine (LANGEHEINE *et ali.*, 2001), é uma plataforma do tipo FPTA para síntese de circuitos digitais e analógicos por evolução intrínseca. O circuito integrado é fabricado com tecnologia CMOS 0,6 μ m e consiste de uma matriz de 16x16 transistores programáveis. Os 256 transistores que formam a matriz são programáveis em suas geometrias de canal (largura e comprimento), bem como em suas conectividades. A topologia da matriz de transistores programáveis é mostrada na Figura 3-1. A matriz é constituída de 128 transistores do tipo PMOS e 128 transistores do tipo NMOS arranjos de forma alternada.

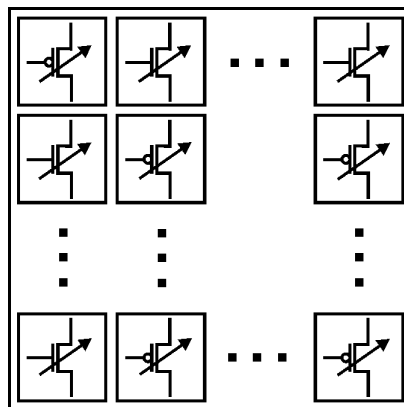


Figura 3-1 – Topologia da matriz

O conjunto formado pelo transistor configurável mais o circuito de apoio envolvido em sua configuração e interligação é denominado célula.

A largura e comprimento de canal são dimensionados por intermédio de 7 bits. Podem ser configurados 5 diferentes comprimentos de canal e 15 diferentes larguras.

Os terminais dos transistores configuráveis podem ser interligados aos nós do circuito pelas bordas da célula no sentido dos quatro pontos cardeais (conhecido como ligação norte, sul, leste e oeste). Estas ligações são realizadas por intermédio de chaves analógicas.

O tamanho total do circuito integrado é de 33mm^2 sendo que a matriz de transistores programáveis ocupa uma área de $10,24\text{mm}^2$, o espaço restante é ocupado pelos *pads* de entrada e saída de sinais e pelas trilhas de alimentação do circuito.

3.2.1. Configuração da Matriz

O arranjo do transistor configurável é uma matriz 5x4 perfazendo um total de 20 transistores como mostrado na Figura 3-2. As colunas da matriz são responsáveis pelo dimensionamento da largura do canal (W) enquanto as linhas pelo dimensionamento do comprimento de canal (L).

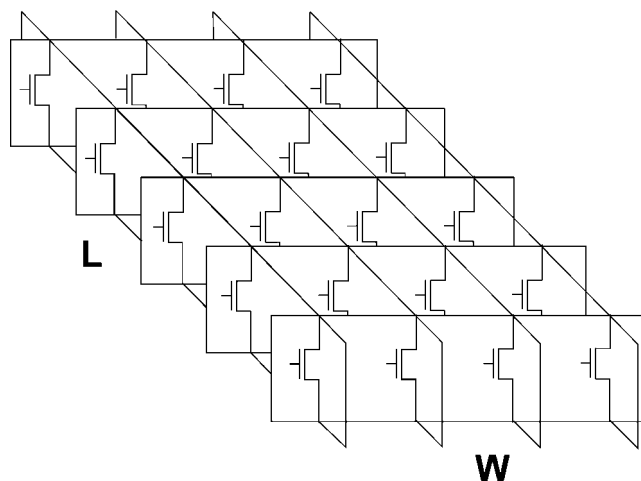


Figura 3-2 – Matriz de transistores

Os transistores de uma mesma linha possuem o mesmo comprimento de canal (L) e valores diferentes de largura de canal (W). Como estão ligados em paralelo,

para dimensionar W , basta selecionar os transistores cuja soma dos valores de W dê o valor total do W desejado.

De forma semelhante a linha, os transistores de uma mesma coluna possuem a mesma largura de canal (W) e valores diferentes de comprimento de canal (L). Nesse ponto o dimensionamento de L difere do de W , como transistores de uma mesma coluna estão em paralelo, não é possível somar os valores de L . Portanto, apenas é selecionada uma linha por vez com o valor de L desejado.

Para configurar o transistor são utilizados 7 bits, 4 bits dimensionam a largura de canal e 3 bits o comprimento de canal. No caso do comprimento de canal, os 3 bits passam por um decodificador proporcionando 5 saídas mutuamente exclusivas que selecionam a dimensão de L desejada como mostrado na Figura 3-3.

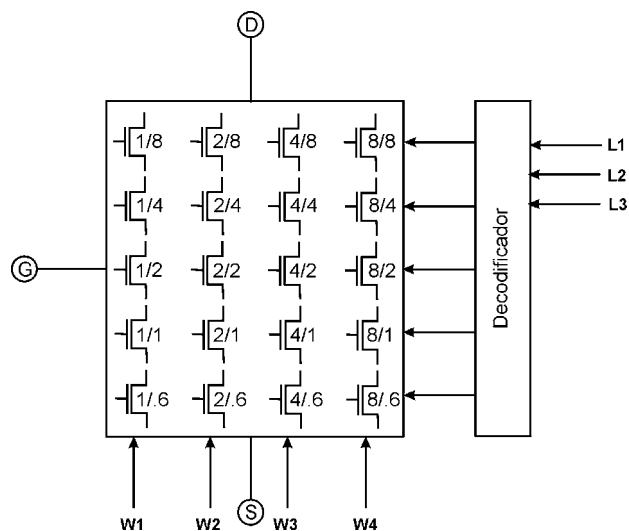


Figura 3-3 – Bits de configuração do transistor

3.2.2. Dimensionamento do comprimento de canal (L)

São utilizados 3 bits de configuração para dimensionamento do comprimento de canal. Como os valores de L não podem ser somados, cada combinação dos 3 bits corresponde a seleção de um valor de L . A Tabela 3-1 mostra as combinações possíveis e os valores obtidos.

Tabela 3-1 – Bits de seleção da dimensão do comprimento de canal

L_3	L_2	L_1	L (μm)
0	0	0	0,6
0	0	1	1
0	1	0	2
0	1	1	4
1	0	0	8
1	0	1	Inválido
1	1	0	Inválido
1	1	1	Inválido

3.2.3. Dimensionamento da largura de canal (W)

São utilizados 4 bits de configuração para dimensionamento da largura de canal. O valor do bit = 1 representa W selecionado e bit = 0 não selecionado. A soma dos W selecionados corresponde ao valor total de W . A Tabela 3-2 mostra as combinações possíveis e os valores obtidos.

Tabela 3-2 – Bits de dimensionamento de largura de canal

$W_4 = 8\mu\text{m}$	$W_3 = 4\mu\text{m}$	$W_2 = 2\mu\text{m}$	$W_1 = 1\mu\text{m}$	W_{total} (μm)
0	0	0	0	Inválido
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

3.2.4. Interligando as Células

Cada terminal do transistor configurável pode ser interligado a uma das quatro células que lhe fazem fronteira (ligação norte, sul, leste e oeste), a V_{DD} ou a GND

como mostrado na Figura 3-4. A célula também pode servir de passagem para células fronteiriças nos quatro sentidos dos pontos cardeais.

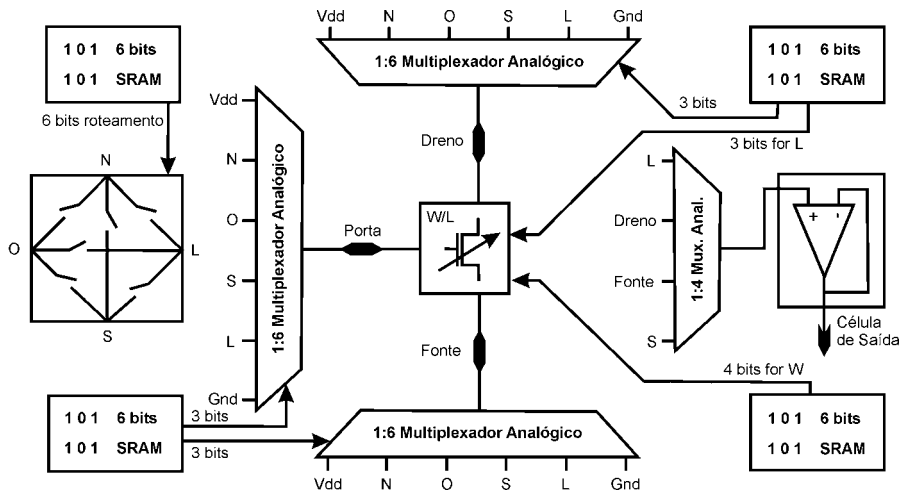


Figura 3-4 – Pontos de interligação das células

A configuração de cada célula é feita por quatro blocos de seis bits de SRAM, assim distribuídos; seis bits para a configuração da célula como passagem, três para interligação de cada um dos três terminais do transistor, quatro para o dimensionamento da largura de canal e três para dimensionamento de comprimento de canal, totalizando 22 bits. Os dois bits restantes, dos 24 disponíveis, não são utilizados. Para um total de 256 transistores o número de bits necessários para a configuração da matriz é de 6144 dos quais apenas 5632 são utilizados.

3.3. O FPTA do Jet Propulsion Laboratory da NASA

A idéia principal desta configuração foi criar uma arquitetura de hardware evolucionário capaz de suprir a carência de plataformas evolutivas de granulosidade fina para evolução de circuitos analógicos. Os FPAs atuais possuem uma arquitetura de granulosidade grossa o que os torna plataformas de baixa versatilidade. Os FPGAs são oferecidos com granulosidade fina e grossa, porém são utilizados apenas para evoluções de circuitos digitais.

Essa arquitetura oferece uma plataforma de granulosidade programável e pode ser utilizada tanto para evoluções de circuitos analógicos, digitais ou híbridos. A

granulosidade fina se caracteriza pela possibilidade de interligação de um grupo de transistores a fim de se criar um componente do circuito, a granulosidade grossa seria a interligação desses vários componentes criados.

Essa arquitetura foi introduzida como uma idéia inicial à criação do EORA (*evolution-oriented reconfigurable architecture*) (STOICA *et ali.*, 1999). O EORA é composto pela FPTA e um processador genético como mostra o diagrama em blocos da Figura 3-5.

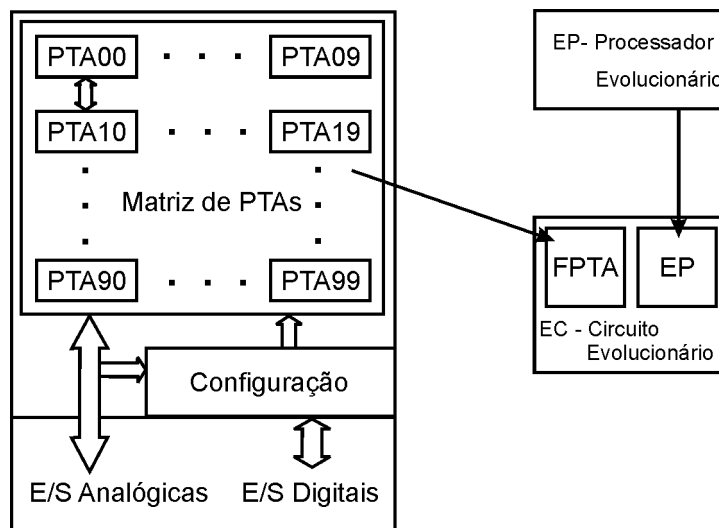


Figura 3-5 – Diagrama em blocos da EORA do *Jet Propulsion Laboratory*

O FPTA é formado por uma matriz de PTAs (*Programmable Transistor Array*). É uma plataforma de hardware reconfigurável formada por transistores. Considerando-se que ambos os circuitos analógicos e digitais podem ser configurados com transistores CMOS, a plataforma se mostra bastante versátil. A arquitetura é celular e semelhante a outras arquiteturas encontradas em FPGAs como por exemplo, a família Xilinx X6200. A arquitetura é basicamente um “*sea of transistor*” interligáveis através de conexões implementadas por chaves analógicas atuando como dispositivos de passagem.

O PTA é formado por 8 transistores sendo 4 NMOS e 4 PMOS interligados por 24 chaves programáveis como mostra a Figura 3-6

As chaves permitem a configuração de muitas topologias diferentes, mas não cobrem todas as possibilidades possíveis. O estado das chaves (*ON* ou *OFF*) determina a topologia do circuito e conseqüentemente sua resposta específica. Deste modo a topologia pode ser considerada como uma função do estado das chaves e pode ser representada como uma seqüência binária.

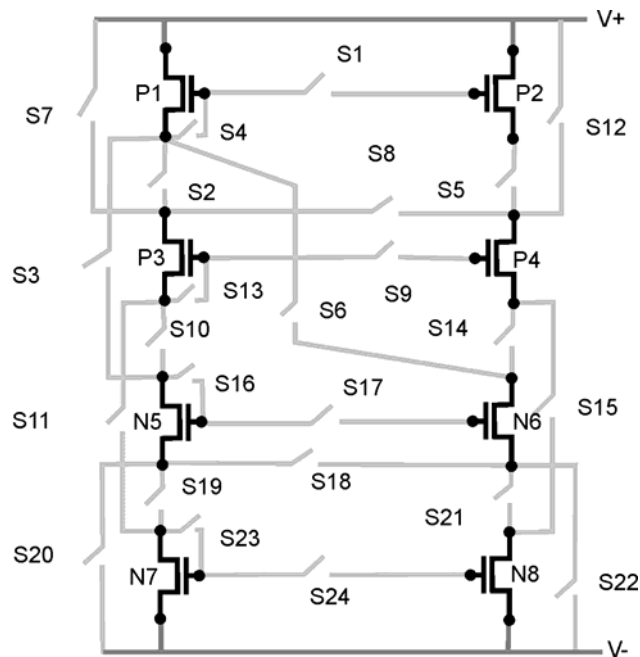


Figura 3-6 – Esquema elétrico da PTA do *Jet Propulsion Laboratory*

O PTA possibilita o mapeamento de circuitos de alta complexidade devido a sua configuração de granulosidade fina (nível de transistores). Isso foi provado por Zebulum (ZEBULUM *et ali.*, 2000) que mostrou vários circuitos que podem ser criados para sistemas analógicos e digitais como, por exemplo, portas lógicas e amplificadores.

Deve ser observado, que se essa arquitetura for classificada como de granulosidade fina, ela pode ser considerada uma FPTA (STOICA *et ali.*, 1999). Por outro lado, se ela for classificada como de granulosidade grossa devido à possibilidade de criação de componentes analógicos através de PTAs, a classificação seria de FPAA (ZEBULUM *et ali.*, 2002).

4. Projeto das Chaves Analógicas

4.1. Introdução

Neste capítulo será apresentada uma análise da tecnologia utilizada no projeto dos transistores e estruturas programáveis.

As chaves analógicas serão analisadas e definidas suas dimensões. Serão apresentados estudos sobre a influência negativa da associação em série e paralelo de transistores através dessas chaves.

4.2. O Transistor MOS (*Metal-Oxide Semiconductor*)

O transistor MOS, também chamado de MOSFET (*Metal-Oxide Semiconductor-Field-Effect Transistor*) é um dispositivo constituído de quatro terminais; fonte (*source*), dreno (*drain*), porta (*gate*) e substrato ou corpo (*bulk*).

A operação básica do MOSFET consiste no controle da condutividade entre fonte e dreno, através da tensão aplicada na porta.

São dois os tipos de transistores MOSFET; o MOSFET de canal N (NMOS) e o MOSFET de canal P (PMOS). As simbologias dos transistores NMOS e PMOS são mostradas na Figura 4-1.

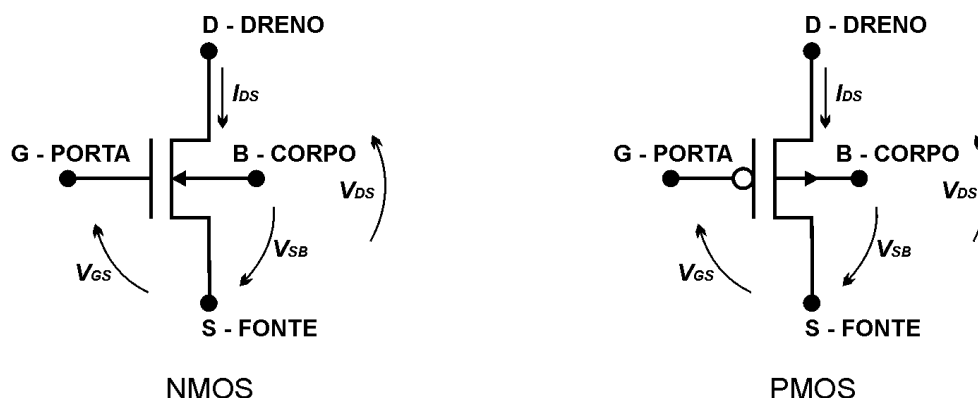


Figura 4-1 – Simbologia dos transistores NMOS e PMOS

Do ponto de vista físico-elétrico é possível construir transistores MOSFET de três modos; modo enriquecimento ou indução (*enhancement mode*), modo depleção (*depletion mode*) e modo enriquecimento-depleção.

A estrutura simplificada de um transistor NMOS construído no modo enriquecimento é mostrada na Figura 4-2.

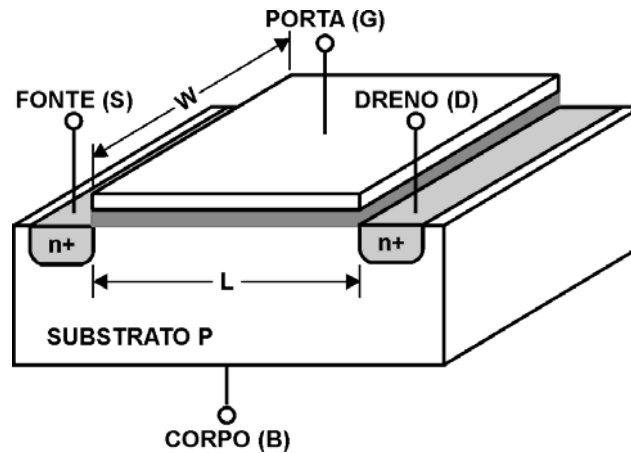


Figura 4-2 – Estrutura simplificada de um transistor NMOS

4.3. Tecnologia CMOS (*Complementary Metal-Oxide Semiconductor*)

A tecnologia CMOS se caracteriza por reunir no mesmo substrato de silício, transistores MOSFET dos tipos NMOS e PMOS.

Em um processo de fabricação de substrato P os transistores NMOS são implementados diretamente no substrato e os transistores PMOS necessitam de uma área de difusão N profunda, chamada poço, para serem implementados. A implementação de um transistor NMOS diretamente no substrato P e de um transistor PMOS em um poço N é mostrada na Figura 4-3.

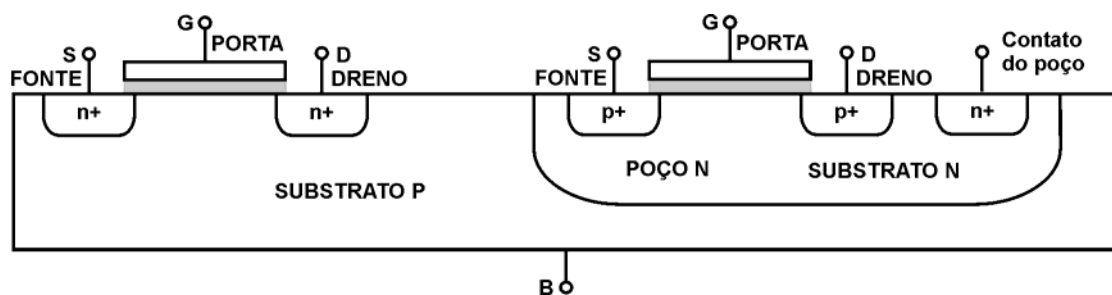


Figura 4-3 – Processo CMOS substrato P

Os transistores MOSFET são dispositivos de alta densidade de integração e baixa dissipação de potência. Devido a essas propriedades, possibilitaram o

surgimento da tecnologia VLSI. Atualmente, os transistores CMOS são utilizados na produção de aproximadamente 75% dos dispositivos semicondutores e a tendência é que essa predominância perdure pelos próximos 20 anos. Normalmente os circuitos integrados CMOS são implementados no modo enriquecimento.

4.3.1. Operação do Transistor NMOS

A seguir será descrito o princípio de operação de um transistor NMOS implementado no modo enriquecimento.

Tendo como base o circuito da Figura 4-4, para uma tensão inicial $V_{DS} = 0$, quando uma tensão positiva V_{GS} é aplicada, um campo é induzido na região entre fonte e dreno fazendo com que lacunas na região abaixo da porta sejam repelidas. Quando a tensão V_{GS} alcança um valor superior a tensão de limiar (*threshold*) do transistor ($V_{GS} > V_T$), elétrons são atraídos para a região abaixo da porta. Nestas condições, o canal N é formado criando um fluxo de cargas entre dreno e fonte. Nesse ponto, aplicando-se uma diferença de potencial positiva de pequeno valor entre dreno e fonte ($V_{DS} > 0$), ocorre uma passagem de corrente pelo canal N proporcional a tensão V_{DS} . Elevando-se a tensão V_{DS} , a partir de certo valor a corrente passa a ser constante. Esta condição de saturação deve-se ao efeito de estrangulamento do canal (*pinch-off*).

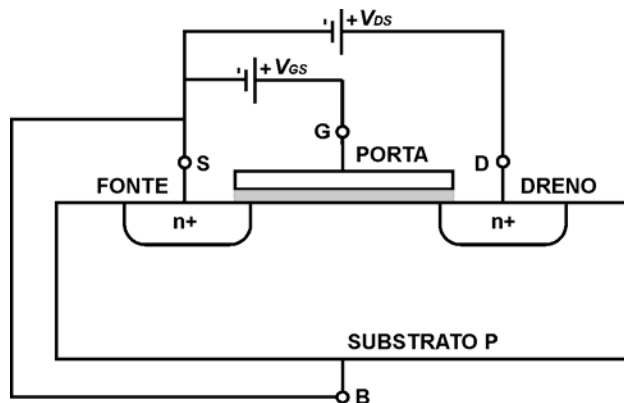


Figura 4-4 – Esquema básico para operação de transistor NMOS

O transistor MOS pode ser classificado segundo sua polarização basicamente em quatro regiões de operação; corte, sub-limiar, *triodo* e saturação.

Para analisar as quatro regiões de operação de um transistor NMOS as tensões V_{GS} e V_{DS} são variadas no circuito da Figura 4-4.

- **Região de corte:**

Caracteriza-se pela tensão negativa entre porta e fonte ($V_{GS} < 0$). Nessa condição, as junções fonte/substrato e dreno/substrato estão reversamente polarizadas e envoltas em regiões de depleção como mostra a Figura 4-5. O canal N não é formado e não existe corrente significativa entre dreno e fonte. Nesse caso a corrente I_D é considerada nula.

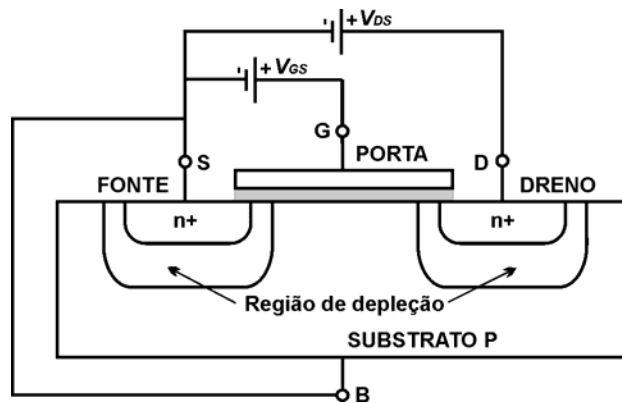


Figura 4-5 – Região de corte

Na região de corte o transistor se comporta com uma chave aberta.

- **Região de sub-limiar:**

A medida que a tensão V_{GS} vai se tornando positiva, elétrons são atraídos para a região próxima a porta. Esses elétrons recombinam-se com lacunas formando íons negativos e estendendo a região de depleção como mostra a Figura 4-6. Nessas condições, a corrente I_D é muito pequena sendo praticamente a corrente de

saturação do diodo formado pela junção dreno/substrato. A região de sub-limiar ocorre na condição $0 < V_{GS} < V_T$.

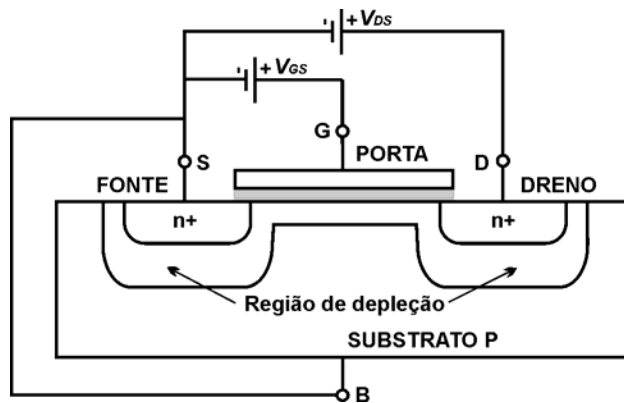


Figura 4-6 – Região sub-limiar

O valor aproximado da corrente I_D pode ser descrito pela Equação (4-1) (BARÚQUI, 2003).

$$I_D = I_{D0} e^{\frac{q(V_{GS} - V_T)}{n_s k T}} \quad (4-1)$$

O valor aproximado da corrente I_{D0} varia com o valor da tensão V_{GD} . A Equação (4-2) (BARÚQUI, 2003) descreve a corrente I_{D0} para $V_{GD} \geq V_T$ e a Equação (4-3) (BARÚQUI, 2003) para $V_{GD} < V_T$.

$$I_{D0} = k_P \frac{W}{L} \left(\frac{n_s k T}{q} V_{DS} - \frac{V_{DS}^2}{2} \right) \quad (4-2)$$

$$I_{D0} = \frac{k_P}{2} \frac{W}{L} \left(\frac{n_s k T}{q} \right)^2 \quad (4-3)$$

Na região de sub-limiar o transistor MOS tem comportamento semelhante ao do transistor bipolar sendo utilizado em situações que necessitam de baixa dissipação de potência.

- **Região de Triodo:**

Também chamada de região ôhmica ou linear. Ocorre com o aumento progressivo da tensão V_{GS} . Elétrons gerados termicamente na região de depleção próxima a porta ganham energia, alcançam a banda de condução e são capturados pelo campo elétrico. A região do substrato se torna condutora com portadores de carga negativa formando o canal N entre dreno e fonte como mostra a Figura 4-7. Essa situação ocorre quando $V_{GS} \geq V_T$.

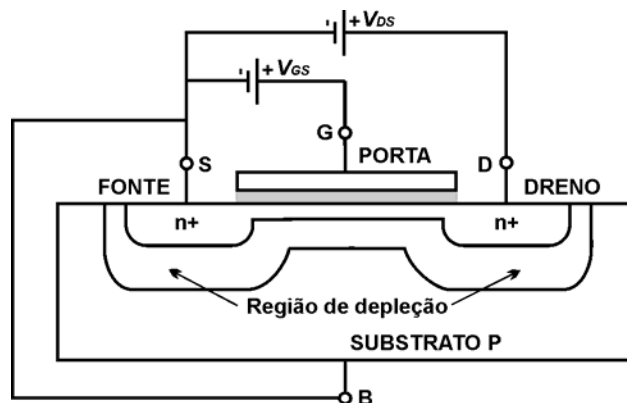


Figura 4-7 – Região de triodo

Na região de triodo, o valor da corrente I_D é determinado pela diferença de potencial entre dreno e fonte (V_{DS}) e o seu valor aproximado pode ser descrito pela Equação (4-4) (BARÚQUI, 2003).

$$I_D = \frac{W}{L} k_P \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (4-4)$$

Na região de triodo o transistor se comporta de forma aproximadamente linear e pode ser comparado a uma resistência de valor controlado pela tensão na porta.

- **Região de Saturação:**

Com o aumento da tensão V_{DS} o campo elétrico entre dreno e porta cresce reduzindo o potencial na superfície do substrato logo abaixo da porta. Com isso, o

canal vai se estreitando nas proximidades do dreno até ser estrangulado como mostra a Figura 4-8.

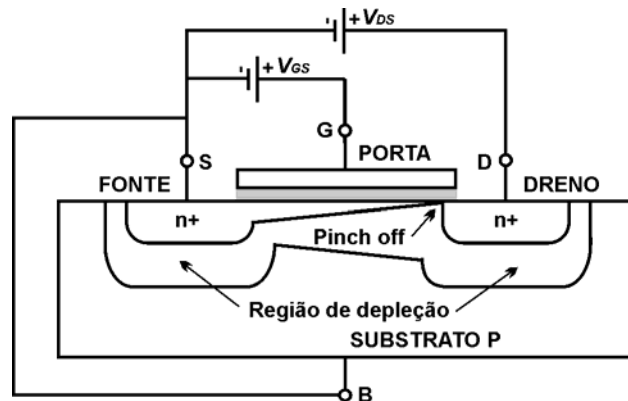


Figura 4-8 – Região de saturação

A partir do estrangulamento do canal, que ocorre quando $V_{DS} \geq V_{GS} - V_T$, a corrente I_D não depende mais da variação da tensão V_{DS} e pode ser descrita de forma aproximada pela Equação (4-5) (BARÚQUI, 2003).

$$I_D = \frac{W}{L} \frac{k_p}{2} (V_{GS} - V_T)^2 \quad (4-5)$$

Na região de saturação o transistor passa a atuar como uma fonte de corrente entre dreno e fonte controlada pela tensão na porta.

4.3.2. Efeito de Corpo em Um Transistor NMOS

O efeito de corpo ocorre quando uma tensão positiva é aplicada entre os terminais fonte e substrato ($V_{SB} > 0$), como mostrado na Figura 4-9.

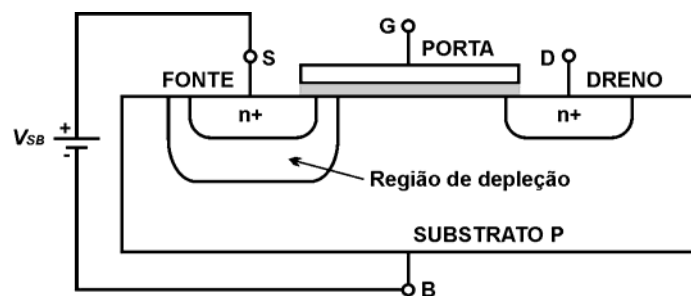


Figura 4-9 – Efeito de corpo

Devido a tensão V_{SB} positiva, a região de depleção em torno do terminal fonte aumenta, tornando necessário um aumento do valor de V_{T} para formação do canal. Esta modulação na tensão de limiar é expressa pela Equação (4-6) (BARÚQUI, 2003), sendo; V_{FB} a tensão de banda plana, ϕ_F o potencial de Fermi e γ uma constante do processo de fabricação.

$$V_T = V_{FB} + 2\phi_F + \gamma\sqrt{2\phi_F + V_{FB}} \quad (4-6)$$

4.3.3. Modulação de Canal em Um Transistor NMOS

Quando o canal N formado entre dreno e fonte é invadido pela região de depleção devido ao efeito de estrangulamento do canal, o comprimento efetivo do canal (L) diminui como é mostrado na Figura 4-10.

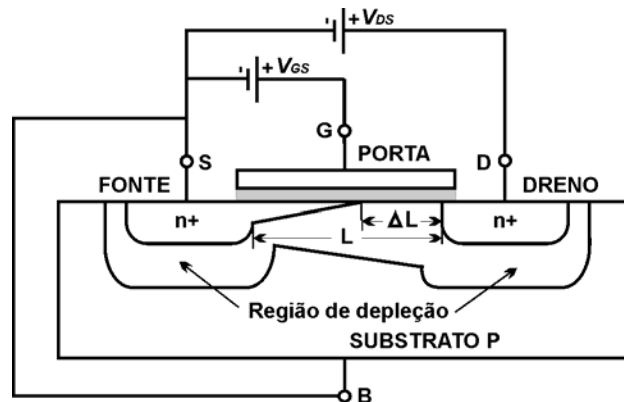


Figura 4-10 – Modulação de canal

Estando a tensão entre dreno e fonte constante ($V_{DS} = V_{SAT}$), a corrente de dreno passa a depender da resistência do canal ($I_D = V_{SAT}/R_{CANAL}$) podendo ser representada aproximadamente pela Equação (4-7) (BARÚQUI, 2003).

$$I_D = \frac{W}{L - \Delta L} \frac{k_P}{2} (V_{GS} - V_T)^2 \quad (4-7)$$

A tensão sobre a região de depleção é $\Delta V = V_{DS} - V_{SAT}$ e ΔL pode ser estimado pela Equação (4-8) (BARÚQUI, 2003), sendo; q a carga do elétron, ϵ a constante dielétrica do óxido de silício e N_A a concentração do substrato.

$$\Delta L = \sqrt{\frac{2\varepsilon}{qN_A}(V_{DS} - V_{SAT})} \quad (4-8)$$

Manipulando a Equação (4-7) temos:

$$I_D = \frac{W}{L - \Delta L} \frac{k_P}{2} (V_{GS} - V_T)^2 = \frac{W}{L} \frac{k_P}{2} (V_{GS} - V_T)^2 \frac{L}{L - \Delta L}$$

Considerando $\Delta L \ll L$ e utilizando a Equação (4-8) temos:

$$\frac{L}{L - \Delta L} = \frac{1}{1 - \frac{\Delta L}{L}} \cong 1 + \frac{\Delta L}{L} = 1 + \sqrt{\frac{2\varepsilon}{L^2 q N_A} (V_{DS} - V_{SAT})} = 1 + \sqrt{\frac{2\varepsilon}{L^2 q N_A}} + \sqrt{(V_{DS} - V_{SAT})}$$

Fazendo uma aproximação, temos:

$$\frac{L}{L - \Delta L} \cong 1 + \sqrt{\frac{2\varepsilon}{L^2 q N_A}} \sqrt{(V_{DS} - V_{SAT})} \cong 1 + \lambda V_{DS}$$

Sendo λ uma constante com o valor aproximado mostrado na Equação (4-9) (BARÚQUI, 2003).

$$\lambda \cong \frac{10^7}{L\sqrt{N_A}} \quad (4-9)$$

A corrente de dreno em saturação levando-se em conta a modulação do canal, pode ser representada aproximadamente pela Equação (4-10) (BARÚQUI, 2003).

$$I_D = \frac{W}{L} \frac{k_P}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (4-10)$$

4.3.4. Tecnologia Utilizada

Foi utilizada a tecnologia CMOS AMS (*Austria Microsystems*) C35, que corresponde a um processo de fabricação de 0,35 μ m, como base para o desenvolvimento do trabalho. As simulações foram realizadas em um simulador SPICE utilizando o modelo BSIM3v3.3 fornecido pelo fabricante.

4.3.5. Transistor de Tamanho Mínimo

As dimensões mínimas utilizadas para os transistores PMOS e NMOS são as mostradas na Figura 4-11 e Tabela 4-1.

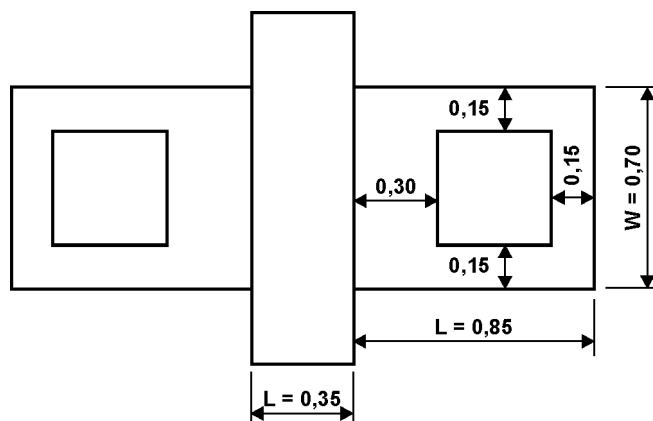


Figura 4-11 – Transistor de tamanho mínimo NMOS e PMOS

Tabela 4-1 – Dimensões do transistor de tamanho mínimo

Largura de canal	W	0,7 μm
Comprimento de canal	L	0,35 μm
Área dreno	AD	0,245 μm^2
Área fonte	AS	0,245 μm^2
Perímetro dreno	PD	1,4 μm
Perímetro fonte	OS	1,4 μm

4.4. Chaves Analógicas

As chaves analógicas são dispositivos fundamentais em circuitos reconfiguráveis uma vez que, as interligações entre os vários elementos do circuito bem como a configuração dos transistores programáveis são feitas através delas. Isto implica em introduzir alguma degradação no desempenho geral do circuito. Assim, no projeto dos transistores programáveis deve-se reduzir tanto quanto possível à utilização das chaves sem perder a sua flexibilidade e funcionalidade.

4.4.1. Chave NMOS

É constituída por apenas um transistor do tipo NMOS. Considerando o circuito da Figura 4-12, observa-se que o fechamento e a abertura da chave são controlados

pela tensão V_G . A chave abre quando $V_G < V_T + V_o$ e fecha quando $V_G \geq V_T + V_o$. Como sinal de controle são utilizados V_{DD} para fechamento da chave e GND para abertura.

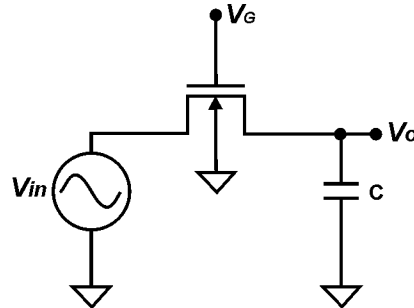


Figura 4-12 – Chave NMOS

Na região de operação do transistor, caso a chave permaneça fechada, a tensão de saída V_o será igual a tensão de entrada V_{in} . Para termos $V_o = V_{in}$ é necessário que o transistor esteja em condução com as seguintes condições satisfeitas:

$$V_G - V_o \geq V_T ,$$

$$V_{DD} - V_{in} \geq V_T \text{ e}$$

$$V_{in} \leq V_{DD} - V_T$$

Como: $V_G = V_{DD}$,

$$V_D = V_{in} \text{ e}$$

$$V_{DD} - V_{in} \geq V_T$$

Temos: $V_G - V_D \geq V_T$

Nessas condições o transistor encontra-se na região de triodo. Sendo a equação da corrente de dreno do transistor NMOS na região de triodo representada pela Equação (4-4), derivando a equação em função de V_{DS} temos:

$$\frac{\partial I_D}{\partial V_{DS}} = \frac{W}{L} k_p [(V_{GS} - V_T) - V_{DS}]$$

Como na condição de chave fechada temos $V_o = V_{in}$, portanto $V_{DS} = 0$, a resistência da chave fechada pode ser descrita pela Equação 4-11.

$$R_{on} = \frac{1}{\frac{W}{L} k_p (V_{GS} - V_T)} \quad (4-11)$$

Como $V_{GS} = V_{DD} - V_{in}$, a resistência da chave fechada em relação a tensão de entrada V_{in} pode ser descrita pela Equação (4-12).

$$R_{on} = \frac{1}{\frac{W}{L} k_p (V_{DD} - V_T - V_{in})} \quad (4-12)$$

O valor da resistência da chave fechada é ajustado pelas dimensões de W e L . Como a relação W/L está no denominador da equação de R_{on} , quanto maior o W e menor o L menor será a resistência da chave.

O gráfico de R_{on} Figura 4-13, mostra que a resistência é mínima em $V_{in} = 0$ e infinita em $V_{in} = V_{DD} - V_T$, não permitindo a máxima excursão do sinal de saída.

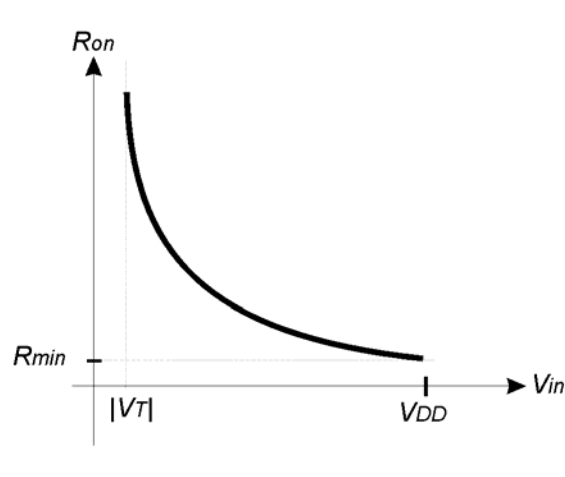


Figura 4-13 – Gráfico da resistência de uma chave NMOS

4.4.2. Chave PMOS

A chave PMOS é constituída por apenas um transistor do tipo PMOS e funciona de maneira similar a chave NMOS. Considerando o circuito da Figura 4-14, de forma

análoga a chave NMOS, a tensão V_G controla o fechamento e a abertura da chave.

Para fechamento da chave utiliza-se $V_G = GND$ e para abertura $V_G = V_{DD}$.

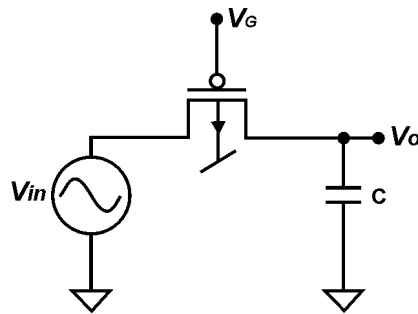


Figura 4-14 – Chave PMOS

Neste caso, a chave também opera na região de triodo sendo sua faixa de operação $|V_T| \leq V_{in} \leq V_{DD}$.

Da mesma forma como foi feito na chave NMOS, derivando a equação da corrente I_D em função de V_{DS} , temos:

$$\frac{\partial I_D}{\partial V_{DS}} = -\frac{W}{L} k_p [(V_{GS} - |V_T|) - V_{DS}]$$

Sendo $V_{DS} = 0$ ($V_o = V_{in}$) a resistência da chave fechada pode ser descrita pela Equação (4-13).

$$R_{on} = \frac{1}{\frac{W}{L} k_p (|V_T| - V_{GS})} \quad (4-13)$$

Como $V_{GS} = -V_{in}$, a resistência da chave fechada em relação a tensão de entrada V_{in} pode ser descrita pela Equação (4-14).

$$R_{on} = \frac{1}{\frac{W}{L} k_p (V_{in} - |V_T|)} \quad (4-14)$$

Assim como a chave NMOS, a resistência da chave PMOS fechada é ajustada pela relação W/L . O gráfico de R_{on} , Figura 4-15, mostra que a resistência é mínima

quando $V_{in} = V_{DD}$ e infinita quando $V_{in} = V_T$, não permitindo que a chave opere na máxima excursão.

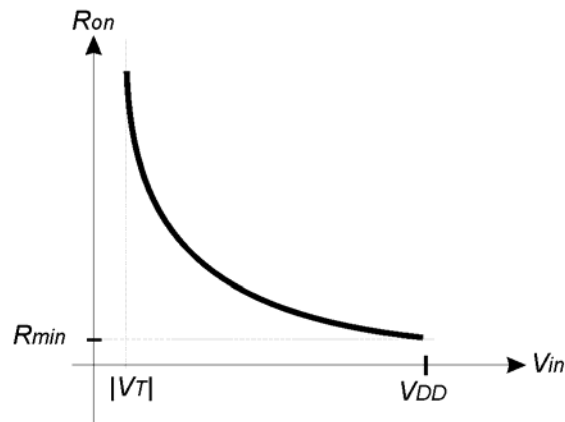


Figura 4-15 – Gráfico da resistência de uma chave PMOS

4.4.3. Chave Complementar

É formada pelo paralelo de um transistor NMOS com um transistor PMOS. Essa combinação aproveita as melhores características de chaveamento de cada um dos transistores tornando o valor da resistência mais constante e possibilitando a operação na máxima excursão.

O esquema elétrico da chave é mostrado na Figura 4-16. Os sinais de controle são; para fechamento $V_{Gp} = 0$ e $V_{Gn} = V_{DD}$, para abertura $V_{Gn} = GND$ e $V_{Gp} = V_{DD}$.

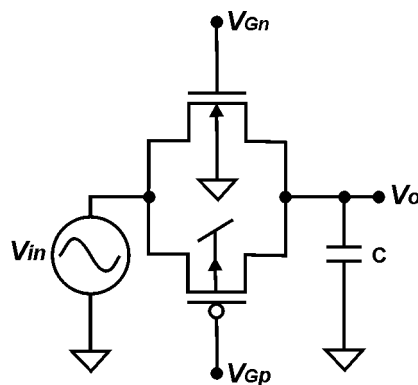


Figura 4-16 – Chave complementar

Os transistores podem conduzir exclusiva ou simultaneamente dependendo da entrada V_{in} . Os intervalos de condução e a condutância dos transistores são apresentados na Tabela 4-2 (BARÚQUI, 2003).

Tabela 4-2 – Intervalo de condução e condutância da chave complementar

V_{in}	N	P	$G_{on} = 1/R_{on}$
$0 \leq V_{in} \leq V_{Tp} $	ON	OFF	$G_{on} = \frac{W_n}{L_n} k_{pn} (V_{DD} - V_{Tn} - V_{in})$
$ V_{Tp} \leq V_{in} \leq V_{DD} - V_T$	ON	ON	$G_{on} = \frac{W_p}{L_p} k_{pp} (V_{in} - V_{Tp}) + \frac{W_n}{L_n} k_{pn} (V_{DD} - V_{Tn} - V_{in})$
$V_{in} \geq V_{DD} - V_{Tn}$	OFF	ON	$G_{on} = \frac{W_p}{L_p} k_{pp} (V_{in} - V_{Tp})$

Para possibilitar a simetria no funcionamento da chave, deve-se fazer com que a resistência R_{on} seja aproximadamente constante quando os dois transistores estiverem conduzindo. Para isso, basta derivar G_{on} em função de V_{in} e igualar a 0.

$$\frac{\partial G_{on}}{\partial V_{in}} = \frac{W_p}{L_p} k_{pp} - \frac{W_n}{L_n} k_{pn} = 0$$

Para satisfazer a equação anterior, como $k_{pp} < k_{pn}$ e $L_p = L_n$, o transistor PMOS deve ter uma largura de canal W_p maior que a do transistor NMOS.

$$\frac{W_p/L_p}{W_n/L_n} = \frac{k_{pn}}{k_{pp}}$$

A resistência da chave, com ambos os transistores conduzindo, pode ser aproximadamente descrita pela Equação (4-15).

$$R_{max} = \frac{1}{k_{pn} \frac{W_n}{L_n} (V_{DD} - V_{Tn} - |V_{Tp}|)} \quad (4-15)$$

Para valores de V_{in} inferiores a $|V_{Tp}|$, apenas o transistor NMOS conduz e o valor aproximado de R_{on} pode ser descrito pela Equação (4-12). No caso de valores

de V_{in} superiores a $V_{DD} - V_{Tn}$, apenas o transistor PMOS conduz e a Equação (4-13) descreve aproximadamente o valor de R_{on} .

A resistência aproximada (R_{on}) de uma chave complementar, em função de V_{in} , pode ser representada pelo gráfico da Figura 4-17.

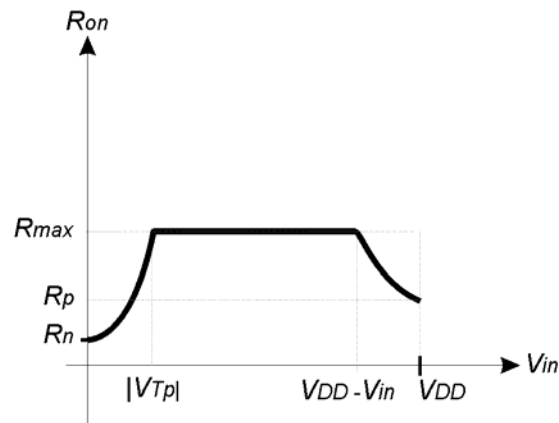


Figura 4-17 – Gráfico da resistência aproximada da chave complementar

Considerando o efeito de corpo e escolhendo $V_{DD}/2$ como ponto de maior resistência, fazendo $\partial G_{on}/\partial V_{in} = 0$ em $V_{DD}/2$ e considerando que V_{Tn} e $|V_{Tp}|$ são funções de V_{in} . A resistência R_{on} pode ser mais bem representada pelo gráfico da Figura 4-18.

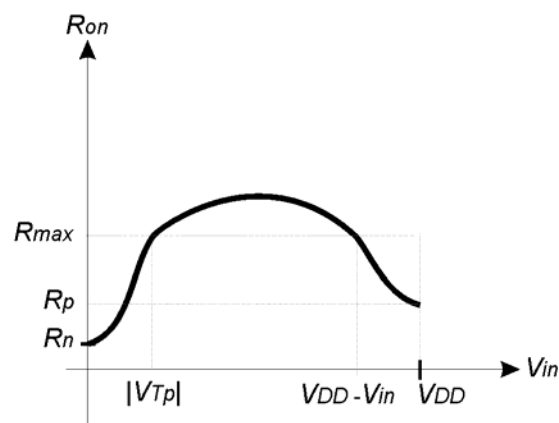


Figura 4-18 – Gráfico da resistência da chave complementar

4.5. Dimensionamento das Chaves Analógicas

Como não é possível utilizar chaves ideais na configuração e interligação dos transistores programáveis seu uso deve ser limitado ao mínimo indispensável para a funcionalidade do circuito.

Para reduzir a resistência de uma chave CMOS é necessário aumentar a relação W/L dos seus transistores o que implica em valores elevados de W resultando em maior uso de área no circuito integrado. Conseqüentemente o dimensionamento das chaves deverá levar em consideração o compromisso entre área ocupada e desempenho do circuito como um todo. Isto é, as dimensões dos transistores deverão ter valores que minimizem simultaneamente a influência negativa das chaves no funcionamento do circuito e a área ocupada.

Apesar da influência das chaves ser implicitamente considerada durante o processo evolutivo, e a princípio sua influência ser benéfica no sentido de evitar curtos circuitos, é necessário observar que as chaves que interligam terminais de dreno e fonte podem se tornar limitadores de corrente.

Na seção seguinte o desempenho das chaves em função das dimensões será analisado para definir as que melhor atendem ao compromisso área x desempenho. Para isso, foram definidas quatro chaves complementares de diferentes dimensões como relacionado na Tabela 4-3. Os valores aproximados das resistências das chaves foram calculados utilizando-se a Equação (4-15).

Tabela 4-3 – Dimensões e resistência das chaves complementares

Relação W/L		Resistência valor aproximado	Tipo de chave
PMOS	NMOS		
$2,1\mu m/0,35\mu m$	$0,7\mu m/0,35\mu m$	$1,4k\Omega$	ch 1
$15\mu m/0,35\mu m$	$5\mu m/0,35\mu m$	190Ω	ch 2
$31,5\mu m/0,35\mu m$	$10,5\mu m/0,35\mu m$	90Ω	ch 3
$105\mu m/0,35\mu m$	$35\mu m/0,35\mu m$	40Ω	ch 4

4.5.1. Influência das Chaves na Associação em Série de Transistores

A influência de uma chave complementar inserida numa associação em série de transistores foi medida considerando-se as correntes de dreno em saturação de dois transistores NMOS interligados de cinco modos diferentes, como mostrado na Figura 4-19. O circuito 1 não utiliza chave enquanto os demais utilizam os quatro tipos de chaves definidas na Tabela 4-3.

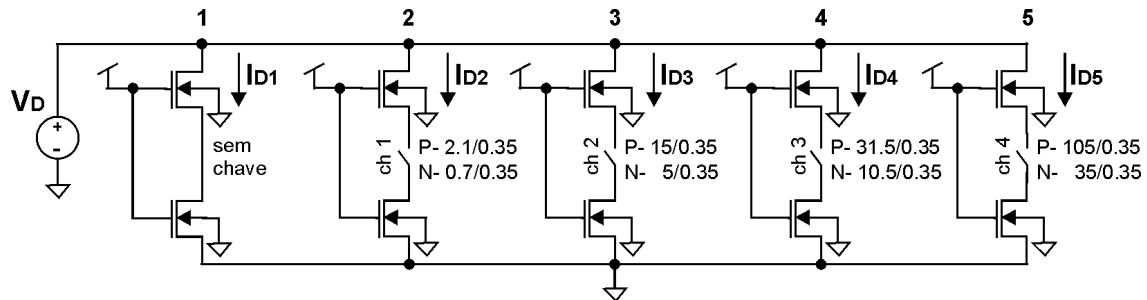


Figura 4-19 – Circuito de teste de transistores em série

Neste trabalho, os transistores programáveis propostos terão como largura de canal $W_{MAX} = 10,5\mu m$ e $W_{MIN} = 0,7\mu m$. Para comprimento de canal os valores definidos são $L_{MAX} = 5,6\mu m$ e $L_{MIN} = 0,35\mu m$. Como, quanto maior a relação W/L maior a corrente, a corrente máxima será alcançada com a relação W_{MAX}/L_{MIN} e a corrente mínima com a relação W_{MIN}/L_{MAX} . Para valor médio de corrente foi considerada relação $W_{MÉDIO} = 5,6/L_{MÉDIO} = 2,8$.

Foram realizados três testes com o circuito da Figura 4-19, com as seguintes configurações:

- Teste 1 – transistores com $W_{MAX} = 10,5\mu m$ e $L_{MIN} = 0,35\mu m$.
- Teste 2 – transistores com $W_{MIN} = 0,7\mu m$ e $L_{MAX} = 5,6\mu m$.
- Teste 3 – transistores com $W_{MED} = 5,6\mu m$ e $L_{MED} = 2,8\mu m$.

Em todos os teste a tensão V_D variou de GND a $3,3V$.

Os resultados obtidos no teste 1 são apresentados na Figura 4-20.

$$W_{MAX} = 10,5 \mu m / L_{MIN} = 0,35 \mu m$$

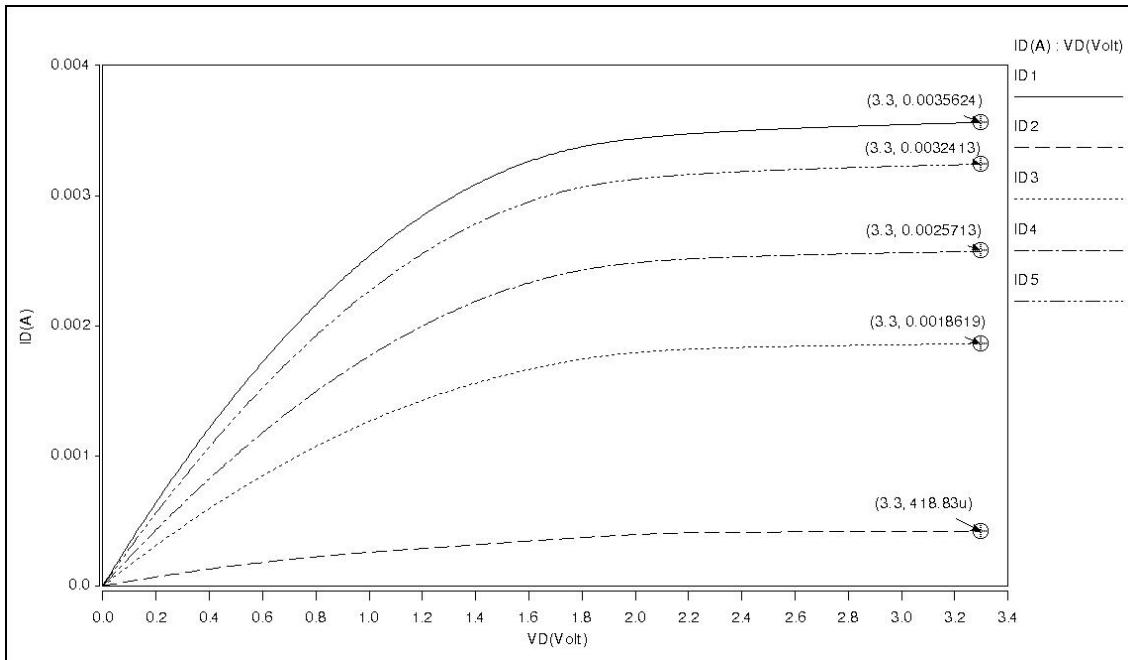


Figura 4-20 – Curvas de corrente de dreno em saturação com erro máximo

Os resultados obtidos no teste 2 são apresentados na Figura 4-21.

$$W_{MIN} = 0,7 \mu m / L_{MAX} = 5,6 \mu m$$

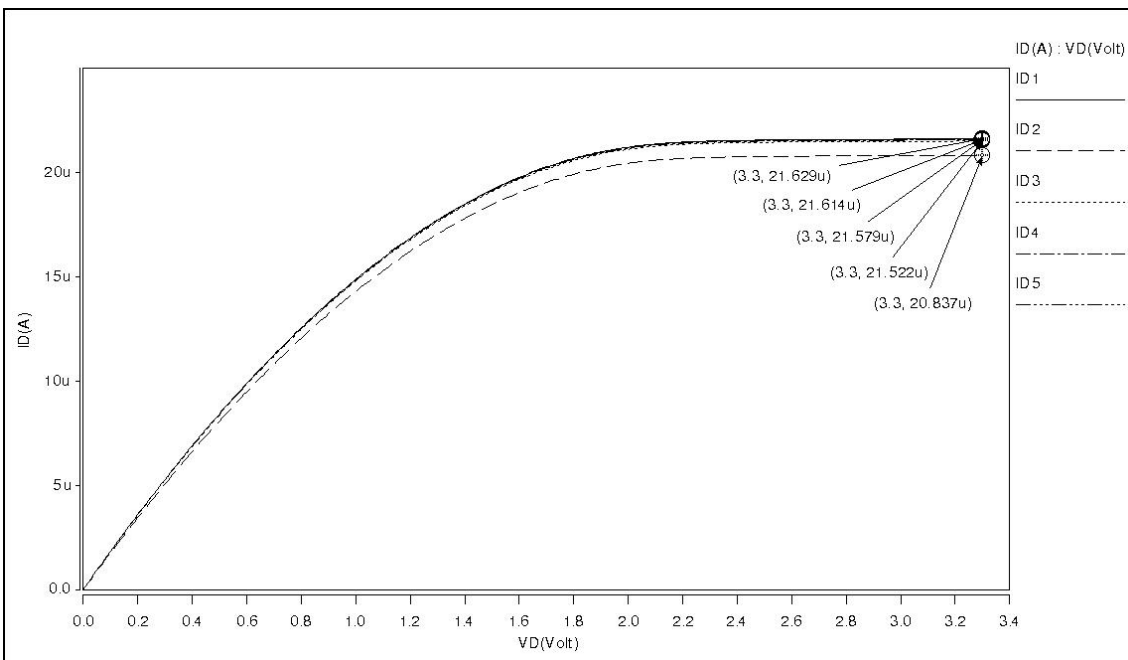


Figura 4-21 – Curvas de corrente de dreno em saturação com erro mínimo

Os resultados obtidos no teste 3 são apresentados na Figura 4-22.

$$W_{MÉDIO} = 5,6\mu m / L_{MÉDIO} = 2,8\mu m$$

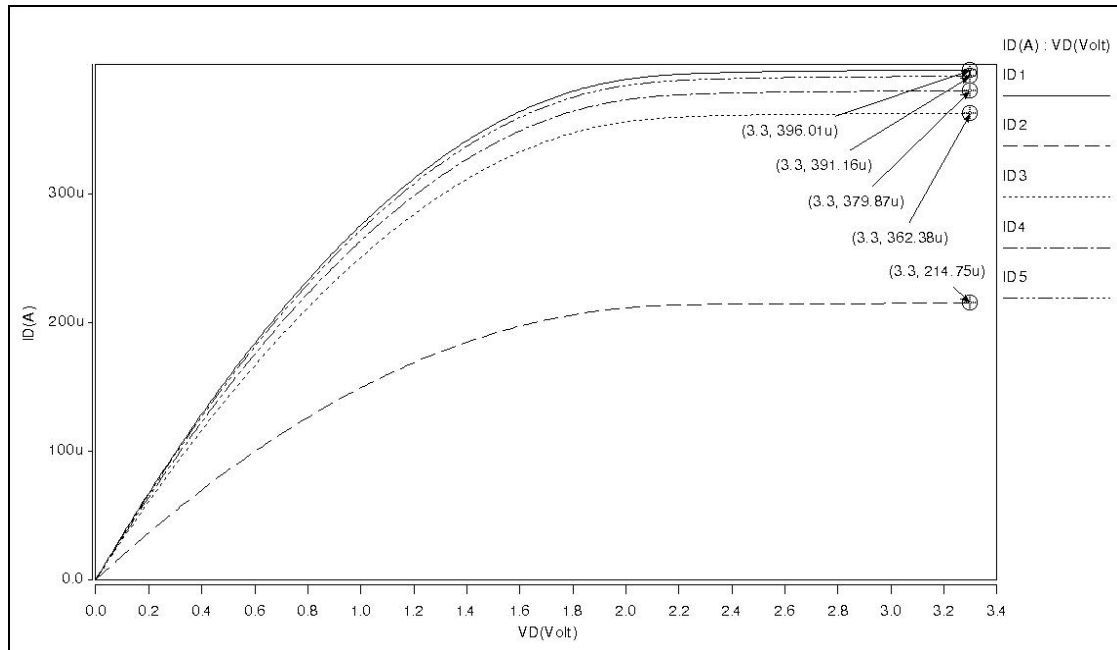


Figura 4-22 – Curvas de corrente de dreno em saturação com erro médio

Como referência para comparação entre as correntes, foi definido o ponto de corrente máxima ($V_D = 3,3V$). Os percentuais de erro máximo, mínimo e médio entre a corrente de referência (I_{D1}) e as demais correntes são relacionados na Tabela 4-4.

Tabela 4-4 – Erro introduzido por uma chave em uma associação em série

Corrente	Tipo de chave	Erro (%)		
		máximo	médio	mínimo
I_{D2}	ch 1	88,24	45,77	3,66
I_{D3}	ch 2	47,73	8,5	0,49
I_{D4}	ch 3	27,82	4,08	0,21
I_{D5}	ch 4	9,01	1,22	0,07

Para caracterizar a tendência da corrente, foi realizado, com a mesma topologia do circuito da Figura 4-19, um teste em que a dimensão W dos transistores associados em série, foi variada e medida a corrente de saturação I_D para uma tensão $V_D = 3,3V$. O teste consistiu de várias simulações, sendo os resultados colocados em uma planilha e as curvas geradas apresentadas na Figura 4-23.

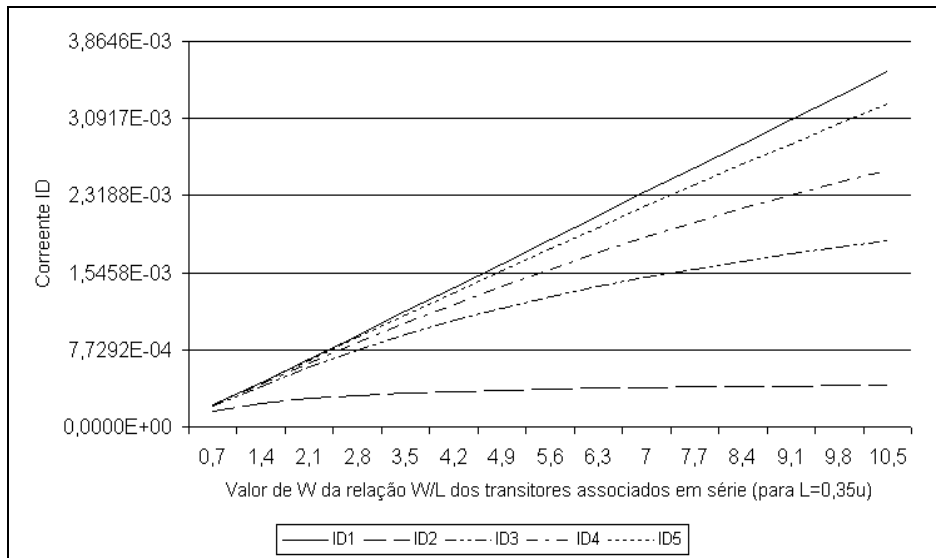


Figura 4-23 – Corrente de dreno em saturação para diferentes valores de W

Observando-se a Figura 4-23, constata-se que; independentemente do tipo de chave utilizada quanto maior a corrente maior a diferença entre o valor desejado e o obtido.

O gráfico da Figura 4-24 apresenta o percentual de erro do valor da corrente I_D , em relação a variação da dimensão W . As curvas foram obtidas da mesma base de dados do gráfico da Figura 4-23. Como apenas a dimensão W foi variada, mantendo-se $L = 0,35\mu m$, as curvas representam o erro máximo para cada dimensão de W .

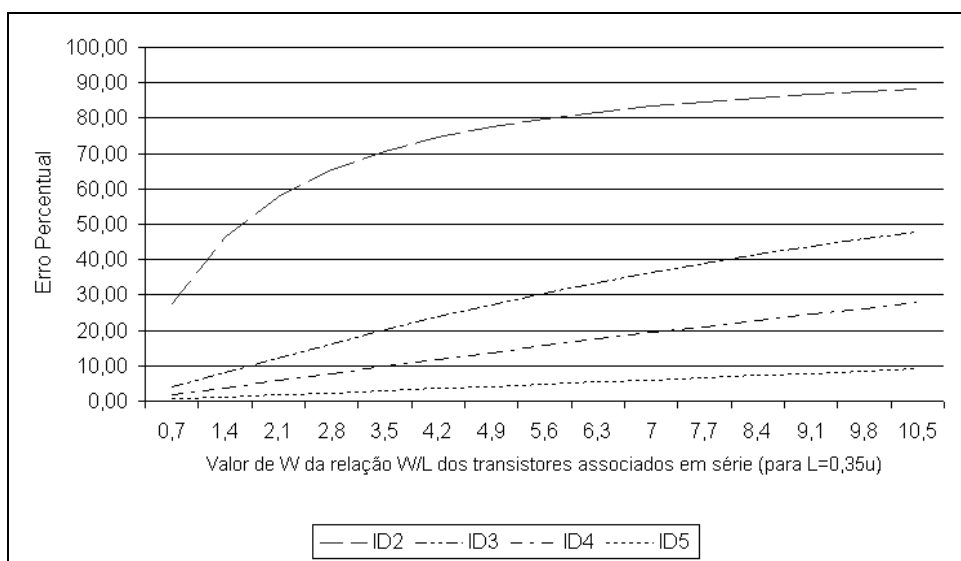


Figura 4-24 – Curvas de erro em relação as possíveis configurações de W

4.5.2. Influência das Chaves na Associação em Paralelo de Transistores

Analogamente ao teste anterior, a influência de chaves complementares inseridas numa associação em paralelo de transistores foi medida considerando-se as correntes de dreno em saturação de dois transistores NMOS interligados de cinco modos diferentes como mostrado na Figura 4-25.

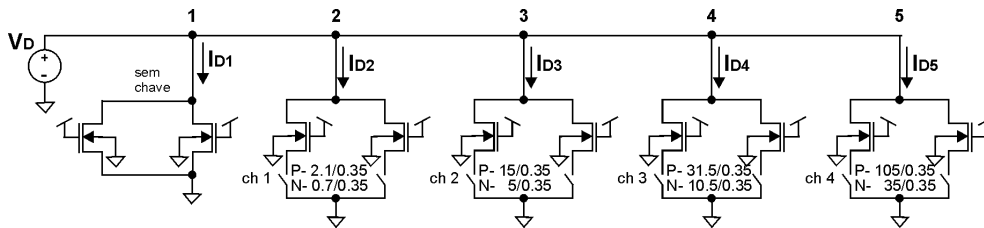


Figura 4-25 – Circuito de teste de transistores em paralelo

Similarmente ao teste com associação de transistores em série, foram realizados três testes com o circuito da Figura 4-25. Nos testes foram utilizadas três diferentes relações de W/L , sendo; teste 1 para medida da corrente máxima, teste 2 para medida da corrente mínima e teste 3 para medida da corrente média.

Os resultados obtidos no teste 1 são apresentados na Figura 4-26

$$W_{MAX} = 10,5 \mu m / L_{MIN} = 0,35 \mu m$$

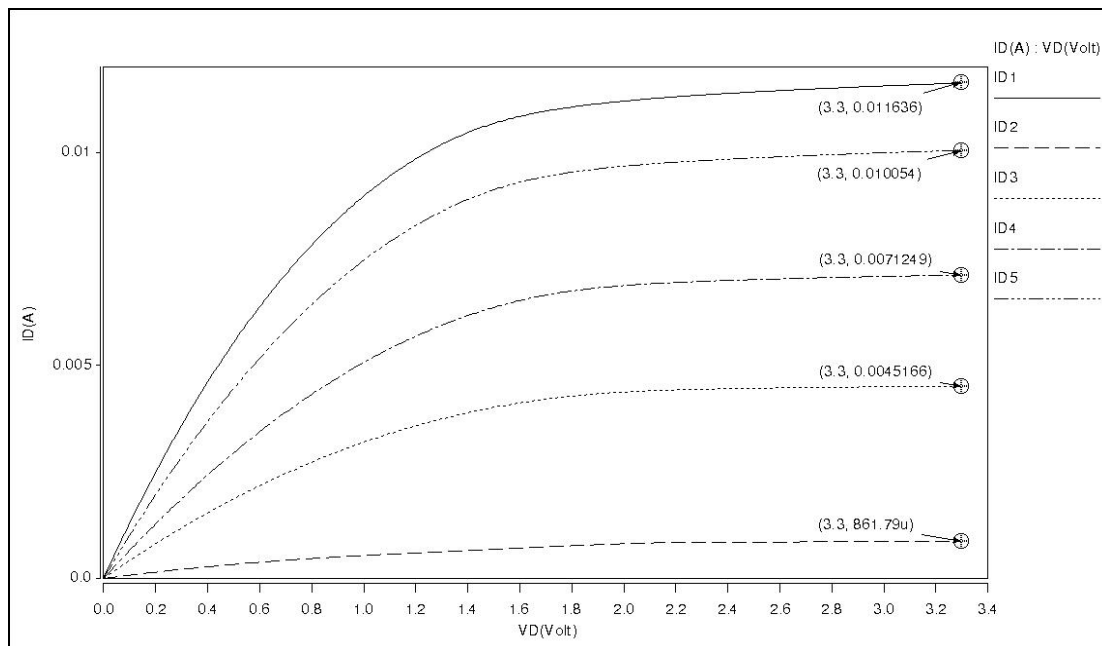


Figura 4-26 – Curvas de corrente de dreno em saturação com erro máximo

Os resultados obtidos no teste 2 são apresentados na Figura 4-27.

$$W_{MIN} = 0,7 \mu m / L_{MAX} = 5,6 \mu m$$

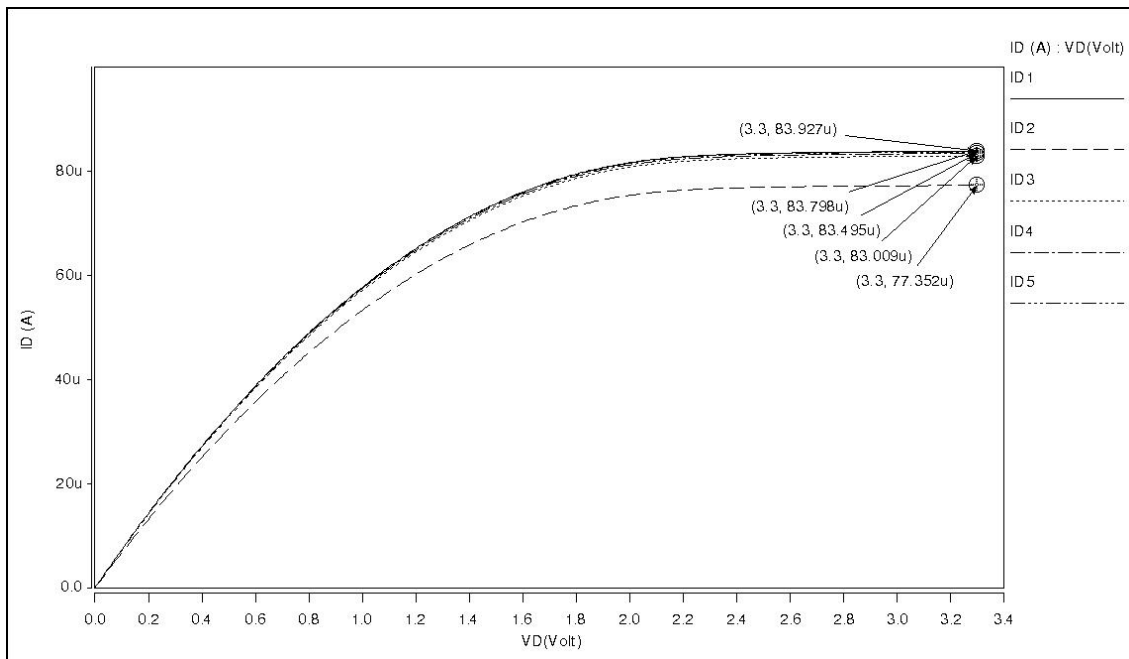


Figura 4-27 – Curvas de corrente de dreno em saturação com erro mínimo

Os resultados obtidos no teste 3 são apresentados na Figura 4-28.

$$W_{MÉDIO} = 5,6 \mu m / L_{MÉDIO} = 2,8 \mu m$$

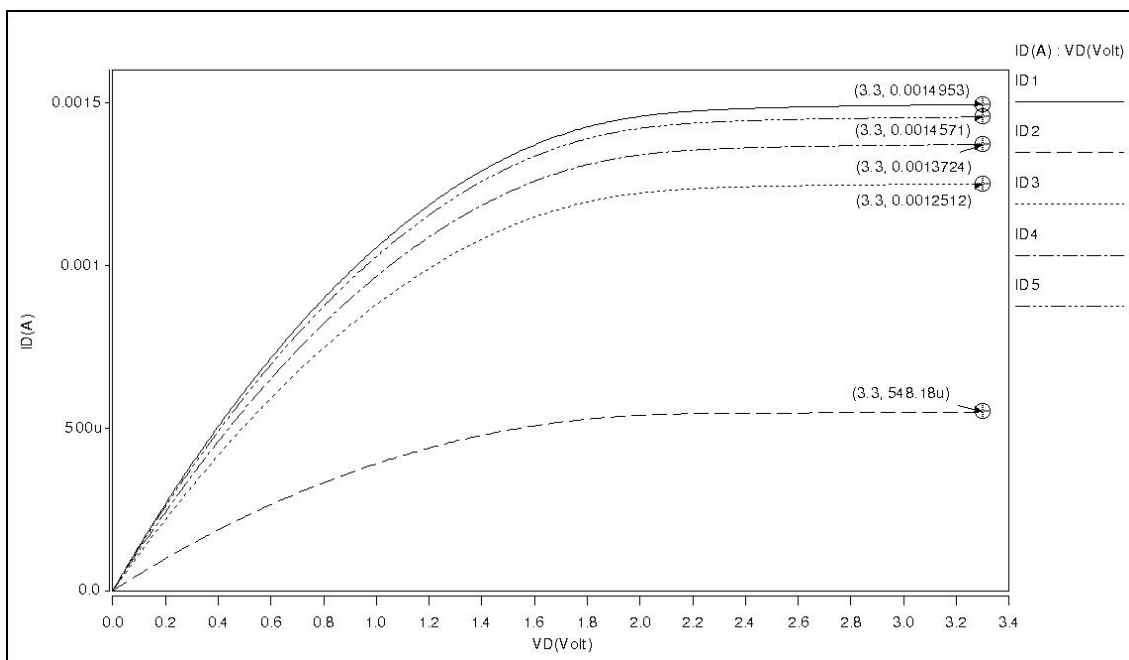


Figura 4-28 – Curvas de corrente de dreno em saturação com erro médio

Da mesma forma que no teste anterior, foi definido o ponto de corrente máxima ($V_D = 3,3V$) como referência. Os percentuais de erro máximo, mínimo e médio entre a corrente de referência (I_{D1}) e as demais correntes são relacionados na Tabela 4-5.

Tabela 4-5 – Erro introduzido pela chave em uma associação em paralelo

Corrente	Tipo de chave	Erro (%)		
		máximo	médio	mínimo
I_{D2}	ch 1	92,59	63,34	7,83
I_{D3}	ch 2	61,17	16,32	1,09
I_{D4}	ch 3	38,76	8,22	0,51
I_{D5}	ch 4	13,58	2,55	0,15

Os valores de percentuais de erro obtidos são maiores que os do teste anterior, o que é justificável pela utilização de duas chaves para a associação dos transistores em paralelo.

4.5.3. Influência da Inclusão de Chaves em Série

A interligação de transistores, através de chaves analógicas, introduz resistências que modificam as características do circuito. Para demonstrar essa influência, foi realizado um teste com dois transistores NMOS de dimensões iguais a $W = 10,5\mu m$ e $L = 0,35\mu m$, sendo medida a corrente de dreno em saturação para uma tensão V_D variando de GND a $3,3V$. O circuito de teste é mostrado na Figura 4-29. As chaves utilizadas são do tipo 3.

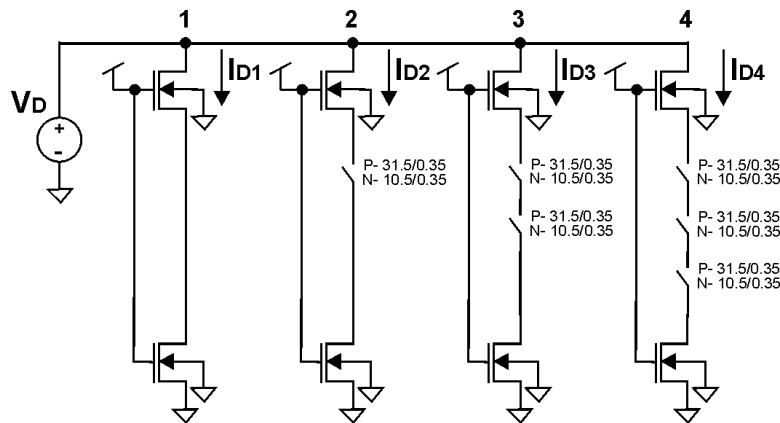


Figura 4-29 – Circuito de teste de chaves em série

Os resultados obtidos no teste são apresentados na Figura 4-30.

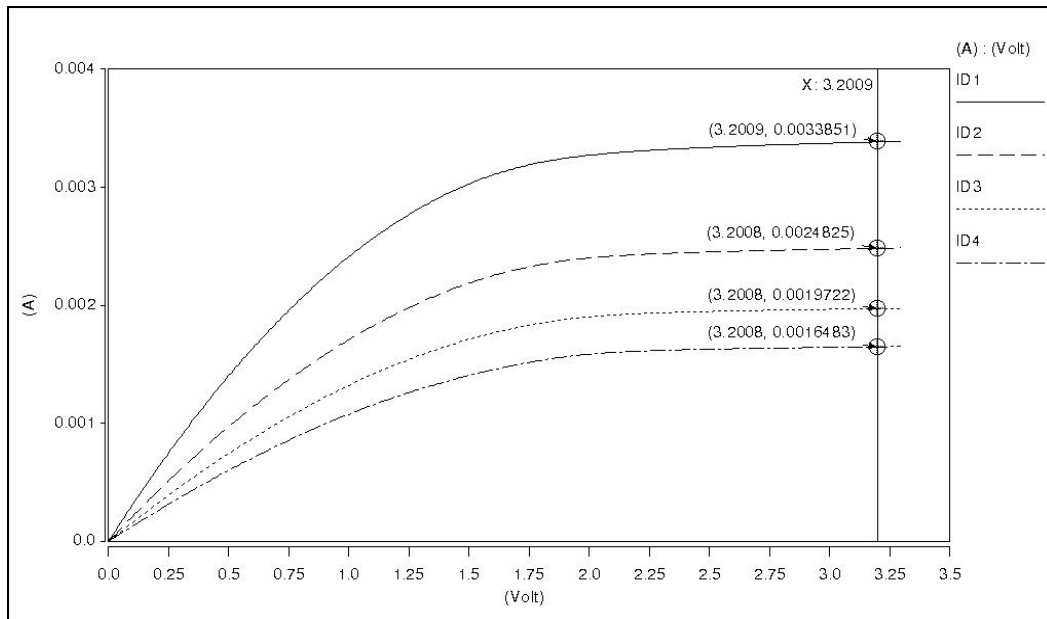


Figura 4-30 – Curvas de corrente dreno em saturação

Observando-se a Figura 4-30, verifica-se que; a medida que chaves são introduzidas o erro agregado, pela chave, diminui. Considerando-se que em um circuito configurável, chaves são utilizadas na interligação das células, essa característica ameniza, um pouco, o efeito acumulativo da introdução de chaves.

4.5.4. Retardo na Propagação do Sinal em Uma Chave Complementar

Todos os testes realizados até este ponto, foram referentes à interligação de terminais de fonte e dreno e sempre em relação a corrente de dreno em saturação. Para verificar a influência de uma chave complementar na propagação de um sinal, foi realizado um teste utilizando-se os quatro tipos de chaves como mostra a Figura 4-31.

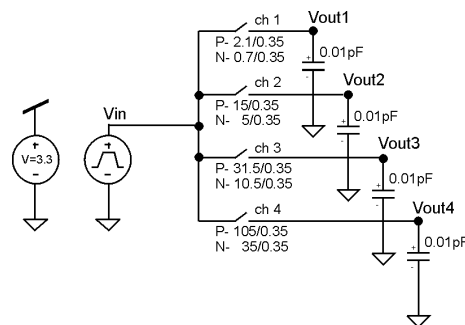


Figura 4-31 – Circuito de teste de retardo na propagação do sinal

O teste consistiu no chaveamento de um sinal de onda quadrada na frequência de 1GHz . O retardo da chave foi avaliado levando-se em consideração o tempo de subida (*rise time* entre 10% e 90%) e descida (*fall time* entre 90% e 10%) do sinal na saída. Os resultados obtidos no teste são apresentados na Figura 4-32.

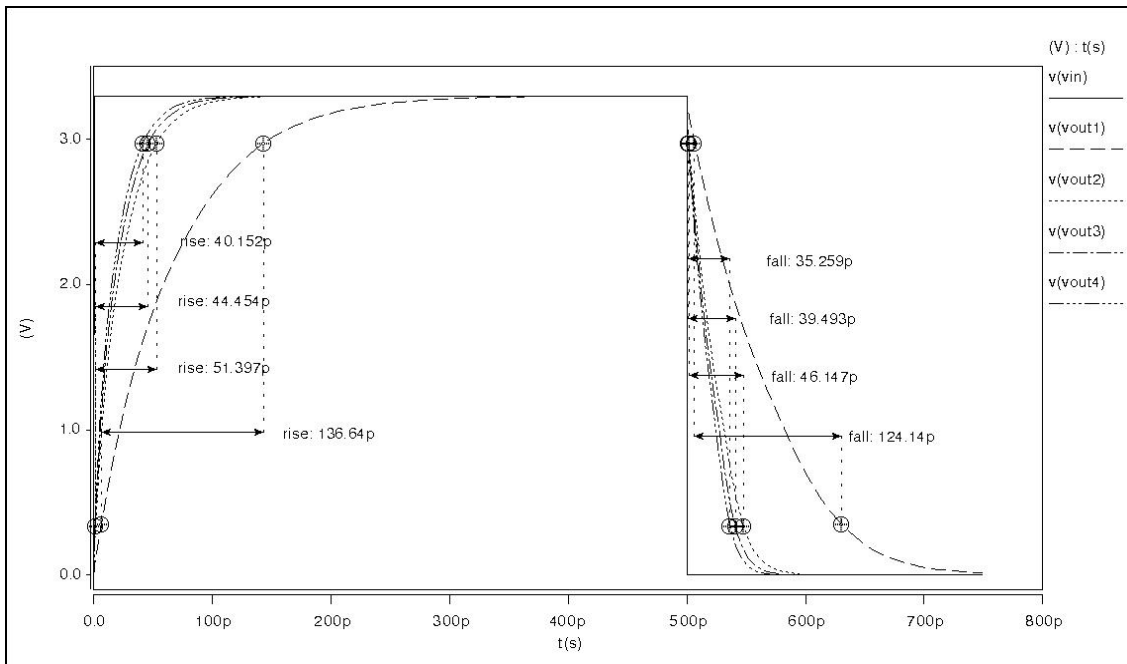


Figura 4-32 – Retardo introduzido pela chave na propagação do sinal

Como pode ser observado na Figura 4-32, todas as chaves conseguiram chavear a frequência de 1GHz . Os resultados obtidos pelas chaves tipo 2, 3 e 4 ficaram bem próximos, apenas a chave tipo 1 (com transistores de pequenas dimensões), apresentou um grande desvio em relação às demais. Uma comparação entre a chave de melhor desempenho e as demais é apresentada na Tabela 4-6.

Tabela 4-6 – Comparação entre os retardos introduzidos pelas chaves

Saída	Tempo de subida (ps)	Percentual de retardo (%)	Tempo de descida (ps)	Percentual de retardo (%)
V_{out1}	40,152	referência	35,259	referência
V_{out2}	44,454	10,7	39,493	12,01
V_{out3}	51,397	28,0	46,147	30,88
V_{out4}	136,64	240,31	124,14	252,08

Volto a lembrar, o compromisso entre desempenho e área ocupada, apesar da chave tipo 1 introduzir um retardo na propagação do sinal, significativamente maior que as demais chaves, suas reduzidas dimensões podem justificar sua utilização.

4.5.5. Definição das Dimensões das Chaves

Transistores com dimensões programáveis através de chaves terão comportamento distinto de um transistor não programável de mesmas dimensões.. Apesar disso, as características elétricas do transistor são preservadas. Como em um circuito de hardware evolutivo a preocupação não é reproduzir um circuito pré-projetado clássico e sim alcançar uma função de transferência pré-estabelecida, o mais importante é preservar as características elétricas do transistor sem a preocupação de manter o seu desempenho idêntico a um transistor não programável de mesmas dimensões.

Devido a restrições de área, deve-se evitar a utilização de chaves de grandes dimensões em favor da utilização de chaves que preservem as características elétricas do transistor programável sem limitar demasiadamente os valores de corrente que circulam pelo circuito. As dimensões das chaves serão, portanto, escolhidas como um compromisso entre os melhores e os piores desempenhos alcançados nos testes realizados.

Neste trabalho, são utilizados dois tipos distintos de chaves analógicas; chaves para interligação de terminais de dreno e fonte e chaves para interligação de terminais porta. Para permitir máxima excursão do sinal de saída (GND a V_{DD}), todas as chaves são do tipo complementar, sendo mantida a simetria entre os transistores NMOS e PMOS ($W_p = 3xW_n$).

Os testes realizados recomendam a utilização de chaves de baixa resistência para as conexões de dreno e fonte para não limitar significativamente as correntes nesses terminais. Nas conexões envolvendo os terminais de porta podem ser

utilizadas chaves com transistores de menores dimensões apesar do aumento no tempo de propagação do sinal como discutido na Seção 4.5.4.

A largura máxima de canal dos transistores programáveis utilizados nesse trabalho foi limitada a $W_{MAX} = 10,5\mu m$. Para esta largura máxima, as dimensões de chaves que representam o melhor compromisso entre desempenho e área ocupada foram definidas através de testes efetuados nas seções anteriores como sendo as constantes da Tabela 4-7.

Tabela 4-7 – Dimensões das chaves analógicas complementares

Tipo de chave	PMOS		NMOS	
	W	L	W	L
porta	2,1	0,35	0,7	0,35
dreno e fonte	31,5	0,35	10,5	0,35

A degradação provocada por uma chave depende diretamente do valor da corrente, como foi mostrado nas seções anteriores. No caso da chave escolhida (tipo 3) para interligação de terminais de dreno e fonte. O erro máximo alcançado nos testes realizados foi de 38,76% e o médio de 8,22% (Tabela 4-5). Sendo, a tolerância do processo de fabricação, algo em torno de 20%, os percentuais de erros obtidos são perfeitamente aceitáveis.

5. Transistor Programável

5.1. Introdução

Os dois principais parâmetros considerados no projeto de um transistor programável são; o comprimento de canal (L) e a largura de canal (W). Quanto maior o número de relações W/L possíveis de serem configuradas, melhor é a arquitetura do transistor programável. Outro fator importante é a quantidade de hardware periférico necessário para a configuração do transistor. O custo benefício entre a quantidade de relações W/L possíveis e de hardware periférico deve ser considerado.

Em uma arquitetura configurável, para aumentar a largura de canal (W) de um transistor, deve-se colocar em paralelo a este, um transistor com o mesmo comprimento de canal (L). Dessa forma, o transistor equivalente terá como valor de largura de canal a soma dos W dos transistores em paralelo. No caso do comprimento de canal (L), deve-se colocar um transistor em série com a mesma largura de canal (W), o transistor equivalente terá um valor de comprimento de canal igual a soma dos L dos transistores em série. Os transistores equivalentes, paralelo e série, são mostrados na Figura 5-1.

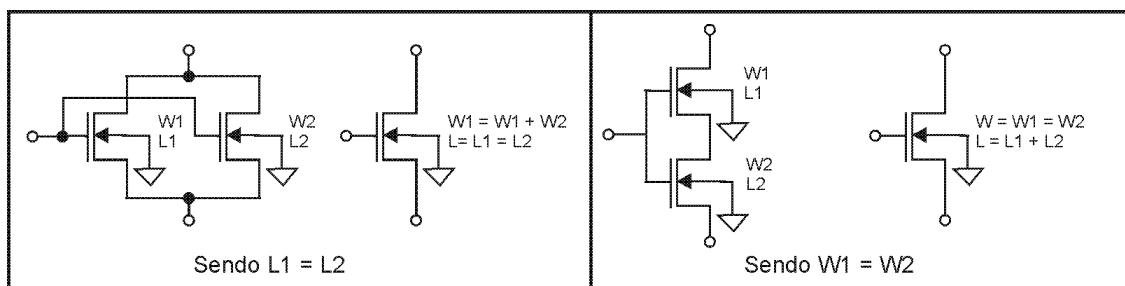


Figura 5-1 – Transistores em paralelo e em série

Uma primeira idéia para um transistor programável é uma arquitetura, formada por 16 transistores de W e L variados, que permite a interligação em série e/ou paralelo desses transistores para obtenção da relação W/L desejada, como mostrado

na Figura 5-2. A arquitetura é formada por quatro módulos de transistores configuráveis na dimensão W (os módulos 1, 2, 3 e 4) que podem ser interligados em série através das chaves 1, 2, 3 e 4 para dimensionar o valor de L .

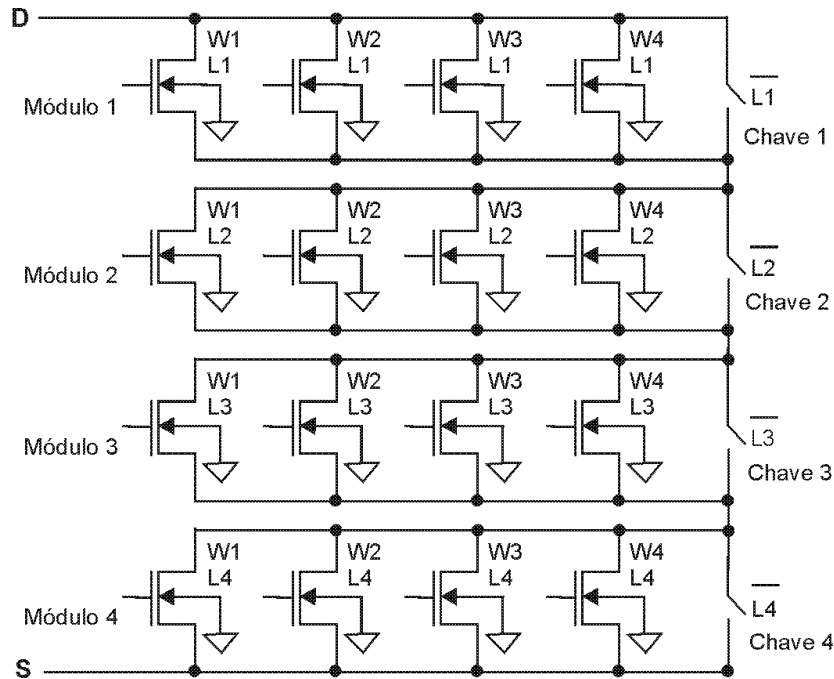


Figura 5-2 – Transistor programável

Os quatro módulos são configurados com a mesma dimensão de W através dos sinais de $W1$, $W2$, $W3$ e $W4$ (somando os selecionados). Os sinais $L1$, $L2$, $L3$ e $L4$ (somando os selecionados) configuraram a dimensão L . Os módulos selecionados têm as chaves abertas e os não selecionados às chaves fechadas contornando-os.

As chaves que interligam os módulos e série, são os grandes inconvenientes dessa arquitetura. Quando os módulos são contornados, a resistência da chave fechada é introduzida em série com os módulos, limitando o valor da corrente entre dreno e fonte. Para que as resistências das chaves se tornem desprezíveis, as dimensões dos seus transistores têm que ser muito maior que o tamanho máximo do maior transistor configurável. Por isso, essa arquitetura foi descartada e as arquiteturas propostas têm transistores programáveis configuráveis apenas na dimensão W .

5.2. Transistor Programável Primeira Opção

Esta opção é semelhante ao transistor programável do FPTA do Kirchhoff Institute (LANGEHEINE *et ali.*, 2001).

O módulo configurável é composto por uma matriz de 4x4 transistores. Os 16 transistores têm os terminais fonte interligados, assim como todos os terminais dreno. Dessa forma, todos os transistores estão em paralelo com exceção dos terminais porta, que podem ser interligados através de chaves analógicas. A matriz tipo N de transistores programáveis da primeira opção é mostrada na Figura 5-3.

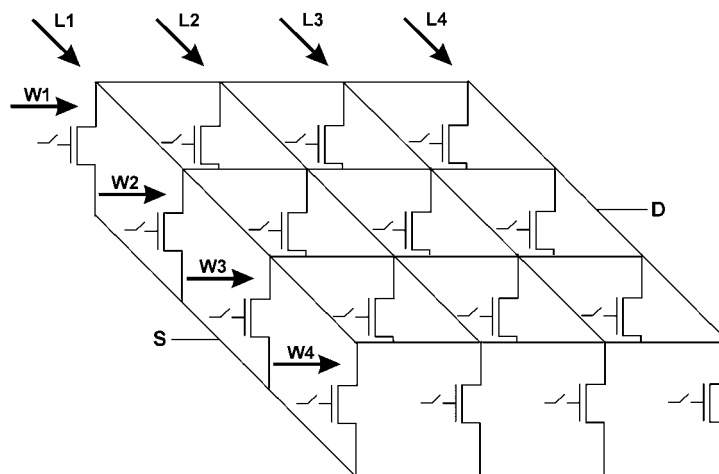


Figura 5-3 – Matriz de transistores tipo N da primeira opção

5.2.1. Arquitetura da Matriz de Transistores

Cada linha da matriz possui quatro transistores com os mesmos valores de W e diferentes valores de L . Enquanto cada coluna possui quatro transistores com os mesmos valores de L e diferentes valores de W como mostra a Figura 5-4.

$\begin{matrix} W1 \\ L1 \end{matrix}$	$\begin{matrix} W1 \\ L2 \end{matrix}$	$\begin{matrix} W1 \\ L3 \end{matrix}$	$\begin{matrix} W1 \\ L4 \end{matrix}$
$\begin{matrix} W2 \\ L1 \end{matrix}$	$\begin{matrix} W2 \\ L2 \end{matrix}$	$\begin{matrix} W2 \\ L3 \end{matrix}$	$\begin{matrix} W2 \\ L4 \end{matrix}$
$\begin{matrix} W3 \\ L1 \end{matrix}$	$\begin{matrix} W3 \\ L2 \end{matrix}$	$\begin{matrix} W3 \\ L3 \end{matrix}$	$\begin{matrix} W3 \\ L4 \end{matrix}$
$\begin{matrix} W4 \\ L1 \end{matrix}$	$\begin{matrix} W4 \\ L2 \end{matrix}$	$\begin{matrix} W4 \\ L3 \end{matrix}$	$\begin{matrix} W4 \\ L4 \end{matrix}$

Figura 5-4 – Valores de W e L da matriz da primeira opção

A largura de canal W é dimensionada pela seleção de linhas da matriz, enquanto o comprimento de canal L é dimensionado pela seleção de uma das colunas da matriz.

Os terminais porta dos 16 transistores da matriz podem ser interligados por intermédio de chaves. A configuração do transistor programável é realizada selecionando-se uma ou mais linhas e uma das colunas através do fechamento dessas chaves. O esquema elétrico da matriz tipo N é apresentado na Figura 5-5.

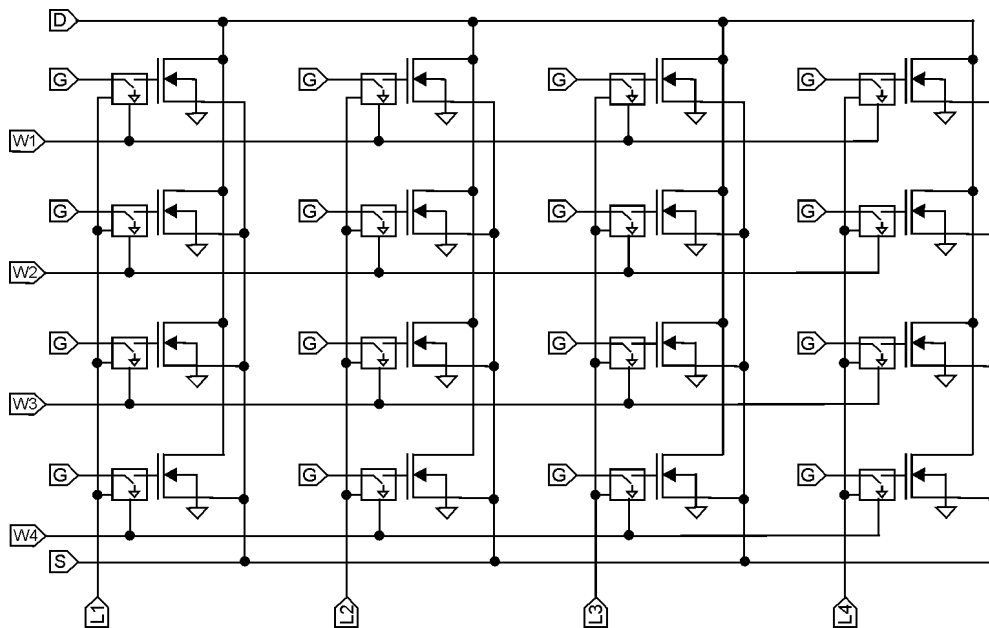


Figura 5-5 – Esquema elétrico da matriz tipo N da primeira opção

5.2.2. Configuração do Transistor Programável

Para somar valores de L seria necessário colocar em série transistores com os mesmos valores de W , como a arquitetura proposta não permite esse tipo de interligação, os valores de L são configurados pela seleção mutuamente exclusiva de uma das quatro colunas da matriz.

Para aumentar a quantidade de valores de L disponíveis, foram criadas matrizes com diferentes valores. Nesse trabalho foram utilizadas apenas dois tipos de matrizes elevando de quatro para oito o número de possibilidades de dimensões de

L . Como a seleção de colunas é mutuamente exclusiva é utilizado um decodificador de 2x4 para gerar os 4 bits de seleção.

A dimensão W é configurada através da seleção de uma ou mais linhas da matriz. Estando todos os transistores em paralelo, quando terminais porta de transistores de uma mesma coluna são selecionados, como todos possuem o mesmo valor de L , o transistor equivalente tem como valor de W a soma dos valores de W dos transistores selecionados. Um transistor só é selecionado quando ambas, linha e coluna, são selecionadas.

O transistor programável é formado pela matriz de transistores em conjunto com o hardware de apoio necessário a sua configuração. Sendo assim, a configuração proposta é formada por uma matriz de 16 transistores NMOS para transistores programáveis do tipo N, 16 transistores PMOS para transistores programáveis do tipo P, 16 chaves de seleção de terminais porta, um decodificador de 2x4 e um elemento de armazenamento (*latch*) de 6 bits. O diagrama em blocos de um transistor programável do tipo N é apresentado na. Figura 5-6.

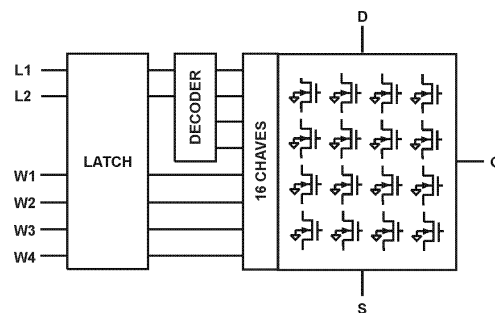


Figura 5-6 – Diagrama em blocos do transistor programável primeira opção

As serigrafias dos transistores programáveis com matrizes do tipo N e tipo P são mostradas na Figura 5-7.

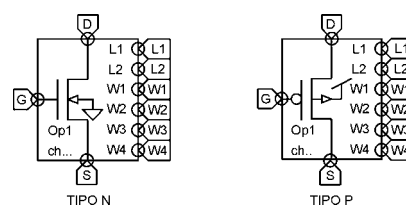


Figura 5-7 – Serigrafias dos transistores programáveis tipo N e P opção 1

5.2.3. Possíveis Configurações

Para configurar o transistor programável são necessários 6 bits, sendo 4 bits para dimensionamento de W e 2 bits para a seleção da dimensão de L . Os 6 bits ficam armazenados no *latch*.

Cada bit de dimensionamento de W quando selecionado (bit =1 nível alto) soma ao valor total de W o valor do W da linha selecionada.

Os valores possíveis para configuração de W são relacionados na Tabela 5-1.

Tabela 5-1 – Possíveis dimensões de W

$W_4 = 5,6\mu\text{m}$	$W_3 = 2,8\mu\text{m}$	$W_2 = 1,4\mu\text{m}$	$W_1 = 0,7\mu\text{m}$	$W_{\text{total}} (\mu\text{m})$
0	0	0	0	Inválido
0	0	0	1	0,7
0	0	1	0	1,4
0	0	1	1	2,1
0	1	0	0	2,8
0	1	0	1	3,5
0	1	1	0	4,2
0	1	1	1	4,9
1	0	0	0	5,6
1	0	0	1	6,3
1	0	1	0	7,0
1	0	1	1	7,7
1	1	0	0	8,4
1	1	0	1	9,1
1	1	1	0	9,8
1	1	1	1	10,5

Como a seleção de um dos quatro valores de L é mutuamente exclusiva, é utilizado um decodificador de 2x4. Foram implementadas duas matrizes com diferentes valores de L , e os transistores programáveis denominados de op1_mat1 e op1_mat2. Cada uma das configurações permite a seleção de 4 diferentes dimensões de L como relacionado na Tabela 5-2.

Tabela 5-2 – Possíveis dimensões de L

$L2$	$L1$	Lop1_mat1 (μm)	Lop1_mat2 (μm)
0	0	0,35	0,7
0	1	1,4	2,1
1	0	2,8	3,5
1	1	5,6	4,9

5.2.4. Chave de Interligação de Terminal Porta

Sendo uma das preocupações de projeto a área ocupada pelos transistores programáveis no circuito integrado. Três opções de chaves foram analisadas e testadas comparativamente e escolhida a que melhor se enquadrava no quesito desempenho x área ocupada.

Como apenas são utilizadas chaves para interligação dos terminais porta, baseado no que foi concluído na Seção 4.5.5 e como não circulam correntes de valores elevados pela chave, foram utilizados transistores de tamanho mínimo, mantendo-se a proporção $W_p = 3W_n$ para que o valor da resistência seja o mais constante possível. A utilização desses transistores acarreta em aumento no tempo de propagação do sinal como foi mostrado na Seção 4.5.4. Porém, optou-se por essas dimensões para diminuir a área ocupada no circuito integrado.

Para que a porta do transistor seja selecionada, colocando-o efetivamente em paralelo com os outros transistores selecionados, é necessário que ambos os sinais de seleção de linha e coluna estejam ativados. Sendo assim, em associação a chave analógica complementar, é necessário um conjunto de outros transistores que são responsáveis pelo acionamento da chave a partir dos bits de configuração.

O princípio de funcionamento dos três tipos de chave é idêntico. A chave é fechada através da seleção de uma linha e uma coluna, ligando o terminal porta do transistor selecionado na matriz ao terminal porta que fica disponível externamente pelo transistor programável. Quando a chave está aberta, o terminal porta do transistor da matriz é ligado a GND no caso de transistores NMOS e a V_{DD} para transistores PMOS desabilitando-o.

5.2.4.1. Chave Tipo 1

A chave é composta por uma porta $NAND$, um inversor, uma chave complementar e uma chave NMOS ou PMOS dependendo do tipo da matriz.

O esquema elétrico da chave tipo 1 para matrizes do tipo N é mostrado na Figura 5-8.

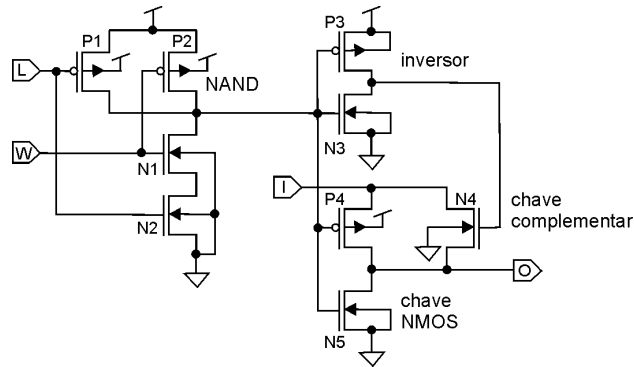


Figura 5-8 – Esquema elétrico da chave tipo 1 para matrizes do tipo N

Os sinais de seleção de coluna e linha são ligados as entradas do *NAND*. A saída do *NAND* e o seu complemento são ligados à chave complementar e a chave NMOS. Quando os dois sinais na entrada do *NAND* estão em nível alto, a chave complementar é fechada e a chave NMOS aberta, nessa situação o terminal porta do transistor selecionado na matriz é ligado ao terminal porta que fica disponível externamente pelo transistor programável. Caso contrário a chave complementar é aberta e a chave NMOS fechada, colocando o terminal fonte do transistor da matriz em *GND* desabilitando-o.

No caso de uma matriz de transistores tipo P, quando a chave complementar é aberta, a chave PMOS na saída é fechada e coloca o terminal porta do transistor PMOS da matriz em V_{DD} desabilitando-o. O esquema elétrico de uma chave tipo 1 para matrizes do tipo P é mostrado na Figura 5-9.

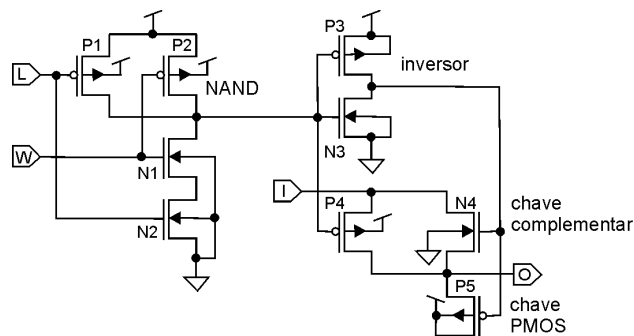


Figura 5-9 – Esquema elétrico da chave tipo 1 para matrizes do tipo P

As dimensões dos transistores utilizados nas chaves do tipo 1 para matrizes do tipo P e tipo N são mostradas na Tabela 5-3.

Tabela 5-3 – Dimensões dos transistores das chaves tipo 1

Matriz do tipo N									
	N1	N2	N3	N4	N5	P1	P2	P3	P4
W(μm)	0,7	0,7	0,7	0,7	0,7	2,1	2,1	2,1	2,1
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35
Matriz do tipo P									
	N1	N2	N3	N4	P1	P2	P3	P4	P5
W(μm)	0,7	0,7	0,7	0,7	2,1	2,1	2,1	2,1	0,7
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35

5.2.4.2. Chave Tipo 2

A chave é composta por duas chaves complementares, um inversor, uma chave NMOS e uma chave NMOS ou PMOS dependendo do tipo de matriz. O esquema elétrico de uma chave para matrizes tipo N é mostrado na Figura 5-10.

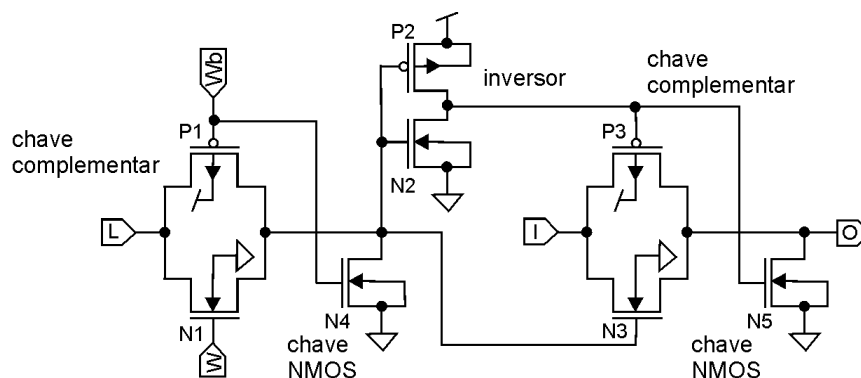


Figura 5-10 – Esquema elétrico da chave tipo 2 para matrizes do tipo N

A primeira chave é controlada pelo sinal de seleção de linha e recebe em sua entrada o comando de seleção de coluna. Sendo a segunda chave controlada pela saída da primeira chave, esta só é fechada quando as duas condições de seleção de linha e coluna, que controlam a primeira chave, estão selecionadas. Dessa forma o terminal porta do transistor selecionado na matriz é ligado ao terminal porta que fica disponível externamente pelo transistor programável. Caso contrário, pelo menos uma

das chaves complementares é aberta e a chave NMOS na saída é fechada, colocando o terminal fonte do transistor da matriz em GND desabilitando-o

No caso de uma matriz de transistores tipo P, quando uma das chaves complementares é aberta, a chave PMOS na saída é fechada e coloca o terminal porta do transistor PMOS da matriz em V_{DD} desabilitando-o. O esquema elétrico de uma chave tipo 1 para matrizes do tipo P é mostrado na.Figura 5-11

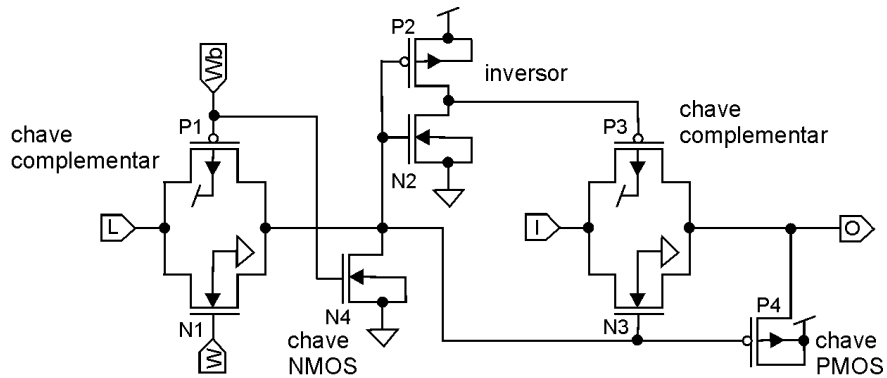


Figura 5-11 – Esquema elétrico da chave tipo 2 para matrizes do tipo P

As dimensões dos transistores utilizados nas chaves do tipo 2 para matrizes do tipo P e tipo N são mostradas na Tabela 5-4.

Tabela 5-4 – Dimensões dos transistores das chaves tipo 2

Matriz do tipo N								
	N1	N2	N3	N4	N5	P1	P2	P3
W(μm)	0,7	0,7	0,7	0,7	0,7	2,1	2,1	2,1
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35
Matriz do tipo P								
	N1	N2	N3	N4	P1	P2	P3	P4
W(μm)	0,7	0,7	0,7	0,7	2,1	2,1	2,1	0,7
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35	0,35	0,35

5.2.4.3. Chave Tipo 3

A chave é composta por duas chaves complementares, duas chaves NMOS para matrizes do tipo N ou duas chaves PMOS para matrizes do tipo P. O esquema elétrico da chave tipo 3 para matrizes do tipo N é mostrado na Figura 5-12.

As duas chaves complementares são ligadas em série e possuem em suas saídas chaves NMOS. A primeira chave é controlada pelo sinal de seleção de coluna e a segunda pelo sinal de seleção de linha. Quando as duas chaves complementares são fechadas, o terminal porta do transistor selecionado na matriz é ligado ao terminal porta que fica disponível externamente pelo transistor programável. Caso contrário a chave NMOS na saída é fechada e o terminal porta do transistor da matriz é colocado em *GND* desabilitando-o.

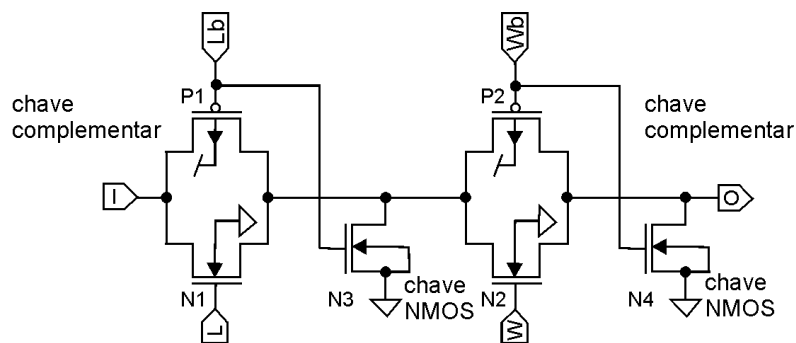


Figura 5-12 – Esquema elétrico da chave tipo 3 para matrizes do tipo N

No caso de uma matriz de transistores tipo P, quando uma das chaves complementares é aberta, a chave PMOS na saída é fechada e coloca o terminal porta do transistor PMOS da matriz em V_{DD} desabilitando-o. O esquema elétrico de uma chave tipo 3 para matrizes do tipo P é mostrado na Figura 5-13.

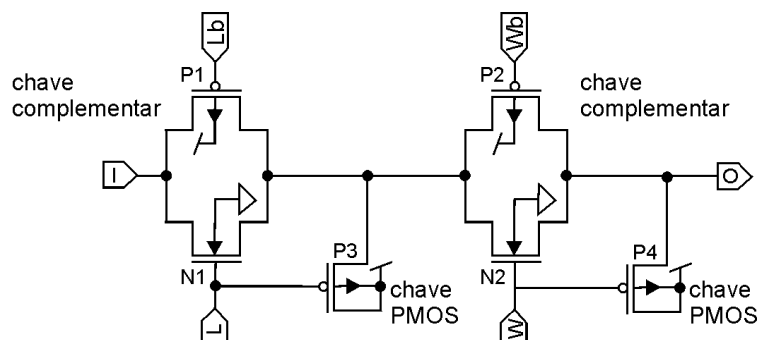


Figura 5-13 – Esquema elétrico da chave tipo 3 para matrizes do tipo P

As dimensões dos transistores utilizados nas chaves do tipo 1 para matrizes do tipo P e tipo N são mostradas na Tabela 5-5.

Tabela 5-5 – Dimensões dos transistores das chaves tipo 3

Matriz do tipo N						
	N1	N2	N3	N4	P1	P2
W(μm)	0,7	0,7	0,7	0,7	2,1	2,1
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35
Matriz do tipo P						
	N1	N2	P1	P2	P3	P4
W(μm)	0,7	0,7	2,1	2,1	0,7	0,7
L(μm)	0,35	0,35	0,35	0,35	0,35	0,35

5.3. Transistor Programável Segunda Opção

Esta opção é uma tentativa de otimizar a ocupação da área. A idéia é utilizar a mesma matriz 4x4 de transistores da primeira opção modificando a forma de configuração do dimensionamento do transistor.

Na primeira opção os terminais fonte de todos os transistores estão interligados e é utilizada uma chave para seleção de cada terminal porta. Nessa configuração apenas os terminais fonte de transistores de uma mesma linha estão interligados e os terminais porta dos transistores de uma mesma coluna também. São utilizadas quatro chaves de seleção para terminais porta e quatro chaves de seleção para terminais fonte como é mostrado na Figura 5-14.

Similarmente a primeira opção, a seleção das colunas é mutuamente exclusiva e tem a função de selecionar uma das quatro dimensões de L . O dimensionamento de W é realizado por intermédio da soma dos valores de W das colunas selecionadas.

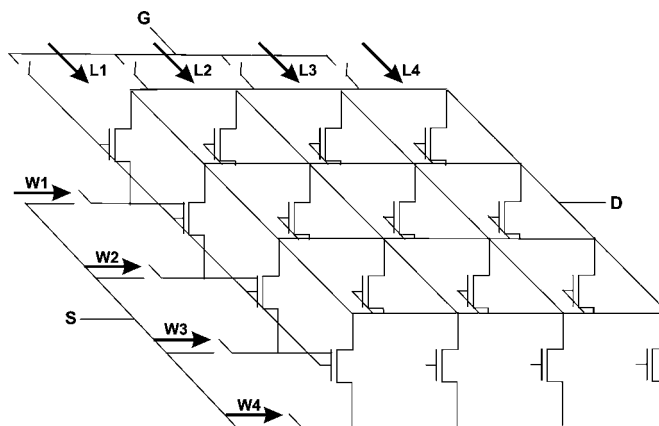


Figura 5-14 – Matriz de transistores da segunda opção

São utilizados dois tipos de chaves, uma para chaveamento dos terminais porta e outra para chaveamento dos terminais fonte. Como para cada tipo de chave somente é utilizado um sinal de seleção, as chaves são mais simples do que as chaves apresentadas na primeira opção. O grande inconveniente dessa configuração é que, como são utilizadas chaves de seleção para um grupo de terminais fonte, qualquer configuração de transistor terá sempre a resistência dessa chave em série com seu terminal fonte que é disponibilizado externamente. Outro fator que prejudica o desempenho dessa configuração é o agrupamento de quatro terminais porta, o que torna essa opção mais lenta que a anterior devido ao aumento da capacitância vista pela terminal porta.

5.3.1. Arquitetura da Matriz de Transistores

Os transistores que compõem a matriz são idênticos aos transistores da matriz da primeira opção, sendo a diferença entre as duas matrizes a forma como os transistores estão interligados.

Nessa opção, os quatro transistores de uma mesma linha têm os seus terminais fonte interligados, assim como os quatro terminais porta de uma mesma coluna. De forma idêntica a primeira opção, todos os terminais drenos também estão interligados. A interligação dos transistores na matriz é mostrada na Figura 5-15.

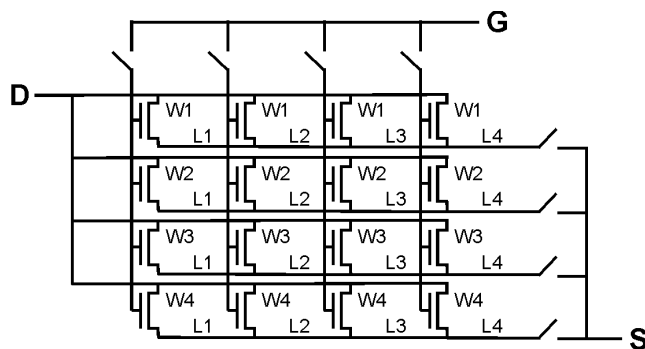


Figura 5-15 – Interligação dos transistores da matriz da segunda opção

De forma análoga a primeira opção, cada linha da matriz possui quatro transistores com os mesmos valores de W e diferentes valores de L enquanto cada

coluna possui quatro transistores com os mesmos valores de L e diferentes valores de W . As linhas da matriz são responsáveis pelo dimensionamento da largura de canal W e as colunas pela seleção da dimensão do comprimento de canal L .

Terminais porta de transistores de diferentes colunas podem ser interligados através de chaves (chaves de interligação de terminais porta) da mesma forma, terminais fonte de transistores de diferentes linhas também podem ser interligados através de chaves (chaves de interligação de terminais fonte).

Para habilitar um transistor (fazer com que se torne parte da configuração) é necessário que sejam selecionadas uma linha e uma coluna. Os transistores habilitados ficam em paralelo e o transistor equivalente é formado pela dimensão L da coluna selecionada e pela soma das dimensões W das linhas selecionadas. Da mesma forma da matriz da primeira opção, a seleção da dimensão L é mutuamente exclusiva. Para aumentar a possibilidade de dimensões L foram utilizadas duas matrizes com diferentes valores de L . O esquema elétrico de uma matriz do tipo N é mostrado na Figura 5-16.

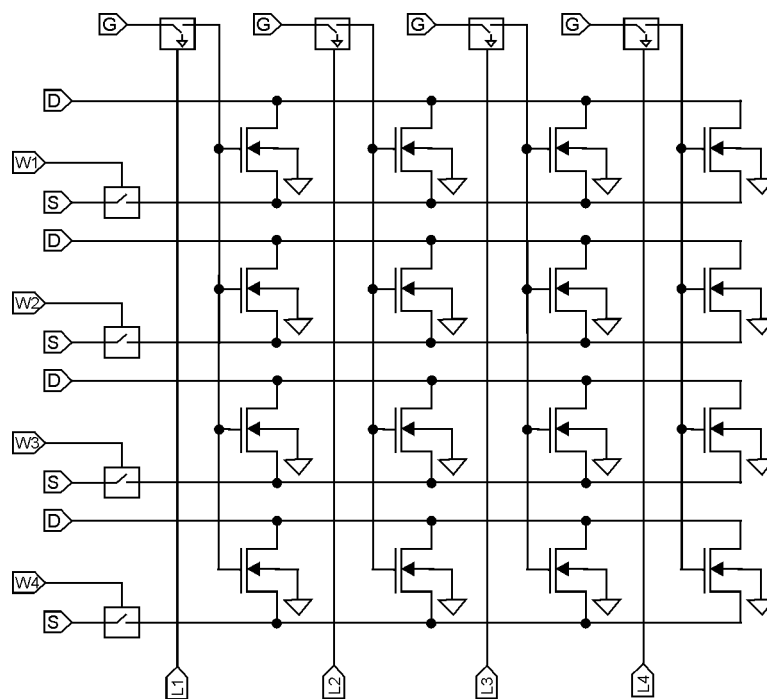


Figura 5-16 – Esquema elétrico da matriz de transistores programáveis

5.3.2. Configuração do Transistor Programável

É composto por uma matriz de 16 transistores NMOS para transistores programáveis do tipo N, 16 transistores PMOS para transistores programáveis do tipo P, 4 chaves de seleção de terminais porta, 4 chaves de seleção de terminais fonte, um decodificador de 2x4 e um elemento armazenador (*latch*) de 6 bits. O diagrama em blocos de um transistor programável do tipo N é mostrado na Figura 5-17.

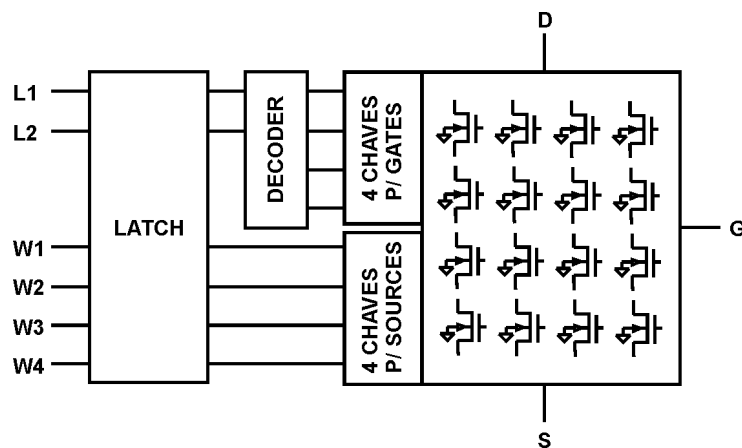


Figura 5-17 – Diagrama em blocos do transistor programável segunda opção

A configuração do transistor programável é idêntica a da primeira opção. Dos 6 bits de configuração, 4 bits são utilizados para dimensionamento de W e 2 bits para a seleção da dimensão de L . Cada bit de dimensionamento de W quando selecionado (bit =1 nível alto) soma ao valor total de W o valor do W da linha selecionada.

As serigrafias do transistor programável segunda opção tipo N e tipo P são mostradas na Figura 5-18.

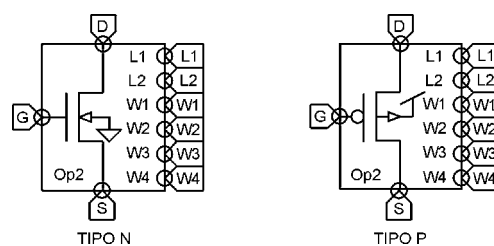


Figura 5-18 – Serigrafias dos transistores programáveis tipo N e tipo P

5.3.3. Possíveis Configurações

As dimensões de W e L possíveis para os transistores programáveis são idênticas as da primeira opção cujos valores foram apresentados nas Tabela 5-1 e Tabela 5-2. respectivamente

5.3.4. Chave de Interligação de Terminal Fonte

O transistor programável é configurado selecionando-se entre os transistores da matriz quais transistores serão colocados em paralelo. Como transistores de uma mesma linha já estão com todos os terminais fonte interligados, a função da chave é a de interligar as linhas para gerar o terminal fonte do transistor programável que é disponibilizado externamente. O esquema elétrico da chave de interligação de terminal fonte é mostrado na Figura 5-19.

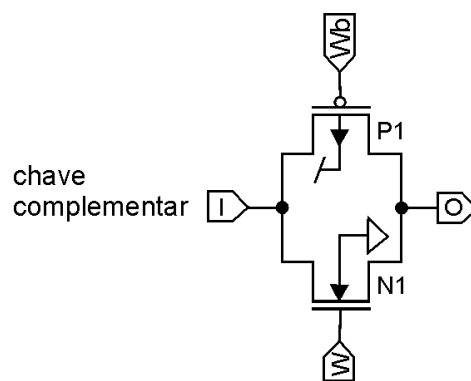


Figura 5-19 – Esquema elétrico da chave de interligação de terminal fonte

Ao chavear a linha da matriz é introduzida uma resistência entre a linha selecionada e o terminal fonte configurado. A resistência da chave deve ser de baixo valor para minimizar sua influência. Para tal, é necessária uma relação W/L alta o que significa um valor de W elevado.

Seguindo a conclusão dos estudos sobre dimensões das chaves realizado na Seção 4.5.5, a chave deve ser dimensionada de forma a minimizar seus efeitos prejudiciais, sem no entanto, ocupar uma grande área do circuito integrado.

As dimensões da chave são relacionadas na Tabela 5-6.

Tabela 5-6 – Dimensões da chave de terminal fonte

Tipo de transistor	W (μm)	L (μm)
NMOS	10,5	0,35
PMOS	31,5	0,35

5.3.5. Chave de Interligação de Terminal Porta

Tem a função de interligar terminais porta de transistores de diferentes colunas da matriz para configurar o terminal porta do transistor programável que é disponibilizado externamente.

A chave é composta por uma chave complementar e uma chave NMOS para matrizes do tipo N ou uma chave PMOS para matrizes do tipo P. O esquema elétrico de uma chave para matrizes do tipo N é mostrado na Figura 5-20.

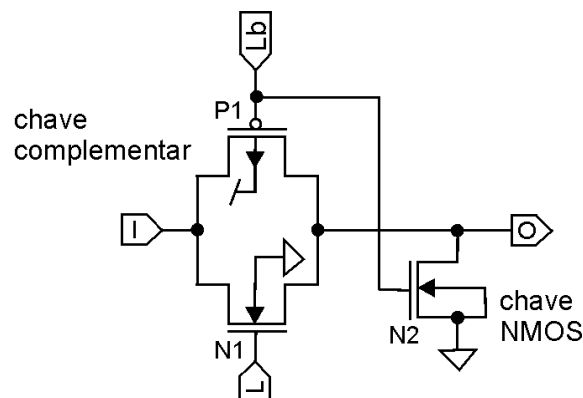


Figura 5-20 – Esquema elétrico das chaves de porta para matrizes do tipo N

A chave complementar é controlada pelo sinal de seleção de coluna. Quando este é ativado, a chave é fechada e a coluna ligada no terminal porta que é disponibilizada externamente. Caso contrário a chave NMOS na saída é fechada e todos os transistores da coluna têm o seus terminais porta ligados a GND desabilitando-os.

No caso de uma matriz de transistores tipo P, quando a chave complementar é aberta, a chave PMOS na saída é fechada colocando V_{DD} no terminal porta dos

transistores da coluna desabilitando-os. O esquema elétrico da chave para matrizes do tipo P é mostrado na Figura 5-21.

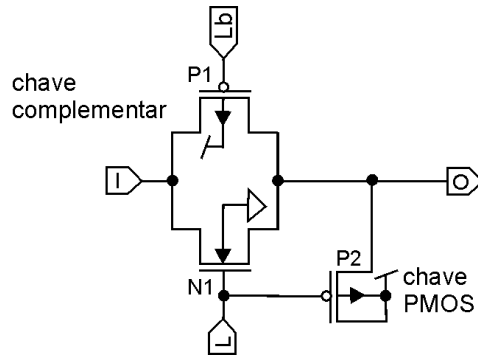


Figura 5-21 – Esquema elétrico das chaves de porta para matrizes do tipo P

Como não circulam valores altos de corrente pela chave, foram utilizadas as dimensões mínimas para todos os transistores como mostra a Tabela 5-7, sendo mantida a relação $W_p = 3xW_n$.

Tabela 5-7 – Dimensões das chaves de terminal porta (matrizes tipo N e P)

Matriz do tipo N			
	N1	N2	P1
W(μm)	0,7	0,7	2,1
L(μm)	0,35	0,35	0,35
Matriz do tipo P			
	N1	P1	P2
W(μm)	0,7	2,1	0,7
L(μm)	0,35	0,35	0,35

5.4. Transistor Programável Terceira Opção

Nas opções 1 e 2, quando um transistor é configurado, os transistores da matriz que não são utilizados são simplesmente descartados. Imagine uma configuração (pior caso) em que apenas uma linha e uma coluna são selecionadas, nesse caso apenas um dos transistores da matriz está sendo utilizado enquanto os outros quinze transistores são perdidos. No melhor caso, quando uma linha e quatro colunas são selecionadas, apenas quatro transistores estão sendo utilizados enquanto os outros doze transistores da matriz são perdidos. No melhor caso utiliza-se 25% e no pior caso apenas 6,25% dos transistores da matriz. Considerando-se que para cada transistor

da matriz são necessários vários outros como circuito de apoio, o desperdício de área no circuito integrado é muito grande.

As matrizes das opções 1 e 2 permitem que a dimensão de W seja configurada com a soma dos W das colunas selecionadas. No caso do dimensionamento de L , a seleção do valor é mutuamente exclusiva. Dividindo-se a matriz em quatro partes, preservando-se as colunas, quatro conjuntos de quatro transistores são formados. Cada uma das quatro barras de transistores podem ser consideradas com um transistor programável somente na dimensão W .

As barras de transistores programáveis são mostradas na Figura 5-22.

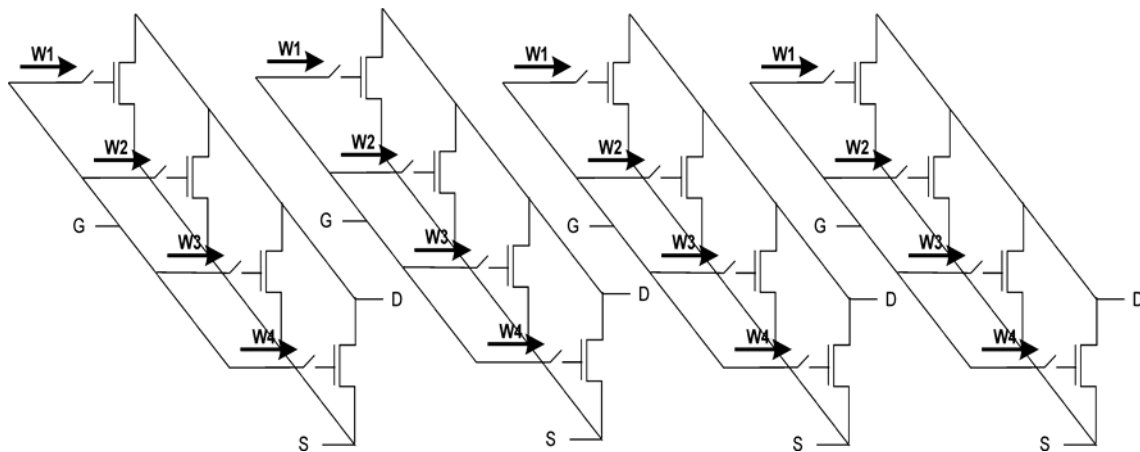


Figura 5-22 – Barra de transistores programáveis na dimensão W

Cada conjunto (barra de transistores) tem um valor de L diferente. No próximo capítulo será proposta uma estrutura composta com quatro barras de diferentes valores de L .

Nessa opção, no pior caso apenas um transistor é selecionado entre quatro sendo utilizado 25% do recurso. No melhor caso, quando todos os transistores são selecionados 100% do recurso disponível é utilizado.

5.4.1. Barra de Transistores

Como apenas a dimensão W é programável, para que se tenha várias possibilidades de dimensões L , oito barras de transistores com diferentes valores de L foram implementadas.

Os quatro transistores que compõem a barra têm os terminais fonte interligados assim como os terminais dreno, já os terminais porta podem ser interligados através de chaves. O esquema elétrico da barra de transistores é mostrada na Figura 5-23.

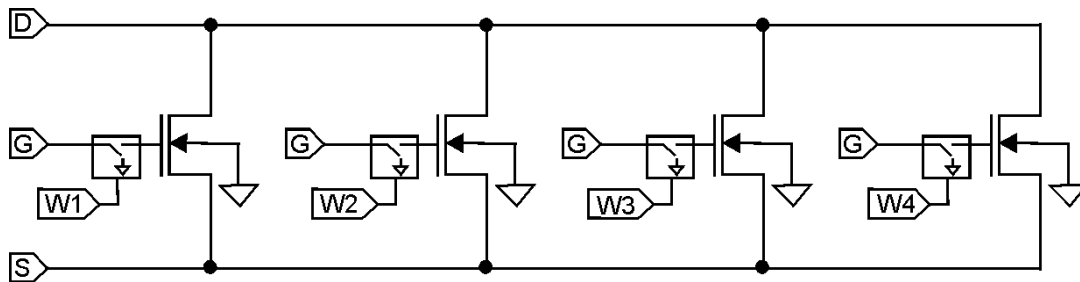


Figura 5-23 – Esquema elétrico da barra de transistores

5.4.2. Configuração do Transistor Programável

O transistor programável é formado por uma barra de 4 transistores NMOS para transistores programáveis tipo N, 4 transistores PMOS para transistores programáveis tipo P, 4 chaves de seleção de terminais porta e um elemento armazenador (*latch*) de 4 bits. Apenas a dimensão W é programável somando-se os W dos transistores selecionados pelas chaves de terminais de porta. O diagrama em blocos de um transistor programável do tipo N é mostrado na Figura 5-24.

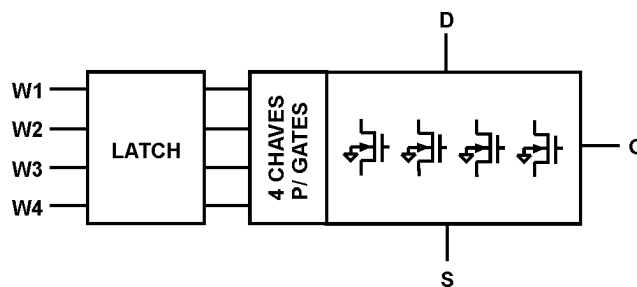


Figura 5-24 – Diagrama em blocos do transistor programável

As serigrafias dos transistores programáveis da terceira opção tipo N e tipo P são mostradas na Figura 5-25.

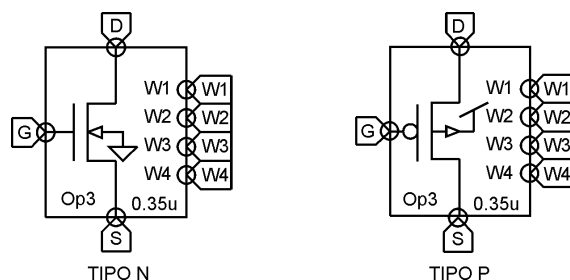


Figura 5-25 – Serigrafias dos transistores programáveis tipo N e tipo P

5.4.3. Chave Interligação de Terminal Porta

As chaves utilizadas, para barras do tipo N e tipo P, são idênticas as chaves de terminais porta da segunda opção tanto na topologia quanto nas dimensões dos transistores como foi mostrado nas Figura 5-20 e Figura 5-21 respectivamente.

5.4.4. Possíveis Configurações

Nessa opção apenas a dimensão de W é programável. A quantidade de dimensões L disponíveis depende de quantos tipos de barras com diferentes L são utilizadas.

As 15 possíveis dimensões de W são idênticas as da primeira opção e são apresentadas na Tabela 5-1.

Para dimensões de L foram implementadas oito diferentes tipos de barras como apresentado na Tabela 5-8.

Tabela 5-8 – Possíveis dimensões L por barra

Barras de transistores	L (μm)
Barra tipo 1	0,35
Barra tipo 2	0,7
Barra tipo 3	1,4
Barra tipo 4	2,1
Barra tipo 5	2,8
Barra tipo 6	3,5
Barra tipo 7	4,9
Barra tipo 8	5,6

5.5. Testes Comparativos de Desempenho

Para comparar o desempenho dos transistores programáveis propostos nas três opções, foram realizados dois tipos de testes; a medida da corrente de dreno em saturação para um transistor NMOS e o tempo de retardo de um inversor.

No caso específico da primeira opção, foram realizados testes comparativos utilizando-se transistores programáveis com os três tipos de chaves propostas.

As configurações da primeira opção foram avaliadas, e a melhor delas comparada com as opções segunda e terceira.

5.5.1. Testes de Desempenho das Chaves da Primeira Opção

5.5.1.1. Teste de Medida da Corrente de Dreno em Saturação

A finalidade deste teste foi comparar o desempenho de transistores programáveis da primeira opção utilizando-se os três diferentes tipos de chaves de interligação de terminais porta propostos.

A corrente de dreno em saturação de um transistor NMOS de dimensões $W = 10,5\mu m$ e $L = 0,35\mu m$, foi comparada com a de transistores programáveis configurados com as três diferentes chaves e com as mesmas dimensões W e L .

O circuito utilizado no teste é mostrado na Figura 5-26. Os testes foram realizados com a tensão V_D variando de GND a $3,3V$.

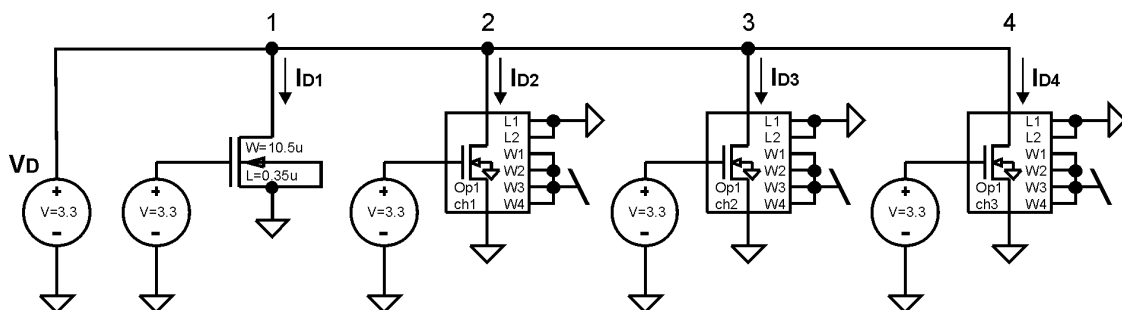


Figura 5-26 – Circuito de teste com transistores programáveis da primeira opção

Os resultados obtidas no teste são apresentadas na Figura 5-27.

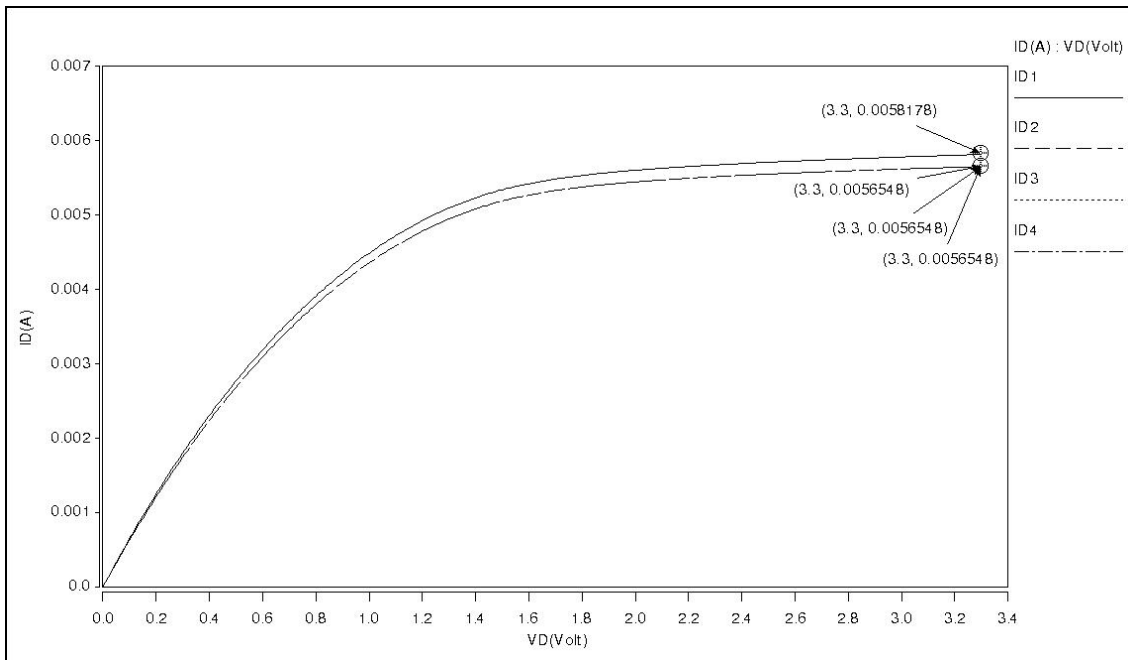


Figura 5-27 – Corrente de dreno em saturação

Os valores de corrente obtidos com transistores programáveis são idênticos e as curvas estão sobrepostas. Como na configuração desses transistores não são utilizadas chaves para interligar os terminais fonte e dreno as correntes obtidas nos testes ficaram bem próximas dos valores desejados. Dessa forma, tomando como referência a tensão $V_D = 3,3V$ o erro máximo alcançado foi igual 2,8%.

5.5.1.2. Medida do Retardo de Um Inversor

O desempenho de inversores configurados com transistores programáveis utilizando-se os três tipos propostos de chaves foi comparado com o desempenho de um inversor utilizando transistores convencionais. O circuito de teste, Figura 5-28, foi configurado utilizando-se transistores com as seguintes dimensões; NMOS ($W = 3,5\mu m$ e $L = 0,35\mu m$) e PMOS ($W = 10,5\mu m$ e $L = 0,35\mu m$). O sinal de entrada nos inversores foi uma onda quadrada na frequência de $1GHz$.

O objetivo do teste é verificar o desempenho de inversores configurados com transistores programáveis da primeira opção, para avaliar os três tipos de chaves propostos.

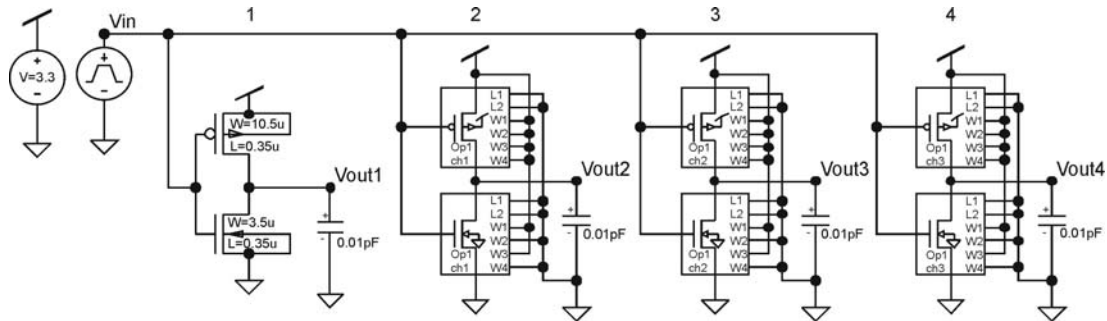


Figura 5-28 – Circuito de teste de um inversor

Para avaliação dos resultados obtidos foram considerados dois critérios:

Como primeiro critério de avaliação, foi medido o retardo introduzido na propagação do sinal invertido. O ponto considerado para a medição foi de 50% da excursão do sinal de saída. Para efeito de comparação, os resultados obtidos pelos inversores configurados com os transistores programáveis foram comparados com a saída deseja V_{out1} . Os valores medidos são mostrados na Figura 5-29 e os valores de comparação são apresentados na Tabela 5-8.

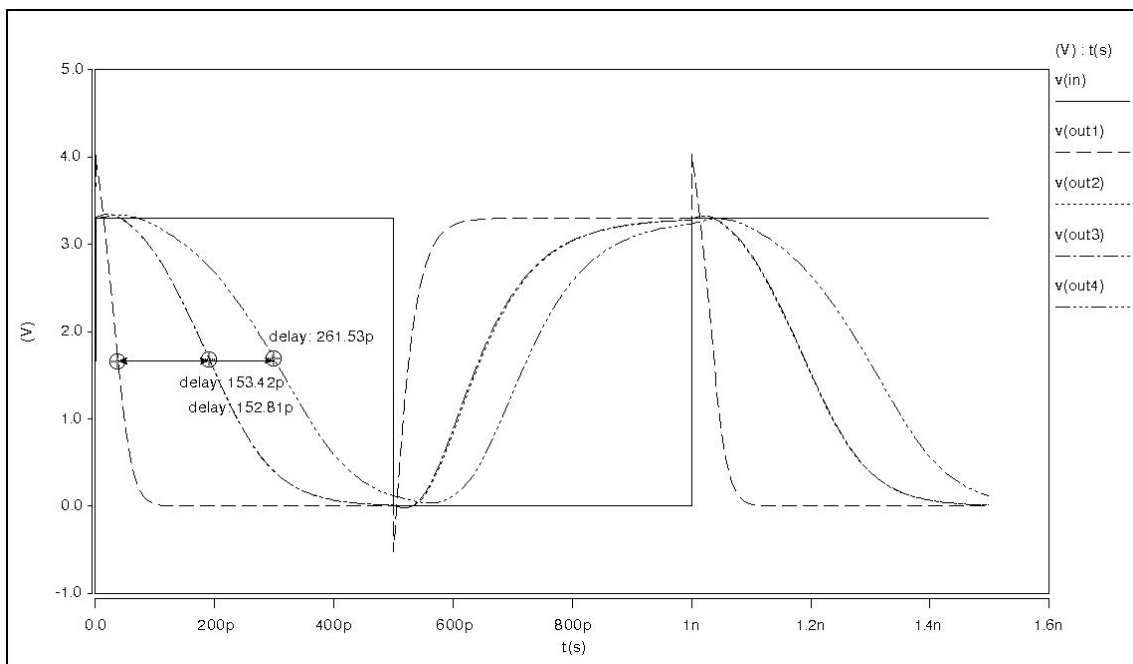


Figura 5-29 – Tempo de retardo na propagação do sinal invertido

Tabela 5-9 – Tempo de retardo na propagação do sinal

Circuito	Retardo (ps)
V_{out1}	referência
V_{out2}	153,42
V_{out3}	152,81
V_{out4}	261,53

O segundo critério de avaliação foi o tempo de subida (*rise time* entre 10% e 90%) e descida (*fall time* entre 90% e 10%) do sinal na saída dos inversores. Os resultados obtidos pelos inversores configurados com transistores programáveis foram comparados com a saída desejada V_{out1} . Os valores medidos são mostrados na Figura 5-30 e os valores de comparação apresentados na Tabela 5-10.

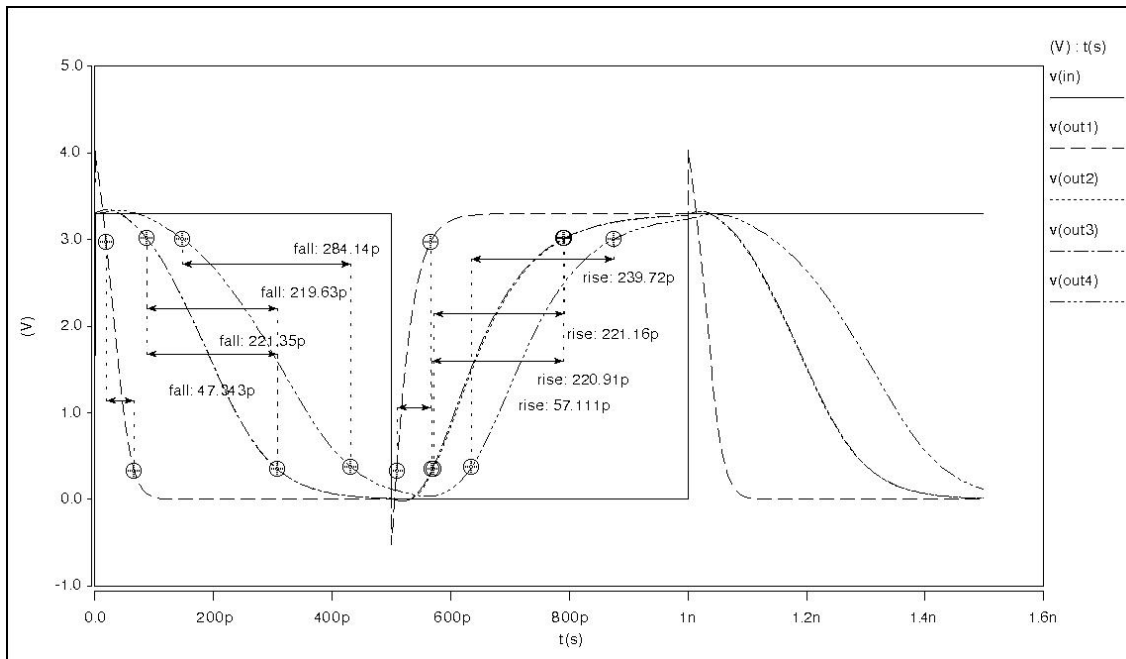


Figura 5-30 – Tempo de descida e subida do sinal invertido

Tabela 5-10 – Tempos de subida e descida do sinal invertido

Saída	Tempo de subida (ps)	Percentual de retardo (%)	Tempo de descida (ps)	Percentual de retardo (%)
V_{out1}	57,111	referência	47,343	referência
V_{out2}	221,16	287,25	219,63	363,91
V_{out3}	220,91	286,81	221,35	367,54
V_{out4}	239,72	319,74	284,14	500,73

Como pode ser observado nas Figura 5-29 e Figura 5-30, os inversores compostos por transistores programáveis com chaves do tipo 1 (V_{out2}) e tipo 2 (V_{out3}) praticamente obtiveram o mesmo desempenho e suas curvas se sobrepõem. O inversor composto por transistores programáveis com chaves do tipo 3 (V_{out4}) apresenta um tempo maior de chaveamento. Isso ocorre, porque a chave tipo 3 possui duas chaves complementares em série com os terminais porta dos transistores selecionados na matriz, enquanto os outros dois tipos de chaves possuem apenas uma chave em série.

5.5.1.3. Definição da chave

Analisando-se os dois testes realizados, conclui-se que as chaves tipo 1 e 2 praticamente obtiveram o mesmo desempenho, enquanto a chave tipo 3 apresentou um maior retardo no tempo de chaveamento no teste do inversor. A única vantagem da chave tipo 3 sobre as demais, é o número de transistores utilizados em sua topologia. Porém, essa vantagem em relação a chave tipo 2 resume-se apenas a dois transistores, um NMOS de tamanho mínimo e um PMOS com o triplo do valor da largura de canal. Considerando-se que as chaves que interligam terminais de dreno e fonte possuem dimensões bem superiores aos dois transistores em questão, a vantagem da chave tipo 3 se torna desprezível. Sendo assim, a chave escolhida para compor o transistor programável da opção 1 é a chave tipo 2.

5.5.2. Comparação entre as Três Opções

5.5.2.1. Medida da Corrente de Dreno em Saturação

A finalidade deste teste é comparar o desempenho de transistores programáveis das três opções em relação a corrente de dreno em saturação.

O transistor programável da primeira opção, utiliza a chave tipo 2 selecionada na Seção 5.5.1.3 como sendo a de melhor desempenho.

O teste foi realizado seguindo os mesmos critérios estabelecidos na Seção 5.5.1.1.

O circuito de teste é mostrado na Figura 5-31

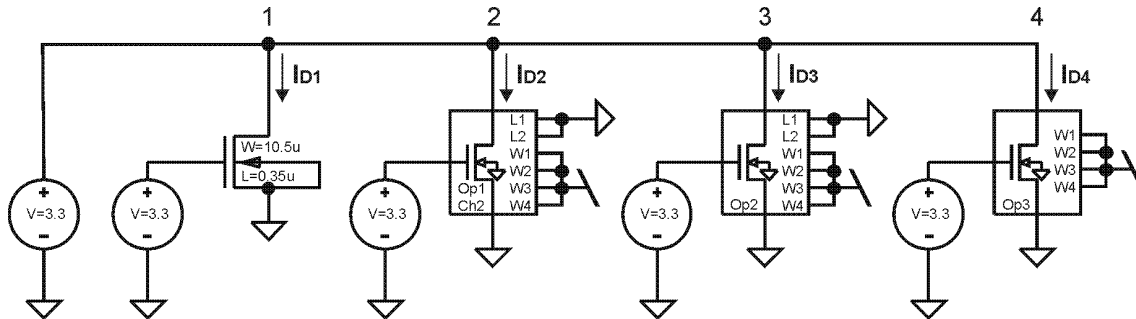


Figura 5-31 – Teste da corrente de dreno com as 3 opções

Os resultados obtidos no teste são apresentados na Figura 5-32.

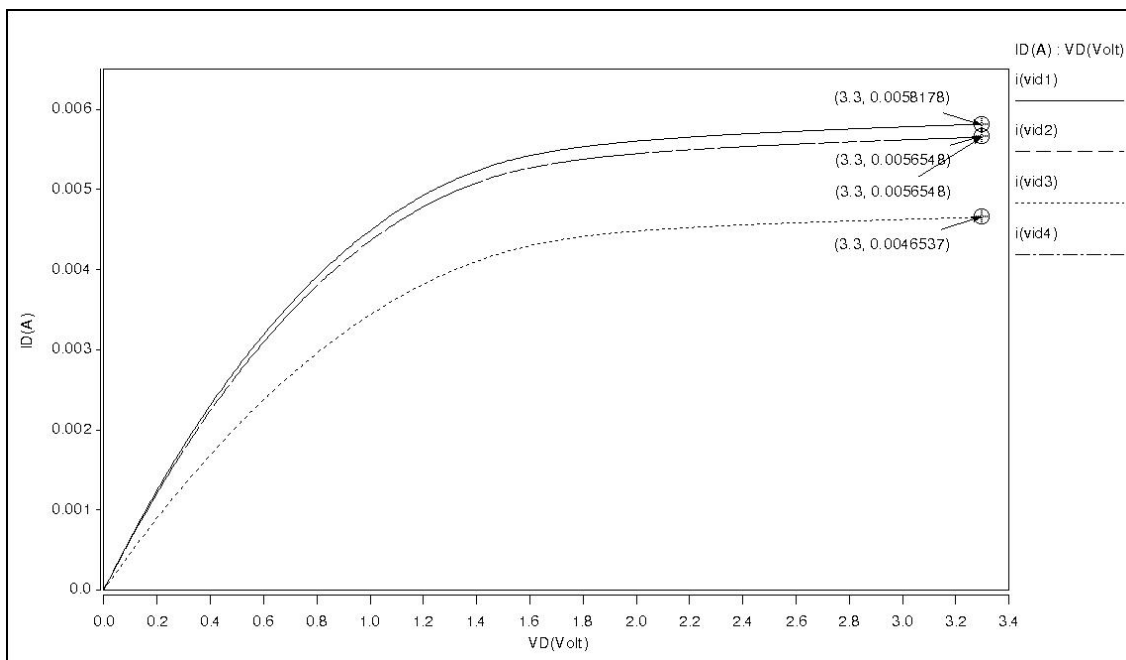


Figura 5-32 – Corrente de dreno em saturação (comparação entre opções)

Observa-se na Figura 5-32, que as curvas obtidas com transistores programáveis da primeira opção (corrente I_{D2}) e terceira opção (corrente I_{D4}) são praticamente idênticas e os gráficos se sobrepõem. Em compensação, o resultado obtido pelo transistor programável da segunda opção (corrente I_{D3}) é bem pior que os demais e apresenta um valor de corrente bastante inferior ao desejado (corrente I_{D0}).

Esse resultado justifica-se pelo fato que na opção 2, por característica de sua configuração, sempre que um transistor da matriz é selecionado, uma resistência é introduzida entre o terminal fonte do transistor selecionado e o terminal fonte disponibilizado externamente pelo transistor programável.

Arbitrando-se a tensão $V_D = 3,3V$ como referência, os percentuais de erro entre o resultado desejado (I_{D1}) e os demais resultados são apresentados na Tabela 5-11.

Tabela 5-11 – Comparação entre corrente de dreno das três opções

Corrente	Circuito	Erro (%)
I_{D1}	convencional	referência
I_{D2}	opção 1	2,8
I_{D3}	opção 2	20
I_{D4}	opção 3	2,8

5.5.2.2. Medida do Retardo de Um Inversor

O objetivo deste teste é verificar o desempenho de inversores formados por transistores programáveis das três opções.

O teste foi realizado seguindo os mesmos critérios estabelecidos na Seção 5.5.1.2.

O circuito de teste é mostrado na Figura 5-33.

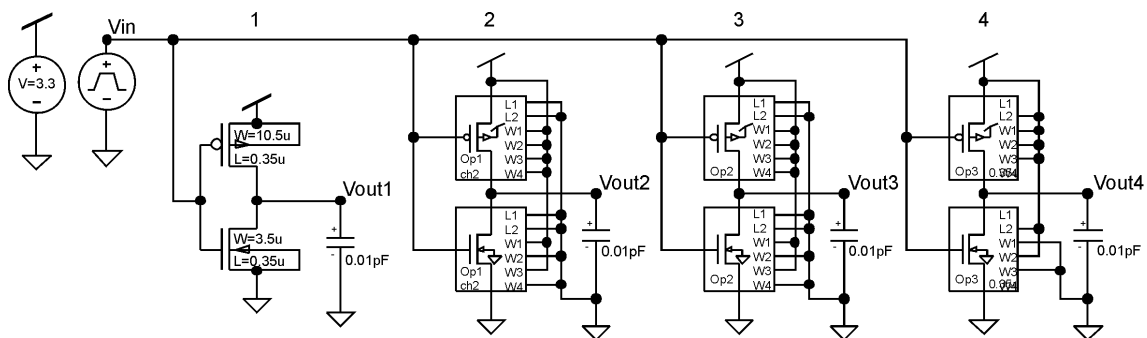


Figura 5-33 – Teste do inversor com as 3 opções

O critério de avaliação utilizado na comparação do desempenho dos inversores foi o mesmo da Seção 5.5.1.2. Constando de; medida do retardo introduzido na

propagação do sinal invertido e tempo de subida (entre 10% e 90%) e descida (entre 90% e 10%) do sinal na saída dos inversores

O retardo introduzido na propagação do sinal invertido é mostrado na Figura 5-34. O ponto considerado para a medição foi de 50% da excursão do sinal de saída.

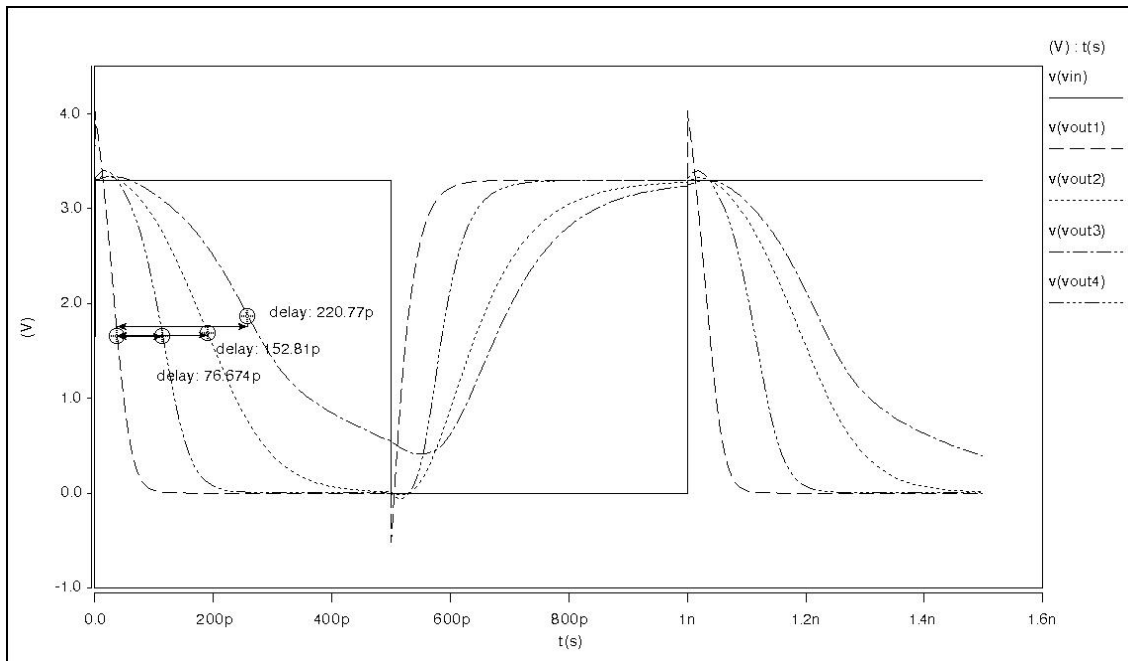


Figura 5-34 – Inversor com transistor programável

Os valores de comparação entre o retardo introduzido pelo inversor de melhor desempenho e os demais são mostrados na Tabela 5-12.

Tabela 5-12 – Tempo de retardo na propagação do sinal

Saída	Retardo (ps)
V_{out1}	Referência
V_{out2}	152,81
V_{out3}	220,77
V_{out4}	76,674

O tempo de subida (entre 10% e 90%) e descida (entre 90% e 10%) dos sinais na saída dos inversores é mostrado na Figura 5-35.

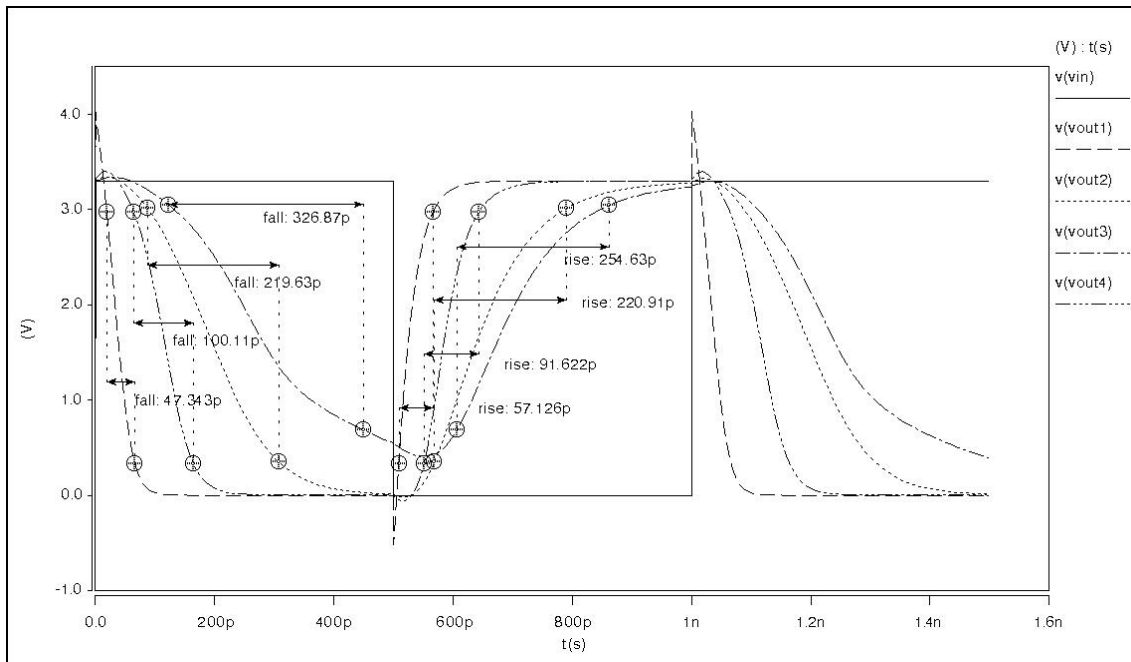


Figura 5-35 – Tempo de descida e subida do sinal invertido

Os resultados obtidos pelos inversores configurados com transistores programáveis foram comparados com a saída desejada V_{out1} . Os valores de comparação são apresentados na Tabela 5-13.

Tabela 5-13– Tempos de subida e descida do sinal invertido

Saída	Tempo de subida (ps)	Percentual de retardo (%)	Tempo de descida (ps)	Percentual de retardo (%)
Vout1	57,126	referência	47,343	referência
Vout2	220,91	286,71	219,63	363,91
Vout3	254,63	345,73	326,87	590,42
Vout4	91,622	60,39	100,11	132,68

Como pode ser observado nas Figura 5-34 e Figura 5-35 o melhor resultado apresentado foi o da terceira opção (V_{out4}). Isso se deve a menor quantidade de transistores utilizados para configuração do transistor programável. Como já era esperado, o pior desempenho foi apresentado pela segunda opção pelos mesmos motivos já descritos no teste anterior.

5.5.3. Quantidade de Transistores por Opção

Os transistores que compõem as três opções de transistores programáveis, são relacionados nas Tabela 5-14.e Tabela 5-15

Tabela 5-14 – Relação de transistores de matrizes do tipo N

Transistores do tipo N					
Configuração	NMOS configurável	NMOS 0,7/0,35	PMOS 2,1/ ,35	NMOS 5/0,35	PMOS 15/0,35
Opção 1 tipo 2	16	80	48		
Opção 2	16	8	4	4	4
Opção 3	4	8	4		

Tabela 5-15 – Relação de transistores de matrizes do tipo P

Transistores do tipo P						
Configuração	PMOS configurável	NMOS 0,7/0,35	PMOS 2,1/0,35	NMOS 5/0,35	PMOS 15/0,35	PMOS 0,7/0,35
Opção 1 tipo 2	16	64	48			16
Opção 2	16	4	4	4	4	4
Opção 3	4	4	4			4

5.6. Influência das Chaves

Para verificar o efeito causado pela interligação dos terminais dos transistores programáveis através de chaves complementares, foram montados 3 circuitos inversores como mostra a Figura 5-36.

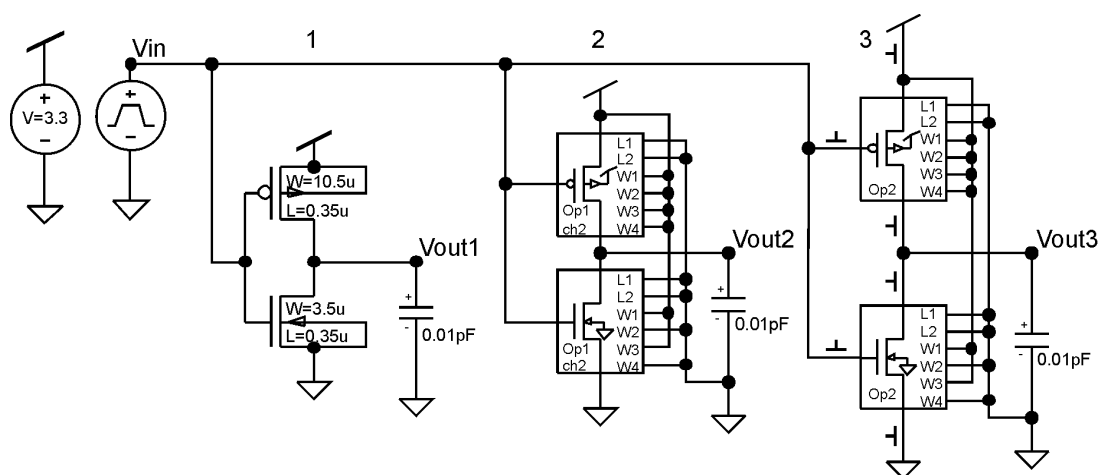


Figura 5-36 – Influencia negativa da utilização de chaves

Os três circuitos são formados por transistores com os mesmos valores, sendo o transistor PMOS ($W = 10,5\mu m$ e $L = 0,35\mu m$) e o transistor NMOS ($W = 3,5\mu m$ e $L = 0,35\mu m$). No primeiro circuito foram utilizados transistores fixos, no segundo transistores programáveis da primeira opção com interligação sem chaves e o terceiro com os mesmos transistores da primeira opção porém com os terminais interligados através de chaves.

A chaves utilizadas no circuito 3 para interligar os terminais de fonte e dreno são formadas por transistores PMOS com dimensões de $W = 31,5\mu m$ e $L = 0,35\mu m$ e NMOS com dimensões $W = 10,5\mu m$ e $L = 0,35\mu m$ e as chaves utilizadas para interligar os terminais de porta são formadas por transistores PMOS com dimensões de $W = 2,1\mu m$ e $L = 0,35\mu m$ e NMOS com dimensões $W = 0,7\mu m$ e $L = 0,35\mu m$.

Foi aplicado na entrada dos inversores um sinal de onda quadrada com frequência de $1GHz$.

As curvas obtidas no teste são apresentadas na Figura 5-37.

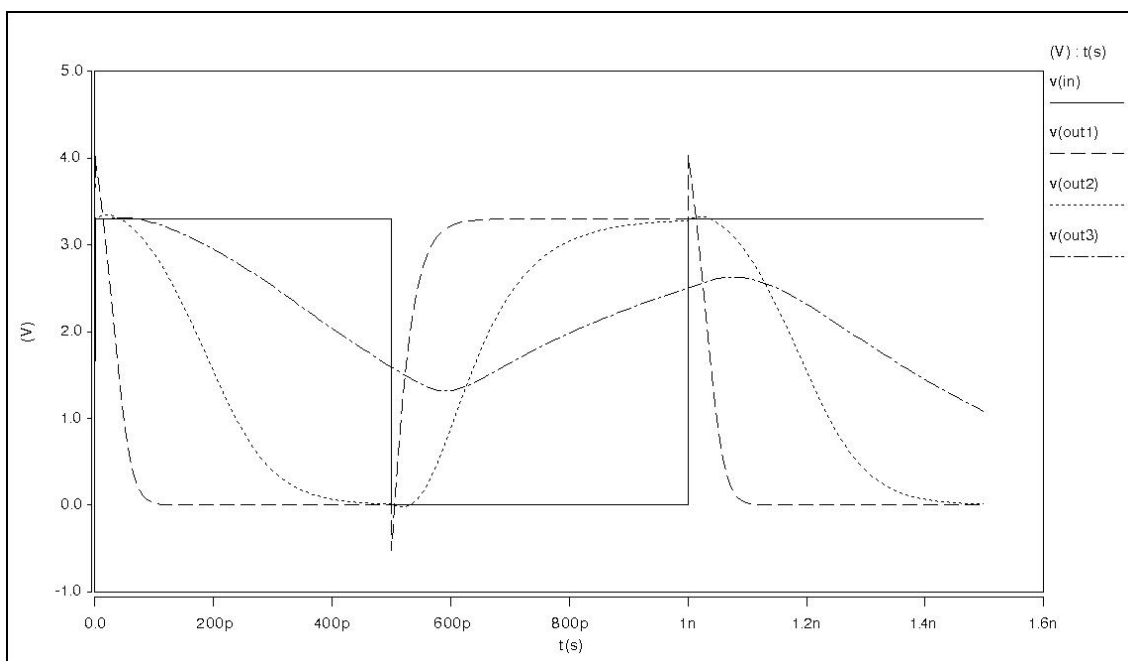


Figura 5-37 – Inversores com sinais de entrada de $1GHz$

Como podemos observar na Figura 5-37, o sinal na saída do circuito 3 (V_{out3}) que têm os seus terminais interligados através de chaves, apresenta um tempo de chaveamento muito maior do que os outros dois circuitos, causando uma deterioração no sinal. Esse resultado vem a corroborar com a certeza de que o uso de chaves deve ser minimizado, não só no projeto dos transistores programáveis como também no projeto dos barramentos.

Nos mesmos circuitos da Figura 5-36, foi aplicado na entrada dos inversores um sinal de onda quadrada com frequência de 100MHz . Os resultados obtidos são apresentados na Figura 5-38.

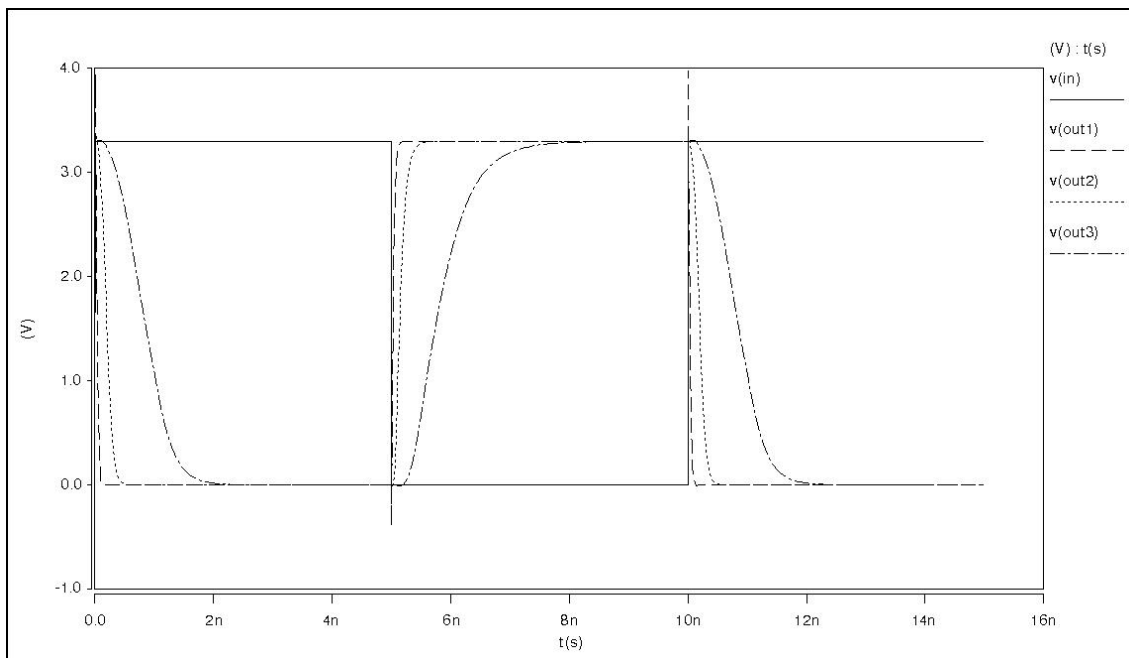


Figura 5-38 – Inversores com sinais de entrada de 100MHz

Observando-se os dois testes realizados, conclui-se que a inclusão das chaves de interligação torna o tempo de resposta do circuito mais lento fazendo com que o seu desempenho se deteriore com o aumento da frequência de operação. A frequência de 1GHz está muito próxima do limite da tecnologia utilizada, portanto, não é de se esperar que os transistores programáveis funcionem na faixa de GHz .

A resposta obtida para uma frequência de 100 MHz se apresenta bastante razoável, vislumbrando a possibilidade da utilização dos transistores programáveis, propostos, em circuitos que operem em frequências até a faixa de MHz .

Outro fator importante a ser lembrado, é que os valores de pequenas dimensões escolhidos para os transistores das chaves que interligam os terminais porta, introduzem um retardo no tempo de propagação do sinal como foi mostrado na Seção 4.5.4. Para demonstrar este efeito, foi realizado um teste mantendo-se a mesma topologia da Figura 5-36 e introduzindo-se chaves no circuito 2 nas mesmas posições das chaves do circuito 3, utilizando-se chaves de interligação de terminais de porta com as mesmas dimensões das chaves utilizadas para interligar terminais dreno e fonte. O resultado obtido é mostrado na Figura 5-39

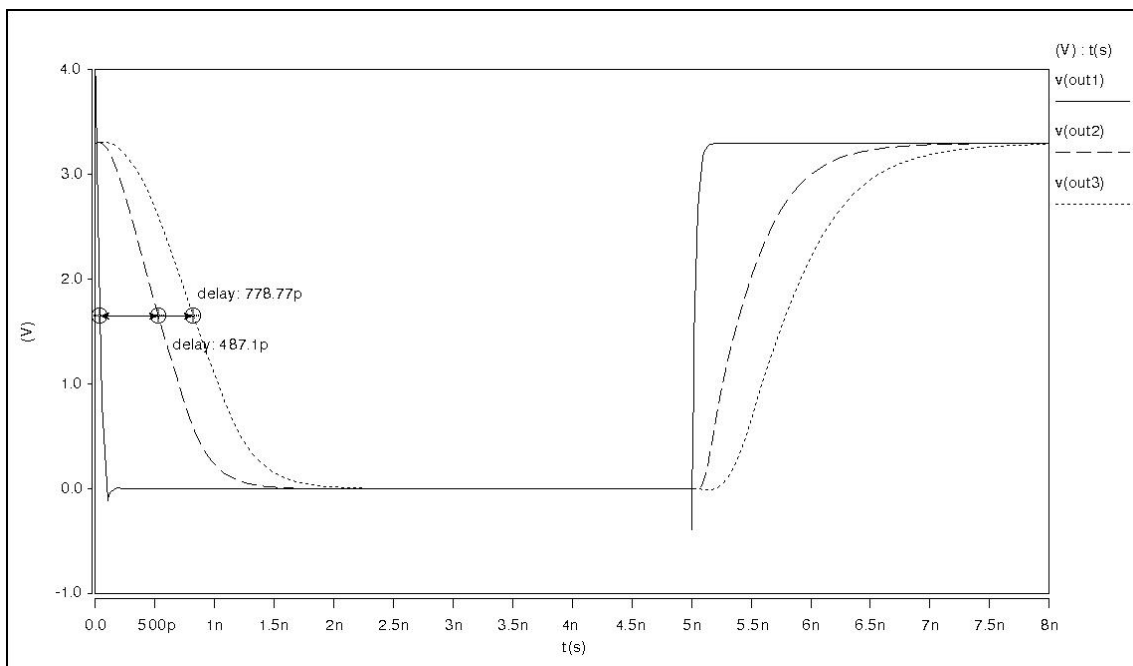


Figura 5-39 - Saída de 2 inversores com terminais interligados por chaves

6. Estruturas de Transistores Programáveis

6.1. Introdução

Neste capítulo estruturas formadas por transistores programáveis das opções descritas no Capítulo 5 são propostas. Devido ao desempenho insatisfatório dos transistores programáveis da segunda opção, esses não serão utilizados na composição das estruturas.

As estruturas são compostas por oito transistores programáveis de uma mesma opção, sendo 4 transistores do tipo N e quatro do tipo P. Os 8 transistores são interligados internamente através de um barramento denominado “barramento local”.

São disponibilizados em um barramento denominado “barramento externo”, vias que servem como entrada ou saída de sinais ou pontos de interligação com outras estruturas.

6.2. Estrutura Tipo 1

Utiliza transistores programáveis da primeira opção com chaves do tipo 2. É composta por 4 transistores do tipo N e 4 transistores do tipo P. O barramento local é formado por 9 vias, sendo; 7 vias interconectáveis com os 24 terminais dos oito transistores, 1 via apenas com terminais de transistores NMOS e 1 via apenas com terminais de transistores PMOS. O diagrama em blocos de interligação do barramento local é mostrado na Figura 6-1.

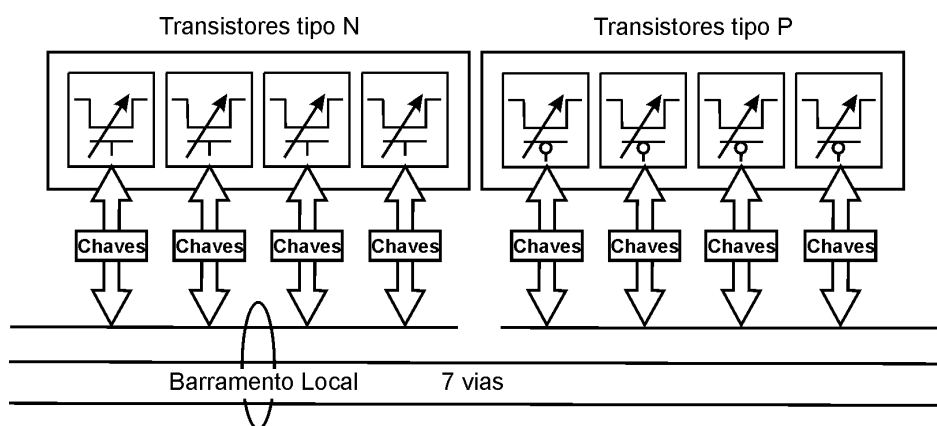


Figura 6-1 – Diagrama em blocos de interligação do barramento local.

6.2.1. Barramento Local

O barramento local é composto por 9 vias, sendo; 7 vias disponíveis para conexão com os 24 terminais dos transistores programáveis, 1 via para conexão apenas com terminais dos transistores do tipo N e 1 via para conexão apenas com terminais dos transistores do tipo P.

Das 9 vias do barramento local 8 estão disponíveis no barramento externo. As duas vias do barramento local que permitem conexões separadamente para transistores do tipo N e P, estão disponíveis no barramento externo e podem ser utilizadas para disponibilizar ligações de GND e V_{DD} aos terminais dos transistores do tipo N ou tipo P respectivamente.

Os sinais disponíveis no barramento externo são mostrados na Figura 6-2.

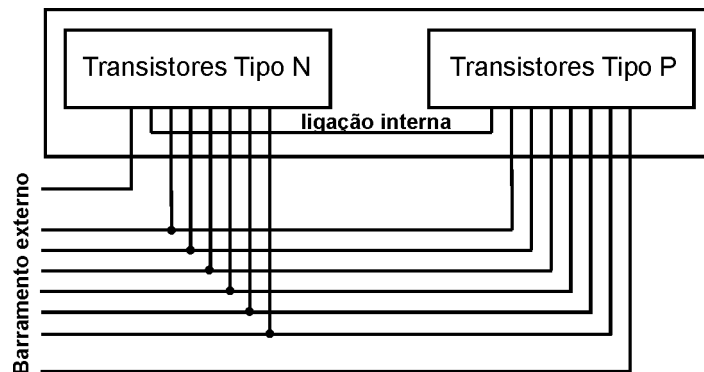


Figura 6-2 – Sinais disponíveis no barramento externo

Como temos 24 terminais e um barramento local de 9 vias a incidência média interna de terminais por nó da estrutura é menor que 3. A ligação de cada um dos 24 terminais dos transistores programáveis ao barramento local é realizada através de chaves complementares.

Cada via do barramento local é um nó do circuito e como não tem sentido a ligação de um mesmo terminal em mais de um nó, a ligação do terminal ao barramento é mutuamente exclusiva. Sendo assim, como para cada terminal são possíveis 8 ligações, é utilizado um multiplexador de 1x8 por terminal.

As saídas do multiplexador são responsáveis pelos acionamentos das chaves. O diagrama em blocos da interligação de um transistor programável do tipo N com o barramento local é mostrado na Figura 6-3.

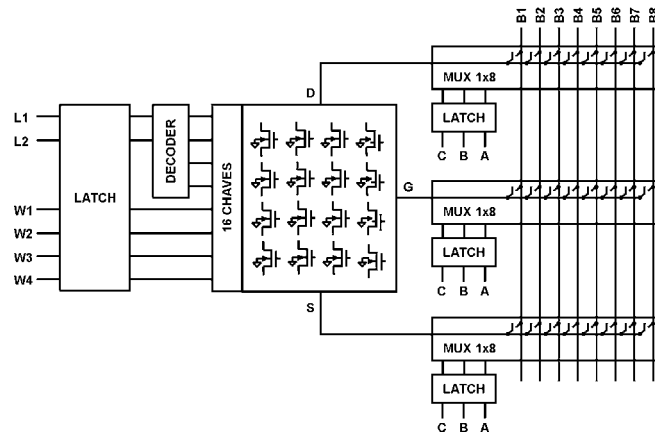


Figura 6-3 – Diagrama em blocos do barramento local.

6.2.2. Bits de Configuração e Interligação

Cada terminal do transistor programável pode ser ligado a 1 entre 8 vias do barramento local, de forma mutuamente exclusiva, por intermédio de 8 chaves selecionadas por um multiplexador de 1x8. São necessários 3 bits de seleção por terminal num total de 9 bits por transistor programável. Para configurar a dimensão do transistor são necessários 6 bits, 4 bits para dimensionamento de W e 2 bits para seleção da dimensão de L . Portanto para cada transistor programável são necessários 15 bits, sendo 6 bits de dimensionamento e 9 bits de interligação como mostra a Figura 6-4.

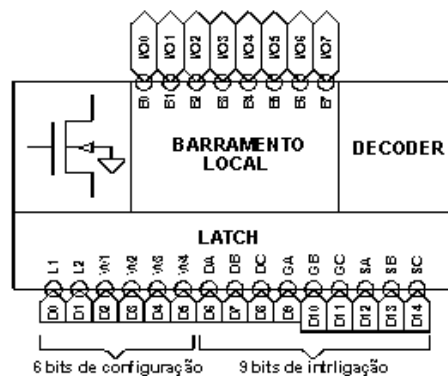


Figura 6-4 – Bits de configuração e interligação

Sendo cada estrutura composta de oito transistores programáveis, temos um total de 120 bits por estrutura, sendo; 48 bits de dimensionamento dos transistores e 72 bits de topologia. A estrutura completa com seus 8 transistores é mostrada na Figura 6-5.

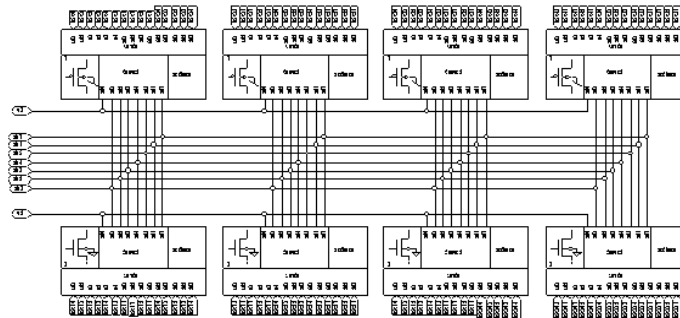


Figura 6-5 – Estrutura tipo 1

A serigrafia simplificada da estrutura tipo 1 é mostrada na Figura 6-6.

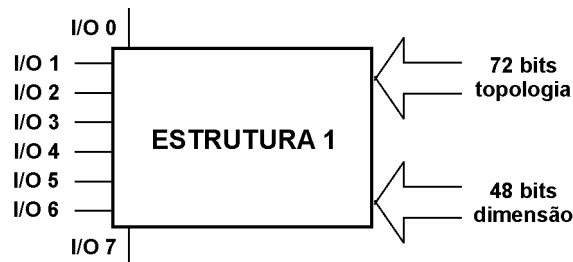


Figura 6-6 – Simbologia simplificada da estrutura tipo 1

6.3. Estrutura Tipo 2

Utiliza transistores programáveis da terceira opção. É composta de 8 transistores programáveis sendo 4 do tipo N e 4 do tipo P. Os transistores são divididos em 2 blocos pelo tipo.

Como visto na Seção 5.4, nesse tipo de transistor programável, apenas a dimensão W é programável sendo a dimensão L fixa. Sendo assim, os transistores programáveis de um mesmo bloco foram definidos com diferentes dimensões de L .

Os transistores programáveis de um mesmo bloco podem ser interligados por chaves denominadas “interligação interna”. Dependendo dos estados dessas chaves

os transistores podem ser colocados em série ou interligados de maneira aleatória. Quando as dimensões configuradas de W são iguais e os transistores interligados em série, temos a soma dos valores de L dos transistores em série formando um único transistor de valor equivalente. Várias possibilidades de valores de L são possíveis e a quantidade de transistores configurados pode variar de 1 a 4 dentro de um mesmo bloco.

A idéia principal dessa estrutura é, além da economia de área no circuito integrado, possibilitar que transistores sejam configurados em série e quando não utilizados que continuem disponíveis para serem utilizados no circuito com outras funções.

Esse tipo de estrutura permite uma grande variedade de interligações entre transistores do mesmo tipo sendo necessário poucos bits de configuração (apenas os 8 bits de configuração da interligação interna).

6.3.1. Interligação interna

Os 4 transistores de um mesmo bloco são interligados por 8 chaves complementares como mostra a Figura 6-7. O número de combinações possíveis de estados de chaves é igual a 256, sendo que 12 combinações colocam transistores em série criando de 1 a 4 transistores de diferentes dimensões.

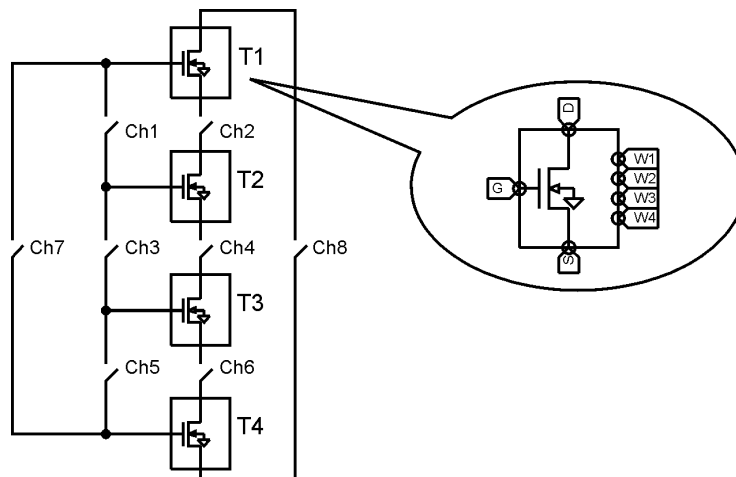


Figura 6-7 – Interligação interna de um bloco do tipo N

Pela Figura 6-7 observa-se que, quando todas as chaves estão abertas, 4 transistores estão disponíveis. Fechando todas as chaves, com exceção das chaves 7 e 8, todos os transistores ficam em série e apenas um transistor está disponível. A idéia principal é não desperdiçar área do circuito integrado. Essa estrutura além de ocupar menos área, permite que transistores sejam colocados em série em 12 combinações e 244 outras combinações que geram topologias totalmente aleatórias e diferentes dos projetos de circuito clássicos existentes.

Como exemplo de configuração da interligação interna vamos considerar os seguintes estados para as chaves; chaves 3 e 4 fechadas e as restantes abertas. O resultado obtido é mostrado na Figura 6-8.

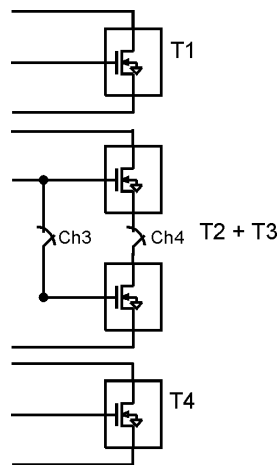


Figura 6-8 – Exemplo de configuração de 3 transistores

Com essa configuração são formados três transistores independentes; T1, T2+T3 e T4. No caso de T2 e T3 possuírem a mesma dimensão W , o transistor equivalente T2+T3 terá como dimensão L a soma dos L de T2 e T3.

6.3.2. Possíveis Configurações

Diferentemente da estrutura 1 onde para cada bloco de transistores programáveis de um mesmo tipo existem quatro transistores independentes, nessa estrutura os quatro transistores de um mesmo bloco devem ser vistos como um único elemento que pode ser configurado como tendo de 1 a 4 transistores de diferentes

dimensões de L e valores de W programáveis. As 8 chaves da interligação interna dos 4 transistores permitem 256 diferentes combinações, sendo que 12 combinações possibilitam a colocação de transistores em série como mostra a Tabela 6-1. As chaves fechadas estão sinalizadas com a letra “X”.

Tabela 6-1 – Configurações com transistores em série

Estado das chaves								Transistores disponíveis	Dimensões de L (μm) disponíveis			
ch1	ch2	ch3	ch4	ch5	ch6	ch7	ch8					
								T1, T2, T3 e T4	0,35	0,7	1,4	2,8
X	X							T1+T2, T3 e T4	1,05		1,4	2,8
X	X	X	X					T1+T2+T3 e T4	2,45			2,8
X	X	X	X	X	X			T1+T2+T3+T4	5,25			
		X	X					T1, T2+T3 e T4	0,35	2,1		2,8
		X	X	X	X			T1, T2+T3+T4	0,35	4,9		
				X	X			T1, T2 e T3+T4	0,35	0,7	4,2	
						X	X	T1+T4, T2 e T3	3,15	0,7	1,4	
				X	X	X	X	T1+T4+T3 e T2	4,55	0,7		
X	X					X	X	T1+T4+T2 e T3	3,85		1,4	
X	X			X	X			T1+T2 e T3+T4	1,05	4,2		
		X	X			X	X	T1+T4 e T2+T3	3,15	2,1		

Quando transistores são colocados em série, para que o transistor equivalente desejado não seja alterado, os terminais que realizam as conexões entre eles não devem ser conectados ao barramento local. Para permitir essa possibilidade foi prevista uma situação em que esses terminais não sejam conectados ao barramento local.

6.3.3. Barramento Local

De maneira idêntica à estrutura 1, os 24 terminais dos oito transistores programáveis podem ser ligados ao barramento local por intermédio de chaves complementares. A ligação é mutuamente exclusiva não permitindo que um mesmo terminal seja ligado a mais de uma via do barramento. O barramento é composto por 8 vias, sendo que 6 podem ser ligadas a qualquer um dos terminais dos 8 transistores programáveis, 1 apenas aos transistores do tipo N e a última apenas a transistores do

tipo P. Para cada terminal são possíveis 8 ligações mutuamente exclusivas sendo utilizado para tal um multiplexador de 1x8.

No caso dessa estrutura em especial, como os transistores programáveis de um mesmo bloco podem ser interligados entre si por intermédio da ligação interna e estando todos os terminais disponíveis para ligação com o barramento local, uma das possibilidades de ligação é reservada como se fosse nula, sem ligação, para permitir que um transistor configurado pela topologia em série de dois ou mais transistores programáveis não tenha os terminais intermediários ligados a um nó do circuito como mostrado na Figura 6-9.

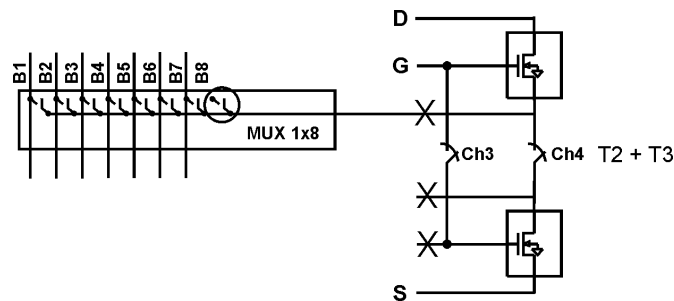


Figura 6-9 – Exemplo de ligação nula de terminais intermediários

Os terminais marcados com o X podem ser ligados aleatoriamente à via nula do barramento local não prejudicando a topologia em série dos transistores T2+T3.

A interligação externa da estrutura é semelhante a da estrutura tipo 1 mostrada na Figura 6-2, tendo como diferença a inexistência da ligação interna substituída nessa estrutura pela ligação nula.

6.3.4. Bits de Configuração e Interligação

Um bloco de transistores programáveis é composto por 4 transistores. Cada terminal de um transistor programável pode ser conectado a 1 entre 8 vias do barramento local, de forma mutuamente exclusiva, através de 8 chaves selecionadas por um multiplexador de 1x8. São necessários 3 bits de seleção por terminal num total de 9 bits por transistor programável. Para configurar a dimensão do transistor são necessários 4 bits para dimensionamento de W , e para programação da interligação

interna são utilizados 8 bits. Portanto para cada bloco de transistores são necessários 60 bits de configuração como mostra a Figura 6-10.

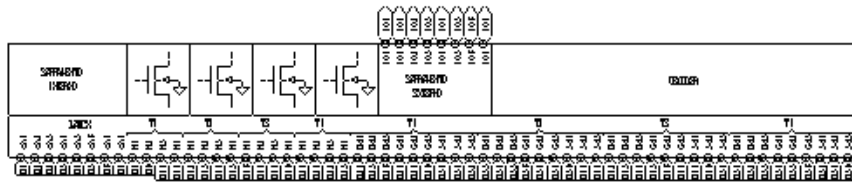


Figura 6-10 – Bits de configuração e interligação

Sendo a estrutura composta por dois blocos de transistores programáveis, um do tipo N e outro do tipo P, são necessários 120 bits de configuração, sendo; 32 bits de dimensionamento dos transistores e 88 bits de topologia (16 bits de configuração da interligação interna e 72 de interligação dos transistores).

A estrutura completa com os dois blocos de transistores é apresentada na Figura 6-11.

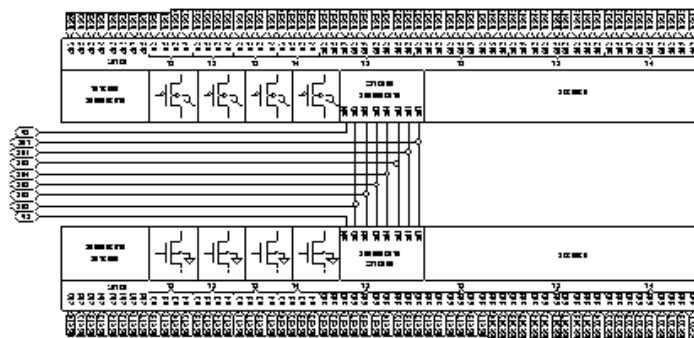


Figura 6-11 – Estrutura tipo 2

A simbologia simplificada da estrutura tipo 2 é mostrada na Figura 6-12

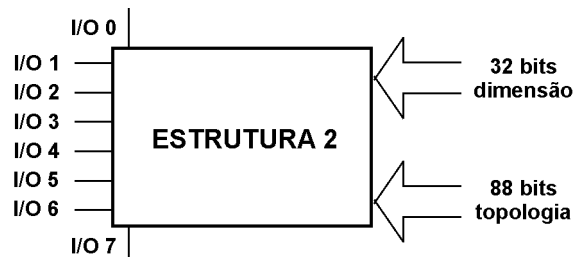


Figura 6-12 – Simbologia simplificada da estrutura tipo 2

6.4. Estrutura Tipo 3

Essa estrutura é uma tentativa de otimização da estrutura tipo 1. É composta por 8 transistores programáveis sendo 4 do tipo N e 4 do tipo P. Partindo do princípio que circuitos eletrônicos que utilizam tecnologia CMOS sempre possuem alguns dos transistores NMOS com o terminal fonte ligado a GND e alguns transistores PMOS com o terminal dreno ligado a V_{DD} , essa configuração como mostra a Figura 6-13, já possui 2 terminais dreno de transistores do tipo P ligados a V_{DD} e 2 terminais de fonte de transistores do tipo N ligados a GND . Além disso, 2 entradas são amarradas a 2 terminais porta de transistores do tipo N o que diminui a quantidade de bits de configuração e espera-se que facilite a configuração do circuito.

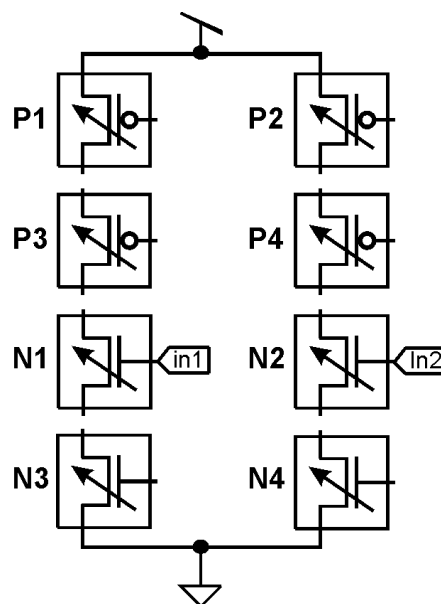


Figura 6-13 – Ligações previamente estabelecidas

6.4.1. Barramento Local

Os terminais dos transistores programáveis que não são previamente ligados podem ser conectados a 1 entre 8 vias do barramento local de forma mutuamente exclusiva.

Como 6 dos 24 terminais dos transistores programáveis são previamente ligados, restam apenas 18 conexões a serem realizadas. Somente os terminais que

não são previamente ligados podem ser conectados ao barramento local. O barramento é formado por 9 vias, sendo que: 7 vias permitem conexão aos 18 terminais disponíveis, 1 via apenas a terminais de transistores tipo N e uma via apenas a transistores do tipo P.

O fato de duas vias de entrada já estarem previamente ligadas, não impede que as mesmas sejam ligadas aos terminais de outros transistores. A ligação de cada um dos 18 terminais livres dos transistores programáveis ao barramento local é realizada através de chaves de forma mutuamente exclusiva sendo utilizado um multiplexador de 1x8. A forma de conexão do terminal ao barramento local é idêntica ao descrito na estrutura tipo 1.

6.4.2. Bits de Configuração e Interligação

Cada terminal livre do transistor programável pode ser ligado a 1 entre 8 vias do barramento local, de forma mutuamente exclusiva, por intermédio de oito chaves selecionadas por um multiplexador de 1x8. São necessários 3 bits de seleção por terminal num total de 54 bits. Para configurar a dimensão do transistor são necessários 6 bits, 4 bits para dimensionamento de W e 2 bits para seleção da dimensão L num total de 48 bits. Portanto, essa estrutura necessita de 102 bits de configuração, sendo; 48 bits de dimensionamento dos transistores e 54 bits de topologia.

A simbologia simplificada da estrutura tipo 3 é mostrada na Figura 6-14.

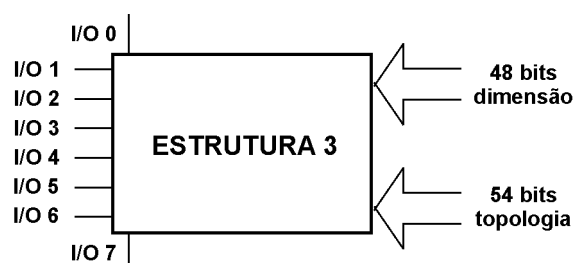


Figura 6-14 – Simbologia simplificada da estrutura tipo 3

7. Evoluções Extrínsecas Utilizando as Estruturas Propostas

7.1. Introdução

Neste capítulo, são apresentados os testes realizados para validação das estruturas de transistores programáveis propostas no capítulo anterior. Foram realizadas evoluções extrínsecas, com os circuitos simulados contendo as configurações reais a serem utilizadas no projeto definitivo.

Para realização dos testes foi desenvolvido um programa de computador para execução de processos evolutivos utilizando a técnica de algoritmo genético variante *steady state*.

7.2. Ambiente de Simulação

O programa foi desenvolvido para funcionar na configuração rede ou *stand-alone* podendo executar, na configuração rede, até 8 simulações simultâneas. Funciona no esquema cliente servidor, sendo um processo cliente e até oito processos servidores. Quando operando em *stand-alone* ambos os processos (cliente e servidor) são executados na mesma máquina. A comunicação entre os processos é efetivada por intermédio de *sockets*.

7.2.1. Processo Evolutivo

Processo evolutivo é uma seqüência de eventos de simulações e avaliações de circuitos de hardware evolucionário. Para cada processo evolutivo é necessária uma arquitetura de circuito pré-definida e imutável. Essa arquitetura é formada por uma ou mais estruturas de transistores programáveis com sinais de entrada e sinais de saída pré-definidos. A arquitetura permite alterações nas interligações entre estruturas, na topologia interna das estruturas e nas dimensões dos transistores por intermédio de bits de configuração. Uma vez definida a arquitetura, essa deve ser editada em um programa do tipo editor de esquemáticos, os bits de configuração devem ser numerados seqüencialmente utilizando-se o prefixo bit.

O arquivo *netlist* é gerado tendo os bits de configuração identificados por uma seqüência numérica com prefixo bit. Durante o processo evolutivo, os arquivos de simulação são gerados substituindo-se os bits de configuração por “0” ou V_{DD} dependendo dos bits constantes no cromossomo. Outro arquivo que deve ser configurado para realização do processo evolutivo é a função objetivo que define quais tipos de análises serão executadas e quais resultados devem ser obtidos.

7.2.2. Programa Servidor

É responsável pela simulação e utiliza um programa de simulação tipo SPICE. Recebe do programa cliente um arquivo contendo o *netlist* do arquivo a ser simulado. Após o termino da simulação retorna ao cliente um arquivo já tratado contendo apenas os valores numéricos dos resultados alcançados.

7.2.3. Programa Cliente

A Interface Homem Máquina (IHM) principal é apresentada pelo programa cliente, que tem a função de: configurar os parâmetros do processo evolutivo, configurar os arquivos de simulação, interpretar os arquivos simulados, executar os cálculos de avaliação, apresentar os resultados obtidos, armazenar resultados parciais e controlar o fluxo de arquivos simulados enviados e recebidos dos servidores.

7.2.4. Recursos do Programa

Permite que processos evolutivos sejam interrompidos e reiniciados posteriormente. Para isso, ao término de um torneio o estado momentâneo do processo evolutivo é armazenado através de arquivos de dados em um diretório pré-definido no disco rígido.

A rede é configurada carregando-se os endereços (IP) dos computadores, que podem ser retirados ou introduzidos à rede durante o processo evolutivo sem perda de continuidade.

Permite a realização de análises de transiente, transferência DC e análise AC. As análises podem ser realizadas juntas ou separadamente.

A cada término de um torneio, atualiza gráficos com a média dos *fitness* dos indivíduos da população que já foram avaliados e com valor do *fitness* do melhor indivíduo até o momento.

Para cada tipo de análise programada, apresenta gráficos da função objetivo e do melhor resultado alcançado por análise efetuada.

7.2.5. Parâmetros do Processo Evolutivo

Os parâmetros são divididos em dois tipos, parâmetros fixos e parâmetros programáveis. Os parâmetros fixos devem ser definidos antes do início do processo evolutivo e permanecem imutáveis durante todo o processo. Os parâmetros programáveis podem ser alterados durante o processo evolutivo.

7.2.5.1. Parâmetros Fixos

- **Tamanho da população** – número de indivíduos gerados aleatoriamente ao ser iniciado o processo evolutivo.
- **População do torneio** – número de indivíduos sorteado para a realização de um torneio, são permitidos apenas torneios de 4 e 8 indivíduos.
- **Tamanho do cromossomo** – define a quantidades de bits configuráveis de um indivíduo.

7.2.5.2. Parâmetros Programáveis

- **Taxa de Crossover** – Determina o valor probabilístico da ocorrência do cruzamento.
- **Taxa de mutação** – Dois parâmetros são programados: o percentual de ocorrência da mutação e quantos bits devem sofrer mutação.
- **Fitness aceitável** – Valor de aptidão mínimo a ser alcançado pelo processo evolutivo.

- **Nº máximo de torneios** – Número máximo de torneios a serem realizados, o processo evolutivo é interrompido qualquer que seja o *fitness* alcançado.
- **Arquivo de simulação** – Arquivo do tipo *netlist* contendo a arquitetura a ser evoluída, contém as informações dos bits de configuração que serão substituídos por 0 ou V_{DD} para gerar o arquivo a ser simulado.
- **Função objetivo** – Arquivo que contém as curvas que devem ser obtidas durante a simulação. Por intermédio desse arquivo são definidas as análises que serão realizadas.

7.2.6. Seqüência de um torneio

Os torneios são realizados com 4 ou 8 indivíduos conforme programação fixa. Após o término das simulações e das avaliações, os indivíduos são divididos aleatoriamente em grupos de 4 e separados em pares. Para cada grupo de 4 os melhores indivíduos de cada par são separados e submetidos probabilisticamente a cruzamento e mutação. Os dois novos indivíduos gerados substituem na população geral os outros dois indivíduos do grupo. Um torneio com 4 indivíduos é mostrado na Figura 7-1.

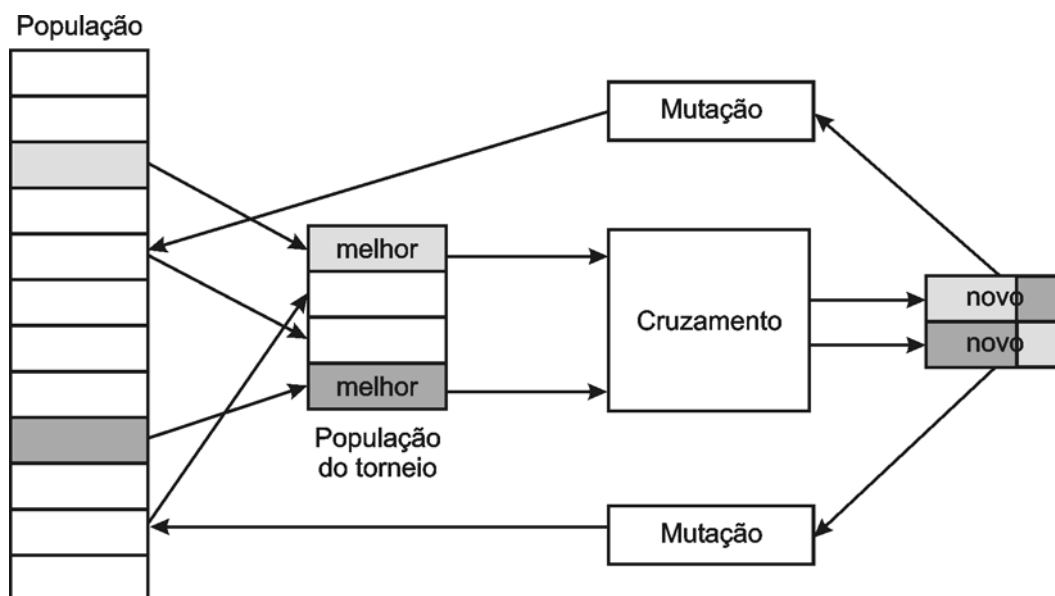


Figura 7-1 – Torneio com população de 4 indivíduos

7.3. Evoluções Extrínsecas

O objetivo deste trabalho é projetar estruturas compostas de transistores programáveis para realização de estudos na área de Eletrônica Evolucionária. As estruturas são partes de um projeto de um circuito integrado que está sendo projetado para este fim.

Esta seção tem a finalidade de testar as estruturas com intuito de validá-las antes do projeto do layout. Para tal, foram realizados testes evolutivos com os três diferentes tipos de estruturas propostas no Capítulo 6. As estruturas foram testadas individualmente e por serem compostas por poucos transistores, apenas circuitos com funções de transferência simples foram implementados.

7.3.1. Evolução de Uma Porta Inversora

Este teste foi realizado com os três tipos de estruturas, tendo como finalidade a evolução do circuito apresentado na Figura 7-2, para geração de um porta inversora.

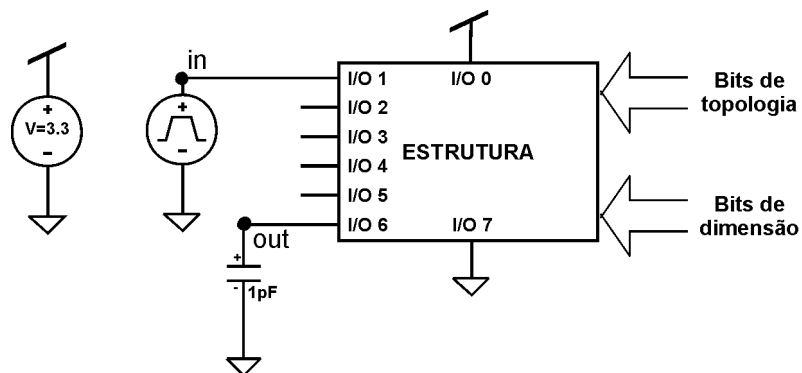


Figura 7-2 – Circuito para evolução de um inversor

- **Sinal de entrada**

O sinal de entrada (I/O 1) é uma onda quadrada na frequência de 1MHz . Na saída (I/O 6) foi colocado um capacitor de carga de 1pF . As características do sinal de entrada estão relacionadas na Tabela 7-1.

Tabela 7-1 – Parâmetros do sinal de entrada

Frequência de 1MHz	
retardo	0,2 μ s
tempo de descida	1 ns
período	1 μ s
tempo de subida	1 ns
nível alto	3,3 V
nível baixo	0 V
largura do pulso	0,5 μ s

- **Análises realizadas**

Para caracterizar o funcionamento da porta inversora evoluída, foram realizadas duas análises; transferência DC e análise de transiente. Foram utilizadas curvas ideais como funções objetivo como mostrado nas Figura 7-3 e Figura 7-4.

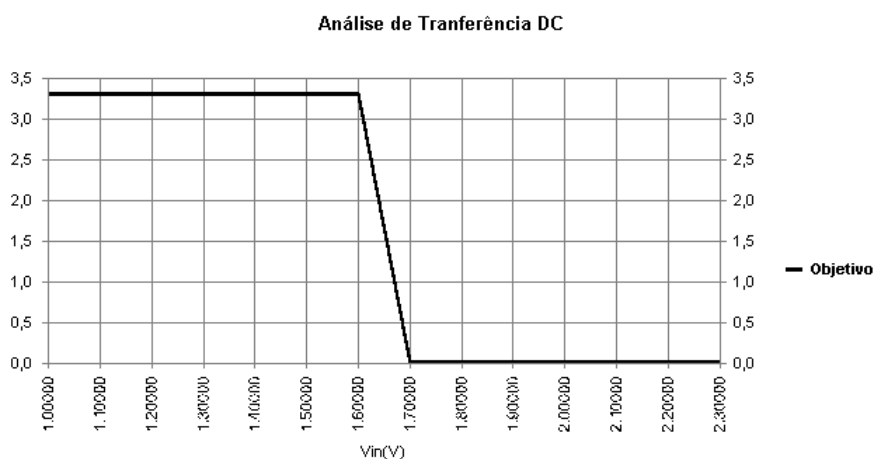


Figura 7-3 – Função objetivo para análise de transferência DC de um inversor

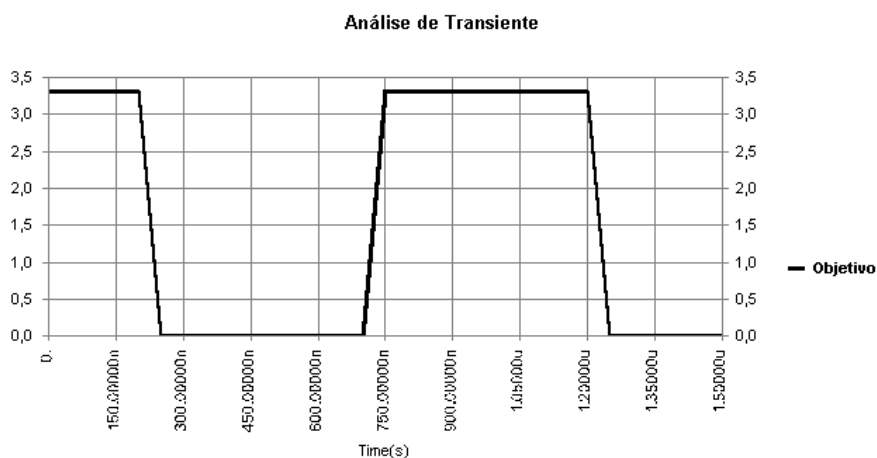


Figura 7-4 – Função objetivo para análise de transiente de um inversor

7.3.1.1. Evolução da Estrutura 1

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 120

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10%, N° de bits mutáveis: 4

Fitness Aceitável: 0,99

N° Máximo de Torneios: 2000

- **Alteração nos parâmetros programáveis**

A partir do torneio 521 a taxa de mutação foi alterada para 50 % com variação de até 5 bits e permaneceu nessas condições até o término do processo evolutivo.

- **Término da simulação**

A simulação foi encerrada pelo critério de parada por precisão, tendo alcançado o percentual de erro exigido. Foram realizados 700 torneios e o indivíduo de melhor aptidão obteve o valor de precisão igual a 0,99667722.

- **Resultado das análises**

O resultado obtido na análise de transferência DC é mostrado na Figura 7-5.

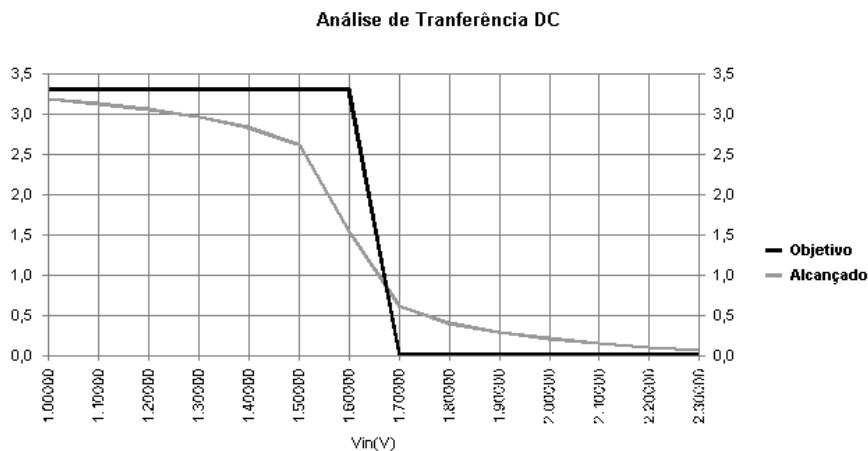


Figura 7-5 – Gráfico comparativo entre função objetivo e resultado alcançado

O resultado obtido na análise de transiente é mostrado na Figura 7-6.

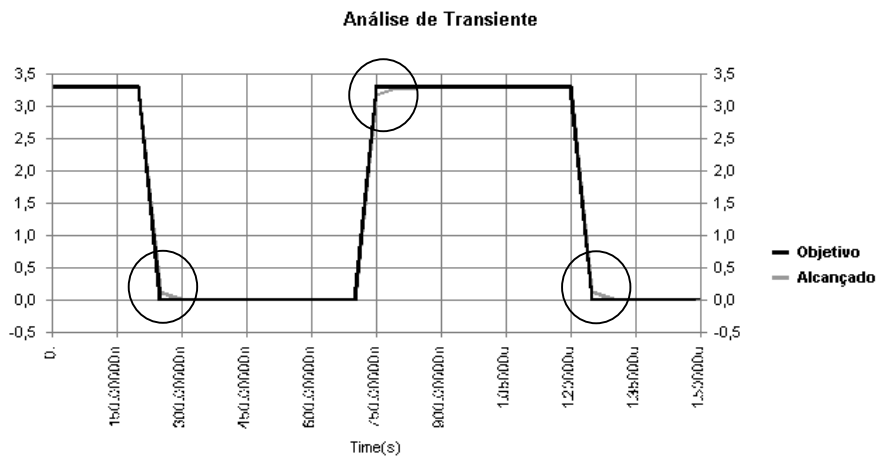


Figura 7-6 – Gráfico comparativo entre função objetivo e resultado alcançado

O resultado alcançado na análise de transiente foi praticamente idêntico a função objetivo. Os pontos de discrepância estão sinalizados, nas curvas, pelos círculos.

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-7.

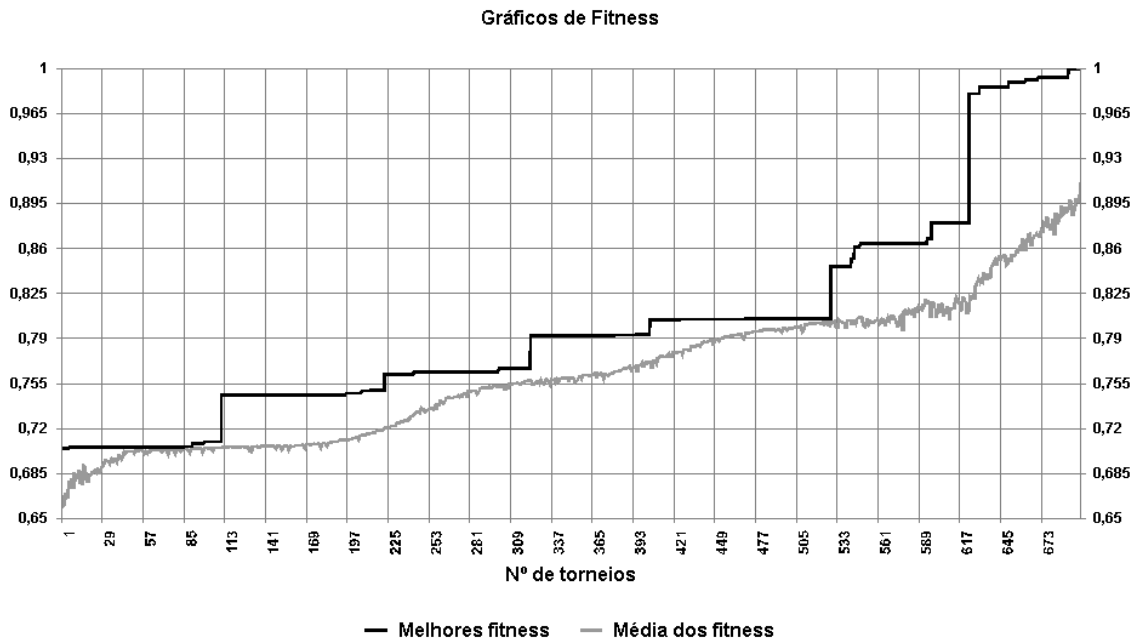


Figura 7-7 – Gráfico de melhor *fitness* e média dos *fitness*

7.3.1.2. Evolução da Estrutura 2

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 120

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10%, N° de bits mutáveis: 4

Fitness Aceitável: 0,99

N° Máximo de Torneios: 2000

- **Alteração nos parâmetros programáveis**

- A partir do torneio 477
 - taxa de mutação 50 % - número de bits 4
- A partir do torneio 515
 - taxa de mutação 10 % - número de bits 1
- A partir do torneio 680
 - taxa de mutação 10 % - número de bits 4
- A partir do torneio 740
 - taxa de mutação 10 % - número de bits 1
- A partir do torneio 806
 - taxa de mutação 10 % - número de bits 4
- A partir do torneio 987
 - taxa de mutação 100 % - número de bits 4

- **Término da simulação**

A simulação foi encerrada pelo critério de parada por tempo de execução.

Foram realizados 1002 torneios e o indivíduo de melhor aptidão foi obtido no torneio 991. O valor de precisão do melhor indivíduo foi igual a 0,97570706.

- **Resultado das análises**

O resultado obtido na análise de transferência DC é mostrado na Figura 7-8

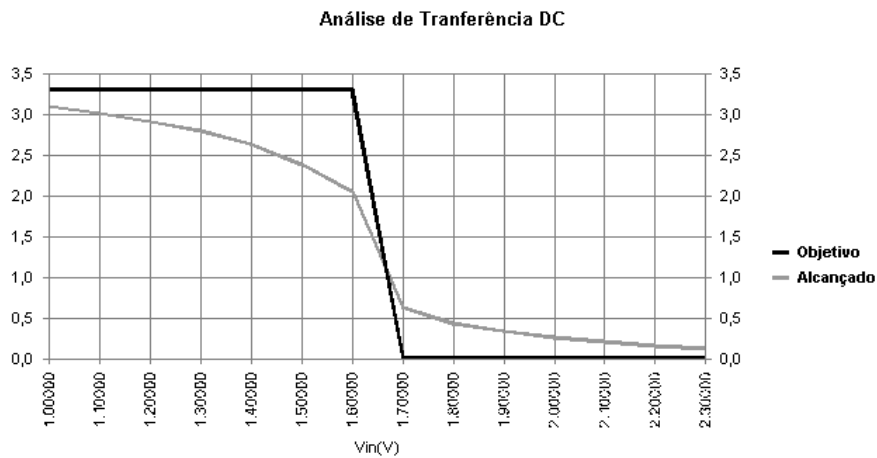


Figura 7-8 – Gráficos comparativos entre função objetivo e resultado alcançado

O resultado obtido na análise de transiente é mostrados na Figura 7-9

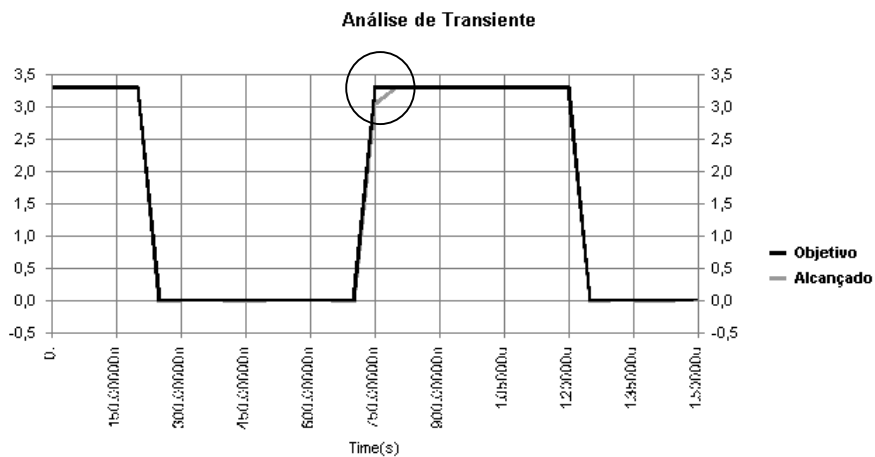


Figura 7-9 – Gráficos comparativos entre função objetivo e resultado alcançado

Da mesma forma que o teste anterior, o resultado alcançado na análise de transiente foi praticamente idêntico à função objetivo. O único ponto perceptível de discrepância está sinalizado, nas curvas, pelo círculo. Já no caso da análise de transferência DC, o resultado obtido é um pouco inferior ao obtido no teste anterior.

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-10.

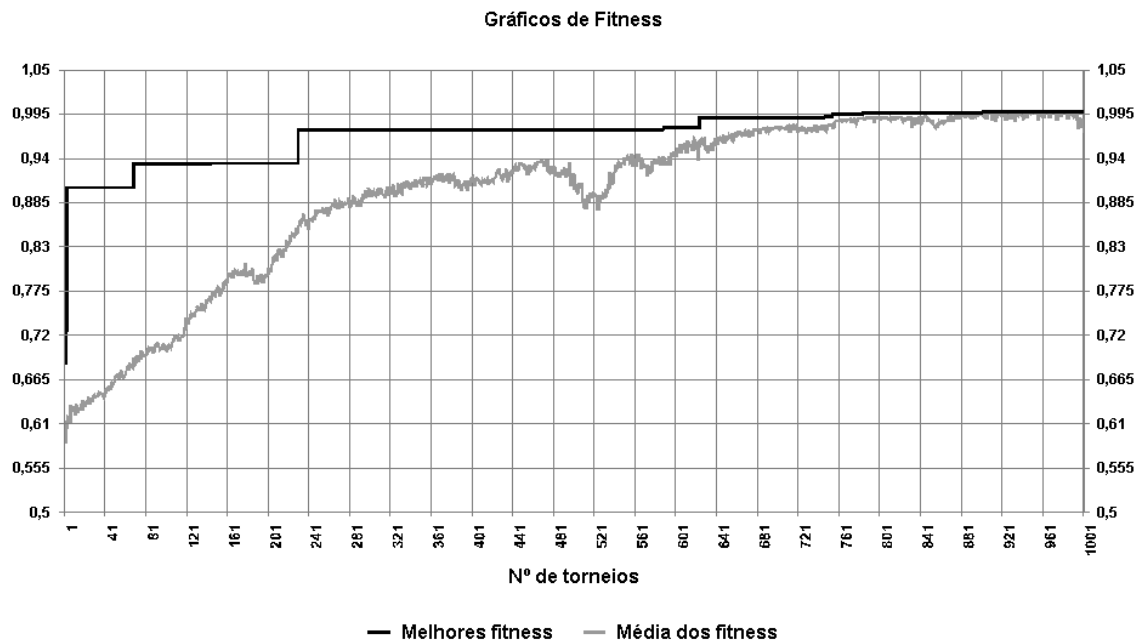


Figura 7-10 – Gráficos de melhor *fitness* e média dos *fitness*

A partir do torneio 477, a taxa de mutação e o número de bits mutáveis foram sistematicamente alterados na tentativa de redirecionar o espaço de busca. O melhor indivíduo apresentou pequenas melhoras que não podem ser creditadas, com certeza, as alterações realizadas. Como a evolução apresentou-se estacionada e o resultado alcançado era bem próximo ao desejado, o processo evolutivo foi encerrado.

7.3.1.3. Evolução da Estrutura 3

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 102

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10% Nº de bits mutáveis: 4

Fitness Aceitável: 0,99

Nº Máximo de Torneios: 2000

- **Alteração nos parâmetros programáveis**

Os parâmetros iniciais não foram alterados.

- **Término da simulação**

A simulação foi encerrada pelo critério de parada por precisão, tendo alcançado o percentual de erro exigido.

Foram realizados 186 torneios e o indivíduo de melhor aptidão obteve o valor de precisão igual a 0,998410169.

- **Resultado das análises**

Os gráficos da função objetivo e do resultado da análise de transferência DC são mostrados na Figura 7-11

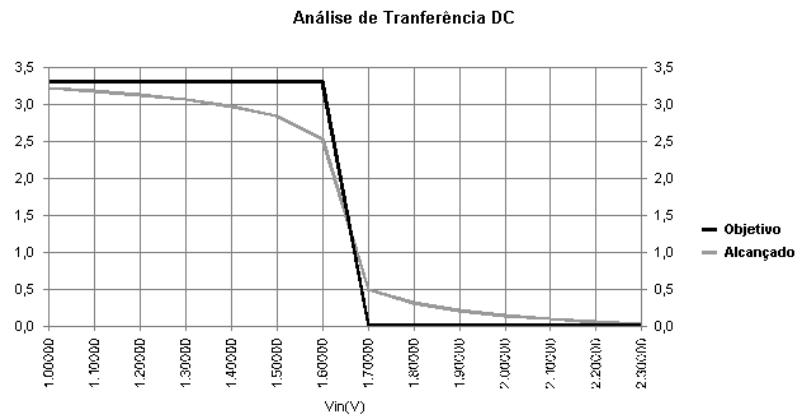


Figura 7-11 – Gráficos comparativos entre função objetivo e resultado alcançado

Os gráficos da função objetivo e do resultado da análise de transiente são mostrados na Figura 7-12.

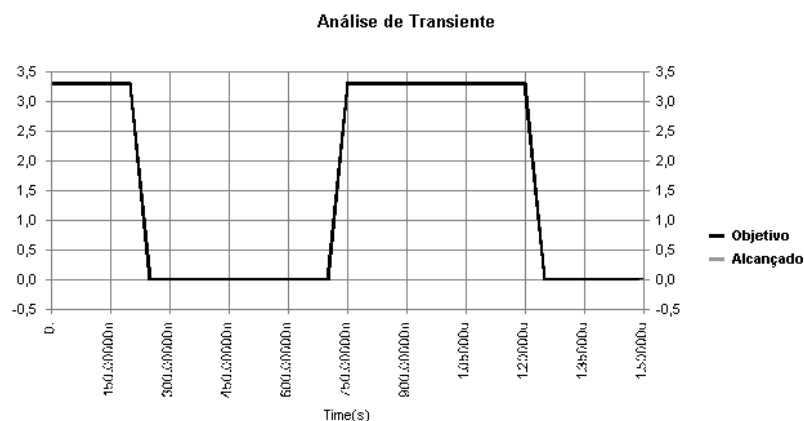


Figura 7-12 – Gráficos comparativos entre função objetivo e resultado alcançado

O resultado alcançado na análise de transiente foi praticamente idêntico à função objetivo e os gráficos estão sobrepostos. Não existem pontos de discrepância visíveis. A resposta à análise de transferência DC, é bastante semelhante a uma resposta de um inversor configurado com transistores fixos.

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-13.

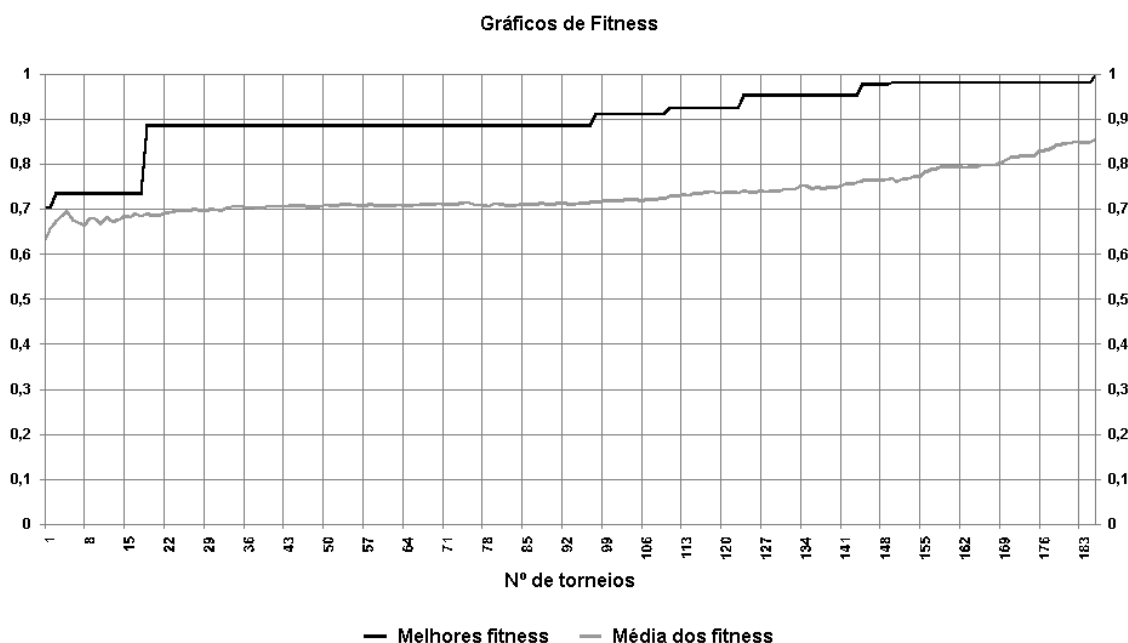


Figura 7-13 – Gráficos de melhor *fitness* e média dos *fitness*

Nos três testes realizados com as diferentes estruturas, os resultados foram satisfatórios. O teste realizado com a estrutura tipo 3 apresentou o melhor desempenho, tendo alcançado o *fitness* desejado com um número bem menor de torneios em relação aos outros dois testes.

Para confirmar o melhor desempenho de uma estrutura, é necessário que os teste realizados sejam repetidos várias vezes para que se obtenha um volume de informações que permita uma comparação mais precisa entre o desempenho das estruturas. Como a finalidade deste trabalho é validar as estruturas, os testes repetitivos não foram realizados.

7.3.2. Evolução de Um Amplificador Operacional com Entrada Diferencial

A partir deste teste o programa de simulação foi mudado para alterar automaticamente o valor da taxa de mutação para 100% quando o processo evolutivo apresentar uma estagnação durante 20 torneios. A intenção é gerar através de mutação, uma alteração significativa na população evitando a convergência para um mínimo local. Após 20 torneios a taxa retorna ao valor de 10%. As alterações efetuadas pelo usuário, nas taxas de *crossover*, mutação e número de bits mutáveis, continuam sendo permitidas.

O teste foi realizado com os três tipos de estruturas, tendo como finalidade a evolução do circuito apresentado na Figura 7-14, para geração de um amplificador operacional.

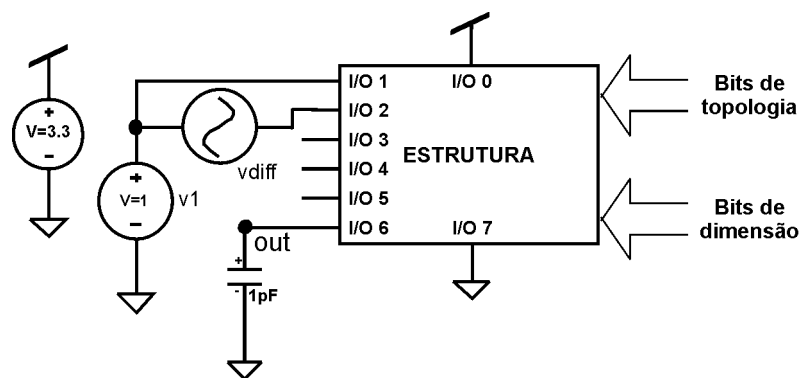


Figura 7-14 – Circuito para evolução de um amplificador operacional

- **Sinais de entrada**

vdiff – entrada AC diferencial entre I/O 1 e I/O 2.

v1 – tensão DC de 1V na entrada I/O 1 em relação a *GND*.

- **Análises realizadas**

Para caracterizar o funcionamento do amplificador operacional foram realizadas duas análises; transferência DC e análise AC.

A análise AC caracteriza o comportamento do circuito para entrada de pequenos sinais no domínio da frequência. Isto envolve três fases; cálculo do ponto de operação,

linearização do circuito e resolução do circuito *linearizado* para cada freqüência varrida.

Durante a análise é feita uma varredura de freqüências (*sweep*). A freqüência é varrida de forma logarítmica, sendo 5 pontos de dados incluídos por cada década. A freqüência inicial é $1H_z$ e a final $1MH_z$.

Para função objetivo da análise AC foi utilizado o gráfico da Figura 7-15. Esse gráfico representa a resposta ideal para uma análise AC, seguindo as características descritas acima, de um amplificador operacional com freqüência de corte em $100kHz$ e ganho 10.

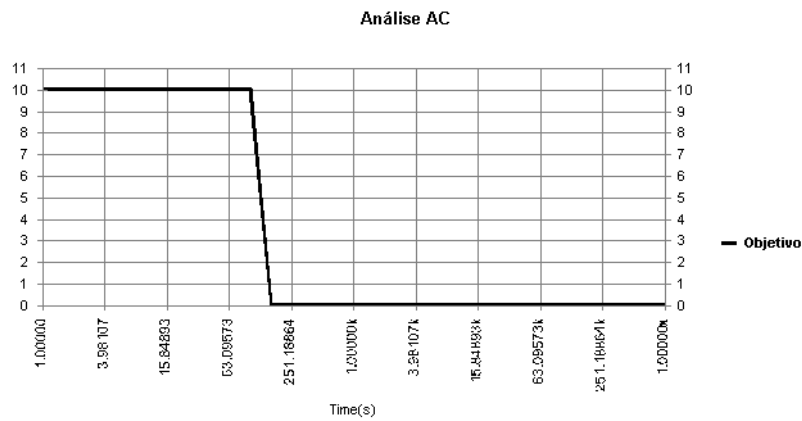


Figura 7-15 – Função objetivo para análise AC de um amplificador operacional

Para análise de transferência DC foi utilizada a curva ideal apresentada na Figura 7-16.

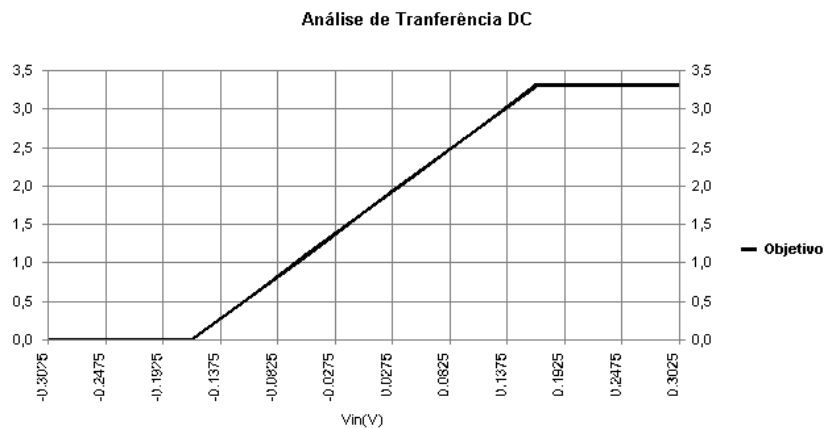


Figura 7-16 – Função objetivo transferência DC de um amplificador operacional

7.3.2.1. Evolução da Estrutura 1

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 120

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10% Nº de bits mutáveis: 4

Fitness Aceitável: 0,99

Nº Máximo de Torneios: 4000

- **Alteração nos parâmetros programáveis**

Os parâmetros iniciais não foram alterados pelo usuário.

- **Término da simulação**

A simulação foi encerrada pelo critério de parada por tempo de execução.

Foram realizados 672 torneios e o indivíduo de melhor aptidão foi obtido no torneio 320. O valor de precisão do melhor indivíduo foi igual a 0,90112204.

- **Resultado das análises**

Os gráficos da função objetivo e do resultado da análise AC são mostrados na Figura 7-17.

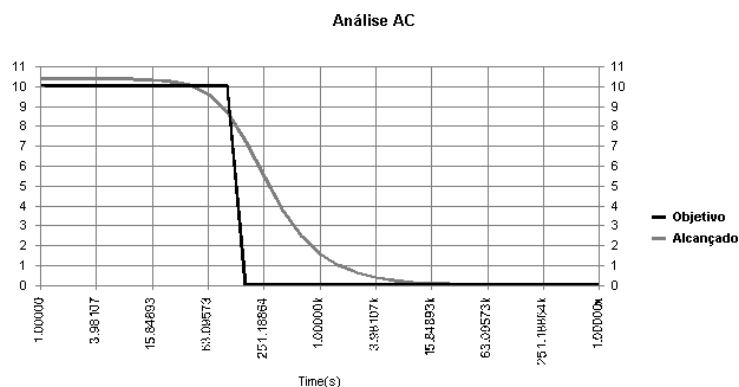


Figura 7-17 – Gráficos comparativos entre função objetivo e resultado alcançado

Os gráficos da função objetivo e do resultado da análise de transferência DC são mostrados na Figura 7-18.

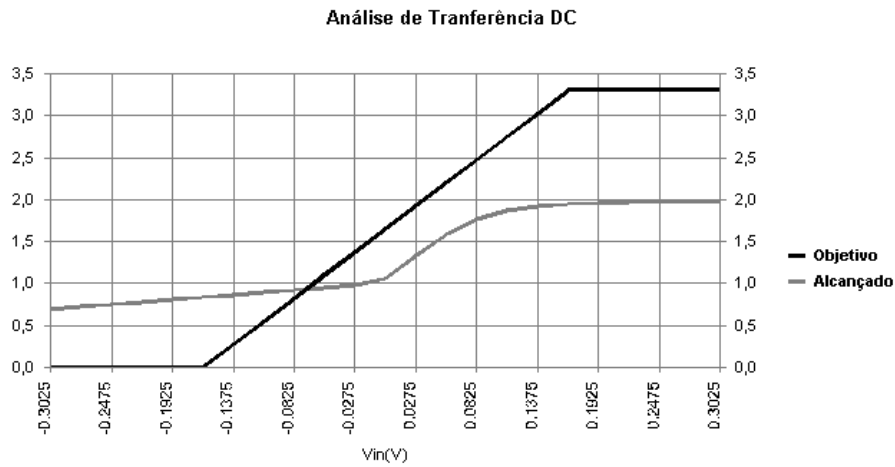


Figura 7-18 – Gráficos comparativos entre função objetivo e resultado alcançado

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-19.

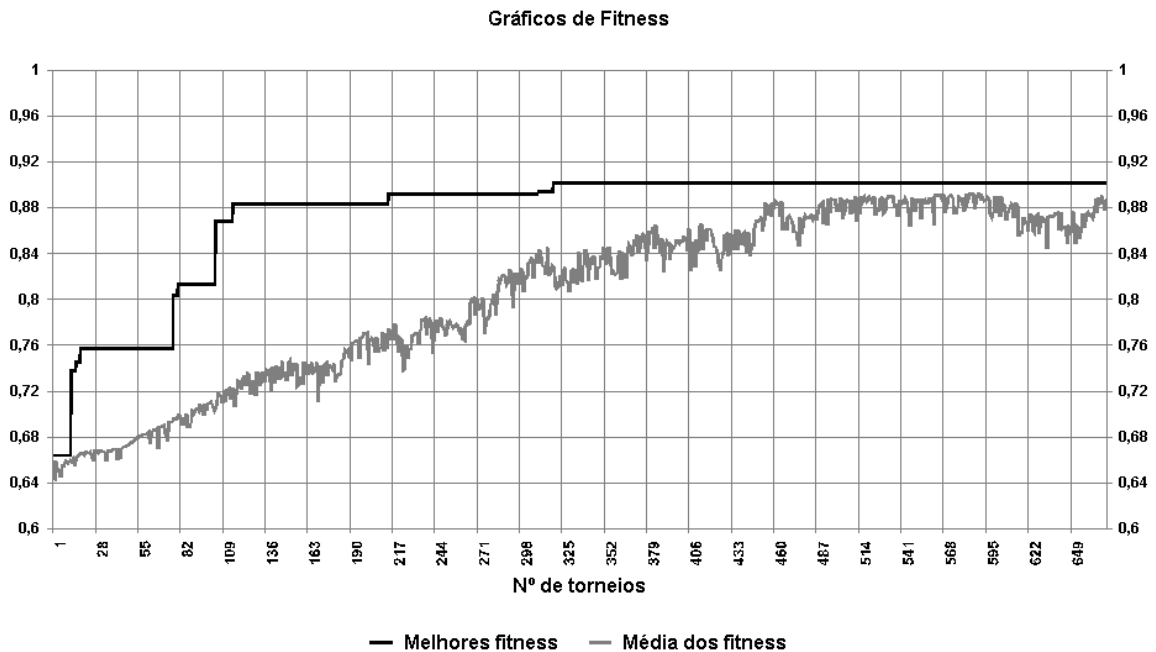


Figura 7-19 – Gráficos de melhor *fitness* e média dos *fitness*

7.3.2.2. Evolução da Estrutura 2

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 120

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10% Nº de bits mutáveis: 4

Fitness Aceitável: 0,99

Nº Máximo de Torneios: 4000

- **Alteração nos parâmetros programáveis**

Os parâmetros iniciais não foram alterados pelo usuário.

- **Término da simulação**

A simulação foi encerrada pelo critério de parada por tempo de execução.

Foram realizados 1246 torneios e o indivíduo de melhor aptidão foi obtido no torneio 1237. O valor de precisão do melhor indivíduo foi igual a 0,89066323.

- **Resultado da análise**

Os gráficos da análise AC da função objetivo e do resultado alcançado são mostrados na Figura 7-20.

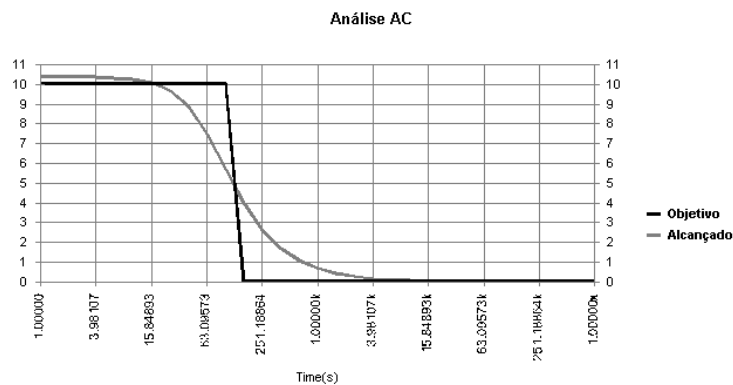


Figura 7-20 – Gráficos comparativos entre função objetivo e resultado alcançado

Os gráficos da função objetivo e do resultado da análise de transferência DC são mostrados na Figura 7-21.

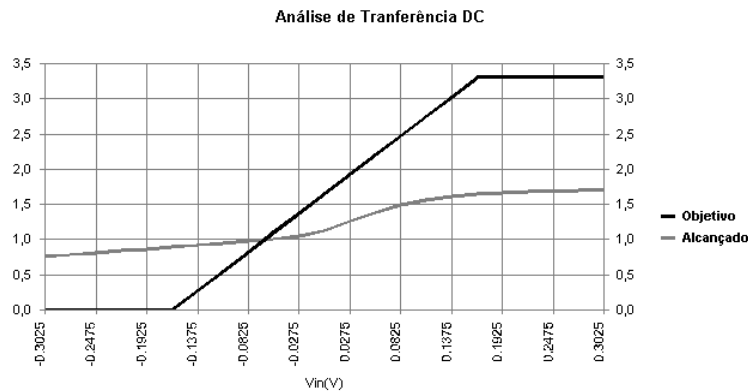


Figura 7-21 – Gráficos comparativos entre função objetivo e resultado alcançado

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-22.

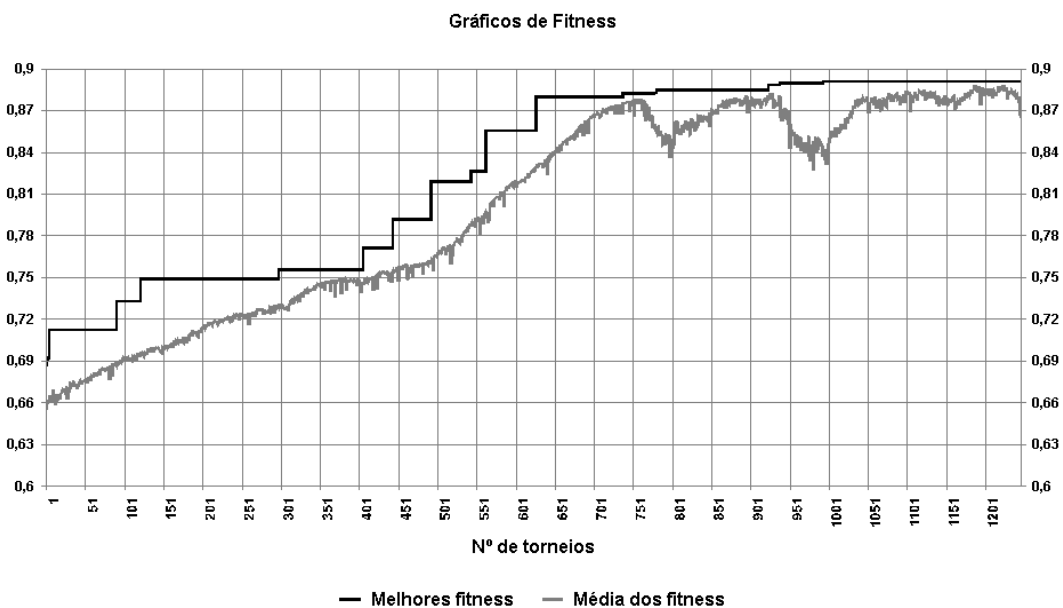


Figura 7-22 – Gráficos de melhor *fitness* e média dos *fitness*

Como pode ser observado na Figura 7-22, nas duas vezes em que o dispositivo de alteração automática da taxa de mutação foi executado, em torno dos torneios 750 e 940, o processo evolutivo conseguiu evoluir em pequenas proporções, melhorando o resultado alcançado.

7.3.2.3. Evolução da Estrutura 3

- **Parâmetros fixos**

Tamanho da População: 128

População do Torneio: 8

Tamanho do Cromossomo: 102

- **Parâmetros programáveis (valores iniciais)**

Taxa de Crossover: 100%

Taxa de Mutação: 10%

Nº de bits mutáveis: 4

Fitness Aceitável: 0,999

Nº Máximo de Torneios: 4000

- **Alteração nos parâmetros programáveis**

Os parâmetros iniciais não foram alterados.

Término da simulação

A simulação foi encerrada pelo critério de parada por tempo de execução.

Foram realizados 2319 torneios e o indivíduo de melhor aptidão foi obtido no torneio 2317. O valor de precisão do melhor indivíduo foi igual a 0,90112204.

- **Resultado da análise**

Os gráficos da análise AC da função objetivo e do resultado alcançado são mostrados na Figura 7-23.

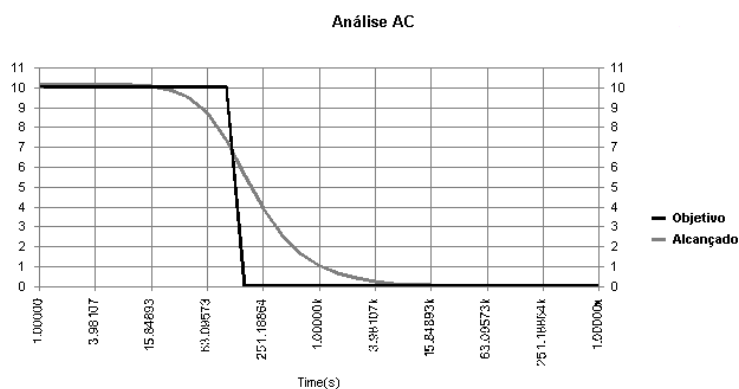


Figura 7-23 – Gráficos comparativos entre função objetivo e resultado alcançado

Os gráficos da função objetivo e do resultado da análise de transferência DC são mostrados na Figura 7-24.

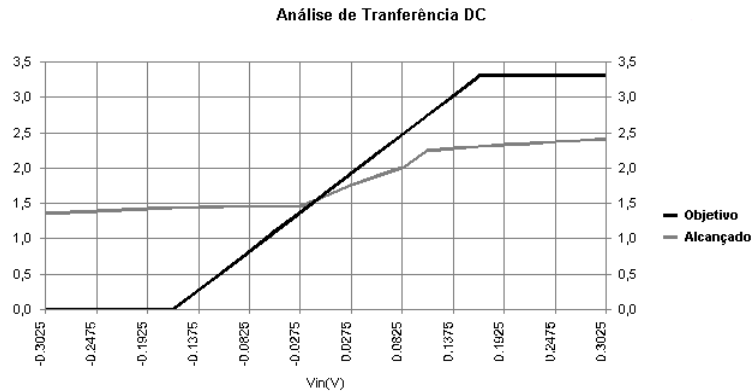


Figura 7-24 – Gráficos comparativos entre função objetivo e resultado alcançado

- **Gráficos de *Fitness***

Os gráficos com a evolução do melhor indivíduo e a média aritmética dos indivíduos já avaliados por torneio são apresentados na Figura 7-25.

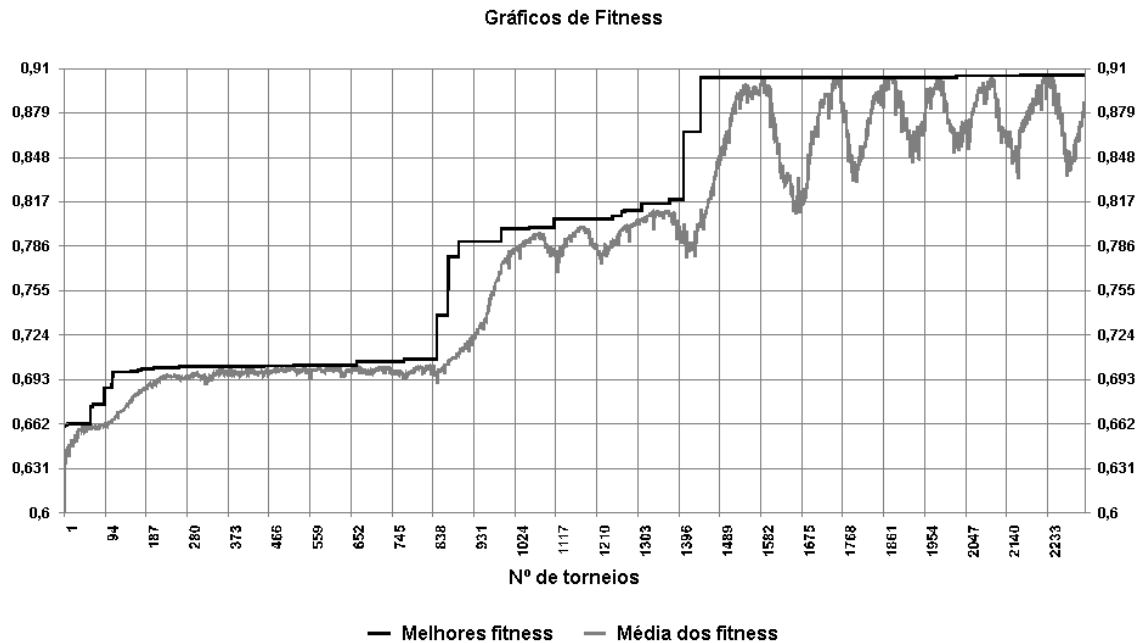


Figura 7-25 – Gráficos de melhor *fitness* e média dos *fitness*

Os testes realizados abordaram circuitos digitais e analógicos. No caso dos circuitos digitais, os resultados foram plenamente alcançados em pouco tempo. As evoluções com circuitos analógicos, apesar da rede computadores apresentaram um

tempo de processamento muito elevado indicando mais uma vez a necessidade de utilização de plataformas intrínsecas.

8. Conclusões e trabalhos Futuros

Processos evolucionários que utilizam plataformas intrínsecas têm merecido ampla atenção dos pesquisadores nos dias atuais. Uma grande quantidade de trabalhos já foi realizada com plataformas configuráveis do tipo FPGA para implementação de circuitos digitais. Devido à complexidade dos circuitos analógicos, entretanto, esta área ainda tem um vasto campo de pesquisa a ser explorado.

Circuitos analógicos geralmente possuem espaços de busca de grandes dimensões e de alta complexidade devido à natureza contínua dos sinais processados. Devido às limitações na capacidade de processamento das máquinas atuais, o custo em termos de tempo de processos evolutivos extrínsecos é muito elevado. Além disso, as aplicações de maior interesse dos métodos evolucionários se situam no domínio dos equipamentos embarcados e sistemas inteligentes autônomos, que implicam na utilização de processos evolutivos intrínsecos.

Neste trabalho foi examinada a viabilidade de implementação de circuitos integrados configuráveis para utilização em plataformas evolucionárias intrínsecas. Para isso foram projetadas e testadas estruturas CMOS para este tipo de aplicação. A tecnologia CMOS foi escolhida por ter alta densidade de integração e permitir de forma limitada a implementação de componentes passivos tais como, resistores e capacitores utilizando somente transistores MOSFET.

Para acelerar os testes de validação das estruturas propostas foi desenvolvido um programa de computador utilizando como ferramenta de processo evolucionário o algoritmo genético na variante steady state. O programa foi desenvolvido para uma rede de computadores e as simulações são executadas em paralelo.

Como elementos básicos do circuito foram estudados especialmente os transistores programáveis de forma a se obter estruturas mais flexíveis e de melhor desempenho que as atualmente propostas na literatura.

Isso incluiu um exame do efeito das chaves, utilizadas na configuração e interligação dos transistores programáveis, no desempenho do circuito. Para isto

foram realizadas simulações utilizando os modelos físicos dos dispositivos fornecidos pelo fabricante, tornando os resultados mais próximos do circuito real, permitindo estabelecer critérios para o dimensionamento das chaves de forma a atender ao compromisso entre desempenho e área ocupada no circuito integrado.

As estruturas propostas foram testadas através de processos evolutivos extrínsecos tanto na síntese de circuitos digitais quanto analógicos de forma a comprovar a sua eficiência e funcionalidade. Em virtude da utilização de uma plataforma extrínseca os testes foram efetuados em um número necessariamente limitado de casos. A real extensão das melhorias propostas só poderá ser completamente comprovada com a fabricação do circuito integrado.

Os resultados obtidos indicam que as estruturas são funcionais, possibilitando a continuidade do projeto da plataforma reconfigurável. Novos testes devem ser realizados utilizando várias estruturas interligadas através de um barramento externo, possibilitando a evolução de circuitos de maior complexidade. Paralelo a isso o layout das estruturas, comprovadamente funcionais, podem ser projetados e realizados testes com os circuitos extraídos do layout para validação do projeto.

A chave analógica, como foi demonstrado, é o grande fator de perda de desempenho dos circuitos configurados, Sendo assim, no projeto do barramento externo, seu uso deve ser minimizado resumindo-se ao suficiente para a funcionalidade do circuito. As chaves quando utilizadas na interligação de terminais do tipo dreno e fonte, podem atuar como limitadores de corrente e quando utilizadas na interligação de terminais porta atuam como introdutórios de retardo na propagação do sinal. O projeto do barramento de interligação das estruturas deve considerar os tamanhos definidos para as chaves utilizadas nos barramento locais.

9. Referências Bibliográficas

BARÚQUI, F., 2003, **Introdução ao Projeto de Circuitos Integrados Analógicos**, Rio de Janeiro, Departamento de Engenharia Eletrônica – Universidade Federal do Rio de Janeiro.

DARWIN, C., 1859, **On the origin of species by means of natural selection, or, The presevation of favored races in the struggle for life**. London, John Murray.

DE GARIS, H., 1992, **Genetic Programming : GenNets, Artificial Nervous Systems, Artificial Embryos**. Ph.D. dissertation, Brussels University.

DE GARIS, H., 1993, “Evolvable Hardware: Genetic Programming of a Darwin Machine”. In: **Artificial Neural Nets and Genetic Algorithms**, R.F. Albretch, C.R. Reeves, N.C. Steele (eds), Springer-verlag, NY.

HOLLAND, J., 1975, **Adaptation in Natural and Artificial Systems**. 1 ed. University of Michigan Press, Ann Arbor, USA

KOZA, J., 1992, **Genetic Programming: On the Programming of Computers by Means of Natural Selection**, MIT Press.

LANGHEHEINE, J.; BECKER, J.; FOLLING, S.; MEIER, K.; SCHEMMEL, J., 2001, “A CMOS FPTA chip for intrinsic hardware evolution of analog electronic circuits”. In: **Proceedings of the Third NASA DoD Workshop on Evolvable Hardware**, pp.172-175, IEEE Computer Press, July.

LOUIS, S. J.; RAWLINS, J.E., 1991, **Designer genetic algorithms: genetic algorithms in structure design**, ICGA-91, in **Proc. Of the Fourth International Conference on Genetic Algorithms**, Belew, R.K., Booker, L.B. and Kauffman, M., Eds.

SANCHEZ, e., 1996, "Field Programmable Gate Array (FPGA) Circuits". In: **Towards Evolvable Hardware: The evolutionary engineering approach**, v.1062, **Lecture Notes of Computer Science**, Springer-verlag, pp.1-18.

STOICA, A.; KEYMEUKEN, D.; TAWEL, R.; SALAZAR-LAZARO, C.; LI, W., 1999, **Evolutionary experiments with a fine-grained reconfigurable architecture for analog and digital CMOS circuits**, In: **Proc. of the First NASA DoD Workshop on Evolvable Hardware**, Stoicam A., D. and Lohn, J., eds., IEEE Computer Press.

THOMPSON, A., 1996, "Silicon evolution", In: **Genetic Programming 1996: Proceedings of the First Annual Conference**, J. R. Koza, D. E. Goldberg, D. B. Fogel, and R. L. Riolo, Eds. Cambridge, MA: MIT Press.

ZEBULUM, R. S.; STOICA, A.; KEYMEULEM, D., 2000, **A Flexible Model of a CMOS Field Programmable Transistor Array Targeted for Hardware Evolution**, ICES2000,274, vol. 1801, LNCS, Springer-Verlag.

ZEBULUM, R. S.; PACHECO, M. A. C.; VELLASCO, M. M. R., 2002, **Evolutionary Electronics: Automatic Design of Electronic Circuits and Systems by Genetic Algorithms**, CRC Press.