

IMPLEMENTAÇÃO DE UM INVERSOR NPC COM ÊNFASE NO
CIRCUITO DE ACIONAMENTO E CONTROLE DE EQUALIZAÇÃO

Felipe José da Costa Padilha

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Walter Issamu Suemitsu, Dr. Ing.

Profa. Maria Dias Bellar, Ph. D.

Dr. Plutarcho Maravilha Lourenço, D. Sc.

Prof. José Luiz da Silva Neto, Ph. D.

Prof. Luís Guilherme Barbosa Rolim, Dr.-Ing.

RIO DE JANEIRO, RJ – BRASIL

JULHO DE 2006

PADILHA, FELIPE JOSÉ DA COSTA

Implementação de um Inversor NPC com
Ênfase no Circuito de Acionamento e Controle de
Equalização [Rio de Janeiro] 2006

XIII, 128p. 29,7 cm (COPPE/UFRJ, M.Sc.,
Engenharia Elétrica, 2006)

Dissertação – Universidade Federal do Rio
de Janeiro, COPPE

1. Eletrônica de Potência
2. Conversores CC-CC
3. Conversores *Boost* Multiníveis
4. Inversores Trifásicos
5. Inversores NPC de 3 Níveis
6. Projeto de Circuitos de *Gate*

I. COPPE/UFRJ II. Título (série)

DEDICATÓRIA

Às pessoas que foram decisivas para que eu conseguisse vencer as inúmeras barreiras que encontrei para concluir mais esta etapa importante em minha vida, a saber, meus pais, Norival Mendonça Padilha e Nilce G. L. da Costa Padilha, e ao meu querido irmão Francisco José da Costa Padilha, bem como sua esposa Júnia Aguiar Padilha, que em tudo me incentivaram e me apoiaram. Eles verdadeiramente se desdoblaram com sacrifícios para me oferecer as condições necessárias ao meu bem estar, disponibilizando recursos e apoios em todas as minhas atividades desenvolvidas durante o curso de Mestrado, seja pela preocupação com minha saúde física, meu desempenho nos estudos, ou pela forma determinada e abnegada de superar obstáculos em meu favor, nunca me educando e incentivando com palavras vazias, mas sempre pela força do exemplo e do caráter.

Ao meu amigo Edson C. Silva, pela atenção que me dispensou durante meus primeiros conhecimentos na área da eletrônica, quando ainda morador da cidade de Itaperuna/RJ, sempre com muita paciência e atenção, tornando-se importante em meu processo de escolha do curso de graduação em Engenharia Elétrica.

Sou imensamente grato a estas pessoas por sempre confiarem e acreditarem em meu potencial. Tê-los em minha vida é uma bênção de Deus.

AGRADECIMENTOS

“Àquele que é poderoso para fazer infinitamente mais do que tudo quanto pedimos ou pensamos a Ele (o meu Deus) seja a glória” (Efésios 3:20, 21), a quem eu sirvo de coração inteiro e que sempre é o Emanuel - “Deus conosco”, realidade em minha vida, ajudando-me a ser honesto e a ter caráter na hora das provas, nos momentos difíceis, esclarecendo sempre minha mente, fortalecendo minha fé para o testemunho fiel diariamente.

Ao Centro de Pesquisas Elétricas (CEPEL), por ter me proporcionado amplo apoio, disponibilizando seus funcionários qualificados, acesso a equipamentos e conhecimentos necessários ao bom desenvolvimento do trabalho, enquanto bolsista de Mestrado durante os anos de 2004/2006.

À COPPE/UFRJ por ser um órgão de pesquisa competente, sempre trabalhando em prol de seus alunos, tendo em seu rol de professores e funcionários pessoas extremamente sérias e envolvidas com a pesquisa no Brasil.

Ao meu orientador interno no CEPEL, o pesquisador Dr. Plutarcho Maravilha Lourenço, que foi um grande amigo e contribuinte para que este trabalho pudesse ter sido finalizado, atuando de forma importante na orientação do aluno, devido à sua paciência, atenção e capacidade técnica.

Aos meus demais orientadores Prof^o Dr. Walter Issamu Suemitsu (UFRJ) e Prof^a Dr. Maria Dias Bellar (UERJ), que são exemplos de profissionais que amam suas Universidades e sabem torná-la cada dia maior, superando dificuldades e prosseguindo na busca da execução de um trabalho cada vez melhor; por conduzir seus orientados de forma objetiva e precisa, com sugestões práticas e eficientes.

Ao meu amigo João Batista Dias de Oliveira Júnior, sempre presente nos momentos de dificuldades. Sua ajuda, companheirismo e incentivos foram de grande importância para a minha vida.

Ao meu companheiro de trabalho e amigo Ildejairo Santana, por sua ajuda constante no laboratório em que estive presente nestes anos e que, em muitas ocasiões, abriu mão de suas próprias atividades para ajudar-me.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M. SC)

IMPLEMENTAÇÃO DE UM INVERSOR NPC COM ÊNFASE NO CIRCUITO DE ACIONAMENTO E CONTROLE DE EQUALIZAÇÃO

Felipe José da Costa Padilha

Julho/2006

Orientadores: Walter Issamu Suemitsu

Maria Dias Bellar

Programa: Engenharia Elétrica

Este trabalho apresenta um estudo sobre os inversores multiníveis de tensão tipo NPC (*Neutral-Point Clamped*) de três níveis sendo alimentados por conversores CC-CC elevadores de tensão. Também será apresentada a implementação de um novo circuito de *Gate Drive* para tal inversor, baseado na técnica de *charge pump*, possuindo a capacidade de acionamento independente e por tempo contínuo das chaves de potência. O circuito proposto é adequado para aplicações em baixa potência, quando se utiliza circuitos integrados MGDs (*MOS-Gate Drive ICs*). Resultados experimentais de um protótipo de laboratório são apresentados e demonstram a validade do método de projeto.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M. SC)

IMPLEMENTATION OF A NPC INVERTER WITH EMPHASIS ON THE GATE
DRIVE CIRCUIT AND EQUALIZATION CONTROL

Felipe José da Costa Padilha

Julho/2006

Advisors: Walter Issamu Suemitsu
Maria Dias Bellar

Department: Electrical Engineering

This work presents a study about the Neutral-Point Clamped Three-Level Voltage Source Inverters (NPC) supplied by DC-DC STEP-UP converters. It will also be shown a new hardware implementation of the NPC gate drive circuits, based on the *charge pump* technique, which allow independent trigger and long turn-on time of the power switches. The proposed circuit will be applied to low power applications when MGDs (MOS-Gate Drive ICs) are used. Experimental results of a laboratory prototype are presented and demonstrate the validity of the design method.

ÍNDICE:

Capítulo 1: Introdução.....	1
1.1) Apresentação	1
1.2) Motivação do estudo	5
1.3) Objetivos e estrutura da dissertação	7
1.4) Metodologia utilizada	9
Capítulo 2: Topologias de conversores elevadores de tensão	10
2.1) Topologias de conversores CC-CC de interesse	10
2.2) Conversor CC-CC dobrador de tensão com inversor Ponte-H	12
2.2.1) Topologia dobradora com controle em malha aberta	14
2.2.2) Topologia dobradora com controle em malha fechada	17
2.2.3) Considerações técnicas sobre a topologia dobradora de tensão	21
2.3) Topologias <i>boost</i> multiníveis	22
2.3.1) Técnicas de controle aplicadas aos conversores <i>boost</i> multinível	24
2.3.2) Simulações com as topologias <i>boost</i> multinível.....	26
2.3.3) Considerações sobre os resultados de simulação com as topologias <i>boost</i>	31
Capítulo 3: Circuitos de comando (<i>gate drive</i>)	32
3.1) Técnicas de implementação de circuitos de comando	33
3.1.1) Técnica de <i>charge pump</i>	36
3.1.2) Circuitos Integrados dedicados com uso da técnica <i>charge pump</i>	42
Capítulo 4: Topologias de Inversores para implementação	50
4.1) Propostas de circuitos de <i>drive</i> para inversores multiníveis	55
4.1.1) Proposta inicial de <i>drive</i> para inversores NPC.....	55
4.1.2) Melhoria na proposta inicial de <i>drive</i> para inversores NPC.....	57
4.1.3) Proposta de uma técnica de <i>drive</i> para inversores NPC	59
4.1.4) Proposta de <i>drive</i> final para inversores NPC de 3 níveis	67
Capítulo 5: Resultados experimentais	73
5.1) Carga monofásica conectada para VDC+	74
5.2) Carga monofásica conectada para o terminal N.....	75
5.3) Carga monofásica conectada para GND	76
5.4) Testes com carga trifásica resistiva.....	78
5.4.1) Equilíbrio das tensões nas chaves com carga trifásica resistiva.....	79
5.5) Testes com carga trifásica indutiva.....	81

5.5.1) Equilíbrio das tensões nas chaves com carga trifásica indutiva.....	84
5.5.2) Comentários sobre os resultados com carga trifásica.....	85
5.6) Proteções implementadas	87
Conclusões	89
Propostas para trabalhos futuros.....	91
Referências Bibliográficas	92
ANEXOS	97

ÍNDICE DE FIGURAS:

Fig. 1: Diagrama de um acionamento elétrico.....	2
Fig. 2: Distribuição setorial do consumo de energia elétrica (ANEEL 2002).....	3
Fig. 3: Distribuição do consumo de energia no setor industrial (ANEEL 2002).	3
Fig. 4: Aplicações típicas da eletrônica de potência.....	5
Fig. 5: Proposta do estudo.	7
Fig. 6: Inversor NPC (uma fase).....	10
Fig. 7: Conversor CC dobrador de tensão com inversor Ponte-H.....	12
Fig. 8: Conversor dobrador de tensão com controle em malha aberta.	14
Fig. 9: Pulsos de controle nas chaves (ciclo de trabalho =50%) da Ponte-H.	14
Fig. 10: Tensão gerada pela Ponte-H (V_{ca}) e tensão de saída (V_o)......	15
Fig. 11: Formas de onda da tensão sobre a chave Q1 e diodo D1.....	15
Fig. 12: Diagrama de controle da topologia dobradora.	17
Fig. 13: Técnica de controle PWM com a topologia dobradora.....	18
Fig. 14: Controle do desequilíbrio de tensão com a topologia dobradora.....	18
Fig. 15: Técnica de controle do equilíbrio entre as tensões do barramento.	19
Fig. 16: Regulação da tensão de saída e das tensões nos capacitores C1 e C2.	20
Fig. 17: Conversor dobrador de tensão alimentado pela rede elétrica.	21
Fig. 18: Topologias de conversores CC-CC <i>boost</i> multiníveis.	22
Fig. 19: Controle do desequilíbrio de tensão com a topologia <i>boost</i> 4.	24
Fig. 20: Controle tipo Relé aplicado à topologia <i>boost</i> 4.	25
Fig. 21: Diagrama de controle com a topologia <i>boost</i> 4.....	26
Fig. 22: Correntes sintetizadas pelo inversor.....	27
Fig. 23: Formas de onda das tensões com a topologia <i>boost</i> 4.....	27
Fig. 24: Formas de onda das tensões com a topologia 1.	28
Fig. 25: Situações possíveis para as chaves do conversor.....	29
Fig. 26: Caminho alternativo para a corrente i_L , supondo $V_{C1} < V_{C2}$	30
Fig. 27: Estrutura típica de um circuito de Acionamento.....	33
Fig. 28: Chave de canal flutuante.	34
Fig. 29: Circuito convencional de <i>charge pump</i>	37
Fig. 30: Aplicação da técnica de <i>charge pump</i> em inversores convencionais.	38
Fig. 31: Melhoria no circuito de <i>drive</i> para chaves de canal flutuante.....	39
Fig. 32: Alternativa para redução de consumo do circuito <i>drive</i>	41

Fig. 33: Diagrama interno funcional dos <i>drivers</i> da família IR21XX.....	43
Fig. 34: Teste da técnica <i>charge pump</i> com o <i>drive</i> dedicado IR2110.	44
Fig. 35: Tensão medida no diodo D1 (10V/div, 5 μ s/div).....	48
Fig. 36: Tensão na carga do canal com <i>gate</i> “flutuante” (10V/div, 5 μ s/div).....	49
Fig. 37: Técnica de <i>charge pump</i> aplicada a inversores convencionais.....	50
Fig. 38: Inversor multinível NPC de 3 níveis.....	51
Fig. 39: Inversor NPC alimentado por retificador dobrador.	52
Fig. 40: Tensões típicas de Fase-Neutro de um conversor NPC de 3 níveis.....	52
Fig. 41: Tensões típicas de Fase-Fase de um conversor NPC de 3 níveis.....	53
Fig. 42: Seqüência de chaveamento do inversor NPC (controle onda quadrada).	53
Fig. 43: Circuito <i>drive</i> com <i>charge pump</i> aplicado a inversores NPC.....	55
Fig. 44: Proposta de um <i>drive</i> simples para inversores de 3 níveis tipo NPC.....	57
Fig. 45: Circuito de acionamento com recarga automática de C1.....	59
Fig. 46: Experimento com um braço do inversor multinível.....	60
Fig. 47: Tensão na carga para o teste inicial (20V/div, 20 μ s/div).....	61
Fig. 48: Configuração com a carga conectada ao barramento CC.	62
Fig. 49: Tensão sobre a chave Q3 (20V/div, 20 μ s/div).....	62
Fig. 50: Tensão sobre a chave Q3, com a proteção ativada (20V/div, 20 μ s/div).....	64
Fig. 51: Tensão sobre a chave Q4, e seu pulso de <i>gate</i> (20V/div, 10 μ s/div)..	65
Fig. 52: Malha de corrente de recarga do capacitor C3.....	66
Fig. 53: Proposta final do circuito <i>drive</i> para inversores NPC.....	67
Fig. 54: Circuito de recarga dos capacitores de <i>bootstrap</i>	68
Fig. 55: Balanço de energia do MGD.....	69
Fig. 56: Tensões nas chaves, com a carga conectada entre VDC+ e SAÍDA	74
Fig. 57: Tensões nas chaves, com a carga conectada entre N e SAÍDA	75
Fig. 58: Tensões nas chaves com a carga conectada entre GND e SAÍDA	76
Fig. 59: Resultados com carga trifásica (f=60Hz).....	78
Fig. 60: Tensões nas chaves com carga trifásica resistiva (20 V/div, 10ms/div).....	79
Fig. 61: Tensão sobre a chave Q3 (20V/div, 100 μ s/div).....	80
Fig. 62: Influência do tempo morto nas formas de onda de saída.	80
Fig. 63: Resultados com carga indutiva (motor de indução, f= 60Hz).....	81
Fig. 64: Espectro de frequência da tensão-Fase-Neutro (THD=18%).....	81
Fig. 65: Tensão Fase-Fase(VAB).	82
Fig. 66: Espectro de frequência da tensão-Fase-Fase (THD=16,9%).	82

Fig. 67: Corrente de fase do motor (200 mA/div, f= 60 Hz).....	83
Fig. 68: Tensões nas chaves com carga trifásica indutiva (20 V/div, 10ms/div).....	84
Fig. 69: Diagrama simplificado dos circuitos e proteções adotadas.	87
Fig. 70: Fluxograma das proteções.....	88

ÍNDICE DE FIGURAS DOS ANEXOS:

Fig.C 1: Acionamento com optoacopladores.	113
Fig.C 2: Acionamento de um braço de inversor com PVI.....	115
Fig.D 1: Fase individual do inversor NPC (11cm x.13.5cm).....	117
Fig.D 2: Placa de isolamento e proteções (15cm x 15.5cm).....	118
Fig.D 3: Montagem final do protótipo.	118
Fig.E 1: Diagrama simplificado dos circuitos e proteções adotadas.	119
Fig.E 2: Circuito de proteção 1.....	120
Fig.E 3: Circuito de proteção 2.....	121
Fig.E 4: Circuito de proteção 3.....	122

ÍNDICE DE TABELAS:

Tabela 1: Lógica do controle tipo Relé aplicado às topologias <i>boost</i>	25
Tabela 2. Seqüências válidas em um inversor NPC de 3 níveis.....	64
Tabela 3: Exemplo de situações de risco.....	86
Tabela 4: Comparação entre as chaves de potência.	110

Capítulo 1: Introdução

1.1) Apresentação

Desde os anos 60, tem havido avanços constantes no desenvolvimento de dispositivos semicondutores de potência, resultando em componentes novos com melhores características como: maior robustez, maior velocidade de comutação, aumento dos limites de potência e maiores níveis de tensão e corrente suportados [1]-[2]. Exemplos de componentes novos são as chaves IGBTs (*Insulated Gate Bipolar Transistor*), MOSFETs (*Metal Oxide Silicon Field Effect Transistor*), os Tiristores em geral, onde se destacam os GTOs (*Gate Turn-Off Thyristors*) e, recentemente, os IGCTs (*Integrated Gate Commutated Thyristors*) [3].

Na medida em que esses desenvolvimentos ocorrem e técnicas novas para a solução de problemas aparecem, as áreas de aplicação da Eletrônica de Potência (EP) se ampliam. Atualmente, é cada vez mais comum o seu uso em processos industriais diversos, controle de máquinas e equipamentos, transmissão e geração de energia etc.

Uma das áreas que tem experimentado uma forte influência desses avanços é a de controle de motores elétricos trifásicos como, por exemplo, em acionamentos com velocidade variável. Os acionamentos elétricos com velocidade variável são utilizados em máquinas-ferramenta, laminadores, moinho de rolos, maquinaria têxtil e de papel, sistemas de bombeamento, ventiladores, tração, movimentação vertical e horizontal de cargas, sistemas de robótica e, mais recentemente, em veículos elétricos.

Dada a gama de aplicações desse tipo de acionamento, ele tem sido alvo de pesquisas diversas, para melhoria do desempenho de máquinas elétricas.

Conforme ilustrado no diagrama da Fig. 1, um acionamento com velocidade variável é constituído, basicamente, pelos seguintes elementos:

- Fonte de energia elétrica;
- Conversor de potência;
- Máquina elétrica;
- Sistema mecânico (carga);
- Unidades de controle e comando do conversor de potência.

Os tipos de máquinas elétricas mais comumente empregadas nesse acionamento são:

- Motor de corrente contínua (campo excitado ou de ímã permanente);
- Motor de indução (rotor em gaiola e bobinado);
- Motor síncrono (convencionais e de ímã permanente);
- Motor de relutância e motor de passo.

Desses tipos, uma atenção maior tem sido dada aos motores CA de indução, principalmente aos motores trifásicos e às máquinas síncronas de ímã permanente PMSM (*Permanent Magnet Synchronous Machine*) [4]-[7].

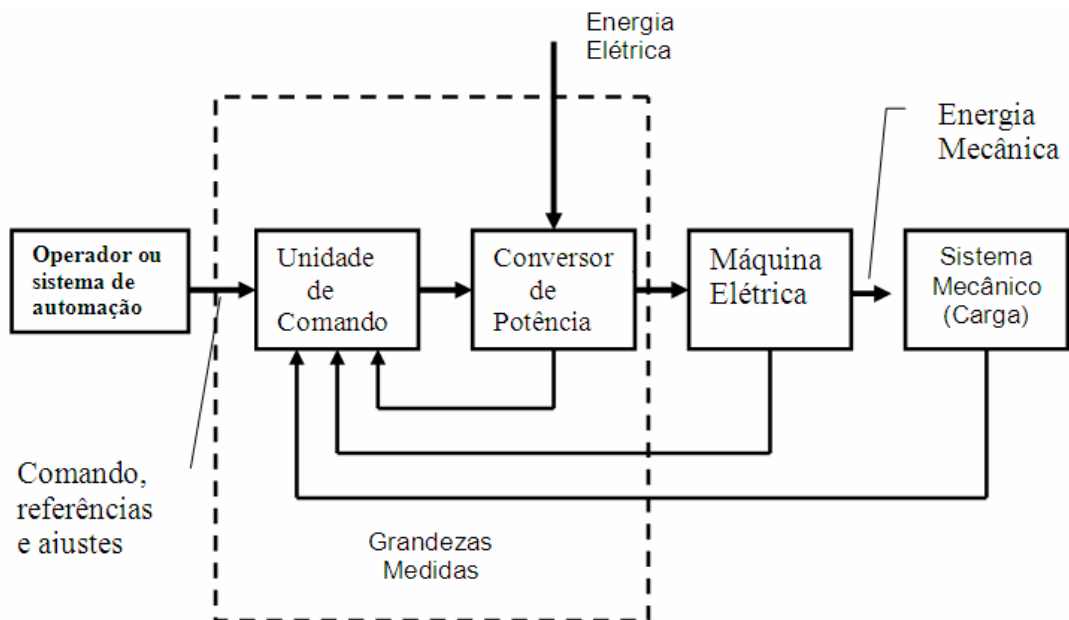


Fig. 1: Diagrama de um acionamento elétrico.

Os motores de indução e os síncronos vêm substituindo os tradicionais motores de corrente contínua devido a sua maior robustez e durabilidade, maior rendimento, menor volume e menor taxa de manutenção, associados a custos reduzidos, obtidos, entre outros fatores, pelo uso da EP [1], [8].

Existe uma quantidade grande de acionamentos elétricos cujas características variam em função do motor, do conversor e da técnica de controle [9], sendo um campo vasto de pesquisa da EP.

Outra área onde a EP tem contribuído é a de conservação e qualidade de energia e, de acordo com [10-seção 3.3], com a difusão da importância da sustentabilidade dos sistemas energéticos e sobretudo com a elevação dos preços relativos dos combustíveis em meados da década de setenta, emergiu a necessidade do uso racional da energia e uso de fontes alternativas, quer no âmbito das empresas, quer no cenário internacional. Desde então a chamada “conservação de energia” tem sido considerada como um recurso energético adicional, em muitos casos mostrando maior economicidade do que as alternativas disponíveis. Por exemplo, diversas medidas de redução do consumo de energia elétrica, como a substituição de lâmpadas incandescentes por lâmpadas fluorescentes econômicas e a adequação dos motores de indução a padrões mais eficientes, requerem investimentos da ordem de 5 a 15 US\$/MWh economizado, custos muito inferiores aos requeridos para se gerar esta energia a partir dos sistemas convencionais do sistema elétrico, estimados em termos marginais acima de 60 US\$/MWh. Ou seja, liberar 1 kWh reduzindo o desperdício custa quatro vezes menos que produzir 1 kWh adicional. Portanto, torna-se vantajoso investir em medidas de redução do desperdício e em pesquisas de equipamentos mais eficientes.

As Figuras Fig. 2 e Fig. 3 mostram dados referentes ao consumo de energia elétrica nacional de anos recentes. Observa-se nessas Figuras, que os motores trifásicos de indução contribuem com uma parcela considerável desse consumo.

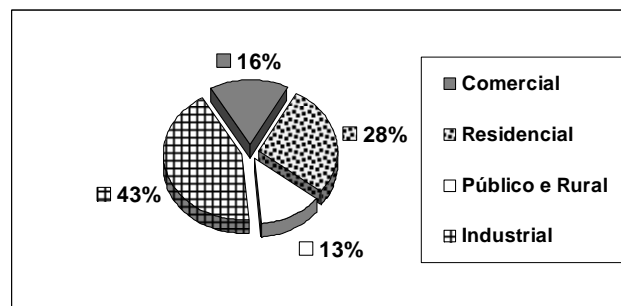


Fig. 2: Distribuição setorial do consumo de energia elétrica (ANEEL 2002).

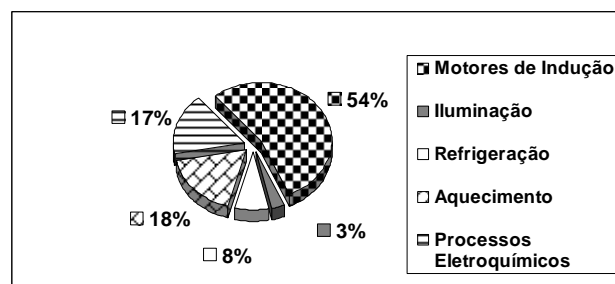


Fig. 3: Distribuição do consumo de energia no setor industrial (ANEEL 2002).

Devido a isso, grandes esforços vêm sendo feitos no desenvolvimento de novos materiais empregados nesses motores, para que sua eficiência possa ser melhorada. A EP tem contribuído para essa melhoria, através de novas técnicas de controle e de conversores mais eficientes, com reflexo na redução do consumo de energia e da geração de harmônicos, aumentando, por conseguinte, a qualidade de energia.

Na utilização de energias alternativas, como a solar e eólica, e no emprego em veículos elétricos, a EP também tem sido importante. Nestes casos, o acionamento e controle de cargas são feitos sem a presença da rede elétrica convencional.

No caso da energia proveniente do sol ou do vento surgem problemas de desigualdade de geração entre as diversas células ou turbinas existentes no sistema como um todo, as quais precisam ser interligadas em um único sistema. Neste caso surgem os conversores CC-CC (*Choppers*) que podem solucionar o problema de paralelismo entre as diversas fontes geradoras primárias, fazendo assim com que haja apenas um único barramento CC, que irá alimentar adequadamente o inversor, aproveitando a potencialidade máxima de cada fonte, independente das condições de operação.

Em veículos elétricos a fonte primária é proveniente de baterias, células fotovoltaicas ou células combustíveis. Neste caso, também se torna conveniente um conversor que regule a tensão gerada, para que a alimentação do inversor possa ser feita adequadamente. Além disso, a tensão primária disponível está, geralmente, muito abaixo do valor mínimo necessário ao acionamento do motor elétrico, tornando necessário o emprego de conversores CC-CC elevadores de tensão.

Percebe-se em todas as aplicações mencionadas, que os conversores de potência estão sempre presentes, tornando-se um elemento de grande importância no funcionamento de sistemas com motores elétricos. Por isso, eles serão estudados nessa dissertação.

1.2) Motivação do estudo

Usualmente o acionamento de motores CA é feito através de um conversor CC-CA de potência, também conhecido como inversor, onde se aplicam técnicas de controle para melhoria do desempenho. Diversas topologias de inversores podem ser empregadas nestes acionamentos, onde é utilizada, em geral, uma etapa retificadora, que fornecerá a tensão adequada ao inversor para excitar a máquina ou carga em questão [1], [3].

Em algumas aplicações de baixa potência, contudo, motores elétricos CA trifásicos devem ser acionados e controlados a partir de uma tensão contínua. Exemplos disso são veículos elétricos, turbinas eólicas etc. Quando uma aplicação dessas exige valores de alimentação CC elevados, utiliza-se, geralmente, um conversor CC-CC para a elevação da tensão da fonte primária CC. Essa nova tensão irá alimentar, então, um inversor, que atuará como interface entre o sistema de alimentação (barramento CC) e o motor, ou carga específica.

Tanto os conversores CC-CC quanto os inversores precisam de semicondutores de potência que atendam as tensões de bloqueio e as correntes de condução exigidas pela aplicação a que se destinam. Alguns componentes podem ser usados em várias aplicações, enquanto outros estão limitados a uma faixa pequena de utilização, conforme ilustrado na Fig. 4 [11]. A seleção do componente mais apropriado é, portanto, um item a ser considerado no projeto.

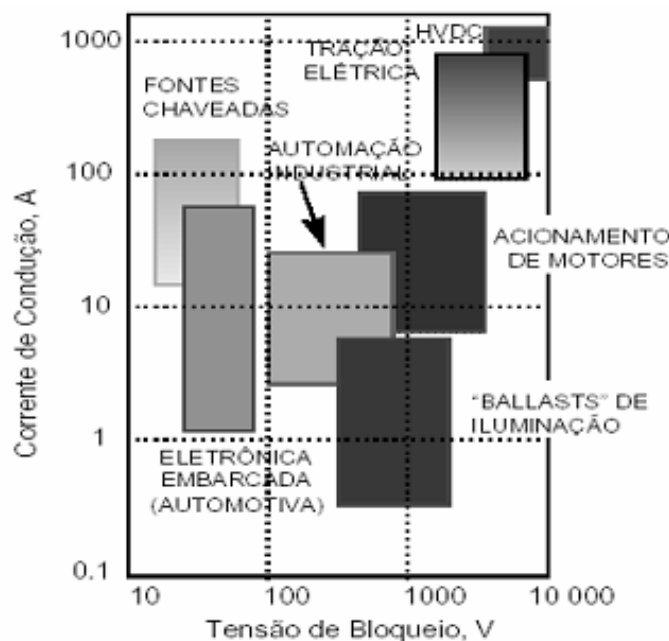


Fig. 4: Aplicações típicas da eletrônica de potência.

Se uma determinada aplicação exige valores superiores aos suportados pelos dispositivos disponíveis, recorre-se à associação de componentes ou até mesmo de conversores, em série ou paralelo, para atender tais condições. Esse procedimento, no entanto, exige um projeto mais cuidadoso e preciso a fim de assegurar uma divisão equitativa da tensão ou corrente entre os dispositivos utilizados e evitar que seus limites sejam ultrapassados.

Conversores que utilizam esse procedimento vêm sendo chamados de conversores multiníveis. É provável que a terminologia multinível tenha surgido a partir dos arranjos de transformadores multifásicos, muito utilizados nos primórdios da Eletrônica de Potência [11].

Os conversores multiníveis estão se tornando um grande atrativo para a eletrônica de potência por possibilitar não só a divisão da grandeza a ser controlada entre os componentes empregados, o que permite a redução de custos, mas também por apresentar melhoria no espectro de frequência dos sinais envolvidos, devido à redução do índice de harmônicos produzidos no chaveamento. Em conversores CC-CA (inversores), essa última característica, além de melhorar a qualidade da tensão entregue pelo inversor, contribui para aumentar a eficiência do sistema inversor-máquina.

Outra característica da técnica multinível é que ela exige muito menos das chaves, já que a frequência de chaveamento de uma chave individual é inferior à da repetição de pulsos na tensão de saída. Assim, estratégias de controle mais complexas podem ser utilizadas, empregando processadores mais simples.

Diferentes tipos de inversores multiníveis podem ser encontrados na literatura, tais como: NPC (*Neutral-Point Clamped*), também conhecido como *Diode clamped inverter*, *Flying Capacitor*, *Transformer coupled*, *Series H-bridge*, dentre outros. Estes inversores podem ser multiníveis em tensão ou em corrente, dependendo da aplicação de interesse [11]-[12]. A escolha de uma ou outra topologia fica sempre ponderada por fatores técnicos como eficiência exigida, número de dispositivos exigido, complexidade de implementação e os custos envolvidos.

1.3) Objetivos e estrutura da dissertação

O objetivo do presente trabalho é o estudo da técnica multinível aplicada em conversores de potência, para aplicações em baixa potência. Será dada ênfase aos conversores CC-CC elevadores de tensão e aos inversores para o acionamento de motores trifásicos de baixa potência, visando a redução de perdas no conjunto acionamento-motor e o aproveitamento de fontes alternativas de energias. A Fig. 5 ilustra a proposta deste estudo.

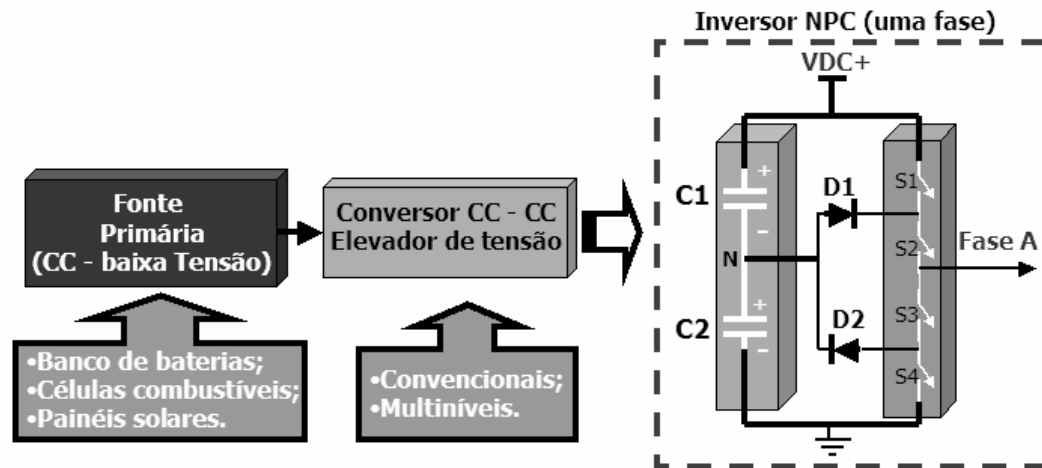


Fig. 5: Proposta do estudo.

Este trabalho é uma continuação dos trabalhos [13]-[14] sobre acionamento e controle de motores elétricos desenvolvidos no CEPEL (Centro de Pesquisas de Energia Elétrica), onde foi utilizado um inversor convencional industrial de média potência controlado por um DSP (*Digital Signal Processing*) com técnica PWM (*Pulse Width Modulation*) para o controle de um motor síncrono de ímã permanente (PMSM – *Permanent Magnet Synchronous Machine*), do tipo montado em superfície (*Surface Mounted* [5]).

Neste trabalho, a abordagem será a implementação de inversores trifásicos, principalmente os inversores multiníveis NPC, procurando diminuir a distorção harmônica (THD%) da tensão e corrente gerada, reduzir a frequência de chaveamento, usar chaves com tensões de bloqueio menores, de modo a reduzir custos e perdas.

Para alcançar esses objetivos, serão realizados diversos estudos. Na topologia de conversor CC-CC elevador de tensão do tipo boost multinível, será aplicado o controle tipo relé para equalizar suas tensões de saída. Para o conversor CC-CC dobrador de tensão em ponte H, um esquema novo de controle, empregando a técnica PWM, será

proposto que permitirá essa equalização. Os dois tipos de controle possibilitam simplificar o controle do inversor NPC.

Em relação ao inversor, propriamente, será proposto um novo circuito de acionamento de suas chaves, empregando a técnica de *charge pump*. O circuito proposto permitirá o comando independente de cada par de chaves, acionamento dessas chaves por intervalos de tempo longos e equalização das tensões sobre as mesmas, tanto em regime quanto em transitórios. Serão implementados, também, circuitos de proteção e indicadas condições de operação que visem garantir o funcionamento adequado do inversor e a segurança de seus componentes.

O trabalho foi dividido nas etapas descritas a seguir.

1ª Etapa (capítulo 2):

Estudo de topologias de conversores CC-CC elevadores de tensão. Serão abordadas diferentes topologias de conversores, sendo dada ênfase aos conversores multiníveis. Nesta etapa serão feitas simulações e validações das topologias apresentadas. As simulações serão realizadas com a finalidade de analisar técnicas de controle capazes de permitir a regulação da tensão de saída e garantir as condições necessárias ao funcionamento de inversores trifásicos do tipo NPC.

2ª Etapa (capítulo 3):

Estudo e projeto de circuitos de comando de chaves de potência (*gate drive*), aplicados a chaves do tipo MOSFETs ou IGBTs, com a finalidade do desenvolvimento de um protótipo de um inversor NPC de três níveis. Será enfatizado a aplicação da técnica denominada *charge pump*, onde neste caso serão utilizados dispositivos integrados MGDs (*MOS-Gate Drive ICs*).

3ª Etapa (capítulo 4):

Análise de inversores multiníveis trifásicos, sendo enfatizado o tipo NPC (*Neutral-Point-Clamped*) de três níveis. Essa análise será feita através de simulações, abordando a aplicação desse tipo de inversor na geração de onda quadrada trifásica em 60 Hz, ou seja, sem a aplicação de técnicas de modulação. Estratégias de implementação de circuitos de *drive* para esta topologia de inversor serão apresentadas e uma técnica será proposta, tendo como objetivo um inversor com desempenho satisfatório, baixo custo e capaz de trabalhar com uma tensão de barramento CC de até 500 VCC.

Nesta etapa as proteções e características peculiares da topologia NPC serão também analisadas.

4ª Etapa (capítulo 5):

Realizar testes experimentais em bancada com um protótipo de inversor NPC. Será verificado o equilíbrio das tensões nas chaves, mediante o uso de diversas configurações de carga, tanto trifásicas como monofásicas. A validação quanto ao uso de chaves tipo MOSFET ou IGBT também será analisado.

Os projetos e implementações serão feitos dentro do contexto da disponibilidade de chaves semicondutoras e circuitos integrados dedicados no mercado brasileiro.

Conclusões, análises críticas dos resultados experimentais e trabalhos futuros também serão abordados.

1.4) Metodologia utilizada

A metodologia utilizada neste trabalho será a seguinte:

- Modelagem e simulação digital de circuitos, usando o programa PSCAD/EMTDC, disponível no laboratório de engenharia elétrica da COPPE/UFRJ;
- Análises e ajustes dos parâmetros de controle dos circuitos simulados;
- Projeto e testes de circuitos eletrônicos para a realização de experimentos em bancada;
- Análise e crítica dos resultados experimentais.

Capítulo 2: Topologias de conversores elevadores de tensão

2.1) Topologias de conversores CC-CC de interesse

Esse capítulo trata dos conversores elevadores de tensão que podem ser usados em conjunto com inversores do tipo NPC. São feitas análises de algumas topologias, tanto convencionais quanto multiníveis, que possam atender os requisitos de elevação de tensão e alimentação do inversor NPC.

Um inversor trifásico multinível, do tipo NPC de 3 níveis, é mostrado novamente na Fig. 6, para uma fase apenas. Tal inversor foi escolhido neste trabalho, por ser um dos tipos de inversores multiníveis mais simples de se implementar. Entretanto, ele requer uma alimentação com duas tensões de barramento CC de mesma amplitude (capacitores C1 e C2 da Fig. 6). Essa característica determina o conversor CC-CC que pode ser usado e impõe condições no seu controle.

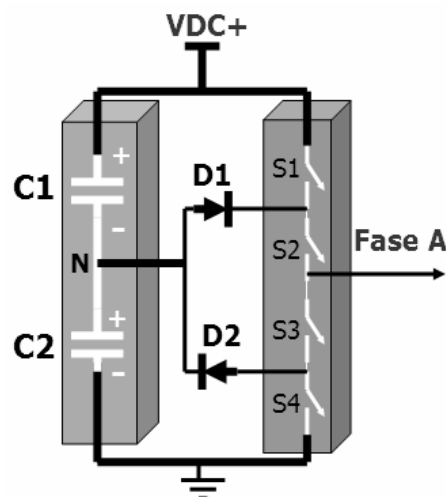


Fig. 6: Inversor NPC (uma fase).

O controle, por sua vez, pode fazer parte, do próprio inversor ou do circuito que o alimenta, e a sua função é garantir o valor da tensão no ponto central dos capacitores (ponto N) igual à metade da tensão do barramento de saída. Caso contrário, um nível CC estaria presente nas tensões de saída sintetizadas pelo inversor, o que causaria problemas em algumas aplicações [15].

Neste trabalho optou-se por colocar o controle no circuito de alimentação. Assim, o conversor CC-CC de interesse deverá ser capaz de fornecer duas tensões de saída e possuir um controle que mantenha essas tensões sempre com a mesma amplitude.

Para satisfazer as condições mencionadas acima, cinco topologias de conversores CC-CC foram selecionadas: uma formada por um inversor monofásico em ponte completa (Ponte-H) [3], [16] acoplado a um retificador dobrador de tensão [17] e quatro do tipo *boost* multinível.

A primeira topologia, descrita a seguir, embora não seja multinível, será analisada devido a sua simplicidade de implementação e por se apresentar como uma possível solução quando se deseja a elevação de tensão CC.

2.2) Conversor CC-CC dobrador de tensão com inversor Ponte-H

A Fig. 7 apresenta o circuito do conversor CC-CC dobrador de tensão com inversor Ponte-H. A etapa de entrada (Ponte-H) desse circuito tem a finalidade de gerar uma onda quadrada simétrica, com amplitude igual à da fonte CC primária (baterias). Pode ser observado nessa Figura que as chaves usadas são acionadas aos pares: Q1 e Q4 são acionadas ao mesmo tempo pelo controle $g1$, e Q2 e Q3 são acionadas ao mesmo tempo pelo controle $g2$. Esse acionamento deve ser feito de tal forma a evitar curto-circuito nos ramos formados por Q1 com Q3 e Q2 com Q4.

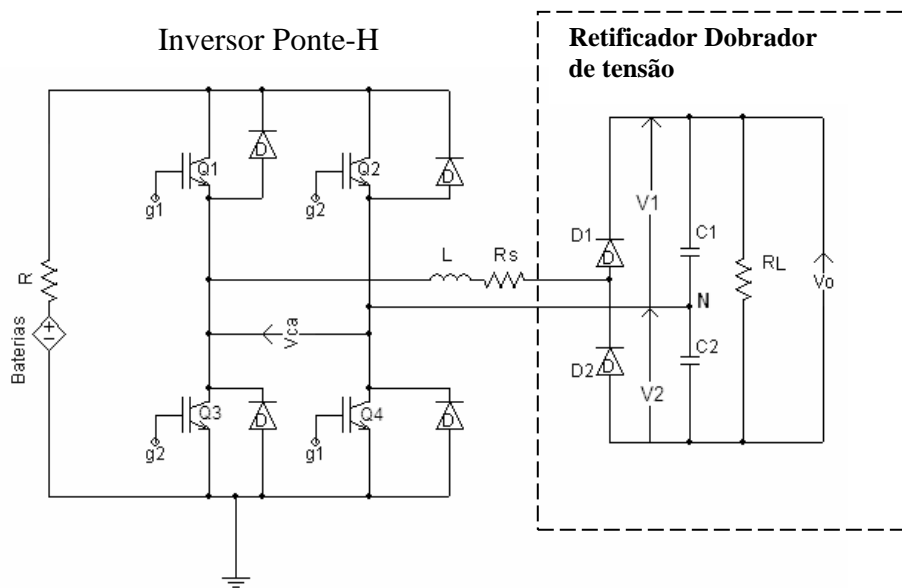


Fig. 7: Conversor CC dobrador de tensão com inversor Ponte-H.

Para assegurar que a condução simultânea das chaves não ocorra, costuma-se adicionar um tempo de espera entre as comutações, geralmente chamado de tempo morto (*dead time*), que depende do tipo de chave usada, frequência de operação do conversor e tipo de carga utilizada.

O retificador dobrador de tensão, conectado à saída do inversor Ponte-H, é um circuito mais conhecido se deseja retificar uma tensão senoidal e obter um nível CC com valor igual a duas vezes o valor de pico da tensão de entrada [3]. No circuito da Fig. 7 também pode ser observado a existência do ponto central (N), cuja tensão deverá ser igual à metade da tensão de saída V_o .

O acoplamento entre esses dois circuitos não pode ser feito diretamente por se tratar de duas fontes de tensão. Assim, na entrada do dobrador é inserida uma indutância (L) que permite a ligação dos dois circuitos e atua, também, como filtro para suavizar possíveis picos de corrente, oriundos do sinal de entrada (V_{ca}). O valor do indutor

interfere inversamente na amplitude da tensão CC de saída (V_o): quanto maior L , menor será V_o .

Geralmente, o interesse maior em diversas aplicações é obter uma tensão de saída que possa ser ajustada em uma faixa de valores (V_{\min} , V_{\max}). Para se conseguir tal ajuste, emprega-se um controle no acionamento das chaves semicondutoras, conforme apresentado nas próximas seções.

Nas análises que se seguem, foram feitas simulações baseadas nos circuitos dos Anexos A.1 e A.2, empregando os valores:

$V_{bat} = 96 \text{ VCC}$ (tensão de entrada).

$R=R_s=0,1\Omega$ (resistência de perdas)

$L=10\mu\text{H}$

$C_1=C_2 =330\mu\text{F}$

$f = 5\text{kHz}$ (frequência de chaveamento).

2.2.1) Topologia dobradora com controle em malha aberta

Nessa seção será visto o controle em malha aberta para essa topologia, empregando os valores dos componentes anteriormente indicados e uma carga resistiva com potência equivalente a 1HP. Os resultados conseguidos são discutidos a seguir.

A Fig. 8 apresenta o esquema de controle em malha aberta utilizado, com o qual foram feitas as simulações desta seção. Maiores detalhes do circuito podem ser vistos no Anexo A.1.

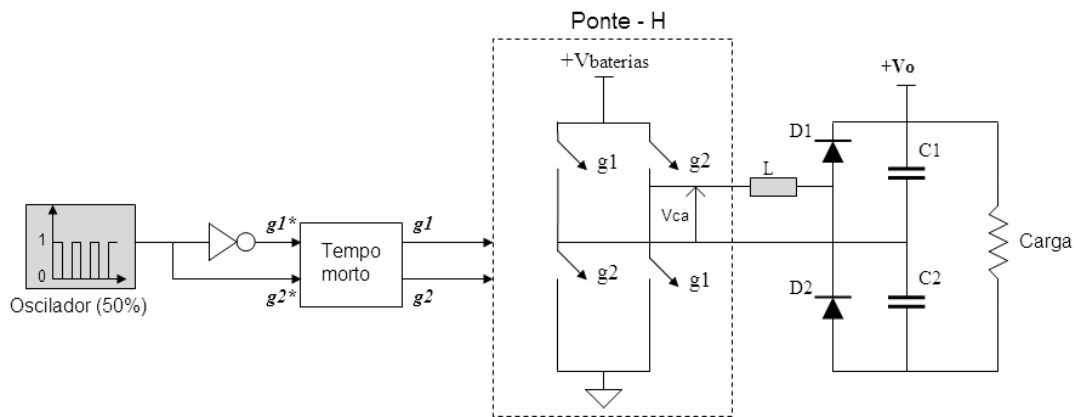


Fig. 8: Conversor dobrador de tensão com controle em malha aberta.

O controle em malha aberta consiste em aplicar sinais fixos, produzidos por um circuito oscilador, com frequência e ciclo de trabalho constantes, nos terminais de controle $g1$ e $g2$ das chaves. A Fig. 9 apresenta os sinais desse tipo $g1$ e $g2$ aplicados nos pares de chaves Q1-Q4 e Q2-Q3, respectivamente, onde o nível 1 corresponde a chave acionada e o nível 0 a chave desligada. Um tempo morto é inserido sempre que há a transição do nível lógico 0 para o nível lógico 1, e nenhum tempo morto é aplicado no desligamento das chaves.

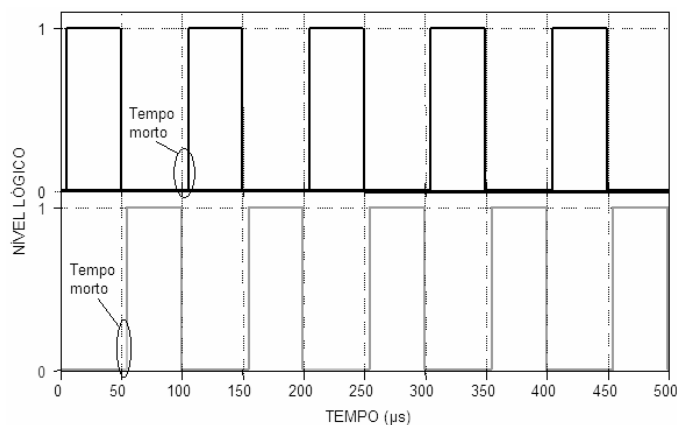


Fig. 9: Pulsos de controle nas chaves (ciclo de trabalho =50%) da Ponte-H.

A Fig. 10 mostra a forma de onda V_{ca} , gerada pela Ponte-H (Fig. 8), bem como a tensão de saída V_o , com aproximadamente o dobro de amplitude da tensão primária ($V_o \cong 180 \text{ VCC}$).

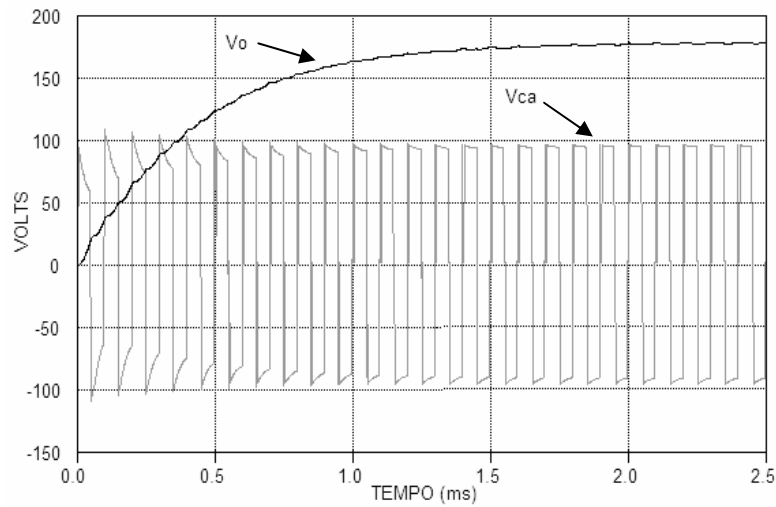


Fig. 10: Tensão gerada pela Ponte-H (V_{ca}) e tensão de saída (V_o).

Com a topologia apresentada na Fig. 7 também é possível obter um maior fator de elevação de tensão, com o emprego de conversores em cascata, onde a tensão de saída de entrada de um conversor é a tensão de entrada do conversor seguinte.

A Fig. 11 mostra os valores de tensão que surgem nos terminais das chaves comutadoras usadas e nos diodos do retificador. Pelos valores apresentados para essa implementação, verifica-se ser necessário assegurar que as chaves usadas na Ponte-H suportem a tensão do barramento CC que as alimenta, enquanto os diodos da etapa dobradora deverão ter capacidade de bloqueio com o dobro desse valor.

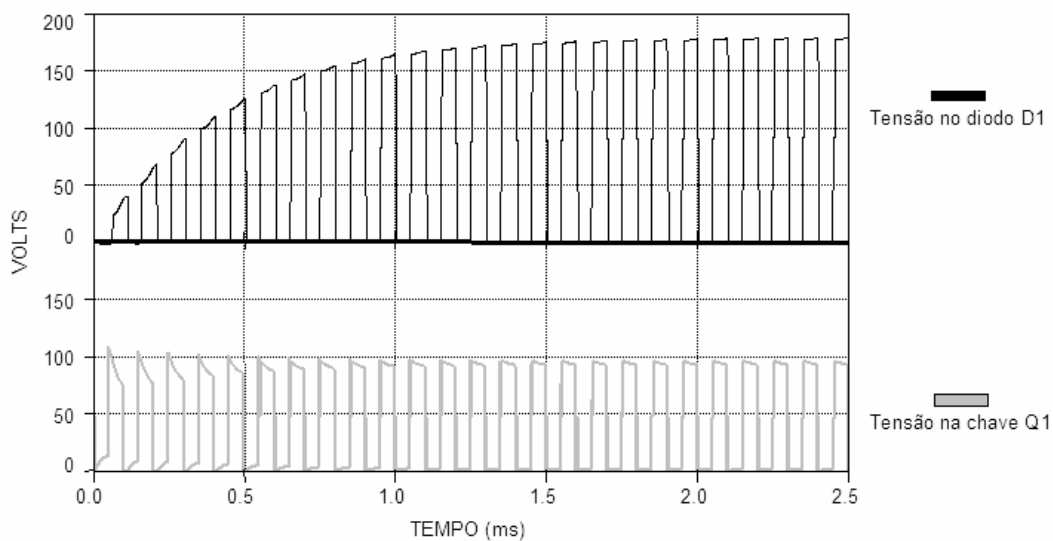


Fig. 11: Formas de onda da tensão sobre a chave Q1 e diodo D1.

Analisando os resultados obtidos, é possível verificar que, embora a tensão de saída tenha alcançado o valor esperado ($\cong 2V_{bat}$), a aplicação do controle em malha aberta não permite ajustes na tensão de saída para valores inferiores ao máximo e não garante o comportamento desejado da tensão no ponto central N (seção 2.1). Como se pretende utilizar inversor do tipo NPC nesse trabalho, garantir o comportamento da tensão no ponto N é um fator crítico.

Assim, é necessária uma técnica de controle que consiga o comportamento adequado da tensão no ponto N, conforme apresentado na próxima seção.

2.2.2) Topologia dobradora com controle em malha fechada

Para permitir o ajuste da tensão de saída numa faixa de valores e assegurar o comportamento da tensão no ponto N (Fig. 7), esta seção analisará um controle em malha fechada.

Esse controle é constituído por um somador de duas entradas, um controlador, $C(s)$, um limitador e pelo módulo PWM, conforme ilustrado na Fig. 12.

O somador fornece um sinal de erro, $err1$, resultado da diferença entre o sinal de saída do conversor, V_o (medição), e um sinal de referência V_{o_ref} . Esse sinal, após passar pelo controlador $C(s)$, tem sua amplitude limitada, fornecendo o sinal $m1$. O sinal modulante $m1$ é então aplicado às entradas do circuito de PWM, onde é comparado com dois sinais de portadoras, de forma dente-de-serra, defasados de 180° entre si (portadoras 1 e 2 da Fig. 12). Essas comparações geram, então, os sinais de controle $g1$ e $g2$ das chaves do inversor Ponte-H.

O limitador é necessário para que não haja sobreposição no tempo dos sinais $g1$ e $g2$, o que provocaria curto-circuito no barramento primário (baterias). O valor limite que evita a superposição dos sinais é igual a 50% da amplitude das portadoras, o que corresponde aos pontos de interseção entre elas.

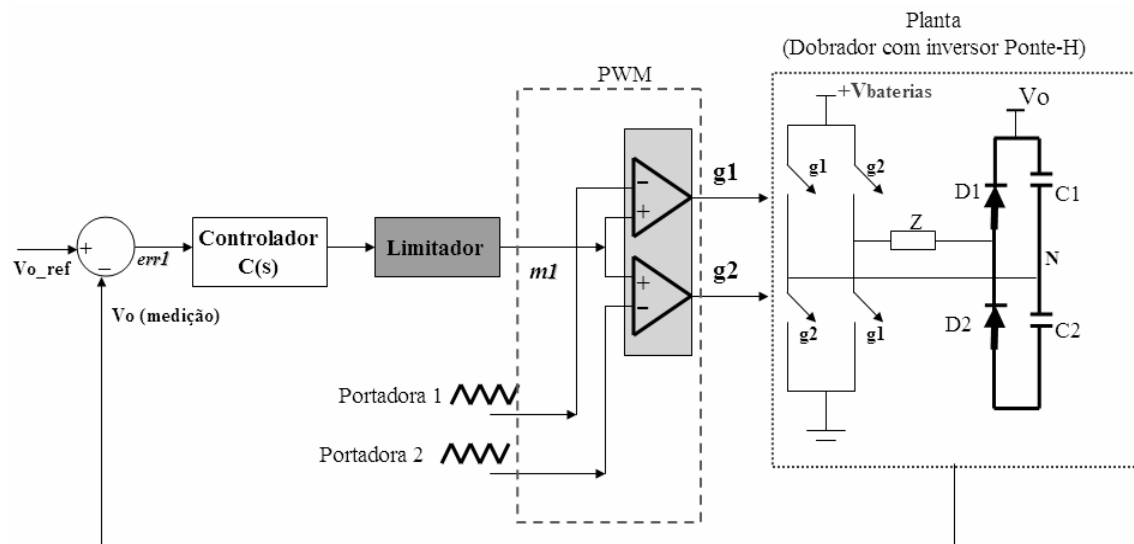


Fig. 12: Diagrama de controle da topologia dobradora.

O sinal modulante, as portadoras e o valor do limitador (em 50%) podem ser vistos na Fig. 13. Nesta Figura também é mostrado os sinais de controle $g1$ e $g2$, que são gerados sempre que as amplitudes das portadoras estiverem abaixo do sinal modulante.

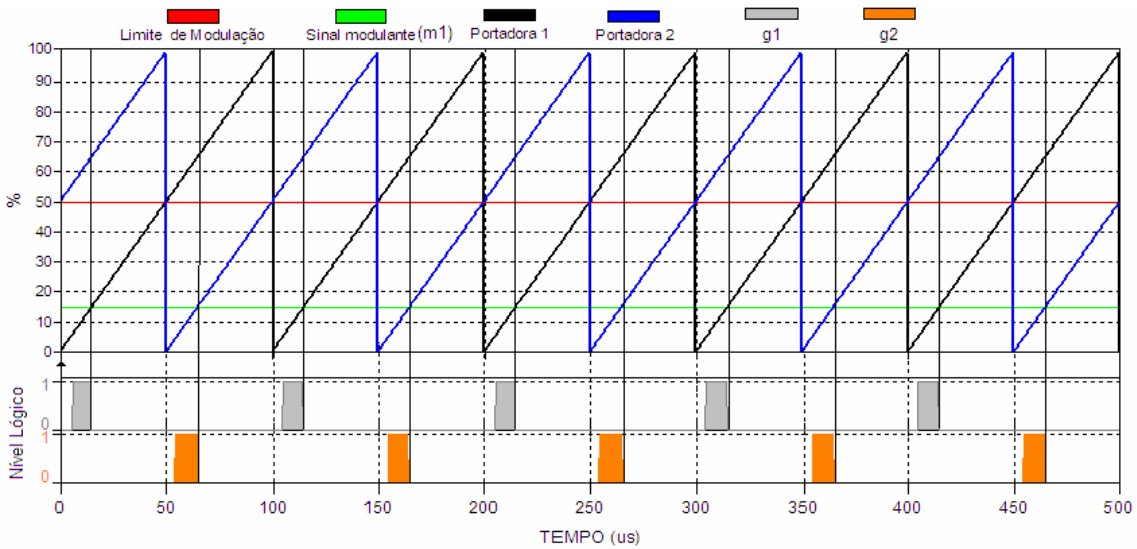


Fig. 13: Técnica de controle PWM com a topologia dobradora.

Esse tipo de controle consegue manter a tensão V_o ajustada em um valor dentro da faixa desejada, atuando nos ciclos de trabalho dos pulsos $g1$ e $g2$, através do controlador $C(s)$. Entretanto, como pode ser verificado na Fig. 13, esses pulsos são sempre idênticos, apenas possuindo uma defasagem fixa entre si, o que não permite controlar a tensão do ponto central N , o que equivale a dizer que não é possível o controle das tensões $VC1$ e $VC2$ de forma independente (Fig. 7).

Uma forma de contornar esse problema é colocar um controle independente para os ciclos de trabalho de $g1$ e $g2$, conforme mostrado na Fig. 14.

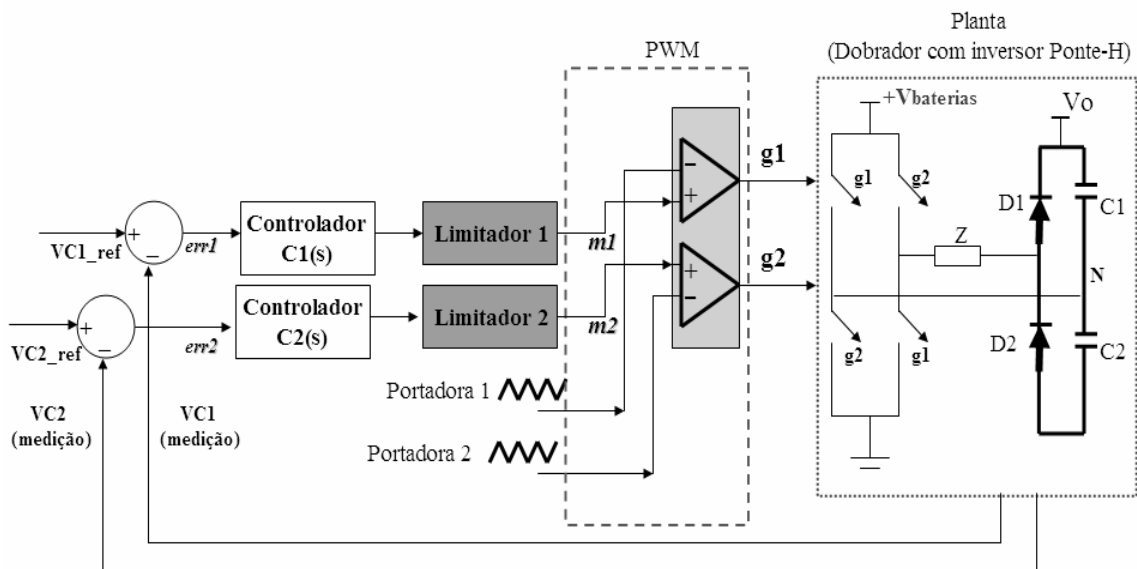


Fig. 14: Controle do desequilíbrio de tensão com a topologia dobradora.

No diagrama de controle da Fig. 14 as tensões $VC1$ e $VC2$ serão controladas para possuírem o mesmo valor ou o mais próximo possível. Para isto, existirão dois

senais de erro ($err1$ e $err2$), os quais serão controlados de forma independentemente, pelos controladores $C1(s)$ e $C2(s)$, os quais irão gerar também dois senais modulante ($m1$ e $m2$) e que serão aplicados às entradas dos circuitos geradores de PWM, permitindo a geração de dois senais distintos, $g1$ e $g2$. Com esse procedimento, qualquer desequilíbrio no ponto central do barramento CC será corrigido automaticamente pelo aumento ou redução do ciclo de trabalho dos pulsos gerados.

A Fig. 15 ilustra os senais conseguidos com o novo diagrama de controle, onde se observa que para senais modulantes diferentes, são gerados senais de controle diferentes.

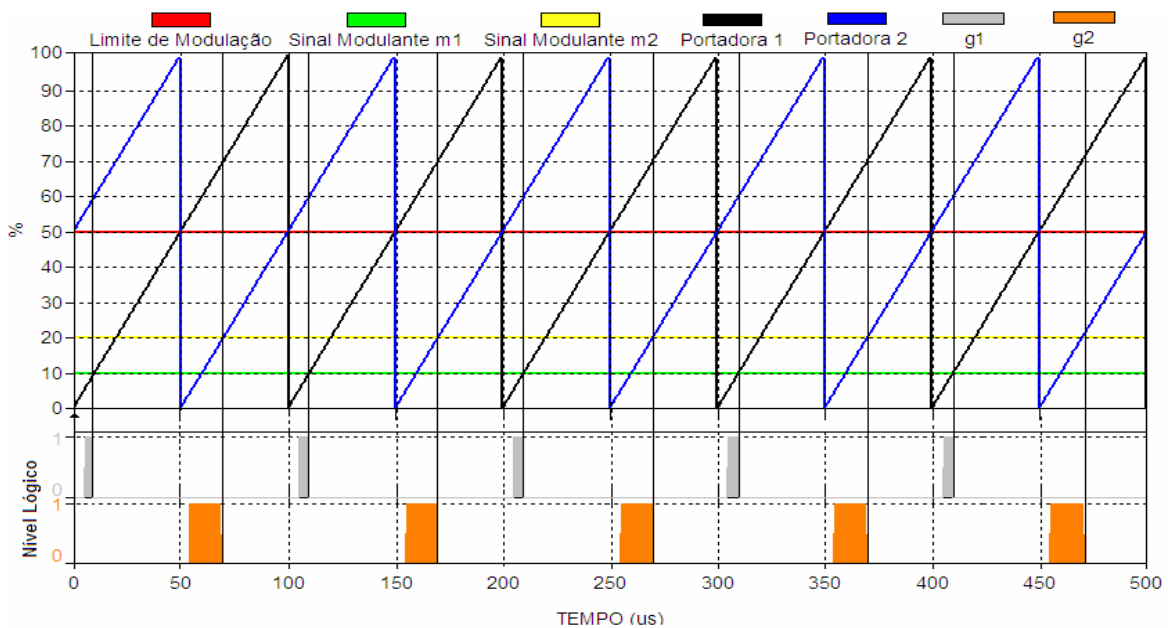


Fig. 15: Técnica de controle do equilíbrio entre as tensões do barramento.

Para verificar o processo de equilíbrio da tensão do ponto central (N), foi feita uma simulação empregando os dois tipos de controle, malha aberta e malha fechada, em uma topologia com dois conversores CC-CC dobrador de tensão com inversor Ponte-H (Fig. 7) ligados em cascata, onde os controladores $C1(s)$ e $C2(s)$ utilizados são do tipo proporcional (Anexo A.2).

O controle de malha aberta foi empregado no primeiro conversor (Fig. 9), enquanto os controles de malha fechada, com uma e com duas tensões de referência, foram aplicados no segundo (Fig. 12 e Fig. 14 respectivamente).

Para observar o equilíbrio conseguido, as tensões dos capacitores $C1$ e $C2$ (também denominadas $V1$ e $V2$) foram monitoradas. O melhor resultado ocorre quando essas tensões são iguais ou muito próximas.

Na simulação, foi forçado um desequilíbrio de consumo de corrente nos capacitores C1 e C2, acarretando diferença nos valores das suas tensões, para analisar a atuação dos controles descritos. Dessa forma, a simulação constou de duas partes: na primeira, com duração de 30 ms, foi empregado o controle de malha fechada com 1 referência apenas (Fig. 12); na segunda, após decorridos os 30ms, o controle de malha fechada com 2 referências foi utilizado (Fig. 14).

Os resultados obtidos estão na Figura 14 e sobre eles pode-se constatar que:

- i. a tensão de saída esteve regulada nos dois casos;
- ii. no controle com 1 referência, as tensões V1 e V2 assumem valores diferentes (região do gráfico de 0 a 30 ms);
- iii. quando o controle com 2 referências começa a atuar, as tensões V1 e V2 se igualam (região do gráfico > 30ms).

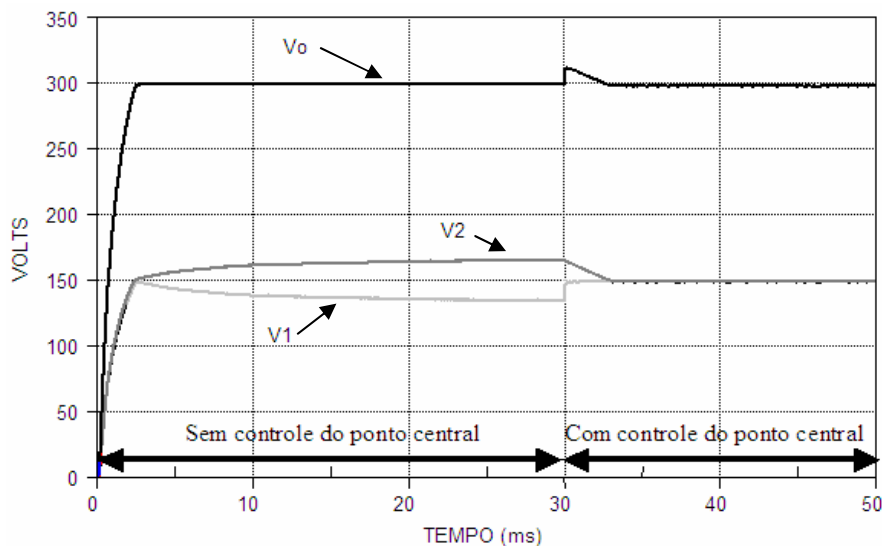


Fig. 16: Regulação da tensão de saída e das tensões nos capacitores C1 e C2.

O controle proposto para o controle do desequilíbrio das tensões nos capacitores C1 e C2 (Fig. 14) também apresentou resultados satisfatórios no caso onde os valores destes capacitores possuem diferenças (tolerâncias diferentes).

2.2.3) Considerações técnicas sobre a topologia dobradora de tensão

A topologia dobradora de tensão é formada por um circuito simples capaz de aumentar a tensão primária, sendo bastante conhecida e encontrada em várias referências bibliográficas de EP sobre circuitos dobradores de tensão. Da mesma forma, a técnica de controle PWM é amplamente conhecida e empregada em diversas situações, com inúmeras citações na literatura de EP sobre controle.

O emprego de um controle com a técnica PWM nesta topologia (Fig. 7), que permitisse o ajuste da tensão de saída em um valor desejado e, além disto, e mantivesse a tensão no ponto central equilibrada, não foi encontrado em nenhuma referência bibliográfica pesquisada durante o desenvolvimento dessa dissertação. Assim, o circuito apresentado na seção anterior é um esquema novo de controle para aplicação com essa topologia, proposto nesse trabalho, que consegue ajustar a tensão de saída e do ponto central nos valores desejados. O circuito proposto é bem simples, como pode ser visto na Fig. 14, sendo formado por controladores, comparadores e um somador de 2 entradas.

Aplicado à topologia dobradora de tensão, ele possibilita o emprego dessa topologia em novas situações, tirando proveito da facilidade de implementação e de custos baixos, tanto da topologia quanto do seu próprio circuito.

Na Fig. 17 é apresentada uma aplicação do uso da topologia dobradora de tensão para alimentar inversores do tipo NPC pela rede elétrica, onde o controle proposto pode ser aplicado para garantir a regulação desejada, tanto para a tensão de saída (V_o) como para o equilíbrio da tensão do ponto central (ponto N).

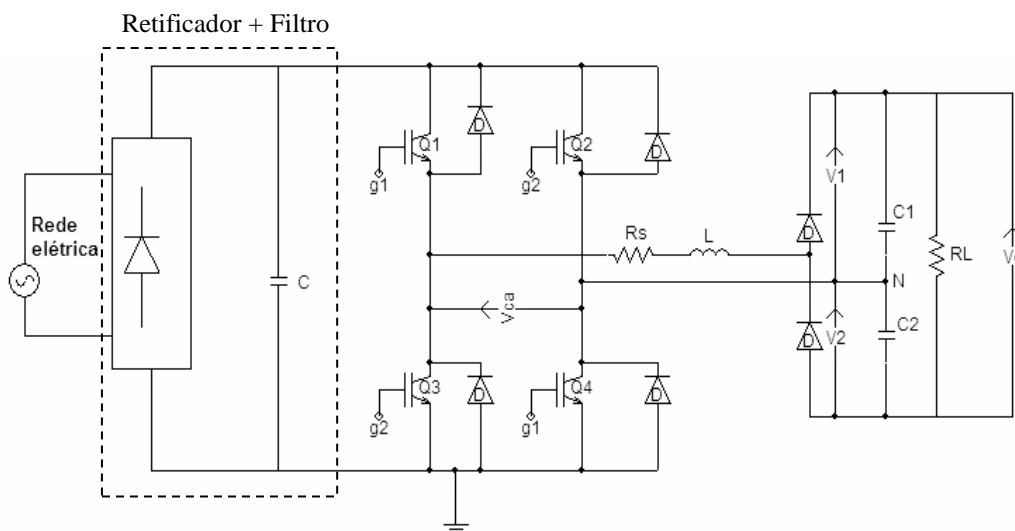
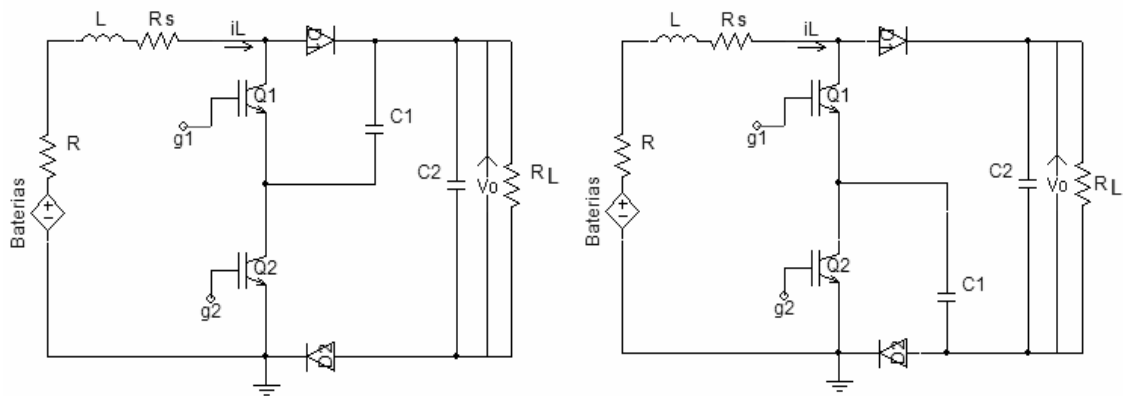


Fig. 17: Conversor dobrador de tensão alimentado pela rede elétrica.

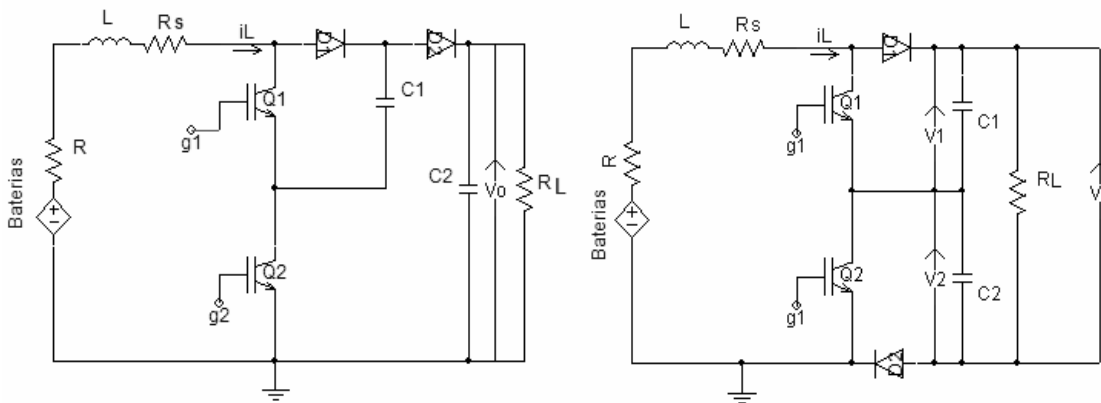
2.3) Topologias *boost* multiníveis

As topologias *boost* multinível são analisadas nessa seção. A Fig. 18 apresenta quatro topologias desse tipo para conversores CC-CC elevadores de tensão [18]. A topologia *boost* possibilita elevar a tensão de entrada por fatores maiores que 2, com apenas um módulo, ao contrário da topologia dobradora de tensão que necessita da associação de 2 ou mais módulos para atingir tais fatores. A denominação multinível se deve à divisão da tensão de saída entre as chaves e diodos do conversor [11], [19]-[20].



a) Topologia *Boost* Multinível 1.

b) Topologia *Boost* Multinível 2.



c) Topologia *Boost* Multinível 3

d) Topologia *Boost* Multinível 4

Fig. 18: Topologias de conversores CC-CC *boost* multiníveis.

O circuito do *boost* multinível é muito simples, sendo composto por um indutor, duas chaves semicondutoras de potência, dois diodos e dois capacitores. O indutor tem uma função fundamental, pois é através da energia acumulada no seu campo magnético que se consegue fazer a elevação de tensão.

As quatro topologias são muito semelhantes entre si, possuem o mesmo número de componentes, diferindo somente na disposição desses no circuito. A topologia 1

possui referencial comum para entrada e saída; as outras três têm referenciais distintos para entrada e saída, separados por um diodo (D2 na Fig. 18). Nas topologias 1, 2 e 3 a tensão de saída aparece sobre o capacitor C2, enquanto na topologia 4, V_o resulta da soma das tensões dos capacitores C1 e C2.

Na associação de conversores CC-CC com inversores NPC, como é o caso nesta dissertação, somente a topologia 4 atende os requisitos desses inversores, pois é a única que fornece duas fontes de tensão com o mesmo valor conectadas em série. Assim, essa topologia terá destaque nas análises realizadas.

A divisão da tensão entre as chaves dos conversores *boost* apresentados (Fig. 18) produz ainda outras características importantes para estes conversores, tais como:

- possibilita o uso de chaves de menor custo (projetadas para uma tensão menor);
- proporciona um aumento na eficiência, pois permite o uso de MOSFETs eficientes (baixa resistência de saturação);
- reduz perdas de chaveamento, uma vez que cada chave irá comutar com apenas a metade da tensão total de saída;
- no caso de conversores elevadores de tensão, permite um maior índice na elevação de tensão, quando comparado com o conversor *boost* convencional;
- reduz o valor do indutor de entrada, comparado com o *boost* convencional, para um mesmo valor no *ripple* da corrente de entrada [18]-[19].

Para alcançar o objetivo desejado, ajuste da tensão de saída, V_o , em um valor especificado e manutenção da tensão do capacitor C1 na metade de V_o , um controle apropriado de acionamento das chaves se faz necessário. Esse é o assunto apresentado na próxima seção.

As simulações que seguem foram baseadas no circuito do Anexo A.3, empregando os valores:

$$V_{bat} = 96 \text{ VCC}, R = 0,1 \ \Omega, R_s = 0,5 \ \Omega, L = 100 \ \mu\text{H}, C_1 = 200 \ \mu\text{F}, C_2 = 100 \ \mu\text{F}$$
$$f = 5\text{kHz}, R_L = \text{carga trifásica com potência equivalente a 1 HP}$$

2.3.1) Técnicas de controle aplicadas aos conversores *boost* multinível

Nesta seção são apresentadas algumas técnicas de controle que podem ser utilizadas no acionamento das chaves de conversores *boost* multinível [18], [21]-[24].

A Fig. 19 mostra a primeira técnica considerada. Ela é idêntica àquela apresentada na seção 2.2.2 e os resultados obtidos são semelhantes. Essa técnica consegue garantir continuamente a regulação das tensões envolvidas. (V_o , $VC1$ e $VC2$) pelo emprego de dois circuitos de PWM.

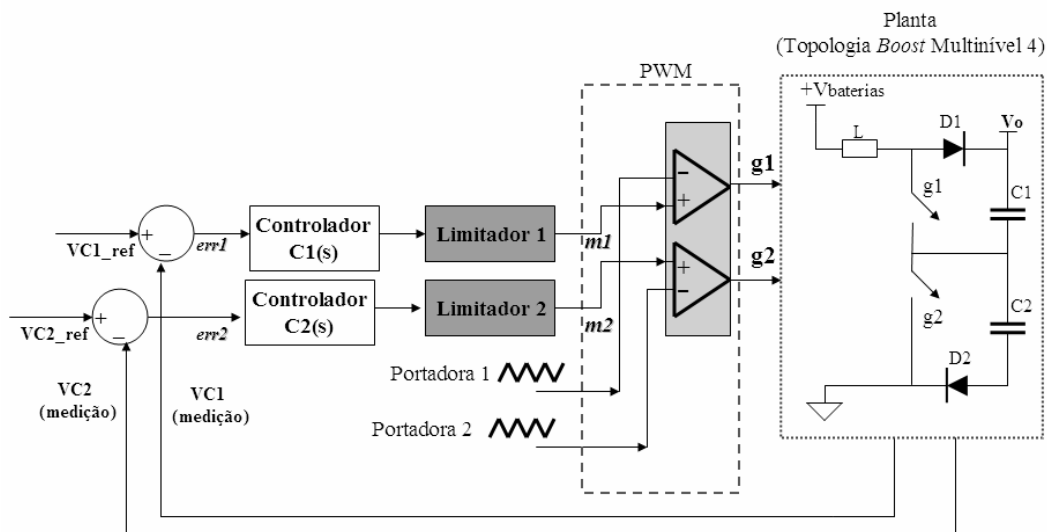


Fig. 19: Controle do desequilíbrio de tensão com a topologia *boost* 4.

Na Fig. 20 é apresentada a outra técnica analisada. Ela possui uma implementação mais simples do que a anterior, pois emprega somente uma malha de realimentação, a do sinal V_o , substituindo a outra pelo módulo relé. Entretanto, a regulação das tensões não é mais contínua e sim partilhada no tempo [18], [23]. Esse módulo é assim denominado porque o seu comportamento é semelhante ao de um relé físico.

Os sinais $g1$ e $g2$ de controle das chaves são, agora, gerados pelo módulo relé (Fig. 20) a partir do sinal de saída do PWM e das condições das tensões $VC1$ e $VC2$. As condições das tensões de $C1$ e $C2$, portanto, formam as regras de controle de acionamento das chaves. De acordo com essas regras, os sinais $g1$ e $g2$ assumem as seguintes condições:

- i. igual ao sinal de saída do PWM
- ii. ativação da chave

Como nessa técnica os sinais $g1$ e $g2$ ficam sendo comutados, em algumas situações, a taxa de comutação deve ser controlada para evitar oscilações excessivas na região de convergência (*chattering*).

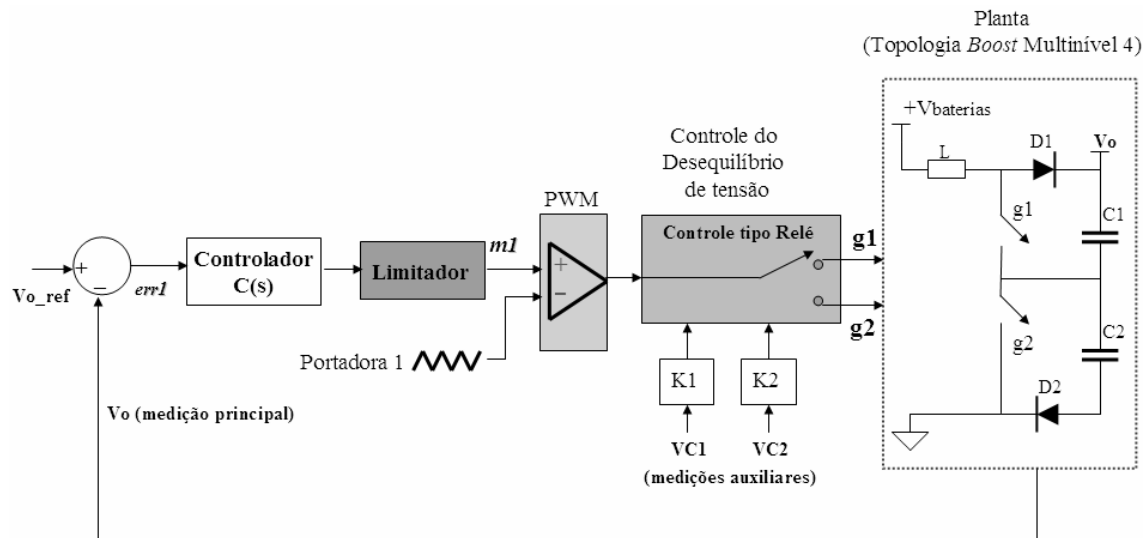


Fig. 20: Controle tipo Relé aplicado à topologia *boost* 4.

As regras estabelecidas para as topologias estudadas podem ser vistas com auxílio da Tabela 1, junto com os valores das constantes $K1$ e $K2$ de cada topologia.

Pode-se observar por essa Tabela que enquanto uma chave recebe o sinal do PWM, a outra permanece ativada. Essas condições ficam sendo permutadas continuamente e, assim, se atinge os requisitos impostos para V_o e V_{C1} .

Tabela 1: Lógica do controle tipo Relé aplicado às topologias *boost*.

		Topologia 1		Topologia 2		Topologia 3		Topologia 4	
Constante $K1$		1		1		1		1	
Constante $K2$		0.5		0.5		0.5		1	
		Chave Q1	Chave Q2	Chave Q1	Chave Q2	Chave Q1	Chave Q2	Chave Q1	Chave Q2
Regras do controle tipo Relé	Caso $K1*VC1 > K2*VC2$	ON	PWM	ON	PWM	ON	PWM	ON	PWM
	Caso $K1*VC1 < K2*VC2$	PWM	ON	PWM	ON	PWM	ON	PWM	ON

É importante ressaltar que os valores das constantes $K1$ e $K2$ poderão ser diferentes dos apresentados na Tabela 1. Assim, as tensões dos capacitores $C1$ e $C2$ poderão ser controladas para possuírem valores de acordo com os interesses da aplicação a que se destinam. Entretanto, com valores diferentes dos apresentados pela Tabela acima, não será possível a divisão equitativa da tensão de saída entre as chaves do conversor.

O controle do tipo Relé também pode ser aplicado a outros tipos de conversores, multinível ou não, como por exemplo, os conversores tipo *Buck*, *Buck-Boost*, *Cúk*, *Sepic* e *Zeta* [24].

Para verificar o funcionamento da topologia multinível e o controle das suas chaves, foram feitas as simulações a seguir.

2.3.2) Simulações com as topologias *boost* multinível

Nesta seção serão simuladas as topologias apresentadas, com o uso apenas do controle do tipo Relé, alimentando o barramento CC de um inversor, o qual alimenta uma carga trifásica com potência equivalente a 1HP. Os valores dos componentes utilizados são aqueles mencionados anteriormente e estão indicados em detalhes nos Anexos A.3.1 – A.3.4.

Conforme mencionado anteriormente, a topologia *boost* multinível 4, possuirá um enfoque maior por possuir características adequadas para a geração das tensões de barramento CC dos inversores tipo NPC. A Fig. 21 apresenta o diagrama de controle simplificado utilizado nestas simulações.

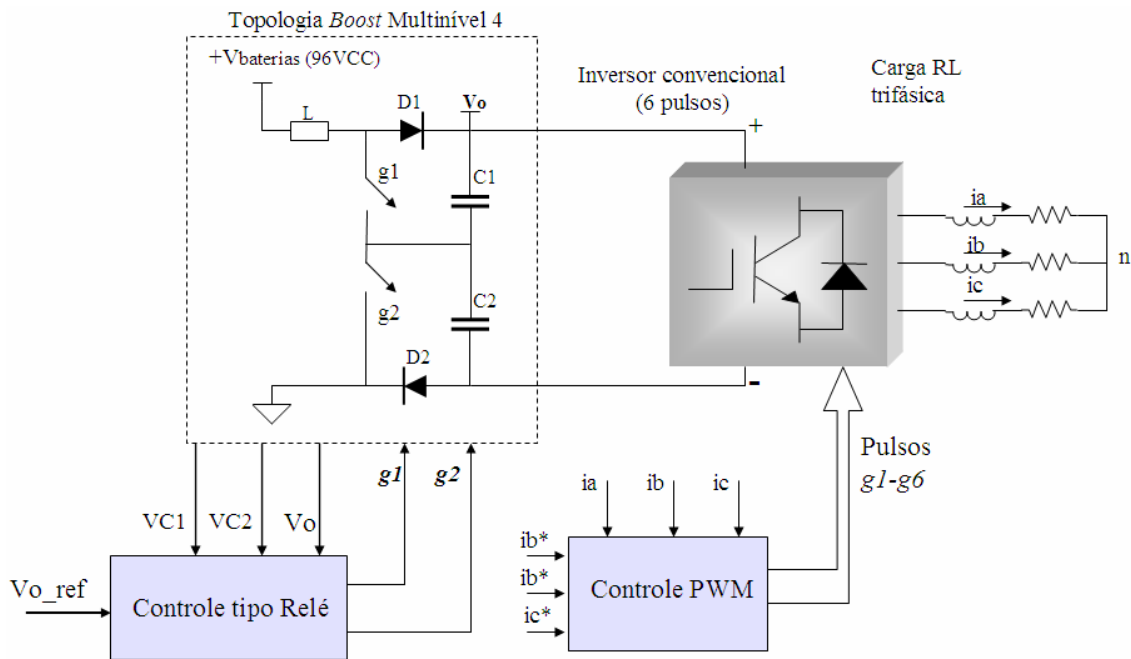


Fig. 21: Diagrama de controle com a topologia *boost* 4.

O inversor de 6 pulsos apresentado na Fig. 21 atua, como uma carga dinâmica, servindo para verificar o comportamento dos conversores CC-CC *boost* multiníveis com cargas desse tipo. As correntes sintetizadas pelo inversor estão representadas na Fig. 22.

Neste caso foi utilizado um controle por imposição de corrente na carga, o qual não será discutido neste trabalho (ver Anexos A.3.1 – A.3.4).

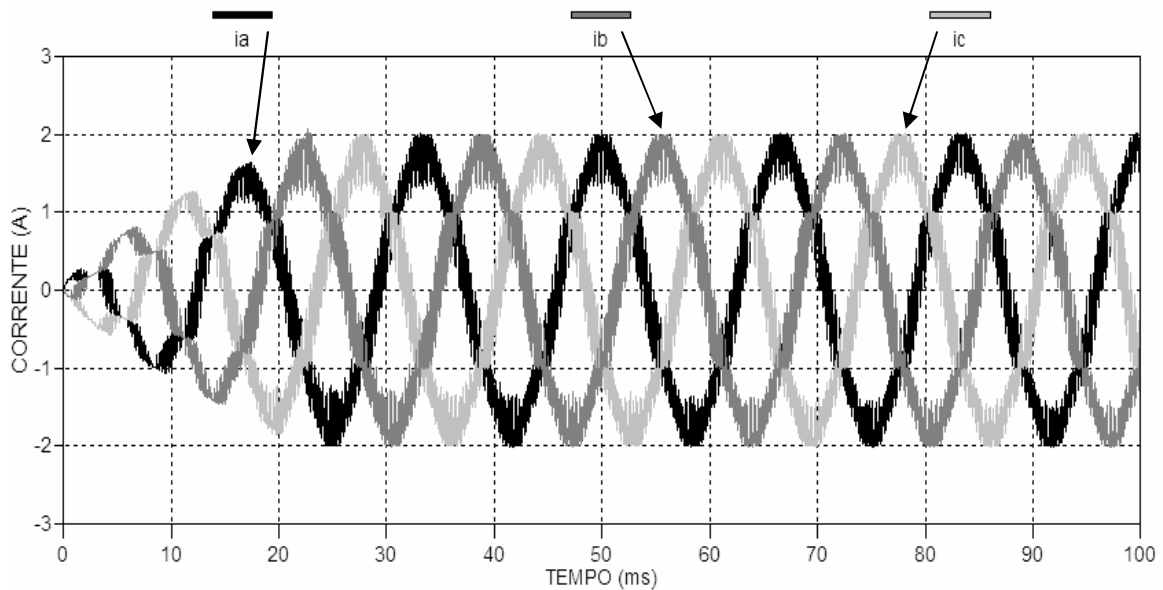


Fig. 22: Correntes sintetizadas pelo inversor.

Os resultados obtidos na simulação com a topologia *boost* 4 estão na Fig. 23. Vê-se pela Figura que o controle foi capaz de igualar as tensões de C1 e C2 e ajustar V_o para o valor desejado.

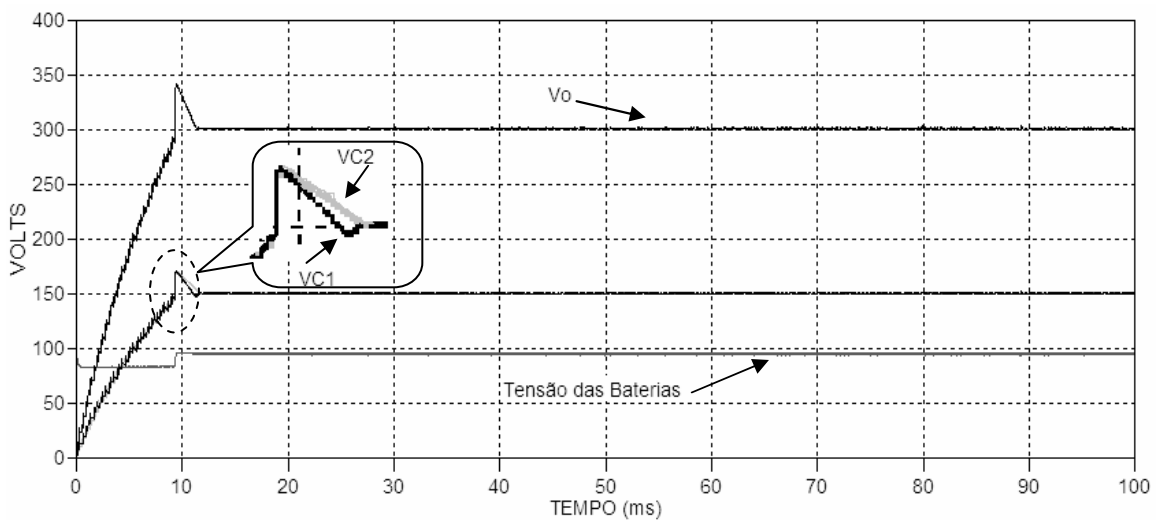


Fig. 23: Formas de onda das tensões com a topologia *boost* 4.

Como ilustração, foram feitas simulações com as topologias *boost* 1, 2 e 3 e, por questões de simplificação, apenas a simulação da topologia 1 será apresentada. As outras se comportam de maneira semelhante, podendo os resultados obtidos ser estendidos para essas topologias.

Na Fig. 24 estão os resultados da simulação das tensões nos capacitores C1 e C2 da topologia *boost* 1 (Fig. 18 a), com o uso da lógica de controle mostrado na Tabela 1.

Pode ser verificada a elevação de tensão de 96V para 300V, bem como o valor de VC1 com a metade da tensão de saída, indicando que, pela análise do circuito da topologia 1, as tensões nas chaves Q1 e Q2 terão um valor máximo igual a 150V.

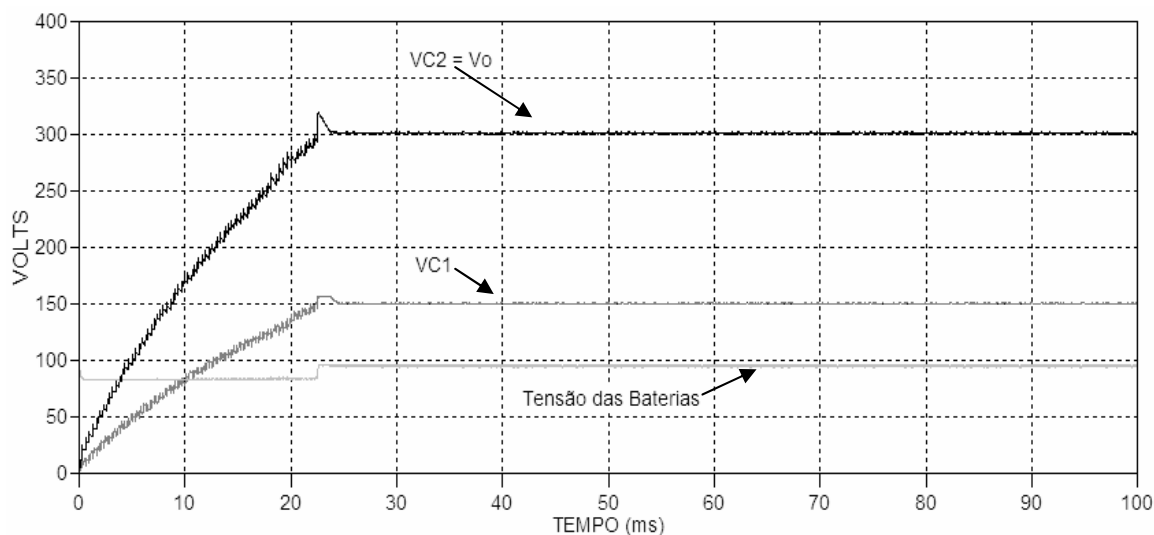
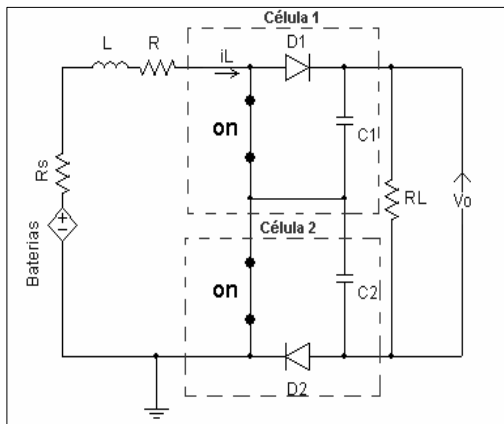


Fig. 24: Formas de onda das tensões com a topologia 1.

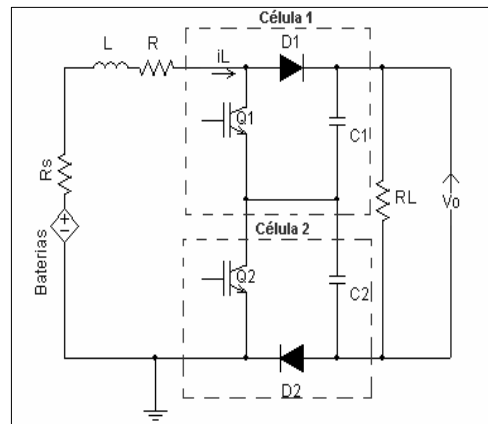
Portanto, as topologias *boost* multinível 1, 2 e 3 se apresentam como uma opção viável de conversor CC-CC elevador de tensão, onde também é possível conseguir, além do controle da tensão de saída, a divisão equitativa da tensão de saída entre as chaves de potência utilizadas.

Com o auxílio da lógica de controle mostrada na Tabela 1, será explicado em mais detalhes o funcionamento do controle tipo Relé, aplicado a essa topologia.

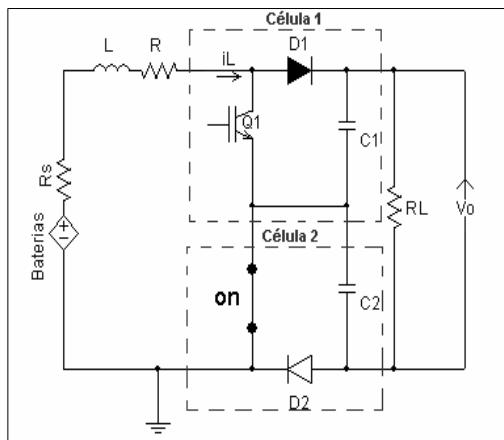
A Fig. 25 mostra as possibilidades de acionamento das chaves Q1 e Q2 e sobre estas configurações está baseado todo o funcionamento deste conversor multinível, conforme [18]-[24]. Nessa Figura, os diodos destacados em negrito indicam estado de condução.



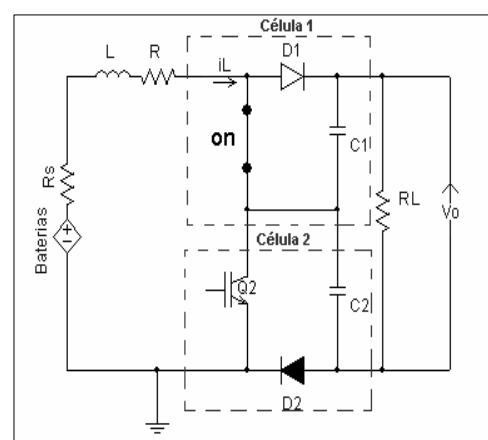
a) Carregamento do indutor.



b) Transferência de energia para C1 e C2.



c) Transferência de energia para C1.



d) Transferência de energia para C2.

Fig. 25: Situações possíveis para as chaves do conversor.

O caso (b) apresenta a situação onde ambas as chaves estão desligadas. Nele a tensão de saída possui valor igual à tensão de entrada, pois ambos os diodos estão aptos a conduzir, e nenhum controle nas tensões dos capacitores C1 e C2 é feito. Isso pode ocorrer em situações onde se queira uma carga inicial dos capacitores, no momento do transitório de energização do circuito.

O caso (a) mostra o contrário do caso anterior, pois todas as chaves estão em modo de condução. Esta situação é importante, pois é quando o indutor é carregado e o acúmulo de energia, sob a forma de campo magnético, cuja transferência para a saída será responsável pela elevação da tensão de saída do conversor.

No caso (c), quando apenas a chave Q2 está ativada, ela é desviada para o capacitor C1. De maneira semelhante, no caso (d), o capacitor C2 recebe essa energia, quando somente a chave Q1 está conduzindo.

Outra forma de transferir essa energia é desativando as duas chaves ao mesmo tempo. Nessa situação, ela é repartida entre os capacitores C1 e C2.

Com o auxílio da Tabela 1 é possível verificar que o sinal de saída do PWM só será aplicado à chave cuja tensão do capacitor a ela associada seja a menor entre as tensões dos dois capacitores, a outra chave permanecerá no estado de condução.

A Fig. 26 apresenta a situação onde a tensão no capacitor C1 se encontra ligeiramente inferior à do capacitor C2. O controle irá atuar de tal forma a permitir que a energia armazenada seja transferida à carga, pelo caminho indicado na Figura. Com isso a tensão VC1, que estava com um valor abaixo de VC2, irá aumentar devido ao sentido de circulação da corrente por C1. Este processo continuará sendo feito até que a tensão do capacitor C1 ultrapasse o valor da tensão do capacitor C2.

Observe que enquanto a chave Q2 está conduzindo, a tensão do capacitor C2 se descarrega apenas pela dinâmica imposta pela carga, visto que o diodo D2 encontra-se bloqueado pela aplicação da tensão VC2.

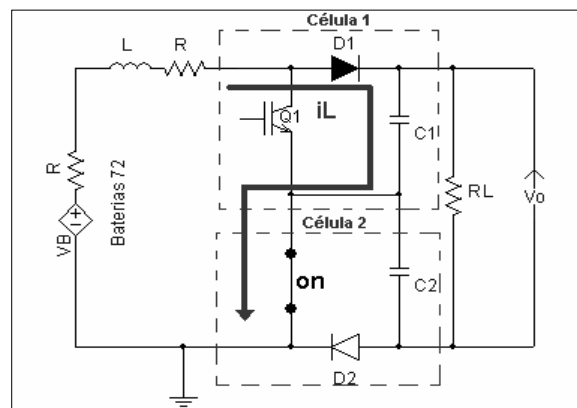


Fig. 26: Caminho alternativo para a corrente i_L , supondo $V_{C1} < V_{C2}$.

Assim, indefinidamente, o controlador fica regulando tanto a tensão VC1 e VC2, bem como a tensão de saída, de acordo com a referência imposta no controle.

2.3.3) Considerações sobre os resultados de simulação com as topologias *boost*

As simulações apresentadas, utilizando as topologias *boost* multinível, mostraram que estes conversores se apresentam como uma solução de conversores CC-CC elevadores de tensão. Além disto, a topologia 4 pode ser aplicada para a geração do barramento CC de conversores que necessitem de uma alimentação formada pela associação de duas tensões em série, com um ponto intermediário, conforme o caso dos inversores NPC.

Nos conversores apresentados, a aplicação do controle tipo Relé se mostrou eficaz no equilíbrio das tensões entre as chaves de potência, mesmo com o uso de uma carga dinâmica aplicada às saídas destes conversores (inversor conectado a uma carga RL trifásica). Portanto, foi possível verificar a possibilidade do uso de chaves projetadas para tensões reduzidas, como é o caso dos MOSFETs, uma vez que cada dispositivo deve suportar apenas a metade da tensão total de saída.

Nos próximos capítulos, este trabalho irá analisar os inversores do tipo NPC de 3 níveis. Conforme demonstrado nas seções antecedentes, tanto a topologia dobradora de tensão (Fig. 7) como a topologia *boost* multinível 4 (Fig. 18d) poderão ser usadas para a geração do barramento CC requerido por este tipo de inversor.

A partir de então será dado um enfoque especial quanto ao projeto e implementação dos circuitos necessários à montagem de um protótipo de um inversor NPC de 3 níveis. Será verificada também a possibilidade do uso de chaves do tipo MOSFETs nestes inversores, uma vez que estes também possuem a característica de divisão da tensão total de seu barramento CC entre as chaves e dispositivos utilizados.

Capítulo 3: Circuitos de comando (*gate drive*)

Atualmente há uma grande diversidade de dispositivos semicondutores controlados e não controlados. Entre os principais controlados estão: os transistores de potência, tais como os IGBTs, MOSFETs e os bipolares (BJTs), os tiristores, onde destacam-se os retificadores controlados de potência (SCR e TRIAC), FCTs (*Field-Controlled Thyristors*), MCTs (*MOS-Controlled Thyristors*) e os GTOs (*Gate Turn-Off Thyristors*) [2]. No caso dos tiristores, grandes avanços tecnológicos vêm contribuindo para uma constante mudança na estrutura deste dispositivo, o que proporcionou grandes contribuições ao setor elétrico de potência, desde a sua criação.

A tendência dos novos dispositivos de potência para as novas gerações da Eletrônica de Potência é a de integrar, em único dispositivo, etapas de potência, circuitos de comando e proteções. Com isso têm surgido no mercado dispositivos, como os IGCTs (*Integrated Gate Commutated Thyristors*) [25]-[29].

Neste capítulo serão abordadas as principais características e técnicas de implementação dos circuitos de comando, comumente conhecidos como *gate drivers*. Neste caso será abordada apenas a implementação dos circuitos de comando destinados ao acionamento de MOSFETs e IGBTs, por serem atualmente os mais utilizados em aplicações industriais de baixa potência e média tensão. As principais características destes semicondutores e dos demais tipos de chaves mencionadas são apresentadas no Anexo B.

3.1) Técnicas de implementação de circuitos de comando

Nas aplicações de eletrônica de potência, em geral, é crescente o uso de controle e proteção das chaves semicondutoras para tentar assegurar um funcionamento adequado e resguardar esses componentes de possíveis falhas. Um circuito que deve realizar estas funções é o chamado circuito de comando.

Na Fig. 27 é mostrado um diagrama de blocos típico de um circuito de acionamento, onde podem ser destacadas as etapas de potência e de controle. O circuito de comando faz parte deste contexto e representam um dos principais blocos constituintes de um sistema de acionamento na área da eletrônica de potência.

Junto com a etapa de controle estão incluídos a fonte de alimentação principal, cuja finalidade é alimentar os circuitos de baixa tensão, os circuitos de entrada que, em geral, podem ser constituídos por etapas isoladoras, *buffers* dos sinais de entradas, circuitos lógicos de proteção, dentre outros circuitos e funcionalidades.

Os sinais de entrada aplicados a esta etapa podem ou não possuir isolação elétrica. No caso de possuírem isolação elétrica, seja por optoacopladores ou transformadores de pulso, é mostrado na Fig. 27 a existência de 2 terminais de referência distintos (*Gnd 1 e Gnd 2*).

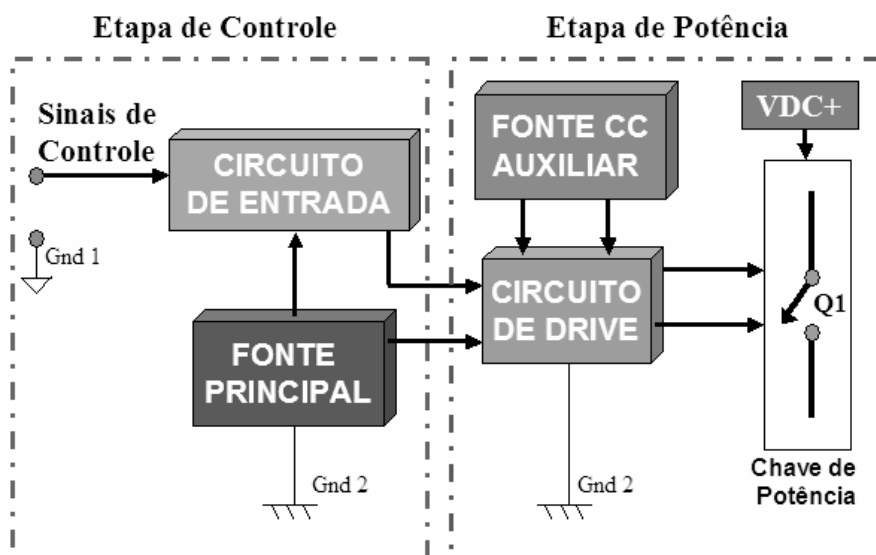


Fig. 27: Estrutura típica de um circuito de Acionamento.

Na etapa de potência fazem parte o circuito de drive, o qual possui, em geral, uma tensão de alimentação auxiliar associada ao mesmo, a chave semicondutora de

potência Q1 e o barramento CC (VDC+), cujo potencial varia de uma aplicação para outra.

A chave de potência Q1 poderá estar disposta, em geral, de duas maneiras: no primeiro caso há conexão com o referencial de terra do controle. Nesta situação o acionamento poderá ser feito de maneira simples. No segundo caso a chave Q1 poderá se encontrar em uma configuração “flutuante” em relação ao referencial de controle ou até mesmo ao referencial do circuito de potência, tornando seu acionamento mais difícil.

Diversas soluções técnicas de implementação de circuitos de comando estão disponíveis atualmente e serão abordadas neste capítulo, o qual também apresentará um estudo dos principais blocos constituintes destes circuitos de acionamento (Fig. 27), bem como seu projeto e topologias importantes. Em seus projetos, diversos fatores devem ser levados em consideração, tais como: custo, imunidade a ruídos, tempo de resposta, proteções necessárias, etc. Além disso, é recomendável que haja uma isolação entre as etapas de controle e potência, embora possa ser opcional em algumas aplicações de baixo custo [30], [3-cap. 28].

Os fatores mencionados acima serão considerados, tendo por base a topologia denominada “chave de canal flutuante”, representada na Fig. 28, na análise e seleção do circuito de controle e proteção isolados para chaves controladas por tensão, sendo, portanto, compatíveis com chaves tipo MOSFETs e IGBTs [31]-[33].

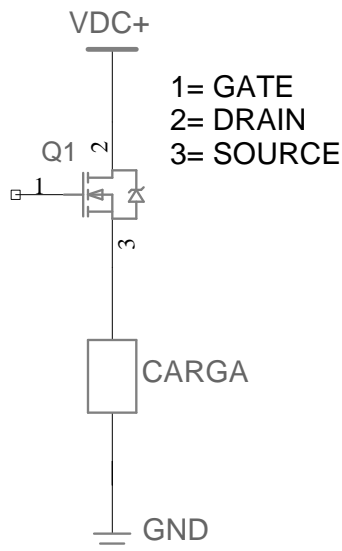


Fig. 28: Chave de canal flutuante.

Atualmente se destacam quatro categorias de circuitos comando de chaves do tipo MOSFETs e IGBTs, que se encontram em situações como a mostrada na Fig. 28:

- Os transformadores de pulsos [30], [34];
- Uso de optoacopladores e chaves controladas por luz [35]-[36];
- Uso de dispositivos fotovoltáicos PVI (*Photo Voltaic Isolator*) [37]-[38];
- Circuitos de comando, com técnica de *charge pump* [39].

Será dada ênfase aos circuitos de comando com a técnica de *charge pump*, para o acionamento de chaves MOSFETs e IGBTs, em aplicações com inversores multiníveis do tipo NPC. Alguns aspectos importantes das demais categorias serão mencionados no Anexo C.

As chaves consideradas nas Figuras deste trabalho poderão ser tanto do tipo MOSFETs ou IGBTs, pois os estudos aqui desenvolvidos serão válidos para implementações práticas com ambos os tipos de chaves, respeitando-se apenas os limites de tensão e frequência das mesmas.

3.1.1) Técnica de *charge pump*

A técnica de *charge pump* está baseada na carga acumulada em um pequeno capacitor, denominado capacitor de *bootstrap*, para o acionamento de chaves controladas por tensão, como são os casos dos Mosfets e IGBTs [39], [40-seção 1].

O circuito de *charge pump* possui uma fonte de tensão principal (V1), um diodo de *bootstrap* (D1) e um capacitor de *bootstrap* (C1), conforme apresentado na Fig. 29. Neste caso o capacitor C1 atua como a fonte de tensão auxiliar (Fig. 27).

O funcionamento deste circuito pode ser compreendido como:

- Enquanto a chave Q1 é mantida desativada, o capacitor C1 é carregado pela fonte V1, através da corrente que circula na malha formada por V1, D1, C1 e a carga;
- Um sinal de controle é aplicado ao optoacoplador (OP), o qual irá acoplar o capacitor C1 aos terminais de controle da chave Q1, o que proporcionará o acionamento da mesma. Nesta situação é interrompido o processo de carga de C1 e o diodo D1 irá operar com tensão reversa praticamente igual à tensão total de barramento, evitando a descarga de C1 através da fonte V1, além de executar a função de proteção dos circuitos associados à fonte V1.

O circuito mostrado na Fig. 29 apresenta grande simplicidade, entretanto, o princípio de funcionamento descrito acima mostra que este circuito não pode operar de maneira contínua (pulso de longa duração), ou seja, deverá haver um procedimento de recarga periódica da tensão do capacitor C1. Este fato se deve ao processo de descarga de C1, devido a correntes de fuga e polarização neste circuito, em momentos em que a chave Q1 é acionada. Em muitos casos, utilizam-se pequenos conversores CC-CC isolados para substituírem os capacitores de *bootstrap*, porém, aumentando em demasia o custo do projeto, uma vez que deverá ser utilizado um conversor para cada chave do circuito em questão [34-seção 9].

O circuito proposto neste trabalho se apresenta como uma possível solução para a recarga do capacitor de *bootstrap* [41]-[42].

As funcionalidades realizadas pelo optoacoplador (OP), mostrados na Fig. 29, foram incorporadas em dispositivos integrados de baixo custo denominados MGDs (*MOS-Gate Driver ICs*), os quais vêm se apresentando como excelente opção na

implementação de circuitos de comando em aplicações industriais [35]. Estes dispositivos serão analisados na próxima seção.

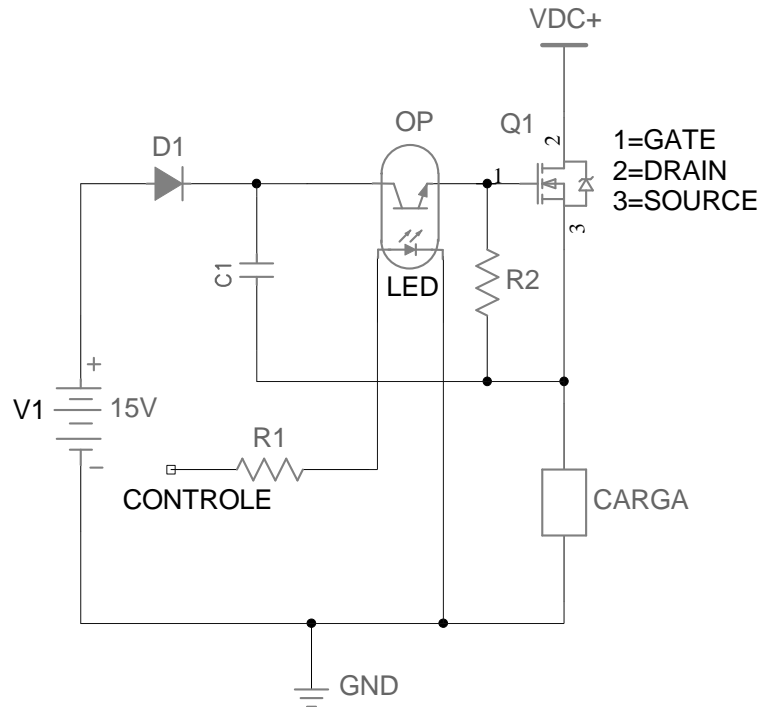


Fig. 29: Circuito convencional de *charge pump*.

No circuito acima, o resistor R2 proporciona a descarga do capacitor parasita existente em dispositivos com entrada do tipo MOS e possibilita um melhor funcionamento do optoacoplador, melhorando os tempos de chaveamento (*rise and fall time*).

O diodo, neste tipo de circuito, deverá ser especificado para suportar uma tensão reversa superior à tensão VDC+. Além disto, também deverá ser suficientemente rápido para se recuperar da polarização reversa e proporcionar o carregamento do capacitor, durante os ciclos de chaveamento [40].

Na Fig. 30 é mostrada uma outra situação muito comum onde a técnica de comando descrita funciona adequadamente. Nesta situação, o terminal A é conduzido a um potencial baixo, pela própria condução da chave Q2, permitindo com que haja a recarga de C1. Esta estrutura é comumente usada em inversores industriais.

Vale ressaltar que não há restrições e dificuldades no acionamento da chave Q2, uma vez que o terminal *source* do dispositivo encontra-se com o mesmo referencial do circuito de controle. Devido a isso, um circuito lógico simples ou um *buffer*, alimentado pela fonte principal (Fig. 27), poderá ser usado para acioná-la.

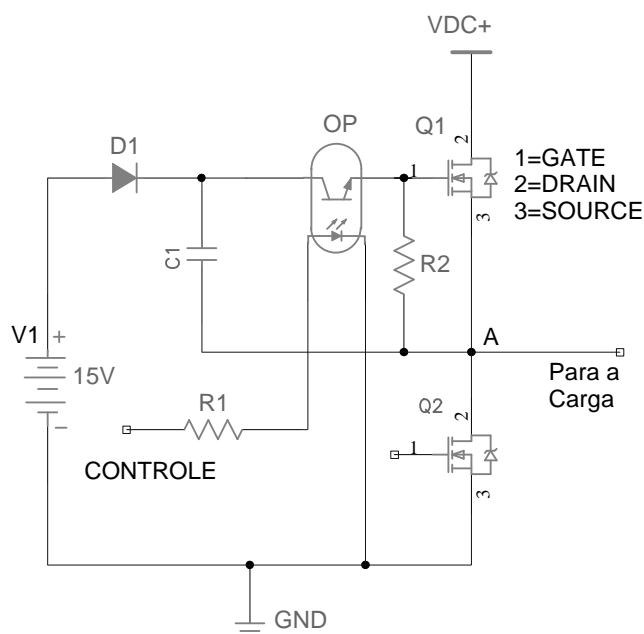


Fig. 30: Aplicação da técnica de *charge pump* em inversores convencionais.

No caso da Fig. 29 a disposição da chave Q1 e do capacitor C1 é tal que a própria impedância da carga proporciona um caminho de circulação de corrente da fonte V1 para o capacitor C1. O capacitor irá recuperar sua carga perdida em cada acionamento, toda vez que a chave for desligada, ou, no caso da Fig. 30, toda vez que a chave Q2 for acionada.

Nos circuitos mostrados na Fig. 29 e Fig. 30, o valor da fonte V1 determina a tensão máxima em que a etapa de saída dos optoacopladores é submetida. Sua escolha dependerá do tipo de chave utilizada, podendo estar em torno dos 15V, para dispositivos IGBTs ou MOSFETs convencionais, ou de 5V, para MOSFETs do tipo Lógico. A tensão na saída dos optoacopladores influencia a frequência máxima com que eles podem operar: quanto maior a tensão, menor a frequência. Para um valor de tensão de 15V somente é possível o uso de optoacopladores de baixa velocidade (optoacopladores mais comuns). Em optoacopladores de alta velocidades esta tensão é da ordem de 5V.

Os fatores acima mostram que o tipo de circuito de *charge pump* utilizado apresenta algumas limitações [41]-[42]:

1. Velocidade de chaveamento limitada pelo tipo de optoacoplador (devido ao valor da tensão em sua saída);
2. Tempo de acionamento da chave (recarga do capacitor C1).

Para contornar essas limitações, algumas alternativas serão abordadas a seguir.

da energia gasta no circuito de comando do dispositivo, devido à carga e descarga das capacitâncias de entrada da chave (perdas de chaveamento).

O capacitor C1 deverá ter seu valor projetado para que tenha tensão suficiente durante, pelo menos, alguns ciclos de chaveamento, até que seja recarregado.

A estrutura formada pelos transistores Q3 e Q4, mostrada na Fig. 31, é muito usual e chamada de *Totem-Pole* [3-cap. 28], possuindo características muito peculiares neste tipo de aplicação. A impedância de saída da estrutura é extremamente baixa, permitindo assim realizar um rápido acionamento da chave (*fast turn-on*) devido à capacidade de produzir uma corrente transitória alta no *gate* do dispositivo (neste caso apenas limitada pelo resistor R2). Outro fator importante é que no momento de desligamento (*turn-off*) do dispositivo de comutação, o transistor Q3 entra em condução permitindo uma rápida descarga das capacitâncias internas da chave e sua entrada no modo de corte. Esta configuração dos transistores permite, também, que a tensão do capacitor C1 seja quase integralmente aplicada ao *gate* do dispositivo de comutação.

O circuito mostrado na Fig. 31 elimina o problema da limitação de frequência de chaveamento, porém, ele cria um novo problema que são as correntes de polarização alta (dezenas de miliampères), no caso de utilização de circuitos auxiliares para efetuar a recarga do capacitor de *bootstrap*, sendo alimentados pela própria tensão do barramento CC. Neste caso as perdas do conversor estarão diretamente relacionadas com o valor desta corrente.

Uma técnica de auto-recarga de capacitores de *bootstrap* será proposta neste estudo, onde a limitação do tempo de acionamento da chave será solucionada.

Redução das correntes de polarização

A Fig. 32 apresenta uma solução na tentativa de se simplificar o circuito apresentado nas Figuras anteriores e reduzir suas correntes de polarização, porém esta estrutura retorna com o problema da tensão no estágio de saída do optoacoplador [35].

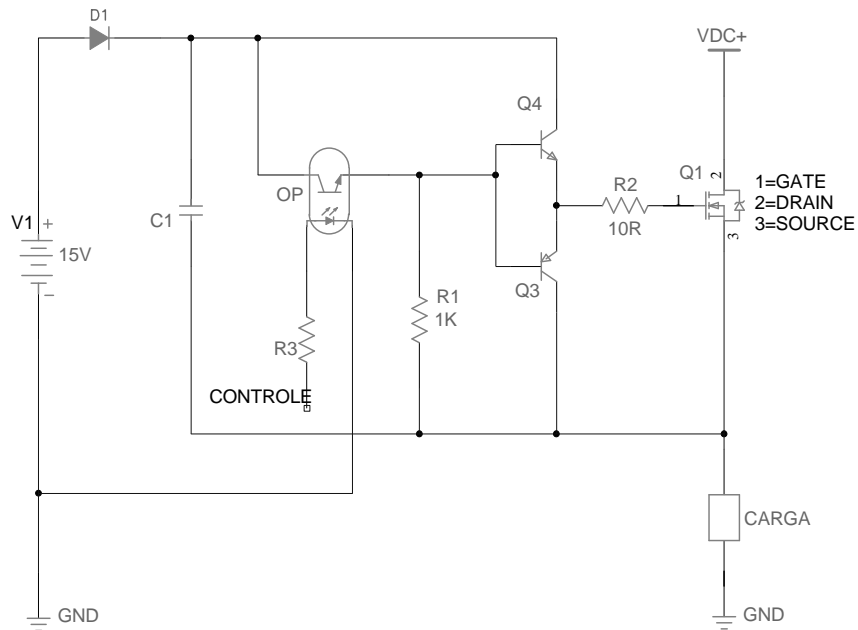


Fig. 32: Alternativa para redução de consumo do circuito *drive*.

Na Fig. 32 a tensão máxima a que o optoacoplador fica submetido, é igual ao valor da fonte de tensão V1. Porém, caso sejam usados optoacopladores rápidos, esta tensão V1 não poderá exceder a 7 volts, o que inviabiliza o uso de IGBTs, limitando ao uso de MOSFETs do tipo Lógico (MOSFETs especiais para acionamentos direto com microcontroladores, processadores, etc).

Em resumo, pode-se concluir que os circuitos apresentados até aqui (Fig. 31 e Fig. 32) se diferem quanto à frequência em que podem ser utilizados.

Em circuitos usando esta técnica de acionamento, seria ideal o uso de um capacitor de *bootstrap*, de valor o menor possível, e uma etapa isoladora, podendo ser até um optoacoplador, conectada a um outro ponto do circuito. Neste caso, o capacitor não estaria conectado à saída dos optoacopladores, conforme os circuitos já apresentados. Isto reduziria a energia a ser armazenada no capacitor de *bootstrap*, limitando-se apenas ao valor mínimo necessário para o carregamento das capacitâncias de entrada das chaves a serem controladas.

Para resolver o problema da velocidade de operação e reduzir o consumo do estágio acoplado ao capacitor de *bootstrap*, existem *drivers* integrados (MGDs) em que o capacitor de *bootstrap* é ligado a uma etapa de baixo consumo do tipo *Totem-Pole*. Esta solução será mostrada na próxima seção.

3.1.2) Circuitos Integrados dedicados com uso da técnica *charge pump*

Atualmente muitos fabricantes de IGBTs e MOSFETs têm desenvolvido circuitos de comando de *gates* integrados dedicados para seus dispositivos (circuitos de comando da *Mitsubishi, Fuji, Semikron*). Alguns destes circuitos necessitam de uma fonte de tensão isolada na saída e outros, sem isolamento, utilizam a técnica de *charge pump* (circuitos da *International Rectifier*) e normalmente são empregados em conversores de baixa potência (<5kW) e tensões de até 1200V, tais como os *chips* IR2110, IR2117, IR2130, etc [30], [39], [45]. Estes dispositivos foram denominados MGDs (MOS-*Gate Driver* ICs) e serão enfatizados neste estudo.

Nos MGDs os transistores bipolares do arranjo em *Totem-Pole* foram substituídos por MOSFETs. As características básicas e funcionamento são iguais às dos circuitos mostrados anteriormente, possuindo capacidade de corrente de saída entre 100mA e 2000mA e sendo capazes de acionar MOSFETs ou IGBTs em frequências de até centenas de kHz.

3.1.2.1) Características dos MGDs

Nesta seção serão analisados os drivers integrados da família IR21XX, fabricados pela *International Rectifier*. Estes dispositivos foram escolhidos por questões de simplicidade e facilidade de aquisição no mercado nacional, levando também em conta o baixo custo que possuem.

A Fig. 33 mostra o esquema funcional interno de um *drive* integrado. Estes *drivers* incluem os integrados IR2110 / IR2112 e IR2117, que serão utilizados nos experimentos em bancada deste trabalho. Esses dispositivos podem ser encontrados com um ou dois canais independentes.

Na Fig. 33 são mostrados os dois canais constituintes do drive IR2110 / IR2112 [45]-[46]. O canal 1 (*high side channel*) é, em geral, usado para o acionamento de chaves de canal flutuante, como mostrado na Fig. 28. Já o canal 2 possui a capacidade de acionar chaves com mesmo potencial de referência do *drive* (*low side channel*).

Estes dispositivos agregam algumas proteções e aperfeiçoamentos:

- Inclusão de MOSFETs em arranjos tipo *Totem-Pole* na saída;
- Proteção de subtensão nas tensões de alimentação do Integrado e do capacitor de *bootstrap* (*UV Detect – Under Voltage Detect*);

- Adição de circuitos *Schmitt trigger* nas entradas, melhorando a imunidade a ruídos e problemas de falsos disparos das chaves;
- Garantia de existência de tempos de *delays* mínimos entre os canais, para dispositivos de 2 canais, auxiliando na prevenção de curtos-circuitos;
- Uso de *Flip-Flops* para comando das saídas, garantindo uma maior estabilidade nas transições dos pulsos de saída.

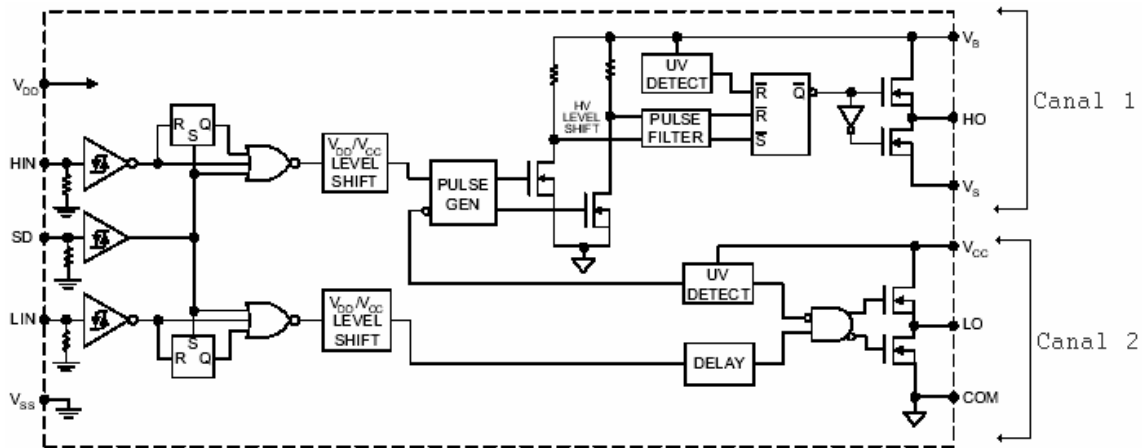


Fig. 33: Diagrama interno funcional dos *drivers* da família IR21XX.

Dentre estas modificações e proteções, se destaca a inclusão dos circuitos de subtensão. Este circuito monitora a tensão de alimentação do dispositivo e a tensão no capacitor de *bootstrap*. Caso estes valores estejam abaixo de determinado limite, o dispositivo desabilita o canal correspondente ou, no caso da alimentação do integrado apresentar problemas, ambas as saídas são desabilitadas.

A proteção de subtensão impede que a amplitude dos pulsos de saída possua valores abaixo do que é considerado como um valor adequado para o acionamento de chaves, garantindo que elas nunca irão trabalhar na região ativa, situação que provocaria grandes perdas por condução.

A aplicação típica deste *drive* dedicado é mostrada na Fig. 34. Com o auxílio desta Figura pode ser vista a conexão do capacitor de *bootstrap* aos terminais VB e VS do dispositivo, atuando como a fonte de tensão auxiliar. O terminal VS por sua vez também é conectado no terminal *source* (ou emissor no caso de um IGBT). Para acionar a chave (neste caso QB) o *drive* irá conectar internamente os terminais HO e VB, fazendo com que a tensão do capacitor C1 apareça como diferença de potencial entre os terminais *gate* e *source* da chave, levando-a ao modo de condução.

Pode-se verificar também a existência dos demais componentes necessários na técnica de *charge pump* descrita anteriormente, tais como o diodo D1 e a fonte de tensão principal V1.

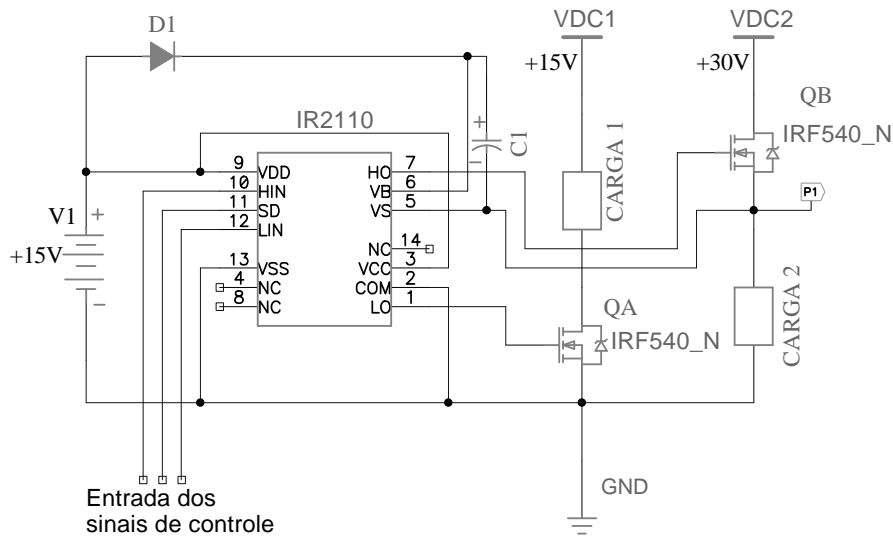


Fig. 34: Teste da técnica *charge pump* com o *drive* dedicado IR2110.

O correto dimensionamento do capacitor C1 será visto mais adiante, bem como outros fatores relevantes quanto ao uso destes *drivers* integrados [47].

3.1.2.2) Seleção dos componentes do MGD

Nesta seção serão mostrados fatores importantes quanto ao correto dimensionamento dos componentes constituintes da técnica de *charge pump*, de acordo com [39]-[40].

Com o auxílio do circuito da Fig. 34 pode-se verificar a necessidade da escolha e projeto dos seguintes componentes:

a) *Drive* integrado (MGD)

No que diz respeito à escolha do *drive* integrado deverão ser considerados os seguintes fatores:

- Tensão de trabalho a que as chaves estarão submetidas. Comercialmente, dispositivos para tensões máximas de 600 e 1200 volts estão disponíveis;
- Corrente dos *buffers* de saída. Este fator influencia diretamente na velocidade com que o *drive* é capaz de colocar a chave no modo de condução ou corte. Em aplicações de alta velocidade, os dispositivos com alta capacidade de corrente de saída devem ser utilizados, aumentando, porém, os custos do projeto. Dispositivos com correntes de 100 mA a 2000 mA podem ser encontrados [45].

b) Especificar a fonte de tensão principal V1

A fonte de tensão principal V1 deverá ser projetada para suportar a corrente requerida pelo *drive* integrado, inclusive deverá ser capaz de trabalhar com os picos de corrente exigidos nos momentos de recarga do capacitor de *bootstrap*. Para isto é extremamente importante o uso de um capacitor de filtro, geralmente um eletrolítico de tântalun de 1 μF a 4,7 μF , conectado o mais próximo possível do circuito integrado. É também recomendado que o valor deste capacitor de filtro tenha um valor maior que o valor do capacitor de *bootstrap* utilizado.

c) Diodo de *bootstrap* D1

A escolha do diodo D1, também requer alguns cuidados especiais. Primeiramente é possível perceber que nos momentos em que a chave QB estiver acionada, o diodo D1 estará inversamente polarizado com uma tensão praticamente igual ao valor da tensão de barramento (VDC+). Portanto o diodo de *bootstrap* deverá ser escolhido como tendo a capacidade de bloqueio da tensão total do barramento CC.

Como durante a condução da chave QB o diodo entra em bloqueio e, durante o processo de recarga do capacitor C1 (chave QB desligada), o diodo entra em condução, percebe-se que deverá ser escolhido também um diodo que possua recuperação rápida, compatível com a frequência de chaveamento do circuito.

d) Capacitor de *bootstrap* (C1)

O cálculo do capacitor de *bootstrap* é o fator mais crítico nesta técnica. Valores menores que o mínimo necessário irão provocar funcionamento inadequado do MGD. Por outro lado, valores muito acima do necessário causarão problemas no processo de recarga do mesmo.

O valor mínimo será dado por [39]:

$$C1 = 2 \frac{\left[2Qg + \frac{Iqbs(\max)}{f_{sw}} + Qls \right]}{V1 - VD1} \quad (1)$$

Onde:

f_{sw} = frequência de chaveamento;

Qg = carga total do canal *high side* (tipicamente $20nC < Qg < 150nC$);

Qls = carga requerida pelo integrado, por ciclo = $5nC$ ou $20nC$, para dispositivos de 500/600V ou 1200V, respectivamente;

$VD1$ = queda de tensão em condução direta do diodo de *bootstrap*;

$Iqbs$ = corrente de polarização do canal *high side* do MGD ($\cong 0,8mA$).

Na prática o valor do capacitor de *bootstrap* deverá ser muito maior que o valor obtido com o uso de (1).

A eq (1) leva em conta que a energia gasta na carga e descarga das capacitâncias de entrada da chave seja muito menor que a energia acumulada no capacitor de *bootstrap*. Isso é diretamente influenciado pela frequência de operação, justificando a dependência de (1) com a frequência de chaveamento.

Para um correto dimensionamento deste capacitor deve-se também atentar para os seguintes fatores:

- Deverá ser utilizado um capacitor de boa qualidade (*low Electric Serie Resistor* ESR), sendo recomendado o uso de capacitores de poliéster, tântalun ou eletrolíticos associados a capacitores de poliéster em paralelo [40];
- Este capacitor deverá estar posicionado o mais próximo possível dos terminais VB e VS do MGD, a fim de minimizar indutâncias parasitas, as quais podem provocar oscilações na tensão de controle da chave.

3.1.2.3) Testes experimentais com MGDs

As Figuras Fig. 35 e Fig. 36 mostram experimentos em bancada onde a técnica *charge pump*, empregada nos circuitos dedicados da família IR21XX, pôde ser verificada.

As medidas foram realizadas com a montagem do circuito da Fig. 34 e nestas medidas foram feitos $V_1=15V$, $V_{DC1}=15V_{DC+}$, $V_{DC2}= 30$ volts e, baseado em (1), foi feito $C_1=1\mu F$. Os sinais de entrada são fixos e com frequência de 60 kHz. As chaves utilizadas são MOSFETs do tipo IRF540, mas resultados semelhantes são obtidos com IGBTs.

A Fig. 35 apresenta a tensão no diodo D1. Esta medida confirma o que foi descrito anteriormente, onde se pode notar que a tensão reversa no diodo se aproxima do valor da fonte de tensão $V_{DC2}=30 V$.

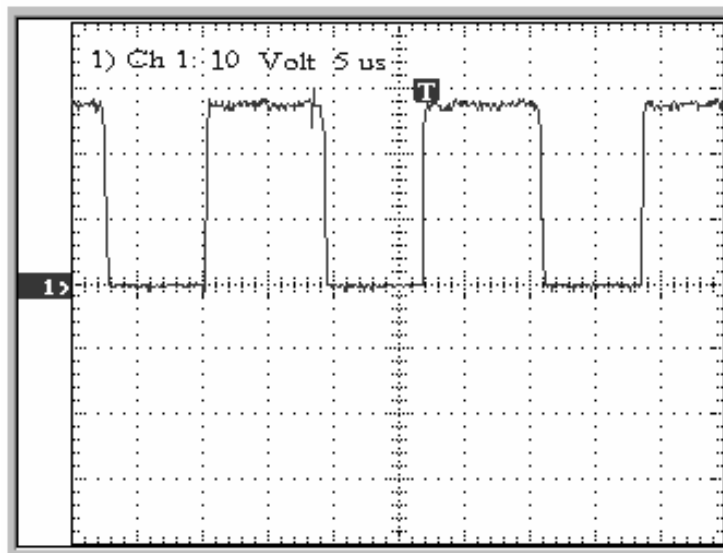


Fig. 35: Tensão medida no diodo D1 (10V/div, 5 μ s/div).

Para este experimento foi escolhido um diodo do tipo *fast recovery*, tal como o BA159.

A Fig. 36 refere-se à tensão na carga 2 (ponto P1, em relação ao terra do circuito), do circuito apresentado na Fig. 34.

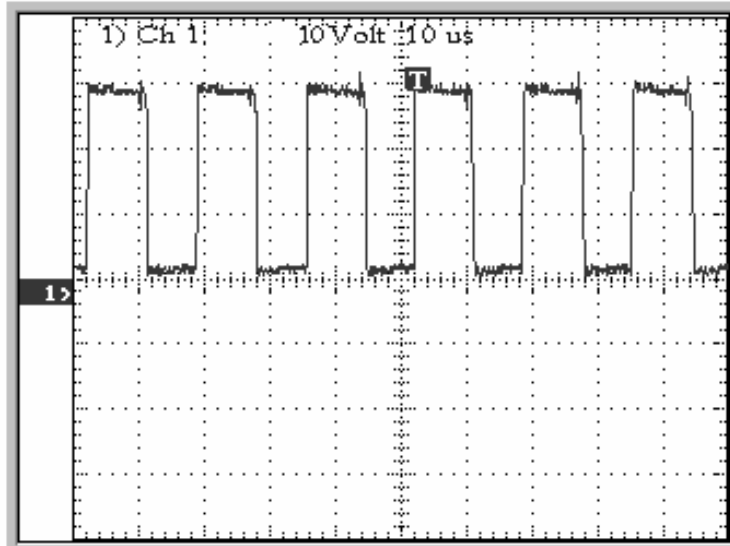


Fig. 36: Tensão na carga do canal com *gate* “flutuante” (10V/div, 5 μ s/div).

Esta medição comprova que realmente a chave flutuante (QB) responde aos sinais de controle aplicados às entradas do *drive* IR2110, permitindo que a carga receba um valor de tensão igual a VDC2.

Capítulo 4: Topologias de Inversores para implementação

A Fig. 37 mostra um inversor trifásico convencional, no qual a técnica de *charge pump* pode ser aplicada com grande praticidade.

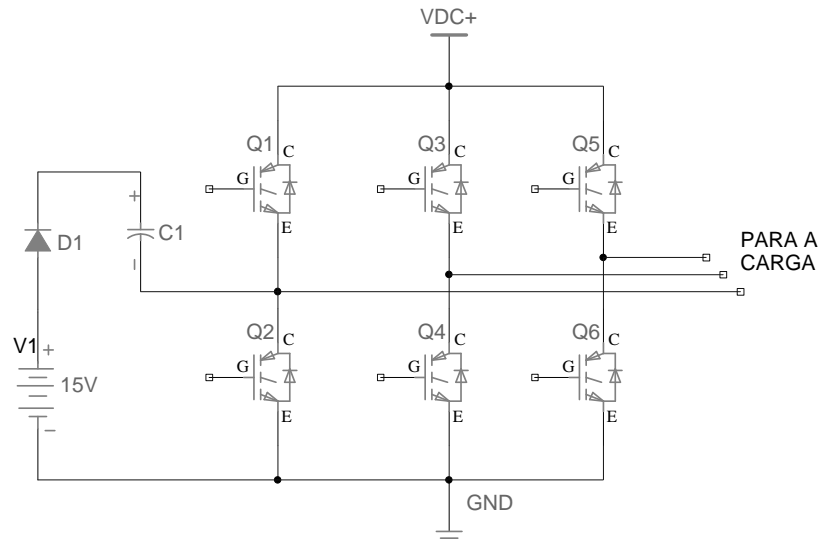


Fig. 37: Técnica de *charge pump* aplicada a inversores convencionais.

Neste caso é mostrado apenas um dos capacitores e diodos de *bootstrap*, por simplicidade. Na técnica de *charge pump* o mais importante é conseguir que o capacitor de *bootstrap* mantenha-se carregado e, a partir de então, podem-se usar os tipos de *drivers* já mencionados, sendo integrados dedicados ou não, conforme abordado no Capítulo anterior.

Na Fig. 37 é possível verificar que com o acionamento da chave Q2, o capacitor C1 se carrega com o valor de tensão próximo ao da fonte V1, através do circuito formado por V1, D1, C1 e Q2. A partir deste momento é possível realizar o controle da chave Q1.

A funcionalidade deste circuito se deve ao fato de que em um inversor como este, as chaves Q2, Q4 e Q6 estarão, em algum momento, acionadas. A repetição cíclica desta operação é que garantirá as recargas dos capacitores de *bootstrap* deste circuito (neste caso um capacitor e um diodo para cada fase do inversor).

É mostrado na Fig. 38 o esquema completo do inversor multinível do tipo NPC de 3 níveis. A principal vantagem destes inversores é o menor índice de distorção harmônica nas tensões de saída, quando comparados com um inversor convencional (6 pulsos). A geração de uma tensão de saída Fase-Neutro contendo 12 pulsos, contra apenas 6 dos inversores convencionais, possibilita a redução das perdas no acionamento

de motores trifásicos, uma vez que uma menor injeção de harmônicos na máquina se reflete diretamente em uma redução das perdas nos materiais magnéticos da mesma, principalmente quando se trata de motores de indução.

Outra característica relevante do inversor NPC é a divisão da tensão de barramento pelas chaves, possibilitando o emprego de dispositivos com a capacidade de tensão de bloqueio de valores mais baixos.

Além disso, o NPC requer, pelo seu princípio de funcionamento [15], que a tensão no ponto central (N) seja igual à metade da tensão de barramento (V_{DC+}). Esse equilíbrio pode ser garantido, ou por um controle apropriado do inversor ou pelo circuito externo que o alimenta, como por exemplo, os circuitos de conversores CC-CC analisados no Capítulo 2. Essa última opção simplifica o controle do inversor, sendo adotada nesse trabalho.

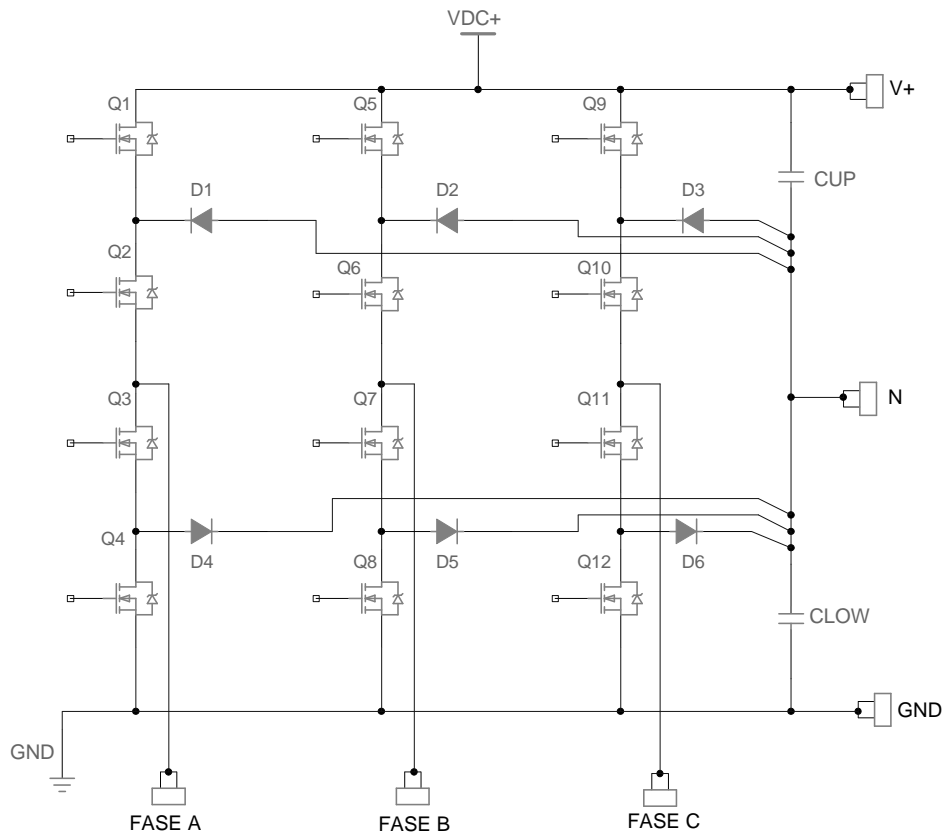


Fig. 38: Inversor multinível NPC de 3 níveis.

Embora o inversor multinível possua um maior número de chaves a serem controladas e seu controle seja um pouco mais complexo que nos inversores tradicionais (Fig. 37), o que aumenta o custo de implementação, muitas vezes eles se tornam atrativos devido às suas vantagens. Havendo a possibilidade do uso de *drivers* de baixo

custo, o custo total de implementação poderá ser reduzido a valores equiparáveis com o inversor tradicional.

As simulações feitas com o inversor NPC nesta seção terão como base o circuito apresentado na Fig. 39 (maiores detalhes do circuito são apresentados no Anexo A.4).

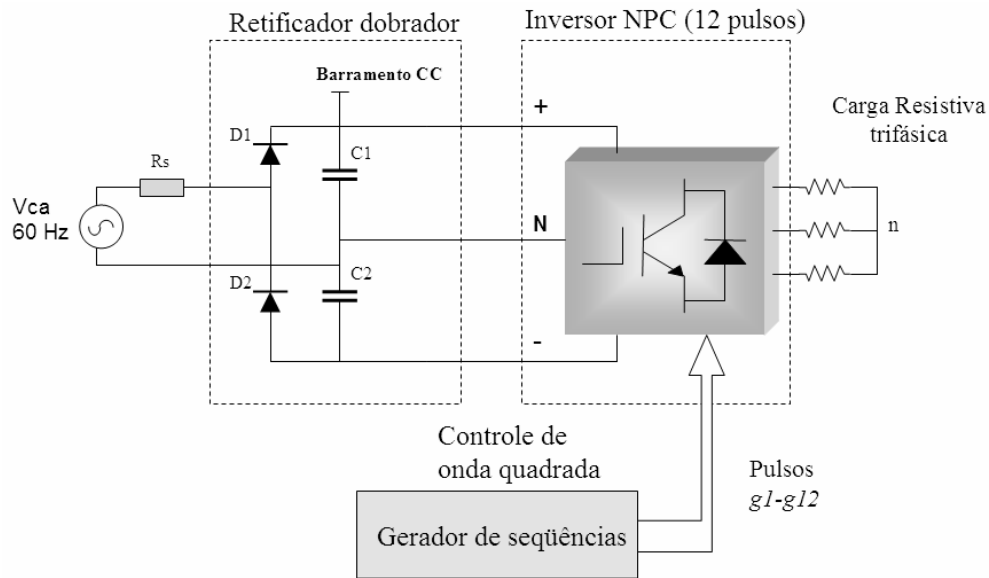


Fig. 39: Inversor NPC alimentado por retificador dobrador.

A Fig. 40 apresenta uma simulação onde o valor da tensão de entrada V_{ca} , mostrada na Fig. 39, é escolhida para gerar uma tensão de barramento CC de teste com cerca de 130V, e então alimentar um inversor NPC. Este valor foi escolhido em vista da facilidade de obtenção deste valor nos experimentos em bancada, possibilitando uma comparação entre os resultados de simulação e os experimentais.

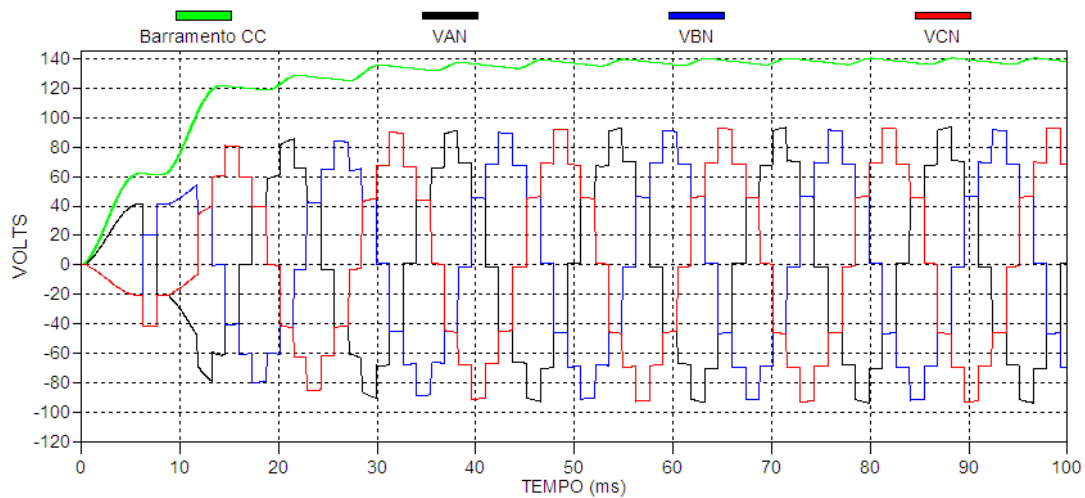


Fig. 40: Tensões típicas de Fase-Neutro de um conversor NPC de 3 níveis.

Na Fig. 40 são mostradas também, além da tensão de barramento CC, as formas de onda das tensões de Fase-Neutro típicas para os inversores NPC de 3 níveis, onde é possível observar a existência de 12 transições por período e que a amplitude máxima da tensão em cada fase é de $2/3$ da tensão de barramento, ou seja, cerca de 90V.

Já na Fig. 41 são apresentadas as tensões Fase-Fase, contendo apenas 6 pulsos em sua forma de onda, onde é possível verificar um aproveitamento total da tensão de barramento CC.

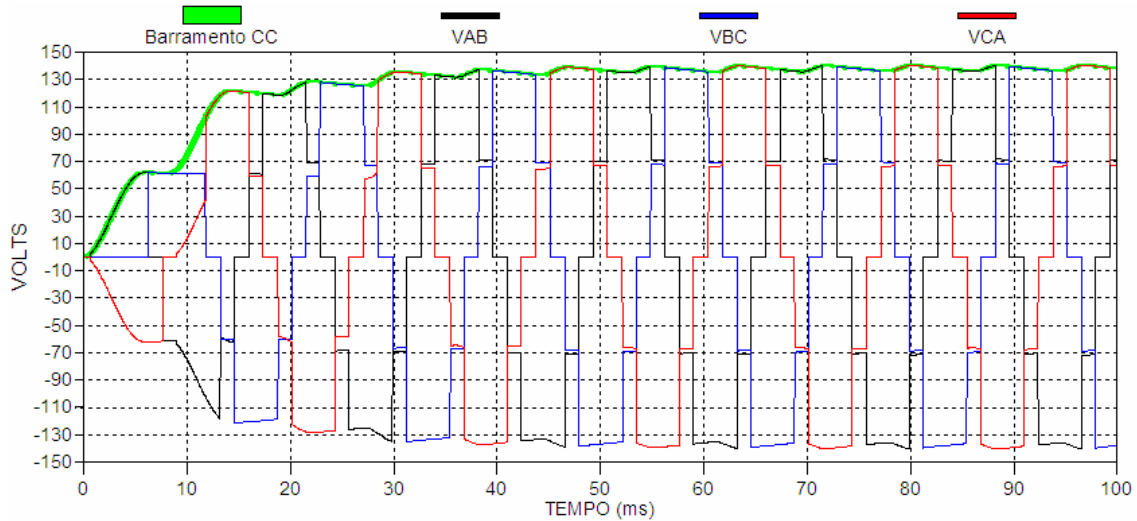


Fig. 41: Tensões típicas de Fase-Fase de um conversor NPC de 3 níveis.

Nas simulações mostradas acima, um controle simples foi aplicado, conforme mostra a Fig. 42.

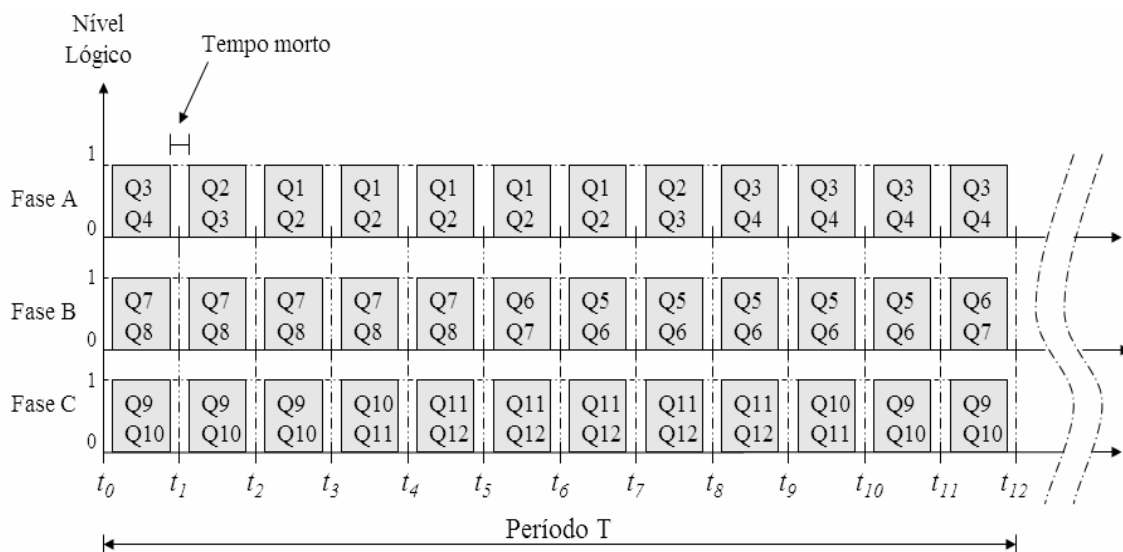


Fig. 42: Sequência de chaveamento do inversor NPC (controle onda quadrada).

Esse controle consiste em uma seqüência de acionamento definida das chaves Q1 a Q12. Na Figura também é possível observar que durante cada transição, que ocorre em $1/12$ do período T, é inserido o tempo morto, de forma síncrona, em todas as fases do inversor. Entretanto, existem diferentes técnicas de controle na literatura que poderiam ser aplicadas a esses inversores, conforme [15] e [48]-[50].

Na aplicação da técnica de *charge pump*, em inversores do tipo NPC, surgem dificuldades na recarga dos capacitores de *bootstrap*. Segundo a Fig. 42, em determinadas seqüências de acionamento dos pares de chaves, alguns capacitores não poderiam ser devidamente carregados, de acordo com o circuito convencional de *charge pump* (Fig. 29).

Uma proposta de circuito, usando a técnica de *charge pump* com MGDs, para resolver esse problema será apresentada nas próximas seções, onde serão feitos estudos de casos e soluções viáveis para a implementação de *drivers* de baixo custo.

O circuito proposto irá auxiliar no equilíbrio de tensão nas chaves e eliminar a restrição no tempo de acionamento das chaves, mencionada anteriormente (seção 3.1.1). Isso permitirá o emprego de MOSFETs de baixa tensão (<500V), reduzindo as perdas por condução(ver Anexo B).

O protótipo do inversor NPC de 3 níveis, empregando a técnica de acionamento proposta, e os resultados experimentais obtidos serão apresentados no próximo Capítulo.

4.1) Propostas de circuitos de *drive* para inversores multiníveis

Nesta seção serão analisadas algumas topologias de circuitos de comando, usando a técnica de *charge pump* com MGDs, aplicadas a inversores multiníveis NPC (Fig. 38)

4.1.1) Proposta inicial de *drive* para inversors NPC

As Figuras Fig. 43 e Fig. 44 mostram soluções simples para que a técnica de *charge pump* possa ser aplicada a inversores do tipo multinível, com base em [36].

É apresentada apenas uma fase do inversor e são mostradas a conexão de ponto central (terminal N) e a ligação dos *drivers* MGDs às respectivas chaves.

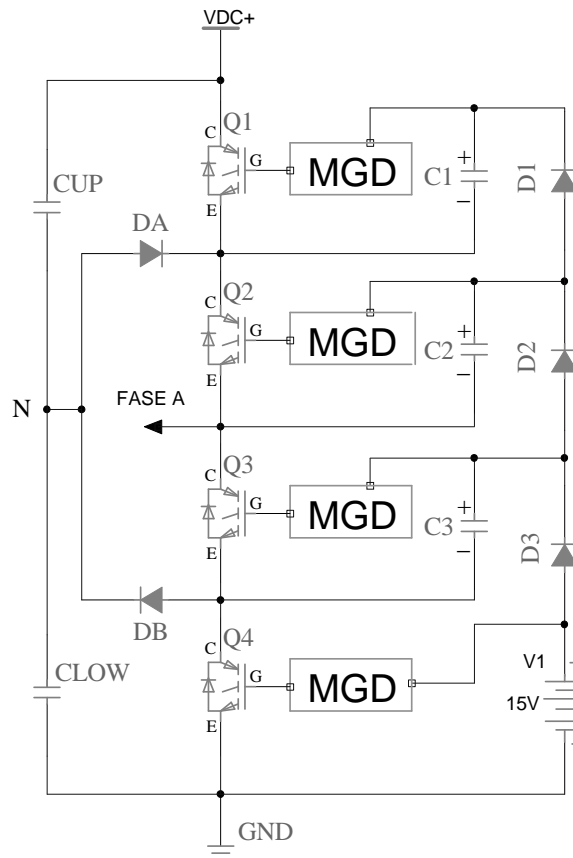


Fig. 43: Circuito *drive* com *charge pump* aplicado a inversores NPC.

As seqüências de operações do inversor NPC, mostrada na Fig. 42, são baseadas em acionamentos de pares de chaves. Essas seqüências, descritas abaixo, formam a base para o funcionamento desse tipo de inversor. Um tempo morto (*dead time*) é sempre inserido entre cada mudança de estado das chaves, a fim de evitar curto-circuito nas tensões dos barramento.

- i. Inicialmente todas as chaves estão desativadas;
- ii. Q3-Q4 são acionadas, enquanto as demais permanecem desligadas;
- iii. Q3-Q4 são desativadas, um tempo morto é inserido, Q2-Q3 são acionadas e Q1 permanece desativada;
- iv. Q2-Q3 são desativadas, tempo morto é inserido, Q1-Q2 são acionadas e Q4 permanece desativada;
- v. Q1-Q2 são desativadas, tempo morto é inserido, Q3-Q4 são acionadas;
- vi. Repete o processo a partir do passo (iii).

A partir destas seqüências, a estratégia de carga dos capacitores de *bootstrap* também pode ser entendida. Neste caso, quando o par de chaves Q3 – Q4 for acionado (passo ii), os capacitores C2 e C3 serão carregados pela fonte V1 e pelos diodos D2 e D3.

Na próxima seqüência (iii), o capacitor C3, que agora está carregado, será acoplado ao capacitor C2, que possui uma tensão um pouco menor devido à queda de tensão do diodo D2, dividindo assim uma pequena parcela de sua carga. O capacitor C1 também será carregado, mediante a divisão de cargas com o capacitor C2.

Na seqüência (iv), praticamente não haverá divisão de cargas, pois os capacitores C1 e C2 possuem igualdade de tensão, devido ao passo anterior.

Verifica-se então que o capacitor C2 deverá ter um valor muito maior que o de C1, para que o processo de divisão de cargas atinja um equilíbrio mais rapidamente.

Este processo de carga e divisão de carga irá acontecer até que haja um equilíbrio das tensões dos mesmos.

É importante ressaltar que, caso sejam usadas chaves do tipo IGBTs no circuito da Fig. 43, as quedas de tensão nas chaves (VCE de saturação) provocarão grandes diferenças nos valores das tensões dos capacitores de *bootstrap*, sendo mais crítico o caso de C1. Já no caso do uso de MOSFETs as quedas de tensão serão reduzidas, em vista de sua pequena queda de tensão quando em condução. Este fator irá influenciar no valor das amplitudes dos sinais de controle de *gate* e poderá levar a chave a entrar em sua região linear de operação, onde as perdas por condução são elevadas, podendo danificá-la.

4.1.2) Melhoria na proposta inicial de *drive* para inversores NPC

É apresentada na Fig. 44 uma alternativa simples para amenizar o problema das desigualdades das tensões dos capacitores C1 - C3, permitindo assim acionamento, de forma segura, tanto de MOSFETs como IGBTs.

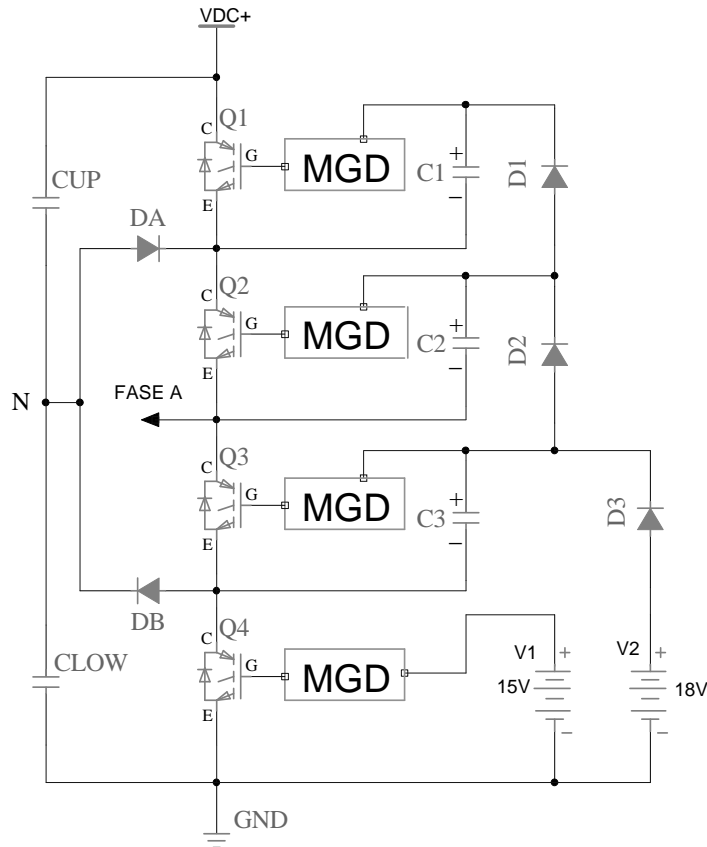


Fig. 44: Proposta de um *drive* simples para inversores de 3 níveis tipo NPC.

No caso do uso de chaves tipo MOSFETs de baixa resistência, quando em condução, as fontes de tensão V1 e V2 poderão ter o mesmo valor. Neste caso, o circuito se torna equivalente ao mostrado na Fig. 43. Isto se deve ao fato de que as quedas de tensões com o uso de MOSFETs serão baixas, embora sendo função de sua corrente de condução. Portanto as tensões nos capacitores C1, C2 e C3 serão praticamente iguais ao valor da fonte V1.

Entretanto, no caso do uso de IGBTs, a fonte V2 deverá ter um valor de tensão um pouco maior, para poder compensar as quedas de tensão das chaves Q3 e Q4, quando no modo de condução, o que influencia o valor da tensão de carga de C2 e assim, melhora o valor da tensão final do capacitor C1.

Dentre as vantagens da estratégia apresentada nestes circuitos destacam-se a extrema simplicidade e baixo custo. Porém, há algumas restrições de uso como:

- Não é possível manter as chaves continuamente acionadas (*duty cycle* limitado), o que provoca limitações de frequência de chaveamento mínima, levando o circuito a possuir dificuldades de funcionamento em baixas frequências de operação (dezenas de *hertz*);
- Não aciona as seqüências Q2-Q3 e Q1-Q2 por tempos longos, embora não tenha este tipo de limitação para o acionamento de Q4;
- A tensão de carga dos capacitores não é mantida constante, sendo dependente das quedas de tensão nas chaves, quando em condução;
- O circuito possui problemas de inicialização. Deve, necessariamente, existir uma seqüência de acionamento inicial (passos $i - v$), para que os capacitores se carreguem. Após esta seqüência inicial as chaves poderão ser acionadas adequadamente.

Apesar da topologia da Fig. 44 possuir melhoria significativa, em relação àquela da Fig. 43, permitindo que o valor das tensões dos capacitores de *bootstrap* possam ter amplitude relativamente constante, ainda existe o problema de divisão de carga entre os capacitores.

O circuito de *drive* proposto neste trabalho irá eliminar estas restrições, conforme será mostrado na próxima seção.

4.1.3) Proposta de uma técnica de *drive* para inversores NPC

Como verificado na seção anterior, os circuitos das Figuras Fig. 43 e Fig. 44 possuem limitações que deverão ser eliminadas. A maior dificuldade na topologia de inversor tipo NPC é conseguir o acionamento das chaves flutuantes (Q1, Q2 e Q3), equivalendo a dizer que dificuldades surgem no carregamento dos capacitores C1, C2 e C3, os quais são fundamentais no processo de acionamento usando a técnica de *charge pump* em estudo.

A estratégia proposta nesta seção é capaz de acionar cada par de chaves do inversor NPC de forma independente e por longos intervalos de tempo.

A Fig. 45 mostra o esquema básico desta solução.

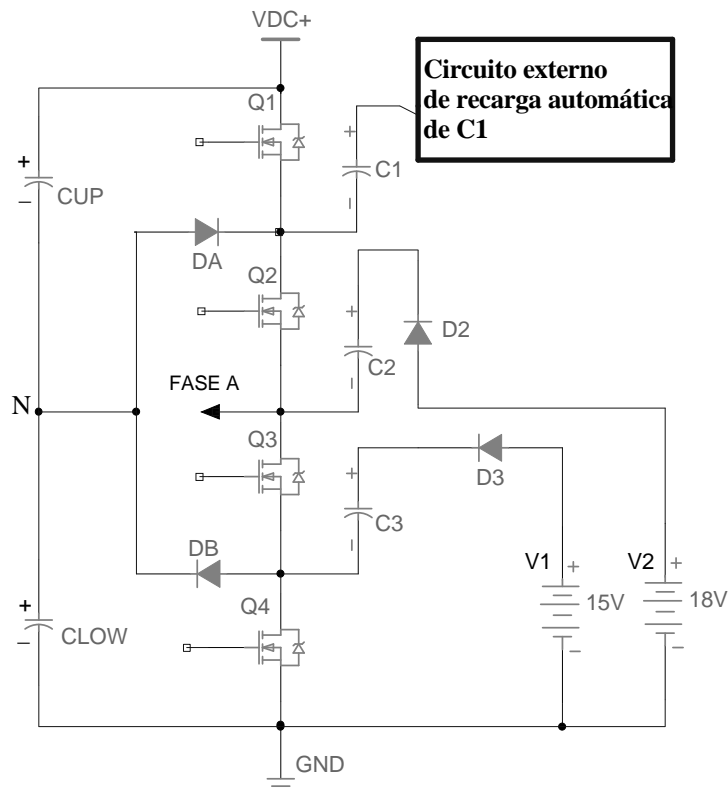


Fig. 45: Circuito de acionamento com recarga automática de C1.

Primeiramente um circuito externo foi usado para, automaticamente, recarregar somente o capacitor C1, persistindo o problema do acionamento das demais chaves superiores (Q2 e Q3).

O circuito da Fig. 45 foi usado como base para os experimentos em bancada, onde os resultados serão analisados nesta seção. Nestes experimentos foram utilizadas 2 fontes de tensão de 32V para simular uma situação em que os 2 capacitores estejam carregados (CUP e CLOW), conforme mostra a Fig. 46.

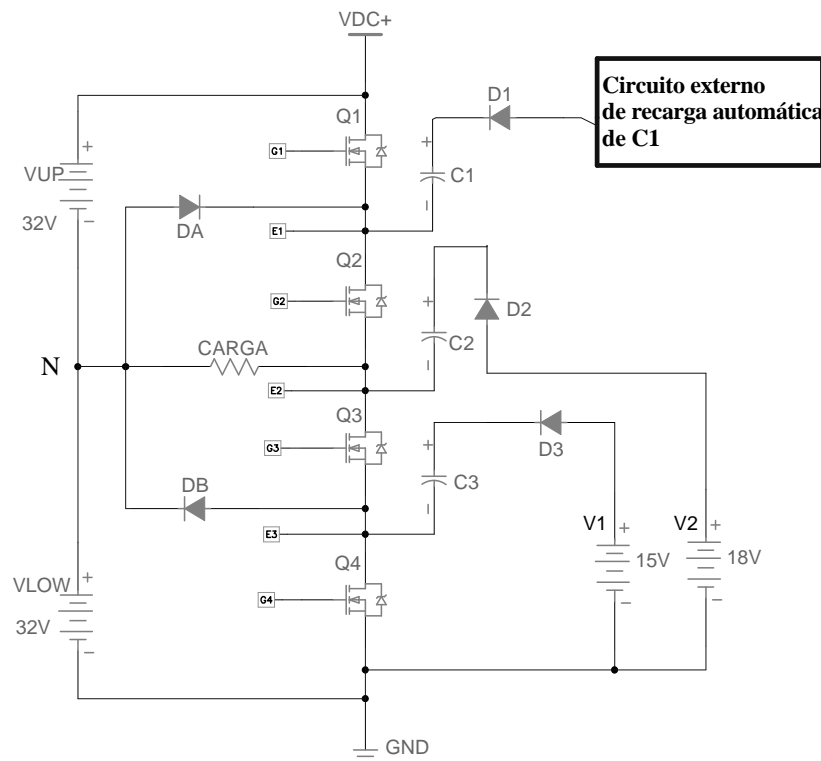


Fig. 46: Experimento com um braço do inversor multinível.

O circuito acima constitui um braço completo do inversor de três níveis do tipo NPC. Como teste inicial foi conectada uma carga resistiva, entre a saída do braço do inversor e o ponto central do barramento CC (ponto N).

O objetivo deste experimento é comprovar o funcionamento da estratégia de recarga de capacitores de *bootstrap*, utilizando um circuito auxiliar externo, o qual será mostrado em detalhes adiante.

Inicialmente um sinal de controle pré-estabelecido foi aplicado na entrada dos MGDs. Este tipo de sinal de teste consiste em uma seqüência de acionamento dos pares das chaves, conforme apresentado na Fig. 42, em uma frequência de aproximadamente 15kHz. Para isto, foi utilizado um microcontrolador programado para gerar tais seqüências, ciclicamente.

Entre as mudanças de acionamento dos pares de chaves sempre foi inserido um tempo morto ($\approx 1\mu\text{s}$), evitando curtos circuitos no barramento total CC ou nas fontes VUP e VLOW individualmente, através dos diodos DA e DB. Este valor de tempo morto é gerado por um circuito especial, podendo ser visualizado no Anexo E.2, sendo que o valor de $1\mu\text{s}$ foi suficiente para o tipo de carga utilizada (resistiva).

A Fig. 47 mostra a tensão na carga do circuito apresentado na Fig. 46, com o sinal de controle pré-estabelecido, onde são destacadas três regiões importantes, em um

período de chaveamento: a região 1 representa as chaves Q3 e Q4 acionadas, a região 2 as chaves Q2 e Q3 e a região 3 representa as chaves Q1 e Q2. O acionamento das chaves Q1 e Q2 (região 3) ocorre em um curto intervalo de tempo ($4\mu\text{s}$). Isto foi feito de maneira intencional para verificar os tempos de resposta dos circuitos de *drive*.

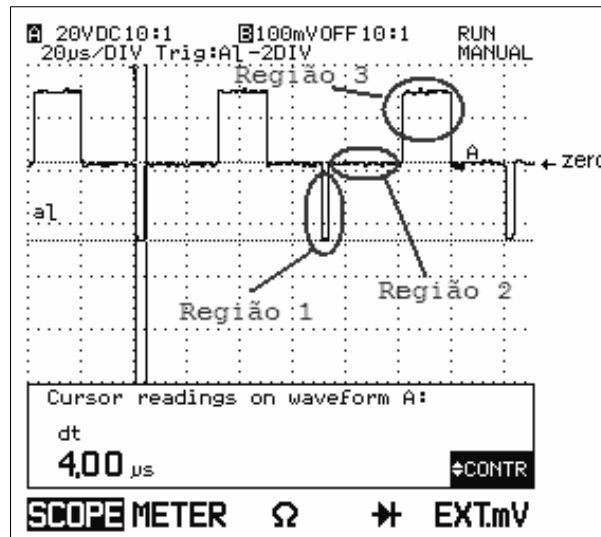


Fig. 47: Tensão na carga para o teste inicial (20V/div, 20 μs /div).

O resultado experimental apresentado na Fig. 47 mostra que a carga recebe tensões variando entre +32V e -32V, confirmando que a estratégia de recarga automática de C1 teve funcionamento satisfatório (Fig. 46).

Essa técnica, portanto, será estendida aos demais capacitores de *bootstrap*, eliminando a restrição de tempo de acionamento e a necessidade de obedecer aos passos i-iv, apresentados na seção 4.1.1.

4.1.3.1) Equilíbrio das tensões nas chaves

O experimento em bancada mostrado acima pôde comprovar o funcionamento da configuração proposta, porém, ao se medir as tensões individuais nas chaves do circuito foi verificado que havia um desequilíbrio, embora as tensões das fontes VUP e VLOW fossem iguais. A situação em que mais se evidenciou esse problema é mostrada na Fig. 48, onde a carga foi conectada entre a saída do inversor e o barramento CC.

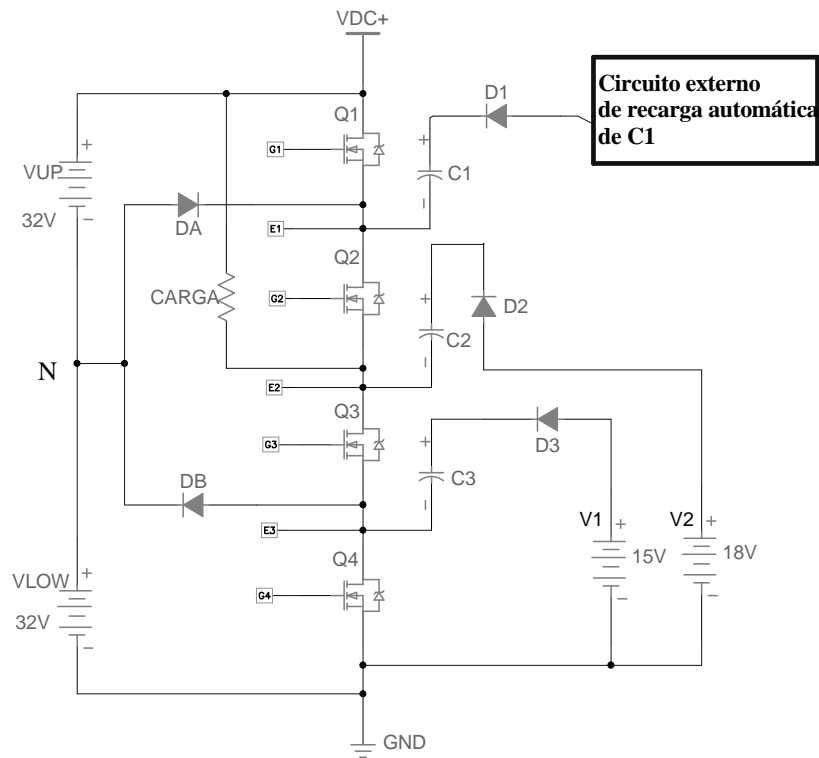


Fig. 48: Configuração com a carga conectada ao barramento CC.

Esta situação pode ocorrer em uma carga trifásica, caso os outros braços do inversor provoquem tal conexão, por falta de sincronismo entre os sinais de controle das fases (problemas de controle).

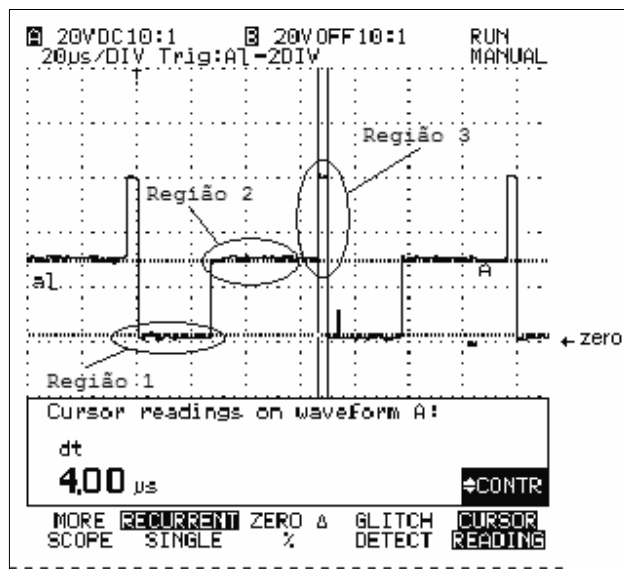


Fig. 49: Tensão sobre a chave Q3 (20V/div, 20μs/div).

A Fig. 49 mostra o problema de sobretensão na chave Q3 do circuito teste. É possível notar que na Região 3 há um pico de tensão de valor aproximadamente 60V e de duração de 4 μ s.

A sobretensão neste caso ocorreu devido à um erro de programação da seqüência de acionamento das chaves, que ocasionou o comando de apenas uma chave e, somente após um pequeno intervalo de tempo, o par de chaves era finalmente acionado.

No caso da configuração de carga mostrada na Fig. 48 é possível notar que se apenas a chave Q4 permanece acionada, mesmo que por um pequeno intervalo de tempo, a tensão do barramento aparecerá sobre a chave Q3, que ainda não foi acionada. Portanto, uma programação indevida na seqüência de acionamento para este tipo de inversor pode provocar uma sobretensão nas chaves. Devido a este grave inconveniente, uma proteção deve ser incluída de tal forma que nunca permita o acionamento de apenas uma chave.

Analisando o circuito da topologia NPC (Fig. 46), é possível verificar que estes problemas de sobretensão só ocorrem nas chaves Q2 e Q3, uma vez que as chaves Q1 e Q4 são protegidas pelos diodos DA e DB. Estes diodos entrariam em condução caso as tensões nas chaves Q1 e Q4 fossem maiores que as das fontes VUP e VLOW.

Mediante os experimentos realizados concluiu-se que, para evitar problemas de sobretensões ou curto circuitos apenas as situações em negrito, mostradas na Tabela 2, podem ocorrer em inversores tipo NPC de 3 níveis. Estas situações representam as combinações básicas de funcionamento deste tipo de inversor.

Na Tabela 2 as situações mais críticas estão destacadas pelas linhas hachuradas. Estas combinações das chaves provocam curto circuito no barramento CC ou em uma das fontes utilizadas. É mostrada também a situação de tempo morto onde todas as chaves são desligadas, geralmente por um pequeno intervalo de tempo.

A coluna à direita mostra a atuação da proteção que deve existir neste tipo de circuito. Como se trata de um protótipo escolheu-se realizar a proteção por um circuito ativo (*hardware* dedicado), onde sempre que a proteção estiver ativada (nível lógico 1) o inversor é colocado na situação de tempo morto. Para isto um circuito combinacional (lógica) deverá estar sempre monitorando as entradas dos *drivers* e deverá ser rápido o suficiente para impedir as combinações inválidas mostradas. Este tipo de proteção, bem como outras proteções importantes, podem ser vistas no Anexo E.

Tabela 2. Sequências válidas em um inversor NPC de 3 níveis.

Chaves do Inversor				Proteção
Q1	Q2	Q3	Q4	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Situação de tempo morto, ou, inversor desativado

Obs: 1= ON , 0= OFF

A pós a inclusão do circuito de proteção contra as seqüências inválidas, o experimento descrito no circuito da Fig. 48 foi repetido e o problema da sobretensão na chave Q3 não foi eliminado. A Fig. 50 indica praticamente o mesmo resultado mostrado na Fig. 49. A forma de onda mudou ligeiramente, pois, neste caso, a proteção contra seqüências inválidas estava atuante.

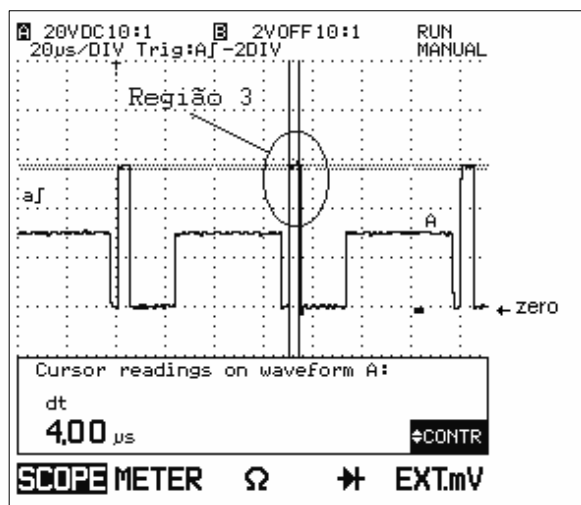


Fig. 50: Tensão sobre a chave Q3, com a proteção ativada (20V/div, 20µs/div).

Pode ser visto nessa Figura o mesmo pico de tensão (região 3) mostrado anteriormente e com mesma duração.

Ao ser investigado o problema, foi observado que quando a chave Q4 tinha seu comando de *gate* desligado, a tensão sobre a mesma continuava em um valor baixo, como se a chave ainda estivesse em condução. A Fig. 51 mostra esta situação onde o canal A representa a tensão sobre a chave Q4 e o canal B os pulsos de *gate* desta mesma chave. A região B mostra o momento em que a chave permanece em condução, pois seu pulso de *gate* está em “1”. A região A permite observar que, na ausência do sinal de *gate*, a tensão sobre a chave Q4 permanece em um valor praticamente nulo e inalterado.

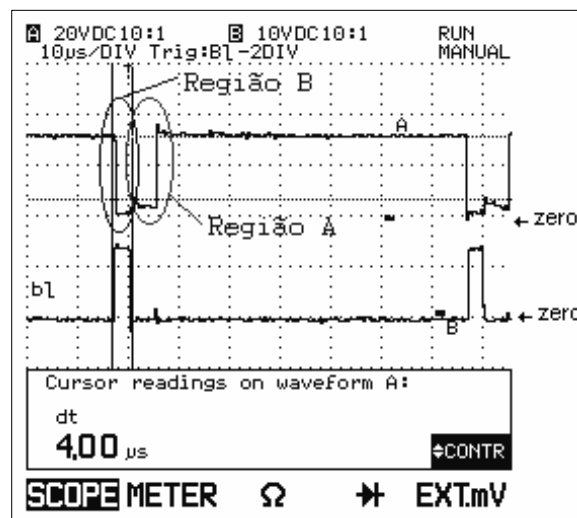


Fig. 51: Tensão sobre a chave Q4, e seu pulso de *gate* (20V/div, 10µs/div)..

Devido à configuração da carga, mostrada na Fig. 48 fica claro que, se a tensão na chave Q4 é baixa, então o valor da tensão total do barramento CC irá aparecer sobre a chave Q3, explicando o pico de tensão mostrado na Fig. 50.

Uma análise cuidadosa deste acontecimento mostrou que este problema persistia devido ao próprio circuito de comando usado. A malha formada pelos componentes V1, D3, C3 e Q4 (Fig. 48) afetava o valor da tensão sobre a chave Q4, no momento em que seu pulso de *gate* era retirado.

A Figura abaixo ilustra este fato.

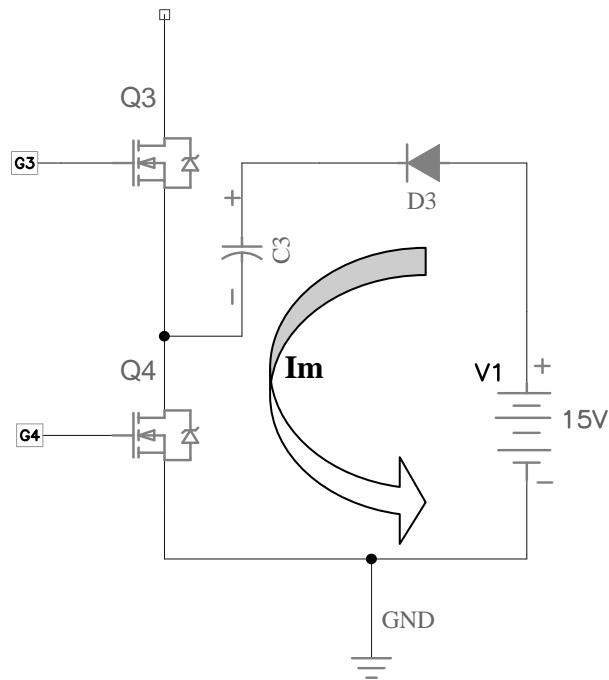


Fig. 52: Malha de corrente de recarga do capacitor C3.

A Fig. 52 mostra que, quando a chave Q4 entra em condução, uma corrente de recarga do capacitor de *bootstrap* C3 (I_m) começa a circular na malha indicada na Figura. Quando o circuito de controle retira o pulso de *gate* da chave Q4, a tensão sobre o diodo D3 continua baixa, como se ele ainda estivesse conduzindo, pois nesta malha não há nenhuma corrente reversa sendo forçada ao diodo D3, uma vez que a chave Q3 está desligada. Portanto, nesta situação o diodo levará um tempo consideravelmente alto para poder entrar em sua região de corte, mesmo sendo um dispositivo de recuperação rápida.

Isso faz com que a tensão nos terminais da chave Q4 seja nula, uma vez que a tensão do capacitor C3 é igual à da fonte V1. Para eliminar esse problema, a malha descrita acima deverá ser substituída por uma outra técnica de recarga do capacitor C3, conforme analisada a seguir.

4.1.4) Proposta de *drive* final para inversores NPC de 3 níveis

Esta seção apresenta a proposta adotada para o circuito de acionamento de chaves de inversores NPC, onde as limitações mencionadas foram removidas, isto é, restrição no tempo de acionamento, equilíbrio de tensão, frequência de operação, consumo do circuito de *drive* e necessidade de seqüências pré-estabelecidas.

A solução adotada pode ser vista na Fig. 53, onde foi eliminada a malha descrita acima e o circuito garante que os capacitores de *bootstrap* sejam continuamente carregados, possibilitando o acionamento das chaves por intervalos de tempo longos.

Na estratégia proposta são usadas três fontes de correntes I1, I2 e I3, alimentadas pela própria tensão do barramento CC, e que são responsáveis por alimentar os circuitos de recarga automática, denominados Controladores de Carga 1 e 2 nessa Figura.

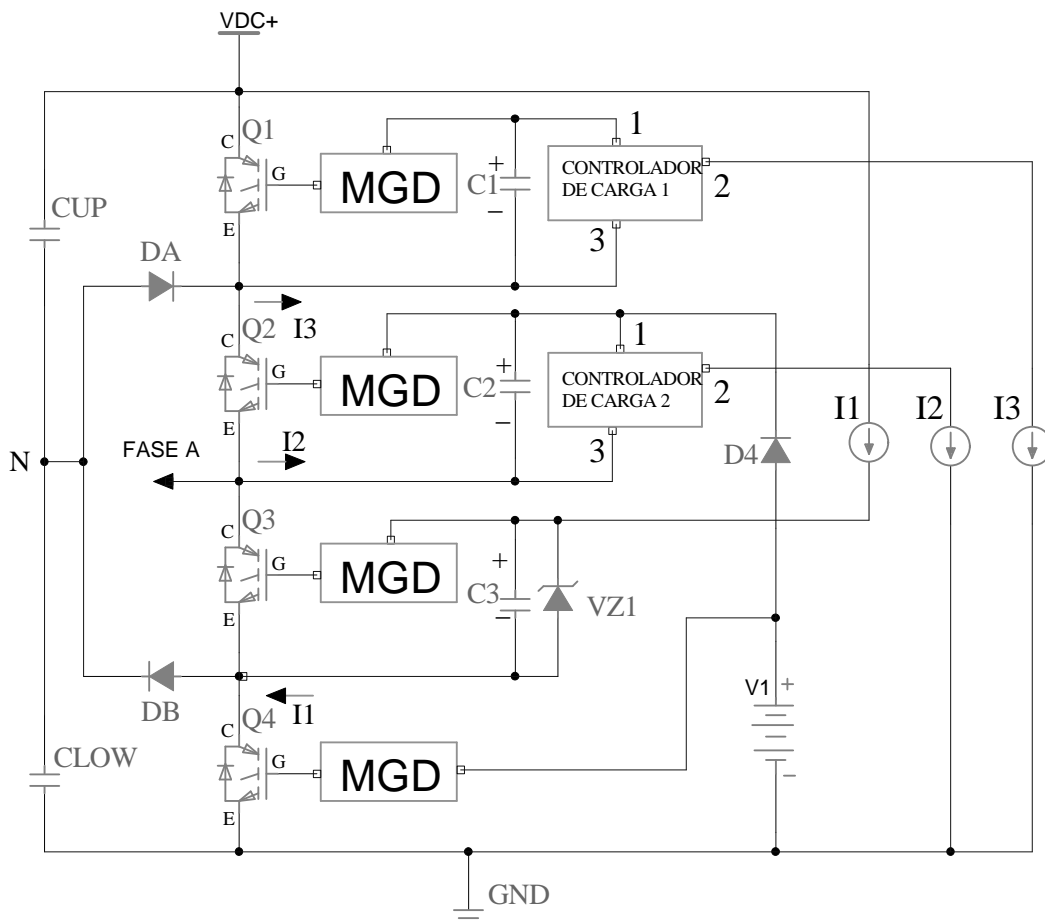


Fig. 53: Proposta final do circuito *drive* para inversores NPC.

A Fig. 54 apresenta o circuito básico do Controlador de Carga, visto na Fig. 53, onde os terminais 1, 2 e 3 também podem ser identificados.

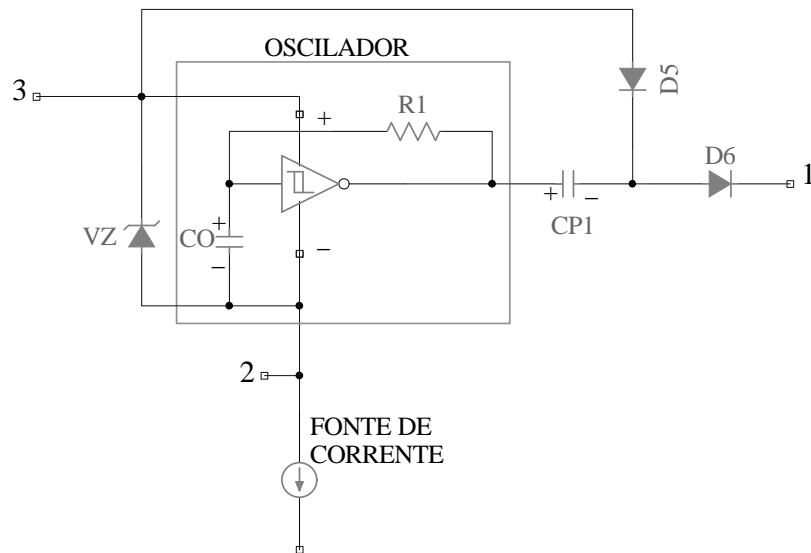


Fig. 54: Circuito de recarga dos capacitores de *bootstrap*.

O circuito de recarga é composto basicamente por um oscilador e um retificador dobrador de tensão. A fonte de corrente e o diodo zener (VZ) compõem a fonte de alimentação de baixa potência para este circuito [39].

As fontes de correntes podem ser implementadas com o uso de diodos zeners, resistores e transistores, ou podem simplesmente ser substituídas por resistores, conforme pode ser verificado nos circuitos finais do protótipo, mostrados nos diagramas elétricos (ver Anexo F). Entretanto a modelagem como fonte de correntes permitirá um melhor entendimento do funcionamento da técnica proposta.

4.1.4.1) Especificações de projeto para o drive proposto

Na Fig. 55 é mostrado um balanço energético da estrutura do *gate drive* integrado (MGD) usando a técnica de *charge pump*.

A potência gasta no acionamento da chave é denominada P_g e a potência consumida pelo circuito dedicado, devido às correntes de polarização internas, foi denominada P_p .

O capacitor C1, cujo valor deve ser calculado por (1), deverá ser projetado de tal maneira que possua energia armazenada o suficiente para prover a soma das potências P_g e P_p , durante pelo menos um ciclo de chaveamento. Este fato já é levado em conta quando se utiliza um valor para C1 muito maior que o calculado em (1), conforme já mencionado na seção 3.1.2.2.

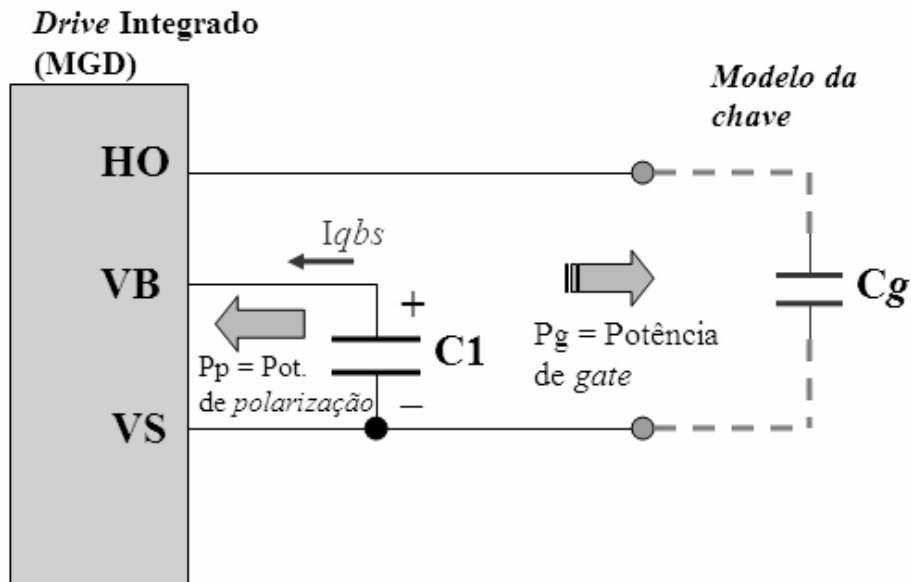


Fig. 55: Balanço de energia do MGD.

Entretanto ao se utilizar um circuito externo para recarga dos capacitores de *bootstrap* (Fig. 54), este deverá ter capacidade em fornecer a potência total P_{aux} , dada por:

$$P_{aux} \geq (P_g + P_p) \quad (2)$$

onde (2) pode ser aproximado por:

$$P_{aux} \geq (VC1 * Iqbs + f_{sw} * VC1 * Qg) \quad (3)$$

Com o auxílio das eqs. (2) e (3) pode-se calcular o valor mínimo das fontes de correntes I2 e I3, para que o sistema de recarga automática possa operar corretamente e ter energia suficiente para manter os capacitores de *bootstrap* C1 e C2 carregados.

Portanto segue-se:

$$I2 = I3 \geq \left(\frac{VC1 * Iqbs + f_{sw} * VC1 * Qg}{Vz - VD5 - VD6} \right) + Iqos \quad (4)$$

A especificação para o capacitor CP1 do circuito de recarga (Fig. 54) é dada por:

$$(VC1 * f_{osc} * CP1) \geq P_{aux} \quad (5)$$

onde o lado esquerdo desta equação significa potência máxima (teórica) transferida pelo circuito de recarga automática.

Considerando as aproximações:

$$VC1 \approx VC1 \quad (6)$$

e

$$(Vz - VD5 - VD6) \approx VC1 \quad (7)$$

a equação final pode ser expressa por:

$$CP1 \geq \left(\frac{Iqbs + f_{sw} * Qg}{VC1 * f_{osc}} \right) \quad (8)$$

onde:

$Iqbs$ = corrente de polarização do canal *high side* do MGD ($\cong 0,8\text{mA}$);

f_{osc} = frequência de chaveamento do oscilador;

$Iqos$ = Corrente quiescente do oscilador ($\approx 0,6\text{mA}$);

Vz = tensão zener da fonte do oscilador (tipicamente 18V);

$VD5$ e $VD6$ = queda de tensão nos diodos D5 e D6.

O valor da fonte de corrente I1 poderá ser um pouco menor que as demais fontes de corrente, pois não há circuito de recarga automática associada a esta fonte de corrente. Para o cálculo de I1, poderá ser utilizada a eq.(4), a menos do fator I_{qos} .

Os valores das fontes de correntes I1, I2 e I3 (Fig. 53) deverão ser pequenos, uma vez que representam perdas para o inversor em questão.

Como mencionado anteriormente, a topologia do inversor NPC permite que cada chave do inversor fique submetida a uma tensão máxima que corresponde à metade do valor total do barramento CC. No circuito proposto (Fig. 53) as fontes de corrente ajudam no processo do equilíbrio destas tensões, pois possibilitam que os diodos DA e DB entrem em condução em momentos adequados e, com isto, a tensão máxima em cada chave será a tensão dos capacitores CUP e CLOW (ou das fontes VUP e VLOW), que deverão ser controladas para que possuam o mesmo valor ou valores próximos.

Supondo que as chaves Q3-Q4 estejam acionadas (Fig. 53), a fonte de corrente I3 irá provocar a condução do diodo DA, fazendo assim com que as chaves Q1 e Q2, que estão desligadas, dividam igualmente o valor total da tensão do barramento (VDC+). O mesmo ocorrerá para o caso do acionamento de Q1-Q2, onde a fonte de corrente I1 será responsável pela condução de DB.

No caso das chaves Q2-Q3, os diodos DA e DB garantem que a tensão da saída de cada braço do inversor seja a metade da tensão do barramento, situação esta que equilibra as tensões nas chaves desativadas Q1 e Q4.

Na situação em que todas as chaves estão desligadas, como por exemplo, em uma situação de tempo morto, as fontes de correntes I1 e I3 operam normalmente forçando a condução dos diodos DA e DB, o que proporciona o equilíbrio das tensões nas chaves do inversor NPC.

Um fato importante a ser mencionado é que, em todas as combinações de acionamento das chaves, as fontes de corrente operam de forma contínua e independente da seqüência de acionamento, o que implica que todos os circuitos de recarga automática também operam continuamente, fazendo com que seja possível manter a carga dos capacitores C1-C3. O capacitor C2 por sua vez pode ser recarregado tanto pelo circuito de recarga 2, como também pela fonte de tensão V1 e do diodo D4, nos momentos em que as chaves Q3 e Q4 estiverem acionadas.

As fontes de correntes possuem funcionamento garantido devido aos seguintes fatores:

- A fonte I3 será alimentada pela tensão total de barramento CC quando as chaves Q1 e Q2 estiverem acionadas e pela tensão da fonte VLOW no caso de estarem acionadas as chaves Q2 e Q3. Quando as chaves Q3 e Q4 estiverem acionadas, a fonte I3 ainda será alimentada pela tensão VLOW devido à condução forçada do diodo DA. Portanto, a fonte I3 sempre estará

atuante e alimentando o circuito de recarga do capacitor C1, independente da seqüência de chaves acionada.

- No caso da fonte I2, esta também será alimentada pela tensão total do barramento CC quando as chaves Q1 e Q2 estiverem acionadas e pela tensão da fonte VLOW no caso de estarem acionadas as chaves Q2 e Q3, devido à condução forçada dos diodos DA. Entretanto, quando as chaves Q3 e Q4 estiverem acionadas, serão o diodo D4 e a fonte V1 que proporcionarão a recarga do capacitor C2. Portanto, esta estrutura também possibilita que o capacitor C2 possua sempre carga armazenada.
- Para a fonte de corrente I1, o acionamento das chaves Q3 e Q4 permitirá que sua alimentação seja feita pela tensão total de barramento CC e pela tensão da fonte VUP, no caso de estarem acionadas as chaves Q2 e Q3, devido à condução forçada do diodo DB. Quando as chaves Q1 e Q2 estiverem acionadas, a fonte I1 ainda será alimentada pela tensão VUP, devido à condução forçada do diodo DB. Isto evidencia que o capacitor C3 possuirá carga continuamente.

A estratégia final adotada pode então ser resumida como uma técnica onde as fontes de corrente I1, I2 e I3, sempre proporcionam o carregamento dos capacitores de *bootstrap*, bem como forçam a condução dos diodos DA e DB em momentos específicos, proporcionando o equilíbrio de tensão nas chaves do inversor.

Exemplo numérico do cálculo das fontes de correntes

No uso das eq. (4) e (8) será considerado uma chave IGBT do tipo IRG4BC20KD ($Q_g < 50\text{nC}$) e um circuito oscilador implementado com o amplificador operacional LM358 ($I_{qos} \approx 0,6\text{mA}$).

Considerando $V_{C1} = 15\text{V}$ (tensão usual de comando de *gate*), uma freqüência de chaveamento de 15kHz e 4kHz para a freqüência do oscilador, tem-se que: $I_1 = I_2 = I_3 = 2,2\text{mA}$ e $C_{P1} = 25\text{nF}$.

Na estratégia proposta, o valor dos capacitores de *bootstrap*, apresentado por (1), servirá apenas como uma referência de valor, uma vez que a recarga é feita por um circuito externo.

Capítulo 5: Resultados experimentais

Este capítulo irá apresentar os resultados experimentais que foram obtidos com o protótipo de um inversor multinível NPC de 3 níveis, utilizando a técnica de *drive* proposta neste trabalho (Fig. 53).

Os resultados experimentais desta seção foram obtidos mediante o uso dos mesmos parâmetros de circuito utilizados nos testes iniciais, mostrados na Fig. 45. Foram utilizados IGBTs do tipo IRG4BC20KD e os capacitores CUP e CLOW foram substituídos por fontes de tensão (VUP e VLOW).

Nos circuitos de *gate drive* foram utilizados MGDs do tipo IR2110, para o acionamento das chaves Q3-Q4, e dispositivos IR2117 para as demais chaves. Baseados em (1) e (8) foram feitos $C1=C2=C3=1\mu\text{F}$ e $CP1=220\text{nF}$. Os diodos VZ e VZ1 são do tipo 18V/1W, e os diodos DA e DB foram escolhidos como sendo o BYT79-500. Diodos do tipo BA159 foram utilizados para os demais casos.

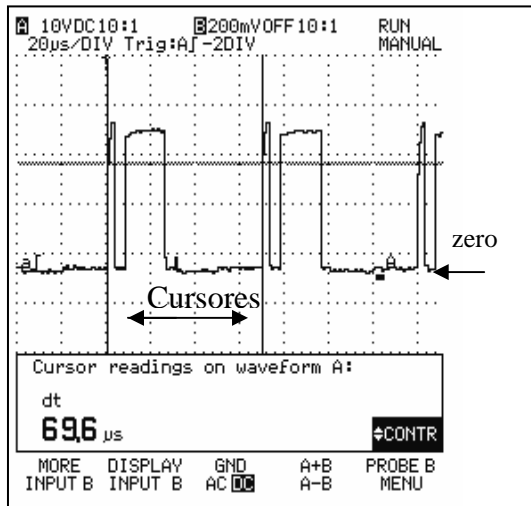
Foi utilizada uma frequência de 4,3Khz para o circuito de recarga dos capacitores (Fig. 54) e as fontes de correntes foram ajustadas para um valor de 3mA.

Nos experimentos a seguir serão verificadas as tensões nas chaves, para diferentes configurações da carga em um braço do inversor NPC proposto. Os resultados destes experimentos foram obtidos com o uso de IGBTs, mas servirão para a análise de validação do uso de MOSFETs de baixa tensão ($V_{DS}<250\text{V}$) [31].

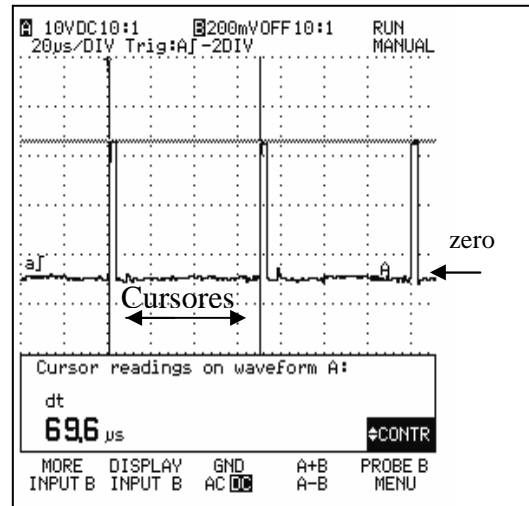
Os detalhes e os circuitos utilizados são apresentados nos Anexos D - F.

5.1) Carga monofásica conectada para VDC+

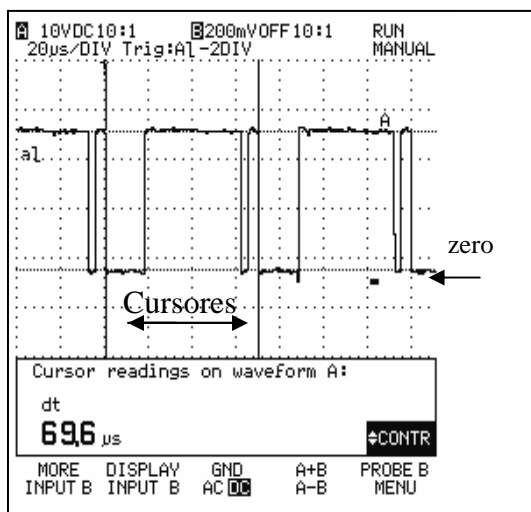
A Fig. 56 apresenta os resultados experimentais com a carga conectada entre o barramento CC ($V_{DC+}=64V$) e a saída do inversor, semelhantemente ao teste feito com o circuito da Fig. 48.



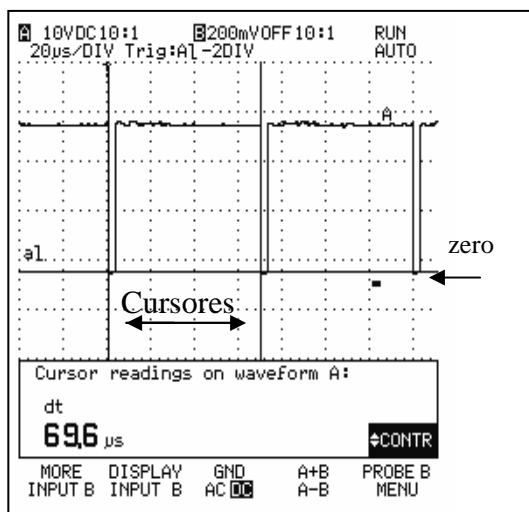
a) Chave Q1.



b) Chave Q2.



c) Chave Q3.



d) Chave Q4.

Fig. 56: Tensões nas chaves, com a carga conectada entre VDC+ e SAÍDA (10V/div, 20μs/div).

É possível verificar o funcionamento do *drive* proposto, para a configuração de carga considerada, pois as tensões em cada chave do inversor possuem um valor máximo de 32V, que é igual à metade da tensão total do barramento CC utilizado.

Estes resultados mostram que foi possível a divisão, tanto em regime como nos transitórios, da tensão total do barramento CC entre as chaves do inversor.

5.2) Carga monofásica conectada para o terminal N

A Fig. 57 apresenta outros resultados experimentais, neste caso com a carga conectada entre o ponto central dos capacitores (ponto N) e a saída do inversor.

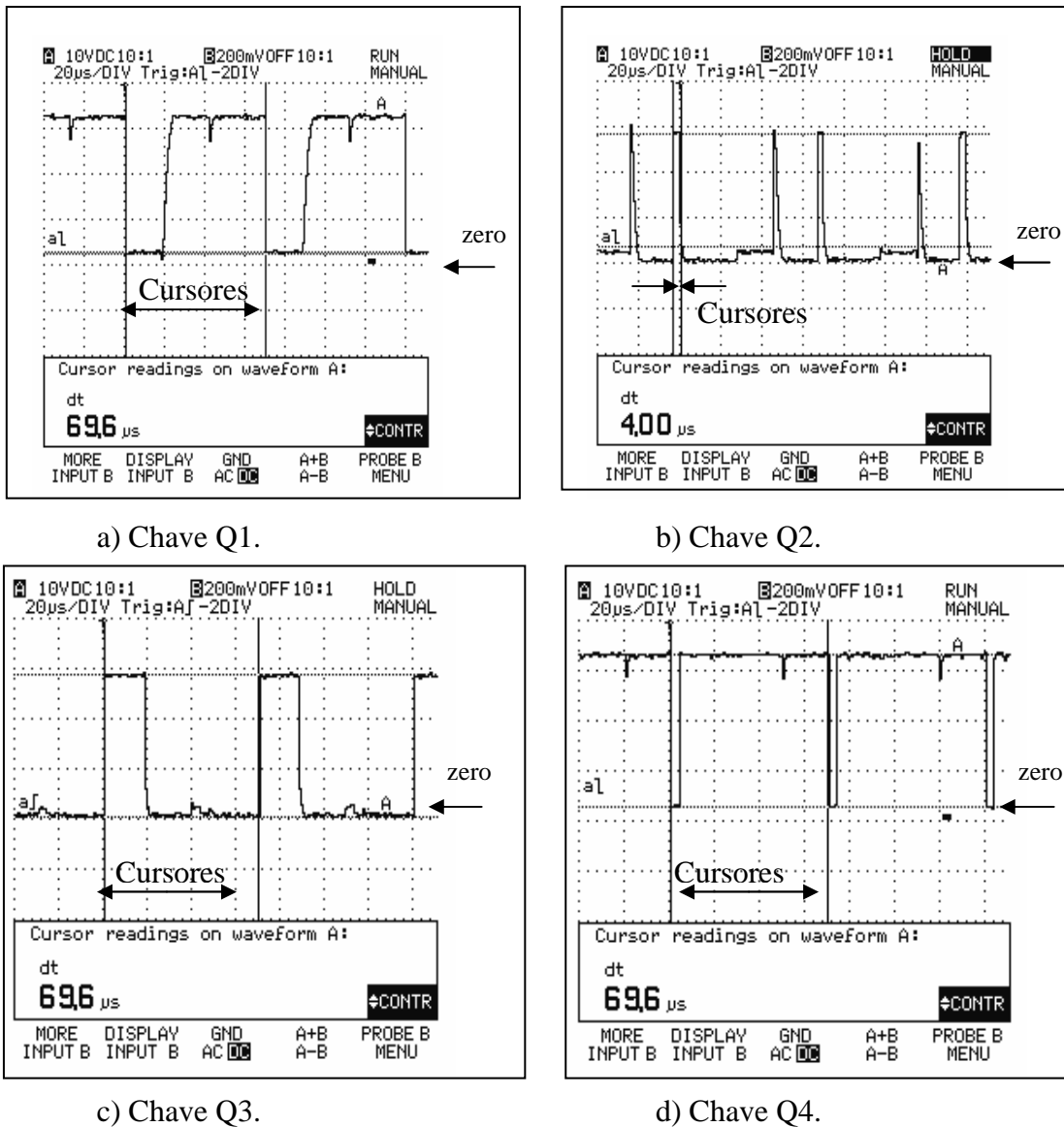


Fig. 57: Tensões nas chaves, com a carga conectada entre N e SAÍDA (10V/div, 20μs/div).

Nessa Figura também é possível verificar o funcionamento do *derive* proposto, para esta configuração de carga, e os resultados quanto ao equilíbrio da tensão entre as chaves do inversor, semelhante ao caso anterior.

5.3) Carga monofásica conectada para GND

Os resultados apresentados na Fig. 58 completam os testes necessários para uma fase do inversor NPC proposto. Para este, a carga foi conectada entre a saída do inversor e o referencial de tensão do inversor (GND).

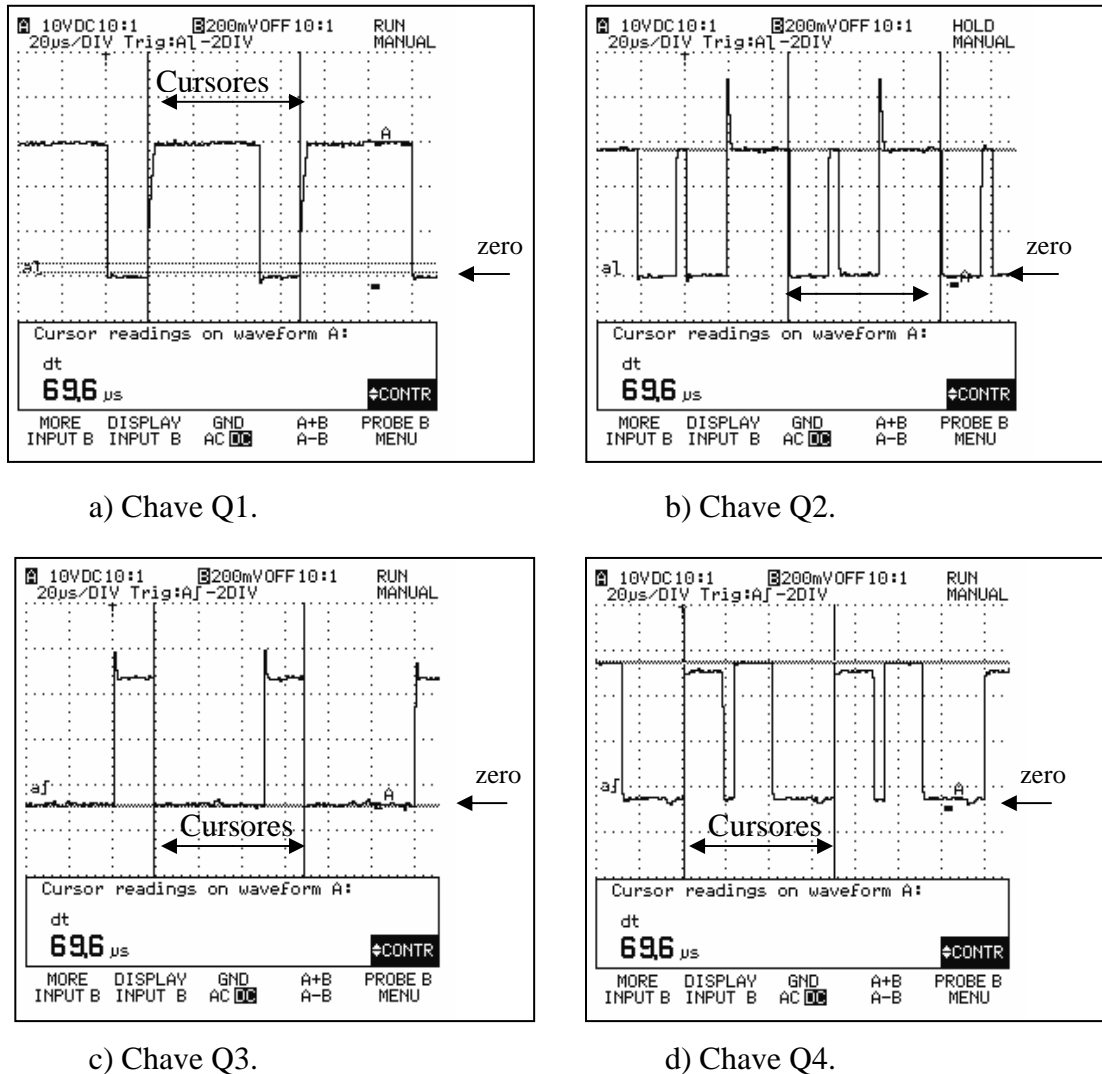


Fig. 58: Tensões nas chaves com a carga conectada entre GND e SAÍDA (10V/div, 20μs/div).

Os resultados obtidos neste experimento mostraram alguns problemas na divisão da tensão entre as chaves, nos transitórios. Conforme a Fig. 58, pequenas sobretensões (picos de tensão) aparecem sobre as chaves Q2 e Q3.

Como mencionado anteriormente na seção 4.1.3 o sinal de teste dos experimentos não é simétrico (Fig. 47), ou seja, foi investigado o caso em que o par de chaves Q3-Q4 fica acionado por um tempo diferente dos demais. Essa situação ocorre, por exemplo, em uma modulação do tipo PWM senoidal, em algum instante de tempo.

Em testes feitos com diferentes formas de sinais de controle e com diferentes valores de frequências, os resultados sempre revelaram o problema descrito acima, entretanto, em poucos casos as sobretensões foram observadas nas demais chaves.

As sobretensões mostradas na Fig. 58 e verificadas em outros testes mostram o desequilíbrio de tensão apenas em transitórios. O equilíbrio de tensão em dispositivos conectados em série é de difícil solução e abordado na literatura. Este problema ocorre, muitas vezes, por desigualdades nas características físicas dos semicondutores [2].

Os circuitos denominados *snubbers* são comumente utilizados para solucionar estes problemas. Muitos deles utilizam técnicas com resistores e capacitores associados aos dispositivos semicondutores, a fim de promover a divisão da tensão. Entretanto, muitas vezes, o uso destes circuitos leva a um grande aumento nas perdas [2], [3].

Embora os testes realizados até aqui revelem características da tensão nas chaves de uma fase apenas, em configurações de carga não usuais, estes testes podem representar a situação de um inversor trifásico, onde a carga é conectada entre as saídas dos braços do inversor, em que os sinais de controle não estão em sincronismo. Com isso, uma fase do inversor poderia ser influenciada por outra, de tal forma a colocar a carga disposta como mostrado nos experimentos apresentados.

Em seguida foram realizadas testes com carga trifásica para verificar o funcionamento do circuito proposto e a divisão da tensão nas chaves. Foram utilizadas cargas trifásicas tanto resistivas como indutivas. Nesse último caso é de interesse o uso de motores de indução trifásicos. Os resultados e análises são mostrados na seção seguinte.

5.4) Testes com carga trifásica resistiva

Nesta seção serão apresentados os testes realizados com o circuito proposto (Fig. 53), tendo uma carga resistiva com potência de, aproximadamente, 100W conectada em ligação Y (estrela) e em ligação Δ (triângulo). O barramento CC, nesse caso, é composto por duas fontes de tensão com 64V, totalizando um barramento de 128VCC.

O inversor NPC em estudo foi submetido à seqüência de acionamento das chaves, conforme apresentada na Fig. 42, a fim de sintetizar em suas saídas uma tensão trifásica multinível em baixa frequência e sem modulação.

A Fig. 59 apresenta as tensões Fase-Neutro e Fase-Fase, para o caso da carga conectada em ligação Y.

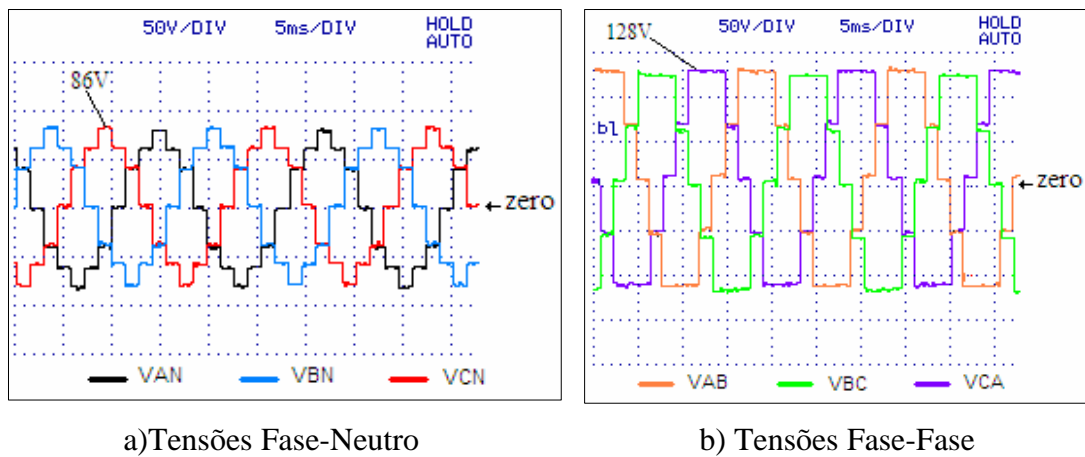


Fig. 59: Resultados com carga trifásica ($f=60\text{Hz}$).

Assim como apresentado nas simulações realizadas para este tipo de conversor (Capítulo 4), pode-se verificar experimentalmente a existência de uma tensão de saída de 6 pulsos, para tensões entre fases, e com 12 pulsos nas tensões Fase-Neutro. Pode-se também observar a presença dos níveis fracionários da tensão total do barramento 0, 1/2, 1/3, 2/3 e 1, característicos neste tipo de inversor.

5.4.1) Equilíbrio das tensões nas chaves com carga trifásica resistiva

A Fig. 60 apresenta os resultados das tensões em cada chave do inversor, do experimento mostrado na Fig. 59, onde a frequência de saída é 60Hz.

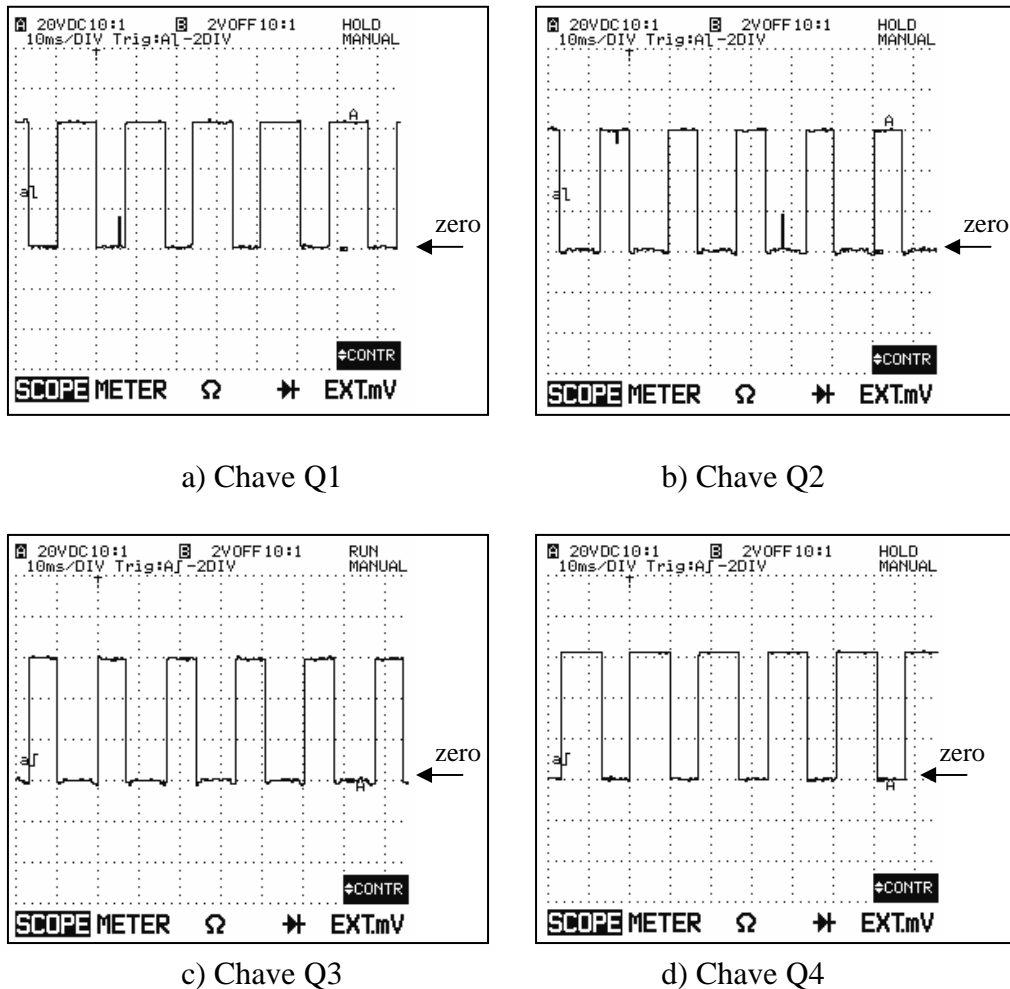


Fig. 60: Tensões nas chaves com carga trifásica resistiva (20 V/div, 10ms/div).

Os resultados acima evidenciam que cada chave do inversor possui uma tensão máxima com cerca de 60 V de amplitude e que não há nenhum tipo de sobretensão, diferente do ocorrido com a carga monofásica (Fig. 58).

Para verificar que o equilíbrio também foi conseguido em frequências maiores, a frequência da tensão de saída foi elevada para 1,5kHz. A Fig. 61 mostra que a tensão da chave Q3, uma das mais afetadas por problemas de sobretensão nos testes com carga monofásica (Fig. 58), não apresenta sobretensão. Com isso foi possível perceber também a presença de “cortes” na forma de onda, causados pela inserção de tempo morto ($\approx 6\mu s$) durante cada mudança de configuração das chaves. Isso não é perceptível

nos resultados em 60Hz devido à curta duração dos mesmos, em relação ao período do sinal de 60Hz, o que causa dificuldades de *trigger* no instrumento de medida.

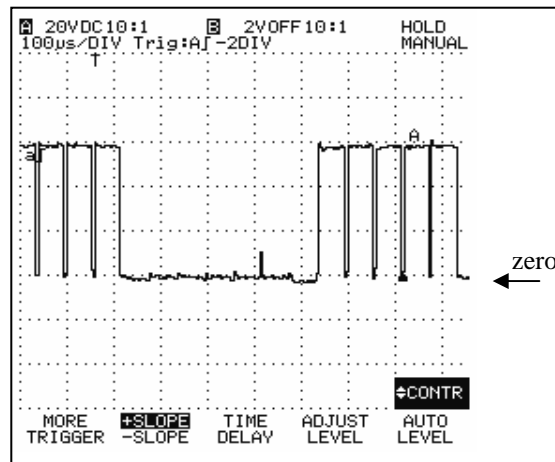
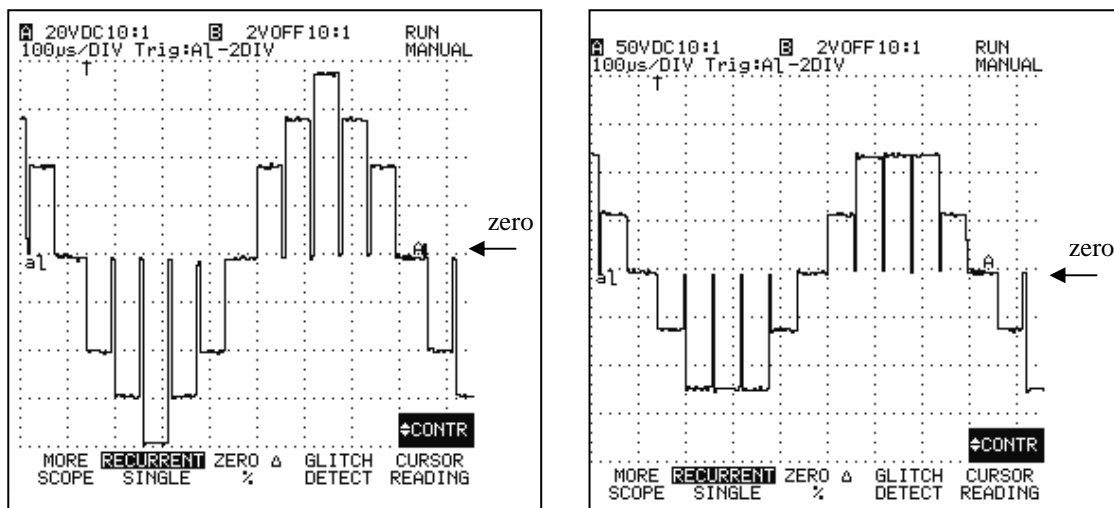


Fig. 61: Tensão sobre a chave Q3 (20V/div, 100µs/div).

As tensões nas demais chaves, embora não mostradas, também não apresentaram problemas de sobretensão, indicando o funcionamento adequado do protótipo.

A existência de tempo morto nos sinais de controle se reflete nas formas de onda de saída do inversor como sendo “perdas”, uma vez que reduz as áreas úteis destes sinais e, conseqüentemente, seu valor eficaz. Isso pode ser visualizado na Fig. 62, onde são apresentadas uma tensão Fase-Neutro e uma tensão Fase-Fase.



a) Tensão Fase-Neutro VAN (20V/div). b) Tensão Fase-Fase VAB (50V/div).

Fig. 62: Influência do tempo morto nas formas de onda de saída.

5.5) Testes com carga trifásica indutiva

Na Fig. 63 são mostrados os resultados experimentais com uma carga indutiva. Neste caso foi utilizado um motor de indução trifásico (1HP/3450rpm), também conectado em Y, funcionando em vazio e controlado semelhantemente ao experimento apresentado pela Fig. 59.

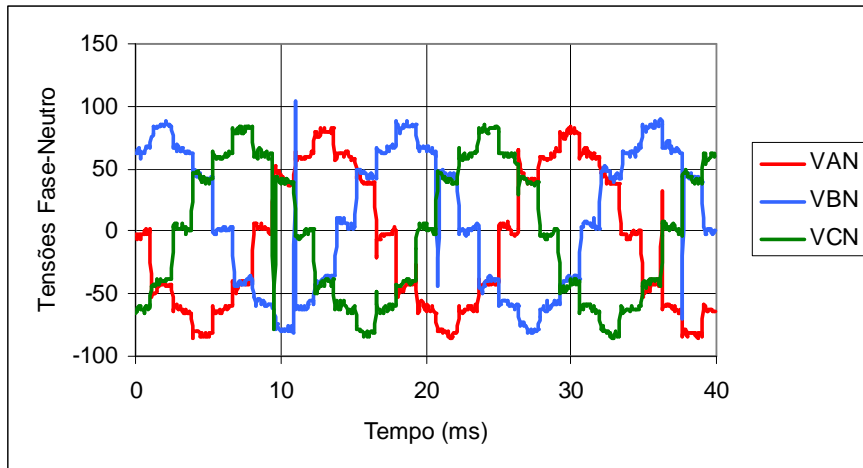


Fig. 63: Resultados com carga indutiva (motor de indução, $f=60\text{Hz}$).

Na Fig. 64 pode ser visto o conteúdo harmônico e a distorção total (THD%) dos sinais de tensão Fase-Neutro, apresentados pela Fig. 63.

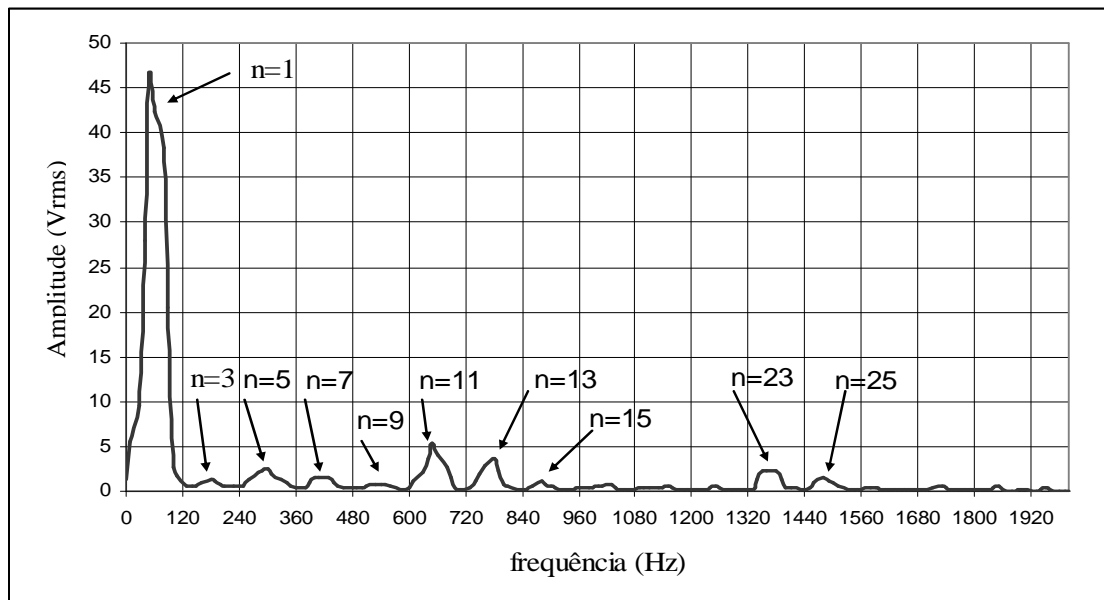


Fig. 64: Espectro de frequência da tensão-Fase-Neutro (THD=18%).

A tensão Fase-Fase e seu respectivo espectro de frequência são apresentados nas Figuras Fig. 65 e Fig. 66, respectivamente.

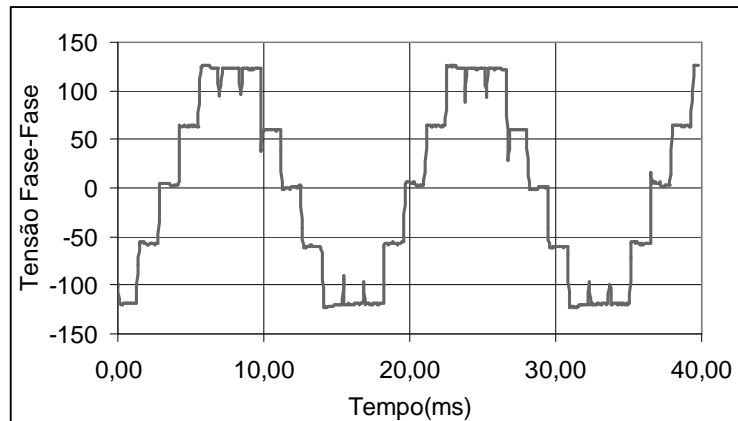


Fig. 65: Tensão Fase-Fase(VAB).

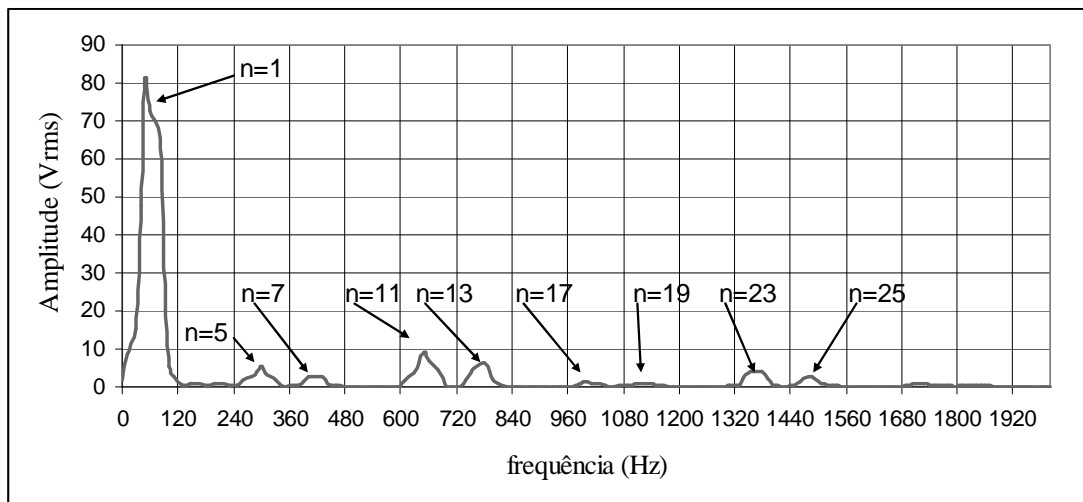


Fig. 66: Espectro de frequência da tensão-Fase-Fase (THD=16,9%).

Os resultados apresentados acima mostram que o inversor NPC pode ser utilizado para o acionamento de cargas trifásicas, conectadas tanto em ligação Y como em Δ , com um baixo índice de distorção harmônica (THD%) na tensão gerada, quando comparado com um inversor convencional de 6 pulsos, o qual apresenta um THD típico de 32%, para o caso da geração de onda quadrada.

Embora a tensão Fase-Fase do NPC apresente apenas 6 pulsos (Fig. 65), seu THD% é ligeiramente inferior ao caso da tensão Fase-Neutro, que possui 12 pulsos (Fig. 63). Isto se deve ao alto valor da componente fundamental presente na tensão de Fase-Fase, em relação às demais componentes harmônicas, pois neste tipo de inversor a

tensão de saída não é formada pelos níveis intermediários 1/3 e 2/3 da tensão total do barramento CC, e sim pelos níveis 1/2 e 1.

Na Fig. 67 pode ser visualizada a corrente em uma das fases do motor, na situação de carregamento nulo (corrente em vazio).

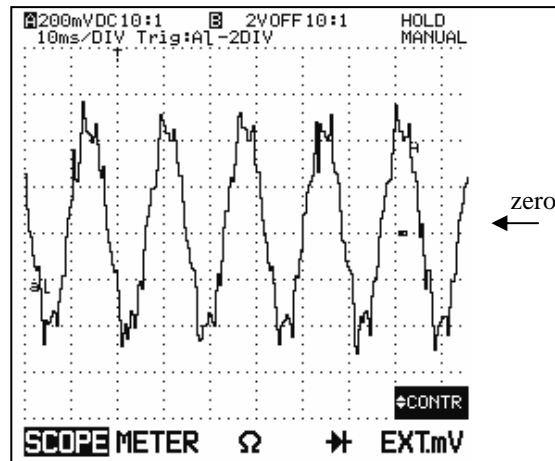
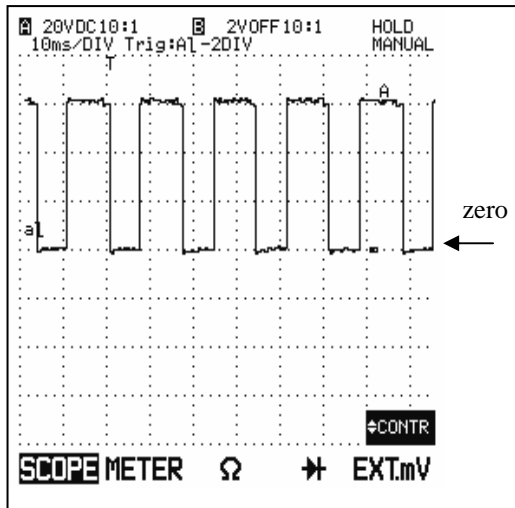


Fig. 67: Corrente de fase do motor (200 mA/div, $f = 60$ Hz).

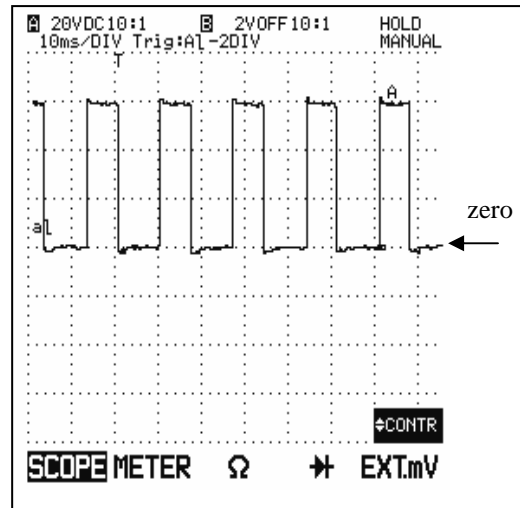
Os resultados experimentais com carga trifásica apresentados foram satisfatórios e comprovam o funcionamento do protótipo do inversor NPC.

5.5.1) Equilíbrio das tensões nas chaves com carga trifásica indutiva

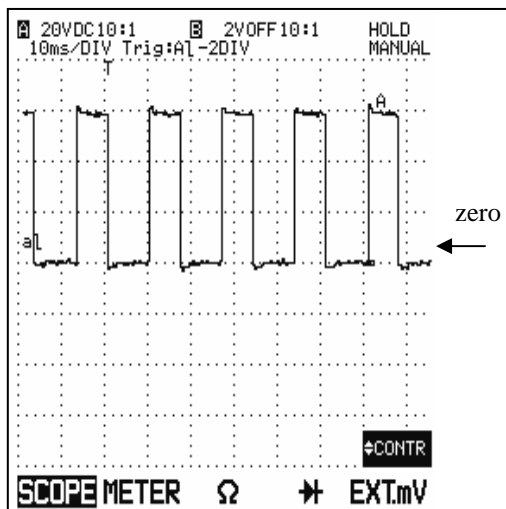
Semelhante ao apresentado na Fig. 60, são mostradas na Fig. 68 as tensões em cada chave de um braço do inversor. Os resultados apresentados mostram um equilíbrio de tensão nas chaves, sem a presença de sobretensões.



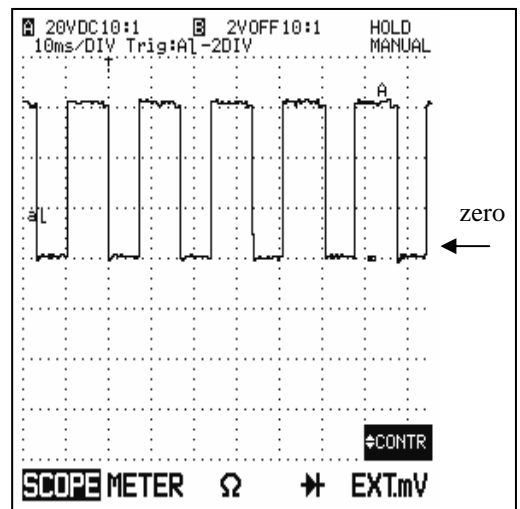
a) Chave Q1.



b) Chave Q2.



c) Chave Q3.



d) Chave Q4.

Fig. 68: Tensões nas chaves com carga trifásica indutiva (20 V/div, 10ms/div).

Portanto, o uso do circuito proposto (Fig. 53) pôde proporcionar um equilíbrio das tensões, o que permite o uso de chaves com limite de tensão menor que a tensão total do barramento CC.

5.5.2) Comentários sobre os resultados com carga trifásica

Na seção 5.3 foram constatados problemas de divisão de tensão nas chaves do conversor. Entretanto, nos experimentos com carga trifásica, estes problemas não foram constatados, seja no caso com frequência baixa (carga resistiva ou motor de indução trifásico) ou na situação com uma frequência de 1,5kHz (testado apenas com carga resistiva trifásica). Embora este último caso não represente uma frequência de teste elevada, para a verificação do equilíbrio das tensões nas chaves em regime de transitórios, foram provocadas transições nos sinais com durações de aproximadamente 6 μ s, conforme apresentado na Fig. 62.

É importante ressaltar que, nos experimentos com carga trifásica, os sinais de controle possuíam um sincronismo. A tarefa de realizar o sincronismo dos 12 sinais necessários ao controle do NPC de 3 níveis pode ser facilmente realizada ou por DSPs e Microcontroladores ou por um *hardware* dedicado. No entanto, pôde ser verificado nos experimentos, que ter sinais de controle sincronizados não garante o funcionamento correto do inversor. É necessário, além do sincronismo desses sinais, o cumprimento das seqüências válidas da Tabela 2 e, também, que haja uma seqüência nula no sinal de controle (tempo morto) precedendo cada mudança nas configurações das chaves de potência do inversor.

Obedecer a esses três requisitos, simultaneamente, é imprescindível para que um inversor tipo NPC possa operar adequadamente e permitir que alguma estratégia de equilíbrio de tensão nas chaves possa ser empregada com sucesso. Caso contrário, poderão surgir problemas de acionamento indevido das chaves intermediárias (Q2, Q3, Q6, Q7, Q10 e Q11).

A Tabela 3 exemplifica uma situação onde ocorre um problema desse tipo porque os requisitos não foram atendidos, permitindo que apenas uma das chaves intermediárias permanecesse ativada em cada braço do inversor, violando, por conseguinte, as seqüências válidas da Tabela 2.

Nesse exemplo, os sinais de controle estão sincronizados, ou seja, a transição de todos os bits ocorre, simultaneamente, da Configuração 1 para a Configuração 2, as seqüências válidas estão sendo obedecidas e o tempo morto está sendo inserido por um circuito. O circuito de geração de tempo morto, porém, adiciona um retardo somente nos instantes de ativação das chaves, mantendo as outras condições inalteradas.

Tabela 3: Exemplo de situações de risco.

Chaves	Sinais lógicos de controle do inversor NPC de 3 níveis (12 bits)											
	1º Braço do Inversor				2º Braço do Inversor				3º Braço do Inversor			
	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Q9	Q10	Q11	Q12
Configuração 1	0	1	1	0	1	1	0	0	0	0	1	1
<i>Transição</i>	0	0	1	0	0	1	0	0	0	0	1	0
Configuração 2	0	0	1	1	0	1	1	0	0	1	1	0

Para o caso mostrado na Tabela, haverá adição de tempo morto no acionamento nas chaves Q4, Q7 e Q10, as chaves Q2, Q5 e Q12 serão desativadas, enquanto as chaves Q3, Q6 e Q11 permanecerão acionadas individualmente durante a transição entre as configurações 1 e 2. Com isso, aparece uma configuração transitória, entre a 1 e a 2, que produz uma seqüência inválida, conforme mostrado na Tabela. Nessa condição, as chaves Q3, Q6 e Q11 permanecerão acionadas durante a transição, podendo ficar submetidas a sobretensões.

Para evitar que situações como essa ocorram e possibilitem o aparecimento de sobretensões nas chaves do inversor, a seqüência nula no sinal de controle deve ser inserida sempre que houver uma mudança na configuração das chaves, ou de “0” para “1” ou de “1” para “0”, em todas as chaves.

Isso pode ser feito de duas maneiras, por software ou por um circuito dedicado. Neste trabalho foi implementada a solução por software.

5.6) Proteções implementadas

Como foram mostrados, diversos problemas foram constatados nos experimentos com o protótipo do inversor NPC. Mediante isto, diversas proteções foram incluídas no projeto e podem ser vistas resumidamente no diagrama de blocos da Fig. 69.

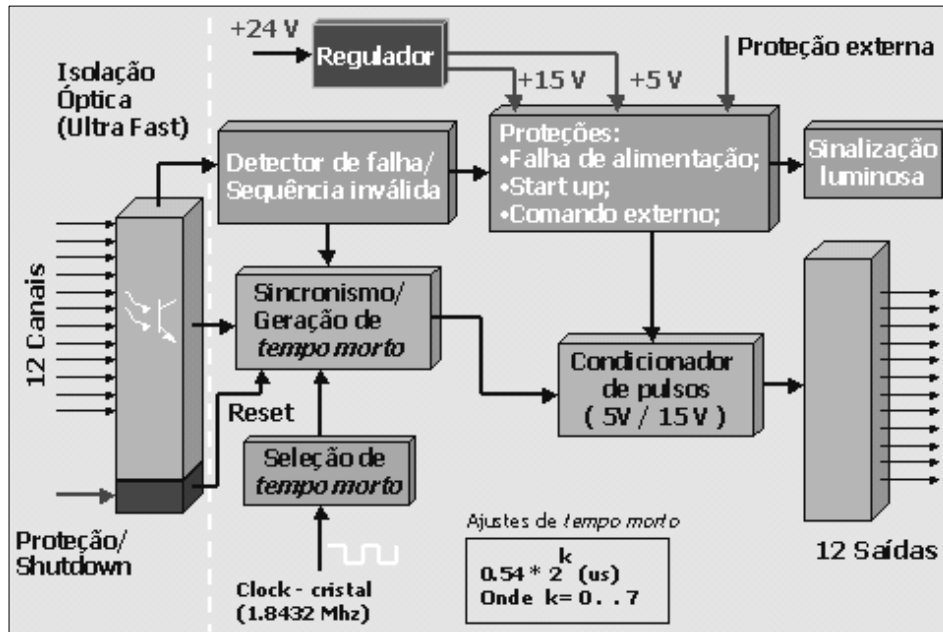


Fig. 69: Diagrama simplificado dos circuitos e proteções adotadas.

Podem-se destacar os principais circuitos e proteções:

- Circuitos isoladores com 12 canais de alta velocidade e *shutdown* externo;
- Gerador de sincronismo e tempo morto ajustável em 8 valores (múltiplos binários de $0.54\mu\text{s}$);
- Detector de seqüências inválidas (Tabela 2) e *reset* automático de inicialização;
- Circuito monitorador das tensões de alimentação dos *drivers*, com *start up* e entrada externa para outras proteções.

Além das proteções mencionadas acima, também foi incluída a que monitora as tensões do barramento CC. Isso é necessário porque os circuitos de recarga dos capacitores são alimentados pelo próprio barramento CC e, em caso de uma subtensão, poderá ocorrer uma falha nos circuitos de *drive*. Os dealhes dos circuitos são

apresentados no Anexo E, e na Fig. 70 é mostrado o fluxograma desses circuitos de proteção.

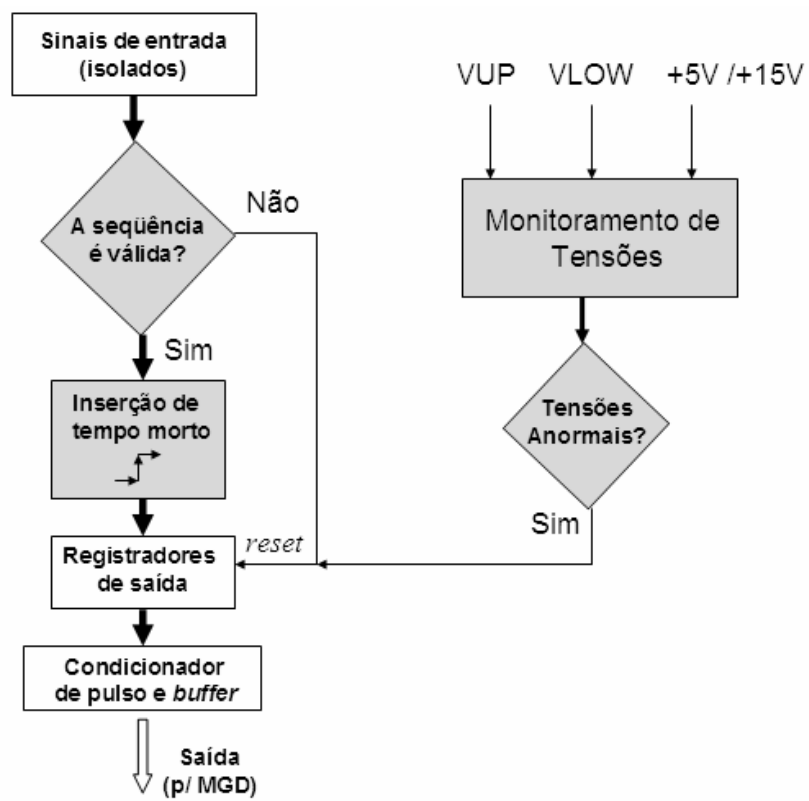


Fig. 70: Fluxograma das proteções.

Conclusões

Esse trabalho apresentou um estudo sobre conversores multiníveis para situações de baixa potência, especialmente os inversores do tipo NPC de 3 níveis e topologias de conversores CC-CC boost, passíveis de ser utilizadas no fornecimento da tensão de barramento CC desses inversores. Foi analisada, também, uma topologia de conversor CC-CC dobrador de tensão que, embora não sendo do tipo multinível, se mostrou viável em fornecer o barramento CC do inversor NPC.

Foi proposto um esquema novo para controle do conversor CC-CC dobrador de tensão, empregando a técnica de PWM, que consegue ajustar a tensão de saída e do ponto central em valores desejados. As simulações realizadas mostraram que esse esquema funciona adequadamente e que o seu circuito é bem simples e de custo baixo (Cap. 2).

A topologia dobradora de tensão junto com o circuito proposto possibilita o seu emprego em novas situações, tirando proveito da facilidade de implementação e de custos baixos, tanto da topologia quanto do próprio circuito.

As simulações feitas com as topologias boost multinível mostraram que esses conversores podem ser empregados como conversores CC-CC elevadores de tensão, com fatores maiores do que 2, e utilizados para fornecer o barramento CC de inversores. Além disso, uma das topologias descritas pode ser usada na geração do barramento CC de inversores que necessitem de uma alimentação formada pela associação de duas tensões em série, com um ponto intermediário, conforme o caso dos inversores NPC.

A aplicação do controle tipo Relé nos conversores boost apresentados conseguiu equilibrar as tensões nas chaves de potência de forma eficaz, mesmo com uma carga dinâmica na sua saída, e manter a tensão no seu ponto central no valor esperado. Com isso, foi possível verificar que cada uma de suas chaves de potência ficou submetida, no máximo, à metade da tensão total do barramento CC, o que permite o uso de dispositivos com limites de tensão mais baixos e custos menores, como, por exemplo, MOSFETs (Cap. 2).

As análises feitas com os circuitos de acionamento de inversores, empregando a técnica de *charge-pump*, apontaram para um circuito que possibilitou aumentar a frequência de chaveamento e, ao mesmo tempo, reduzir as suas correntes de polarização. A redução dessas correntes, por conseguinte, diminuiu, significativamente, as perdas que ocorrem quando o barramento CC do inversor é empregado na

alimentação do circuito de acionamento. Os cálculos dos componentes do circuito e os comentários sobre os mesmos estão no Cap. 3.

A aplicação desses circuitos de acionamento em inversores do tipo NPC, descrita no Cap. 4, levou à proposta do circuito desenvolvido nessa dissertação, que introduziu melhorias relevantes no acionamento de chaves de potência com a técnica de *charge-pump*, além das já mencionadas. O novo circuito permitiu o comando de cada par de chaves do NPC de forma independente, evitando a necessidade de seqüências pré-estabelecidas, eliminou restrições no tempo de acionamento dessas chaves, resultando em intervalos de tempo de acionamento longos, e conseguiu equilibrar as tensões sobre as mesmas, tanto em regime quanto em transitórios.

Os resultados experimentais, conseguidos com o protótipo implementado, mostraram que os inversores NPC podem ser empregados em aplicações industriais de baixa tensão, aproveitando as vantagens inerentes desse tipo de inversor, como redução de distorção harmônica nas tensões geradas, tanto fase-fase quanto fase-neutro, e melhor utilização da tensão total do barramento CC na sua saída (Cap. 5). Junto com o circuito de acionamento proposto, o inversor NPC pode ser implementado com chaves que suportem tensões com valores mais baixos (\approx metade do barramento), como, por exemplo, MOSFETs; cujo emprego possibilitaria reduzir o consumo do inversor.

Durante os desenvolvimentos realizados, foram implementados circuitos de proteção e apontadas condições de operação que visam garantir o funcionamento adequado do inversor e a segurança de seus componentes.

Embora o inversor NPC utilize um número maior de chaves, o que aumenta o seu custo comparado com os inversores convencionais, o emprego de um circuito de acionamento como o proposto facilita o uso de componentes de custo mais baixo, compensando em parte o seu custo total, além de dotá-lo de desempenho melhor do que os conversores convencionais. Essas características podem ser aproveitadas, especialmente, em sistemas que utilizem energias alternativas, como fotovoltaica e eólica, onde a eficiência é um fator de grande importância.

Propostas para trabalhos futuros

O trabalho desenvolvido nessa dissertação abordou diversos aspectos relacionados com os inversores do tipo NPC. Alguns itens apresentados, no entanto, e outros de interesse precisam de um tratamento mais elaborado.

Em relação aos conversores CC-CC, a proposta sugerida é a implementação dos circuitos das topologias apresentadas e medição dos valores de interesse para comparação com os resultados das simulações e sua validação. Um outro trabalho é a aplicação do controle tipo relé no conversor CC-CC dobrador de tensão e a avaliação do seu desempenho, especialmente na manutenção da tensão do ponto médio do barramento CC.

A obtenção de um modelo matemático que represente a função de transferência desse tipo de controle possibilitaria ajustar os seus parâmetros de uma forma melhor, sendo outro trabalho que desperta interesse.

No caso dos inversores NPC e do seu circuito de acionamento, outros circuitos de proteção podem ser implementados, seguindo as sugestões apresentadas, para melhorar ainda mais a segurança dos componentes empregados.

A miniaturização do protótipo desenvolvido pelo uso de componentes SMD (*Surface Mounted Devices*) e PLD (*Programmable Logic Devices*), a fim de reduzir os custos de implementação é outra proposta possível.

O estudo e aplicação de outras técnicas de controle nos inversores NPC e a comparação de seu desempenho com aquele obtido nesse trabalho formam mais uma proposta de interesse.

Referências Bibliográficas

- [1] PALMA, JOÃO C. P., *Acionamentos Electromecânicos de Velocidade Variável*, Edição da Fundação Calouste Gulbenkian, Lisboa, 1999.
- [2] RASHID, MUHAMMAD H., *Power Eletronics - Circuits, Devices, and Applications*”, 3 ed., Prentice Hall, August 2003.
- [3] MOHAN, N., UNDELAND, TORE. M., ROBINS, WILLIAM. P., *Power Electronics - Converters, Applications and Design*, 3 ed. New York, Wiley, 2003.
- [4] BOSE, BIMAL K., *Power Eletronics and Variable Frequency Drives, Technology and Aplications*, IEEE Press, Piscataway N. J., 1996.
- [5] GIERAS, F. JACEK, Wing, Mitchell, *Permanent Magnet Motor Technology - Design and Aplications*, Marcel Dekker, Inc., New York, 1997.
- [6] HAMEYER, KAY., BELMANS, RONNIE J. M., “Permanent Magnet Excited Brushed DC Motors”, *IEEE Transactions on Industrial Electronics*, v. 43, n. 2, pp. 247-255, April 1997.
- [7] HENDERSHOT, J. R., MILLER, TJE, *Design of Brushless Permanent-Magnet Motors*, Magna Physics Publishing and Clarendon Press, Oxford Science Publications, 1994.
- [8] Notas técnicas Motores, General Eletric, GE-GEVISA NT-02.
- [9] LEONHARD, WERNER, *Control of Eletrical Drives*, 3 ed. New York, Springer, 2002.
- [10] ELETROBRÁS/PROCEL, *Conservação de energia – Eficiência Energética de Instalações e Equipamentos*, Editora da Escola Federal de Itajubá, 2 ed., 2001.
- [11] BRAGA, HENRIQUE A. C., BARBI, IVO, “Conversores Estáticos Multiníveis - Uma Revisão”, *SBA Controle & Automação*, v. 11, n. 01, Jan. - Abril 2000.
- [12] LIN, BOR-REN, “Analysis and Implementation of a Three-Level PWM Rectifier/Inverter”, *IEEE Transactions on Aerospace and Electronic Systems*, v. 36, n. 3, pp. 948-956, July 2000.
- [13] BEZERRA, LAURO BARDE, *Implementação De Uma Bancada Para Controle Eletrônico De Motores Síncronos De Ímã Permanente Utilizando Um DSP*, Tese M.Sc, COPPE/UFRJ, Rio de Janeiro, RJ, Brasil, 2004.

- [14] IMBUZEIRO, RAFAEL S. SANTOS, *Controle De Um Motor Síncrono De Ímãs Permanentes Sem Sensor De Posição Utilizando Um DSP*, Tese M.Sc, COPPE/UFRJ, Rio de Janeiro, RJ, Brasil, 2001.
- [15] LIPO, THOMAS A., HOLMES, D. GRAHAME, *Pulse Width Modulation for Power Converters*, IEE Press on Power Engineering/Wiley-Interscience, 2003.
- [16] PRESSMAN, ABRAHAM I., *Switching Power Supply Design*, McGraw-Hill, 2 ed., 1998.
- [17] PADILHA, FELIPE J. C., BELLAR, MARIA DIAS, “Modeling and Control of the Half-Bridge Voltage-Doubler Boost Converter”, *IEEE Intenational Symposium on Industrial Electronics (ISIE)*, Brasil, Rio de Janeiro, June 2003.
- [18] PINHEIRO, J. R., VIDOR, D. L. R., GRÜNDLING, H. A. G., “Dual Output Three-Level Boost Power Factor Correction Converter With Unbalanced Loads”, *IEEE Transactions on Power Electronics*, pp. 733-739, 1996.
- [19] ZHANG, MICHAEL T., JIANG, YIMIN, LEE, FRED C., JOVANOVIC, MILAN M., “Single-Phase Three-Level Boost Power Factor Correction Converter”, *IEEE Transactions on Power Electronics*, pp. 434-439, 1995.
- [20] SRINIVASAN, H., ORUGANTI, H., “A Unity Power Factor Converter Using Half-Bridge Boost Topology”, *IEEE Transactions on Power Electronics*, v. 13, n. 3, May 1998.
- [21] LIN, BOR-REN, LU, HSIN-HUNG, HOU, YEI-LANG , “Single-Phase Power Factor Circuit With Three-Level Boost Converter”, *IEEE Intenational Symposium on Industrial Electronics (ISIE)*, pp. 445-450, Bled, Slovenia, 1999.
- [22] MARTINS, ALEXANDRE S., KASSICK ENIO V., BARBI, IVO, “ Control Strategy for the Double-Boost Converter in Continuous Conduction Mode Applied to Power Factor Correction”, *IEEE Transactions on Power Electronics*, pp. 1066-1072, 1996.
- [23] BAGGIO, J.E., HEY, H.L., GRÜNDLING, H.A., PINHEIRO, H., PINHEIRO, J.R., “Modelagem e Controle Discreto para o Retificador PFC Boost Três Níveis”, pp. 54-61, *Eletrônica de Potência*, v. 7, n. 1, Novembro de 2002.
- [24] RUAN, XINBO, WEI, JIAN, XUE, YALI, ZHOU, LINQUAN, “Voltage-Sharing of the Divided Capacitors in Non-Isolated Three-Level Converters”, *IEEE Transactions on Power Electronics*, pp.1725-1729, 2004.
- [25] <http://www.abb.com>

- [26] SETZ, THOMAS, LÜSCHER, MATTHIAS, “Applying IGCTS - Application Note”, *ABB Switzerland Ltd Semiconductors*, February 2006.
- [27] “Approaching Power Switching Perfection with IGCTS – Integrated Gate-Commutated Thyristors”, *ABB Switzerland Ltd Semiconductors*, April 2002.
- [28] STEIMER, P. K., GRÜNING, H., WERNINGER, J., “The IGCT - The Key Technology For Low Cost, High Reliable High Power Converters With Series Connected Turn-Off Devices”, *EPE*, Trondheim, Norway, September 1997.
- [29] SATOH, KATSUMI, YAMAMOTO, MASANORI, “The Present State of the Art in High-Power Semiconductor Devices” *PROCEEDINGS OF THE IEEE*, v. 89, n. 6, JUNE 2001.
- [30] BASCOPE, RENÉ P. TORRICO, PERIN, ARNALDO J., *O transistor IGBT aplicado em eletrônica de potência*, Porto Alegre, 1 Ed., Sagra Luzzatto, 1997.
- [31] BLAKE, CARL, BULL, CHRIS, Technical Paper, “IGBT or MOSFETS: Chose Wisely”, *International Rectifier*.
<http://www.irf.com/technical-info/whitepaper/choosewisely.pdf>.
- [32] APPLICATION NOTE AN983 (v.Int), “IGBT Characteristics”, *International Rectifier*.
<http://www.irf.com/technical-info/appnotes/an-983.pdf>.
- [33] APPLICATION NOTE UNITRODE DN-35, “IGBT Drive Using MOSFETS Gate Drive”, *Texas Instruments*.
<http://www.ti.com/sc/docs/psheets/abstract/apps/slual69.htm>.
- [34] APPLICATION NOTE AN937, “Gate Drive Characteristics and Requirements for HEXFETs”, *International Rectifier*.
<http://www.irf.com/technical-info/appnotes/an-937.pdf>.
- [35] DESIGN TIPS DT 94-12, “Optically Isolated Gate Drive Circuit”, *International Rectifier*.
<http://www.irf.com/technical-info/designntp/dt94-12.pdf>.
- [36] WELCHKO, BRIAN A.; CORRÊA, M. BELTRÃO; LIPO, THOMAS A., “A Three-Level MOSFET Inverter for Low Power Drives”, *IEEE Transactions on Industrial Electronics*, v. 51, n. 3, June 2004.
- [37] APPLICATION NOTE AN-1017a, “The PVI - NEW VERSATILE CIRCUIT ELEMENT”, *International Rectifier*.
<http://www.irf.com/technical-info/appnotes/an-1017.pdf>.
- [38] <http://www.irf.com/product-info/datasheets/data/pvin.pdf>.

- [39] APPLICATION NOTE AN978, “HV Floating MOS-Gate Driver Ics”, *International Rectifier*.
<http://www.irf.com/technical-info/appnotes/an-978.pdf>.
- [40] DESIGN TIPS DT 98-2a, “Bootstrap Component Selection for Control IC’S”, *International Rectifier*.
<http://www.irf.com/technical-info/designtp/dt98-2.pdf>.
- [41] DESIGN TIPS DT 92-4A, “Simple High Side Drive Provides Fast Switching and Continuous On-Time”, *International Rectifier*.
<http://www.irf.com/technical-info/designtp/dt92-4.pdf>.
- [42] DESIGN TIPS DT 94-1A, “Keeping the Bootstrap Capacitor Charged in Buck Converters”, *International Rectifier*.
<http://www.irf.com/technical-info/designtp/dt94-1.pdf>.
- [43] APPLICATION NOTE UNITRODE U-137, “Practical Considerations in high performance MOSFET, IGBT and MCT Gate Drive Circuits”, *Texas Instruments*
<http://www.ti.com/sc/docs/psheets/abstract/apps/slua105.htm>.
- [44] <http://www.fairchildsemi.com/ds/6N/6N137.pdf>.
- [45] <http://www.irf.com/product-info/cic/fsgatedriverics.html>.
- [46] <http://www.irf.com/product-info/datasheets/data/ir2110.pdf>.
- [47] DESIGN TIPS DT 97-3, “Managing Transients in Control IC Driven Power Stages”, *International Rectifier*.
<http://www.irf.com/technical-info/designtp/dt97-3.pdf>.
- [48] SEO, JAE H., CHOI, CHANG H., HYUN, DONG S. “A New Simplified Space-Vector PWM Method for Three-Level Inverters”, *IEEE Transactions on Power Electronics*, v. 16, n. 4, July 2001.
- [49] WALKER, GEOFFREY R., “Digitally-Implemented Naturally Sampled PWM Suitable for Multilevel Converter Control”, *IEEE Transactions on Power Electronics*, v. 18, n. 6, November 2003.
- [50] LAFOZ, M., IGLESIAS, I. J., VERGANZONES, C., VISIERS, M., “A novel Double Hysteresis-Band Current Control for a Three-Level Source Inverter”, *IEEE Transactions on Power Electronics*, 2000.
- [51] BALIGA, B. JAYANT, *Modern power devices*, Krieger Publishing Company, Reprint edition, September 1992.

- [52] Pomilio, José Antenor, “Apostila de Eletrônica de Potência”, cap.01, DSCE, *FEEC – UNICAMP*, 2001.
<http://www.dsce.fee.unicamp.br/~antenor/apostila.html>.
- [53] BARKHORDARIAN, V., Technical Paper, “Power MOSFETS Basics”, *International Rectifier*, El Segundo, Ca.
<http://www.irf.com/technical-info/appnotes/MOSFET.pdf>.
- [54] DESIGN TIPS DT 94-7A, “Low Gate Charge HEXFETS Simplify Gate Drive and Lower Cost”, *International Rectifier*.
<http://www.irf.com/technical-info/designntp/dt94-7.pdf>.
- [55] DESIGN TIPS DT 95-2, “IR’S New Fifth Generation Power MOSFETS: A Replacement”, *International Rectifier*.
<http://www.irf.com/technical-info/designntp/dt95-2.pdf>.
- [56] BALOGH, LASZLO, “Design And Application Guide for High Speed MOSFET Gate Drive Circuits”, *Texas Instruments*.
<http://focus.ti.com/lit/ml/slup169/slup169.pdf>.

ANEXOS

A. Simulações

- A.1. Topologia dobradora de tensão (malha aberta)
- A.2. Topologia dobradora, com controle da tensão do ponto central (N)
- A.3. Boost Multinível
 - A.3.1. Topologia boost 1
 - A.3.2. Topologia boost 2
 - A.3.3. Topologia boost 3
 - A.3.4. Topologia boost 4
- A.4. Inversor NPC com geração de onda quadrada (12 pulsos)

B. Os dispositivos semicondutores mais utilizados

- B1. Transistor bipolar de potência (BJT)
- B2. Transistor MOSFET
- B3. Transistor IGBT
- B4. Tiristores IGBT

C. Técnicas convencionais de circuitos de *gate drive*

- C1. Transformadores de pulso
- C2. Uso de optoacopladores
- C3. Dispositivos fotovoltaicos PVI

D. Dispositivos de Hardware

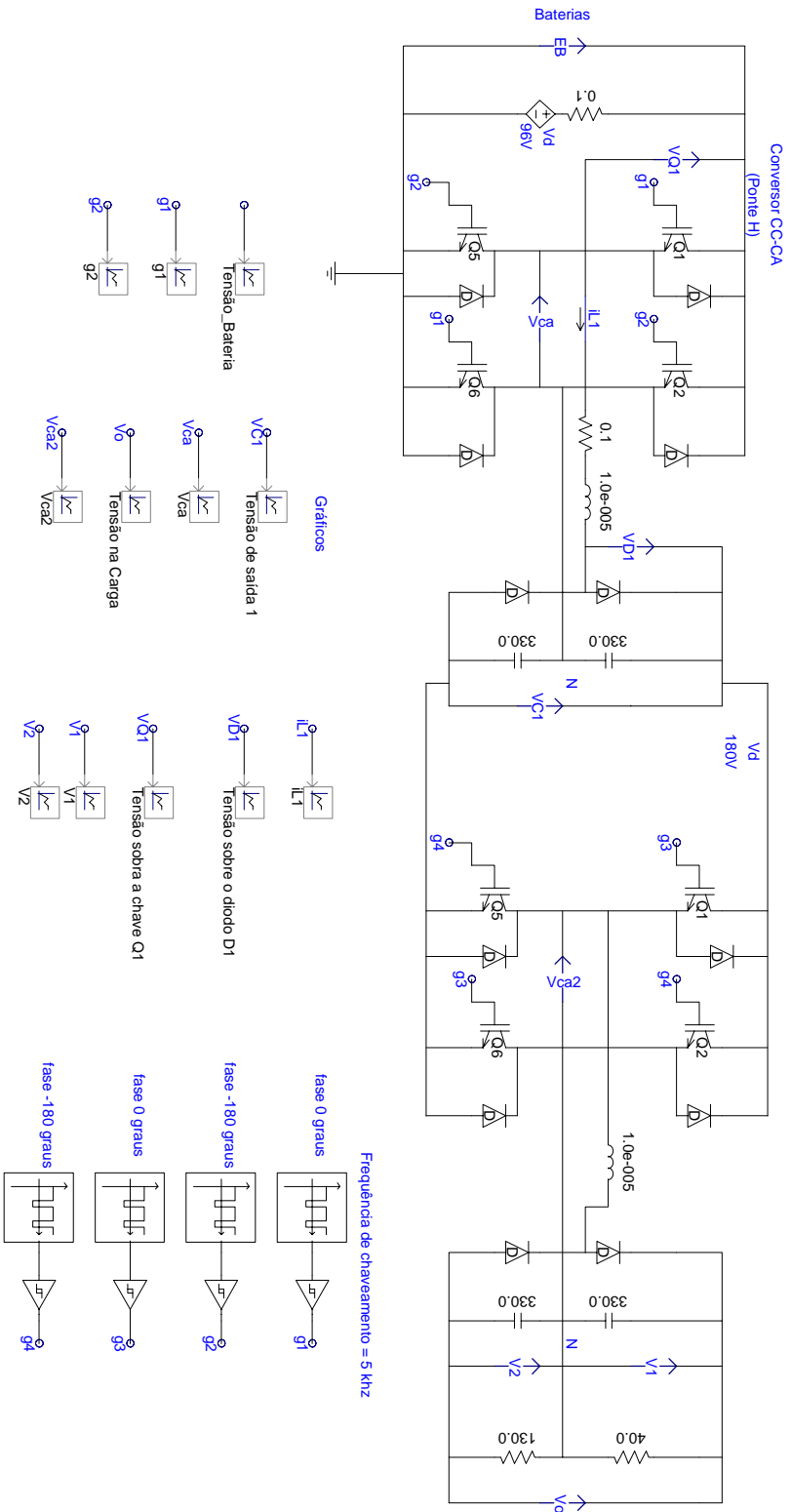
- D1. Placas de circuito implementadas

E. Circuitos de proteção utilizados

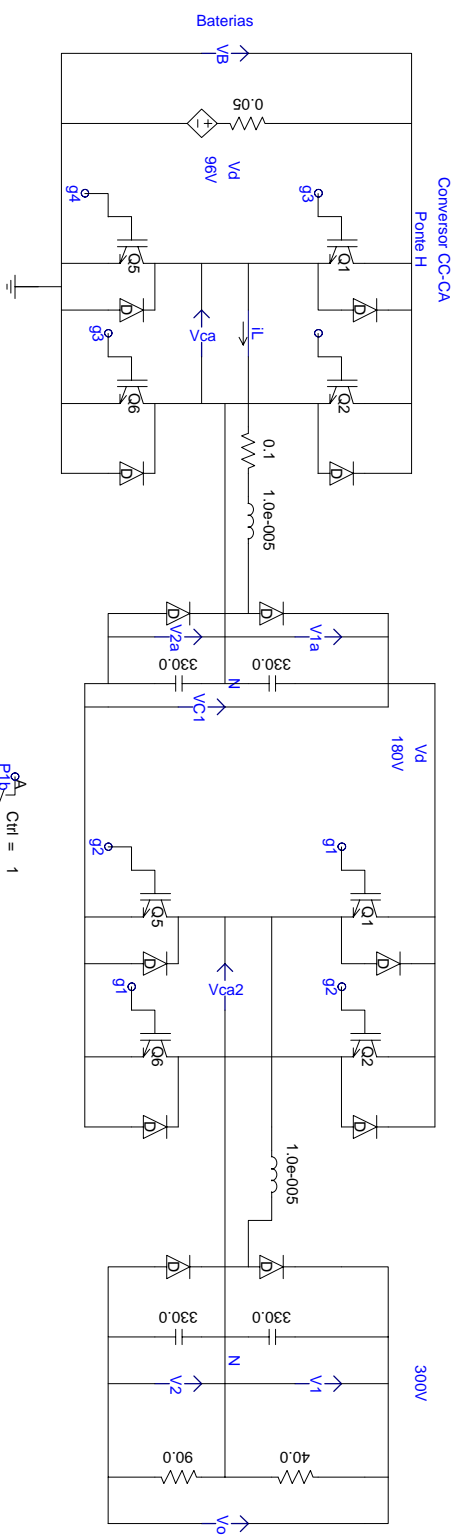
- E1. Detector de seqüências inválidas e reset de inicialização;
- E2. Gerador de sincronismo e tempo morto ajustável;
- E3. Circuito de monitoramento de tensões.

F. Diagramas elétricos

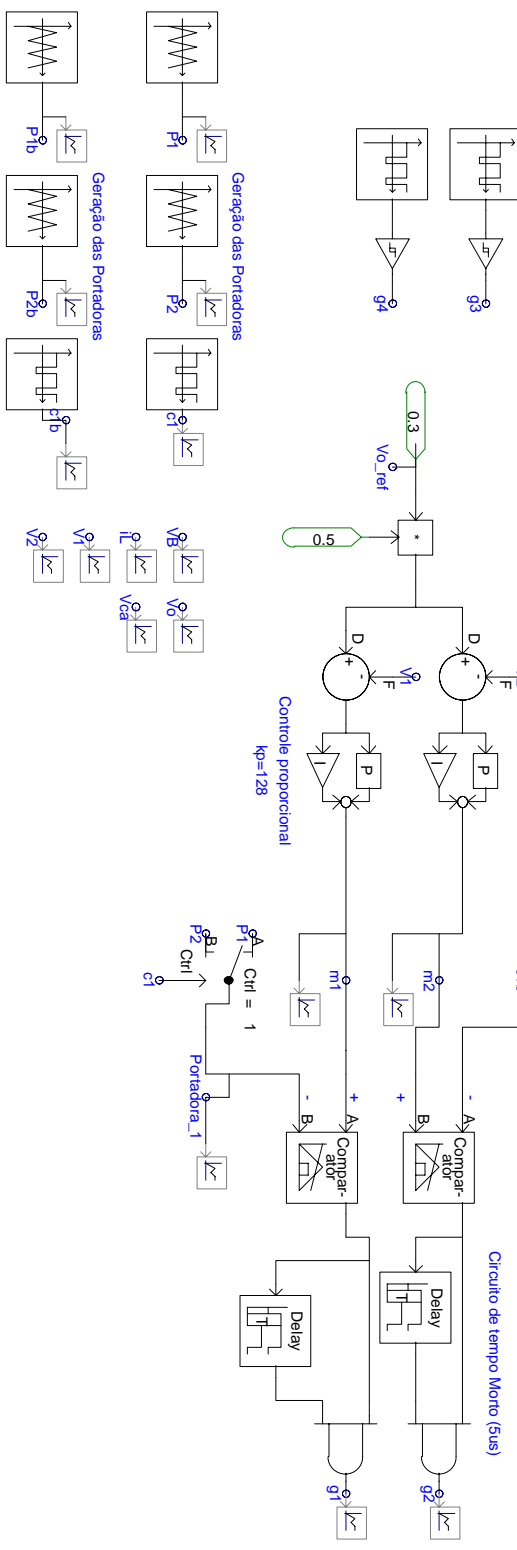
ANEXO A.1



ANEXO A.2



Frequência de chaveamento = 5 KHz



Circuito de tempo Morto (Sus)

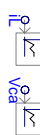
Controle proporcional
Kp=128

Controle proporcional
Kp=128

Geração das Portadoras

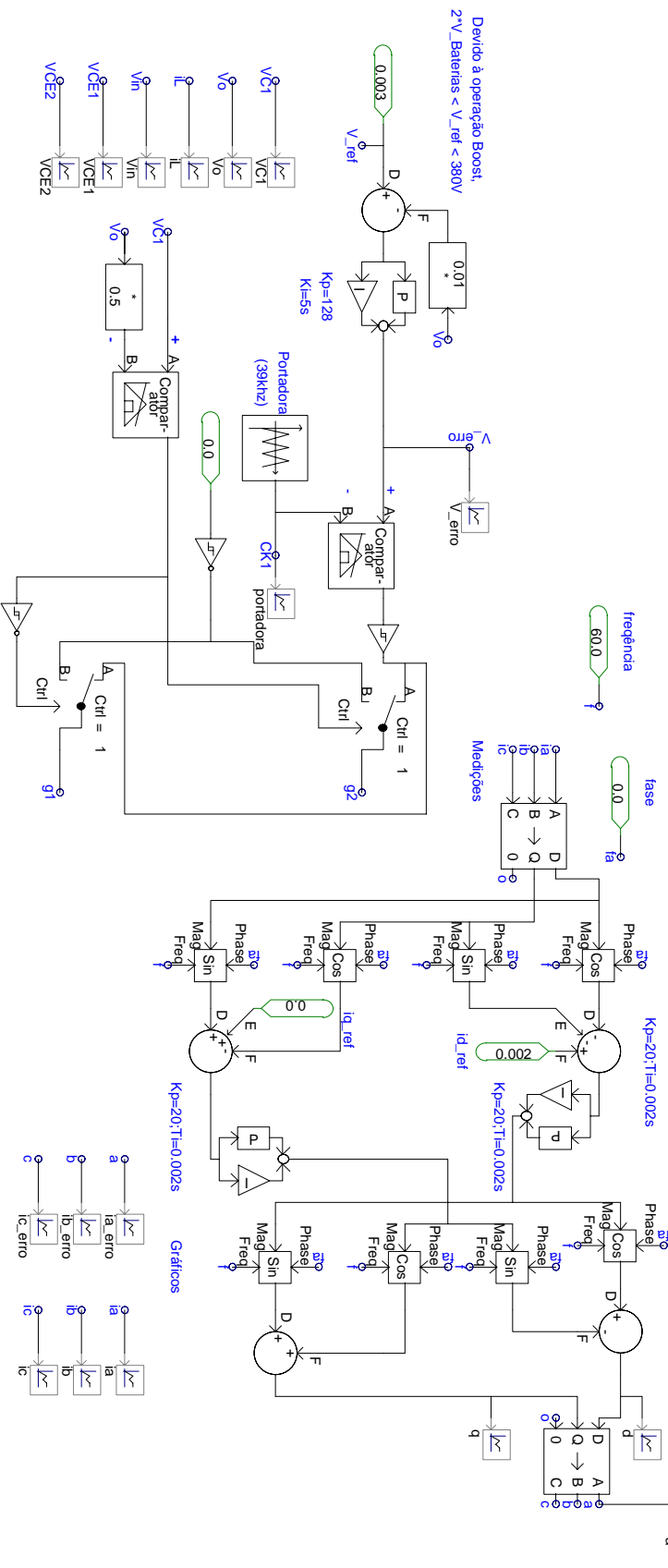
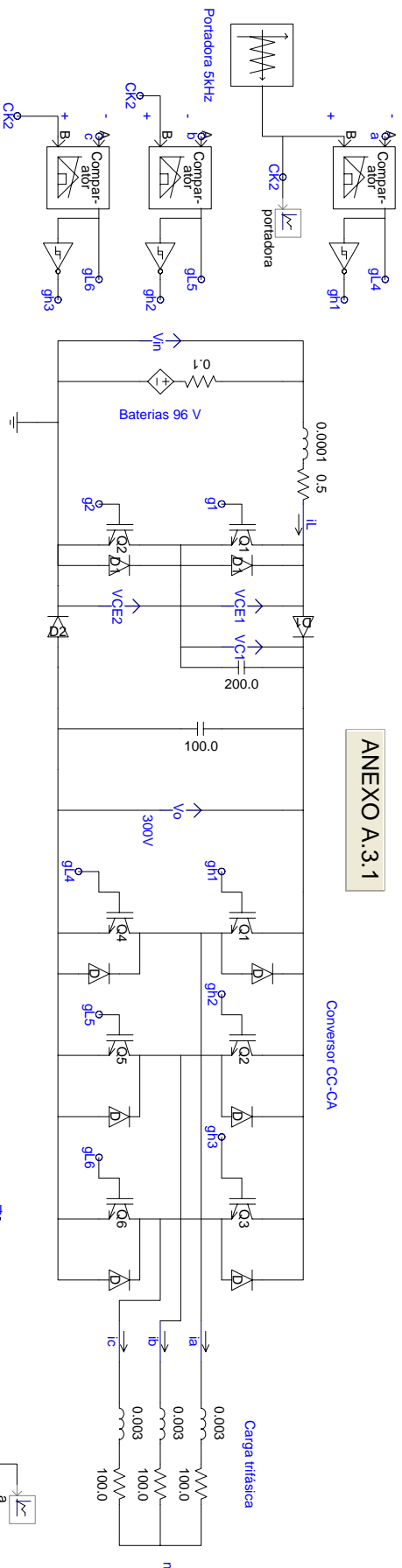
Geração das Portadoras

Geração das Portadoras



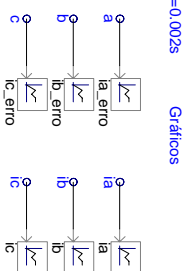
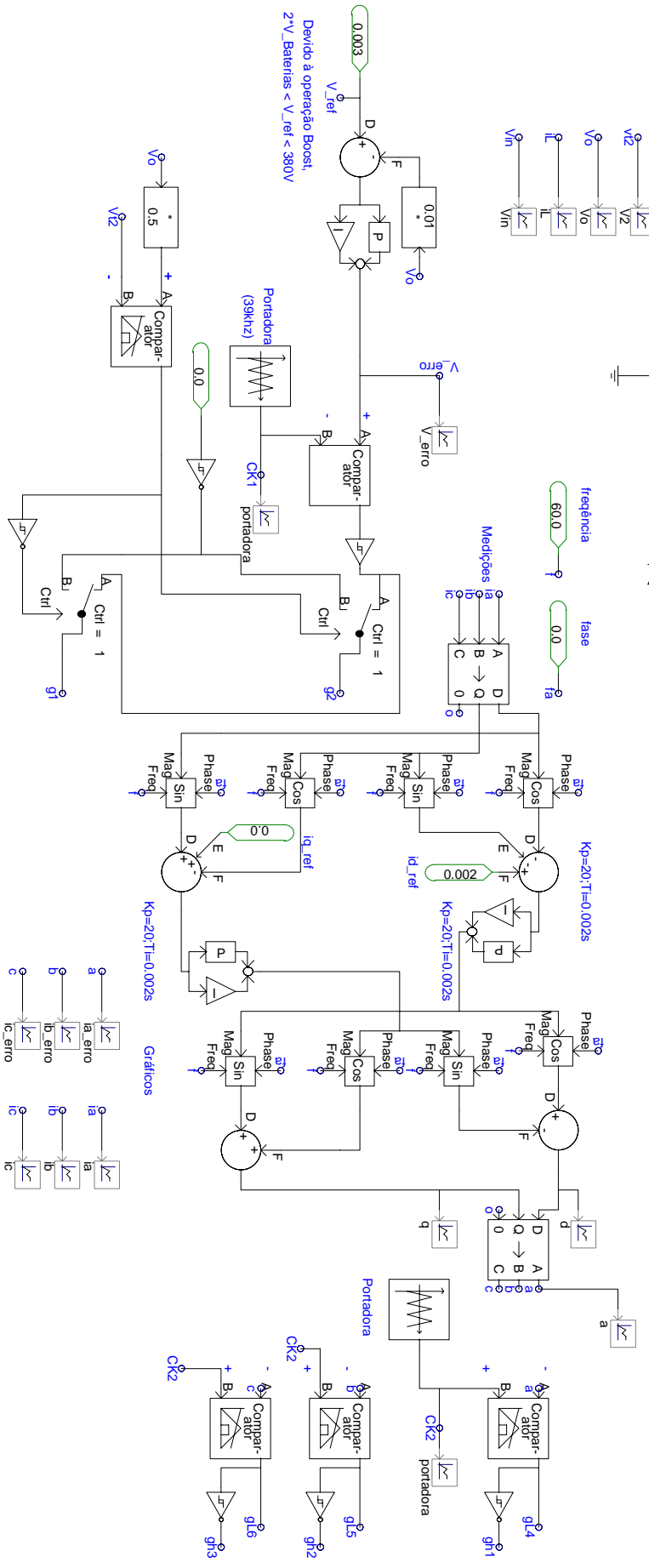
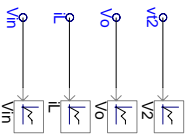
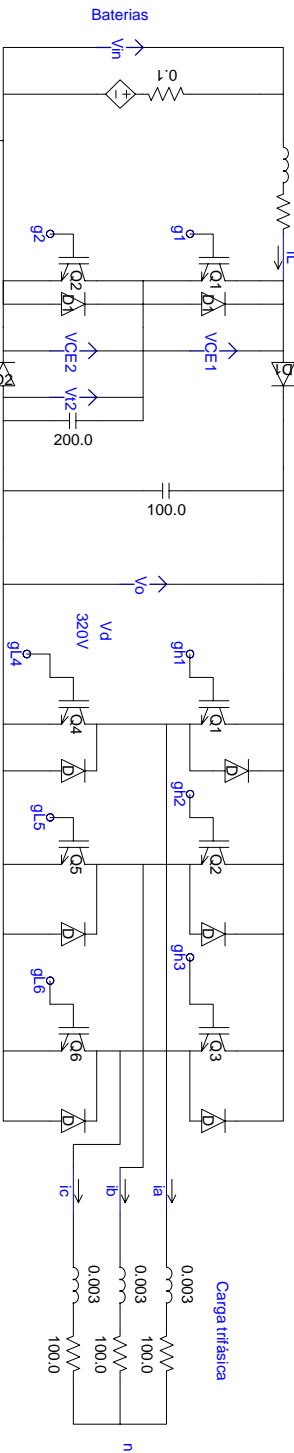
ANEXO A.3.1

Conversor CC-CA



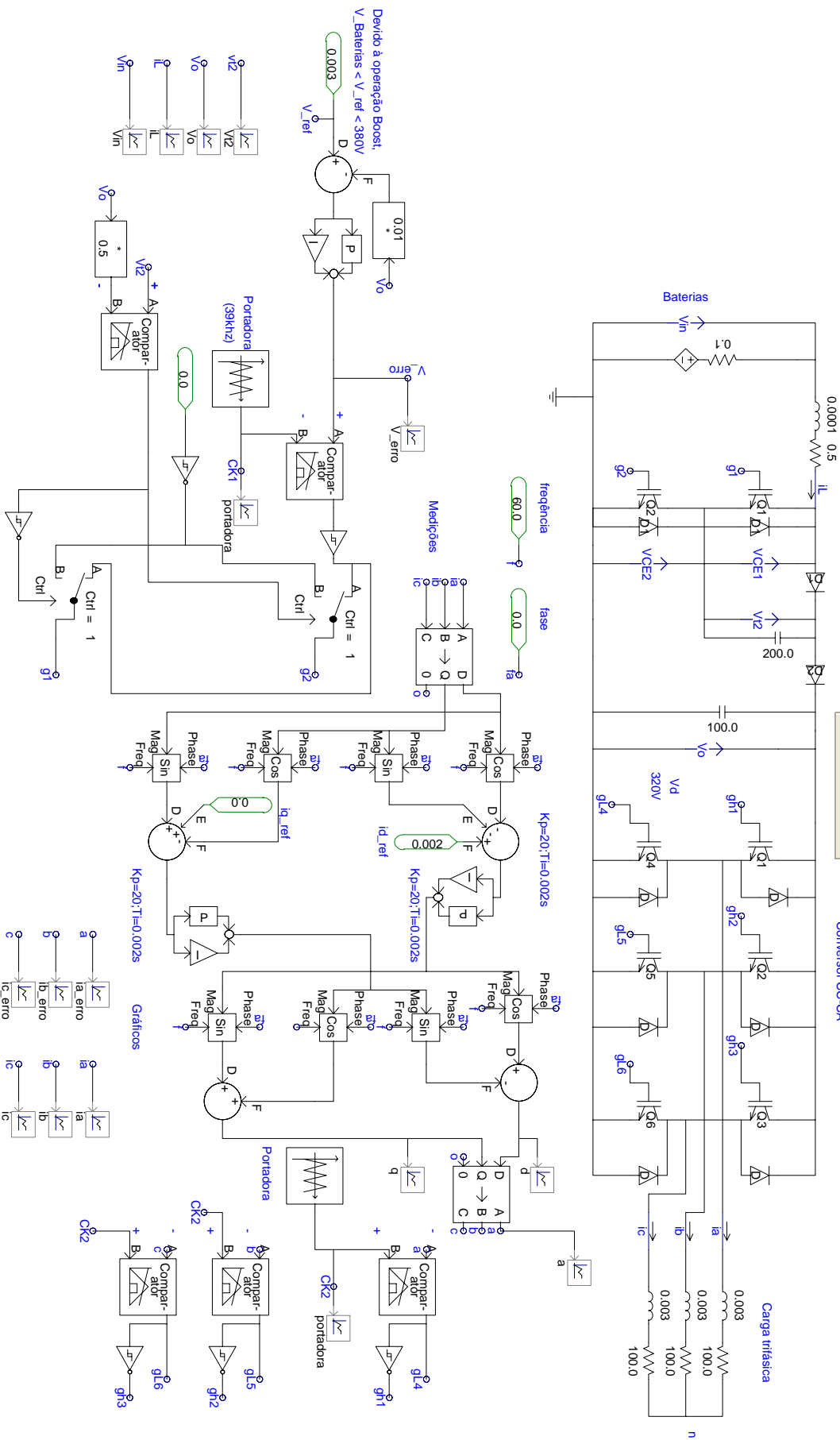
ANEXO A.3.2

Conversor CC-CA



ANEXO A.3.3

Conversor CC-CA

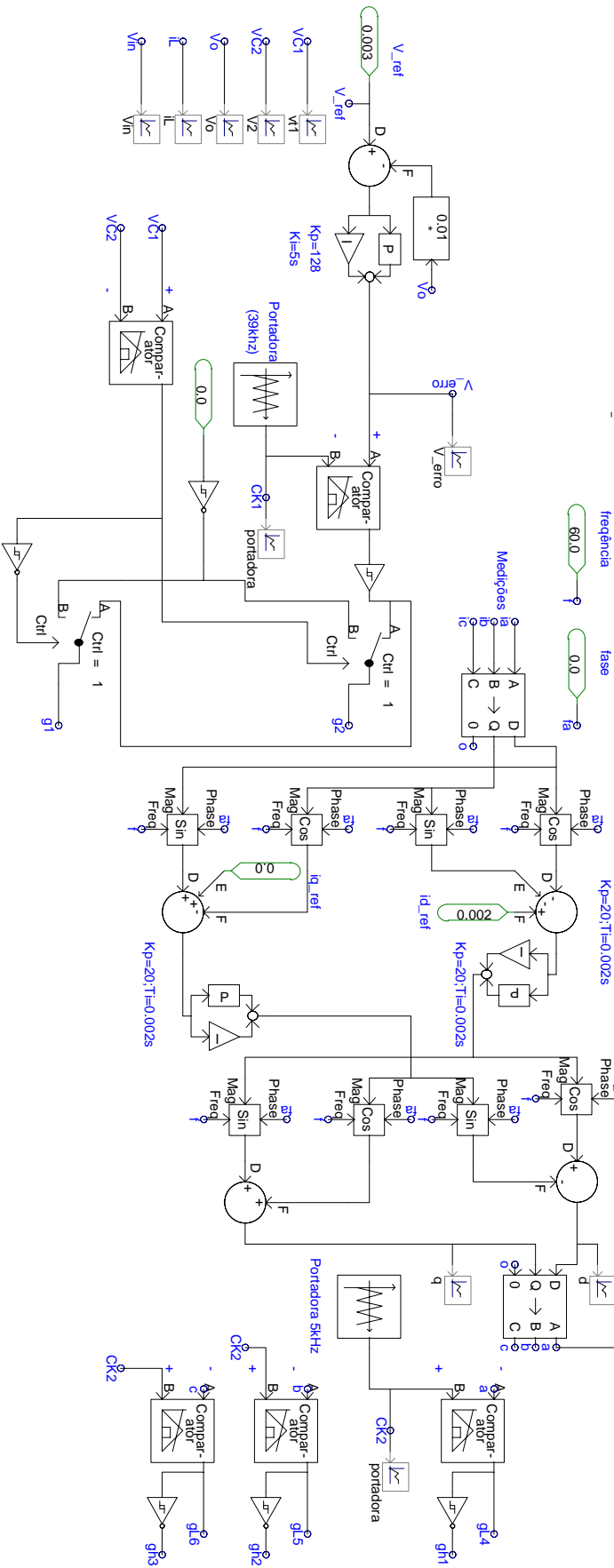
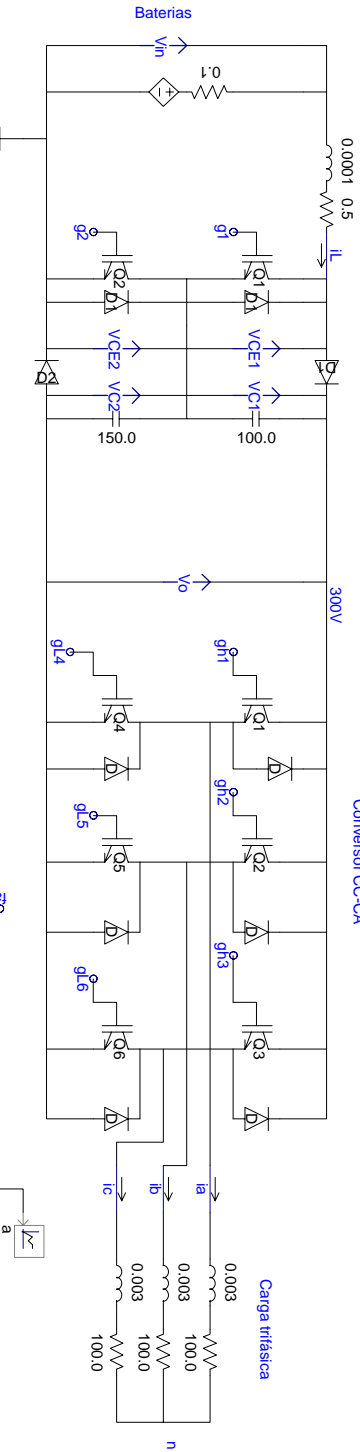


Devido a operação Boost,
 $V_{Baterias} < V_{ref} < 380V$

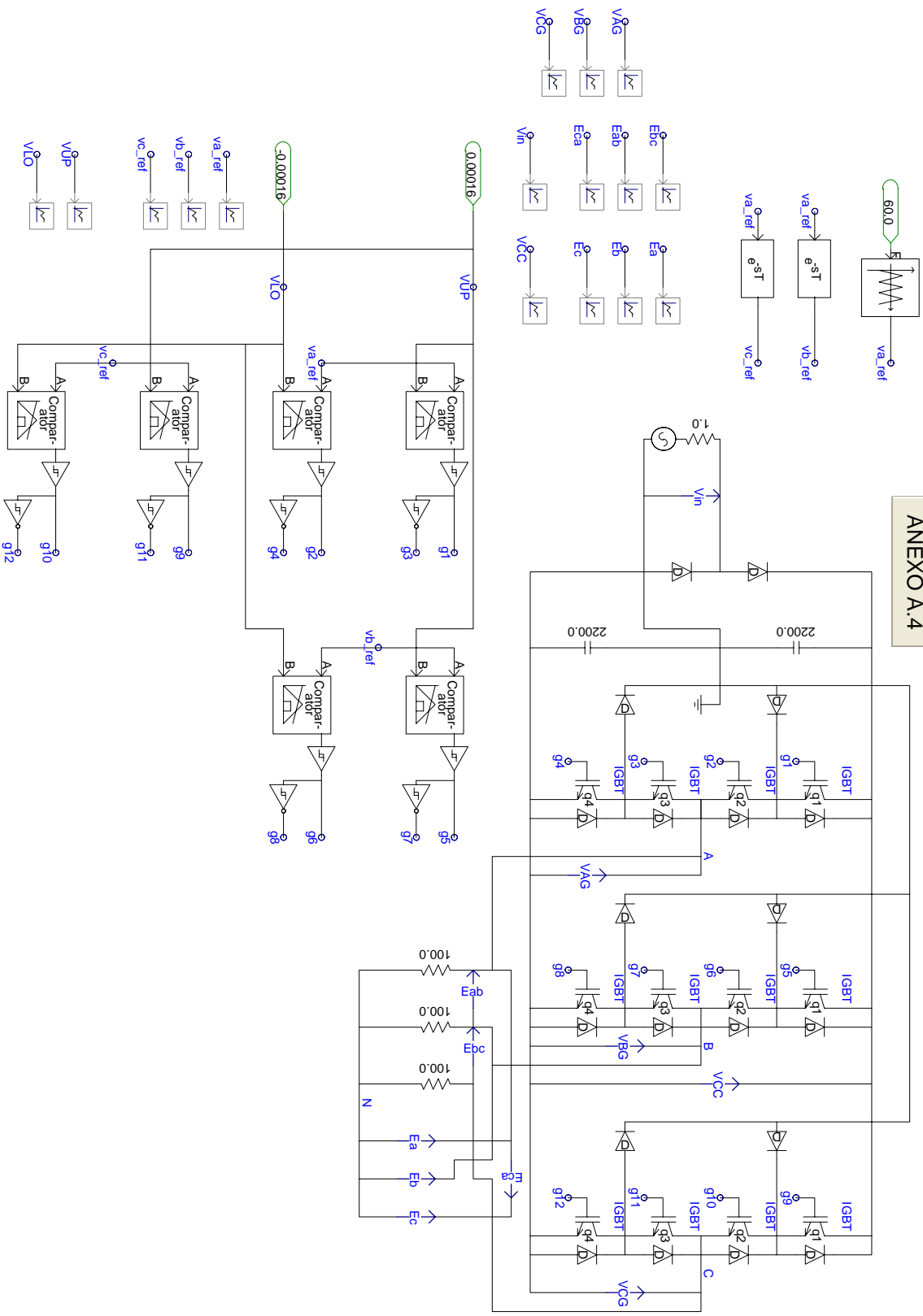
ANEXO A.3.4

Convertor CC-CA

Gráficos



ANEXO A.4



Anexo B – Os dispositivos semicondutores mais utilizados

B.1. Transistor bipolar de potência (BJT)

Antes do surgimento do MOSFET, o único dispositivo de chaveamento em aplicações de alta frequência (5 a 20 kHz) e médias potências era o transistor bipolar de potência. Estes dispositivos chegam a suportar correntes de centenas de ampères e tensões de bloqueio de até 800V [30], [51]. Entretanto, eles apresentam algumas desvantagens em suas características de operação, tais como [30], [52]:

- A corrente de controle, quando o dispositivo atua no modo de saturação, está em torno de 10% a 15% da corrente de coletor, fazendo com que o circuito de comando (*drive*) seja complexo;
- Aparecimento de pontos sobre aquecidos (*hot spots*) [52-seção 1.6.2], devido a tensões e correntes elevadas, o que pode causar falha destrutiva;
- Coeficiente de temperatura de tensão de saturação ($V_{CE_{sat}}$) negativo, que dificulta a realização de paralelismos;
- Graves problemas relacionados a fenômenos de segunda avalanche (*second breakdown*) [3-seção 21.6].

Estas características impõem limitações no emprego dos transistores BJTs, em alguns tipos de topologias de circuito, no projeto de seus circuitos de comando, principalmente pelo fato do alto valor de corrente de controle requerida. Entretanto deve-se salientar a grande aplicabilidade destes semicondutores em circuitos de baixa potência, tais como circuitos de controle, fontes de alimentação. Nestes casos o uso de transistores BJTs pode reduzir em muito o custo final do projeto.

B.2. Transistor MOSFET

Com o surgimento do MOSFET algumas limitações e características de desempenho do transistor bipolar de potência foram superadas. O seu controle é feito por tensão aplicada entre os terminais de *gate* e *source*, possibilitando empregar circuitos de comando mais simples.

Os MOSFETs, além de exibirem altas velocidades de chaveamento, quando comparados com os transistores BJTs, apresentam outras peculiaridades [3-cap.22], [52]:

- Tempos de comutação pequenos, sendo indicado para circuitos de altas frequências, onde as perdas por comutação são expressivas;
- Excelente área de operação segura (*SOA – Safe Operating Area*), podendo suportar uma aplicação simultânea de correntes e tensões elevadas sem destruição por efeito do fenômeno de segunda avalanche [52-seção 1.7];
- Coeficiente de temperatura da tensão dreno-fonte positiva, em estado de condução, favorecendo a realização de paralelismos.

Devido ao processo de fabricação, o MOSFET apresenta uma característica inversa tensão x corrente, isto é, quanto maior a tensão que ele suporta, menor será sua capacidade de corrente, devido ao aumento das perdas por condução.

De acordo com [3-seção 2.6] tem-se que:

$$r_{DS(on)} = KV_{DSS}^P \quad (9)$$

Onde as constantes K e P ($2,5 < P < 2,7$) dependem da geometria do dispositivo.

Dispositivos MOSFETs existem com tensão até 1000V, porém a corrente fornecida é pequena. Atualmente, alguns MOSFETs com tensões até 500V podem ser encontrados. Para esta faixa de tensão, poucos dispositivos comerciais apresentam resistências de condução baixa, com valores entre 50mΩ e 100 mΩ, tal como o IRFPS40N50L. Dispositivos projetados para 300V e 400V também podem ser encontrados com certa facilidade no mercado, entretanto é mais freqüente a opção pelo uso destes componentes em tensões de até 250V [31], [53].

Devido a estes fatores, os MOSFETs não são muito empregados em tensões e correntes elevadas. Contudo, nas aplicações onde a tensão não ultrapasse os 400V e se procure redução de perdas, eles podem ser utilizados e são os mais indicados.

Os MOSFETs também vêm sendo cada vez mais aperfeiçoados quanto às características de *gate*. Novas tecnologias vêm possibilitando a construção de dispositivos com pequena capacitância de *gate*, na ordem dos 20nF, permitindo pequeno gasto de energia dos circuitos de comando [54]-[55].

B.3. Transistor IGBT

Para vencer as limitações de ambos os dispositivos descritos anteriormente, realizou-se uma integração de suas vantagens: capacidade de corrente de coletor (características do transistor bipolar) e controle por tensão aplicada entre o *gate* e o emissor (características do MOSFET de *potência*). Esta combinação híbrida foi denominada de IGBT (*Insulated Gate Bipolar Transistor*).

O dispositivo IGBT pertence à família de dispositivos bi-Mos, sendo atualmente um dos mais avançados em tecnologia disponível e muito utilizado em aplicações industriais. Dentre suas principais características, de acordo com [3-cap.25], destacam-se:

- Características de entrada similares à dos transistores MOSFET;
- Baixas perdas por condução, nos IGBTs de 4ª Geração, quando em corrente nominal ($VCE_{sat} \cong 1,95V$);
- Operação em tensões e correntes elevadas. Com o incremento da espessura das camadas do substrato foi possível alcançar tensões de trabalho acima de 1000V, sem prejudicar as características de condução, fato que acontece no MOSFET;
- Apresenta excelente área de operação segura (*SOA – Safe Operating Area*) [3-seção 25.7],
- Não apresenta problemas de segunda avalanche, onde o dispositivo pode suportar simultaneamente tensões elevadas e correntes de curta duração sem apresentar destruição [52];
- Podem operar em frequências altas, até a faixa de dezenas de kHz, em condições dissipativas, e até a ordem de centenas de kHz, em condições não dissipativas [56] (modo ressonante);

Por natureza, os IGBTs são mais rápidos que os transistores BJTs por não apresentarem o problema do tempo de armazenagem, porém são mais lentos que os MOSFETs de potência. Um dos problemas que aparecem na tecnologia de IGBTs são os fenômenos de *Latch-up* [3-seção 25.5] e correntes de cauda (*tail current*).

O fenômeno de *Latch-up*, embora as tecnologias atuais de IGBTs o tenham praticamente eliminado, é provocado pela formação de um tiristor parasita, devido a

processos construtivos do IGBT com junções PN e NP. Caso o tiristor parasita interno entre em condução, a chave entrará em condução e não será possível o controle da corrente de coletor através do terminal de controle (*gate*). Nesta situação será impossível uma proteção ativa e apenas uma redução da tensão de coletor ou uma inversão de polaridade desta tensão poderá evitar a destruição do semicondutor [30].

Para evitar o fenômeno de *Latch-up* os fabricantes reduzem a resistência de substrato, para que o valor da corrente em que se inicia o fenômeno de *latch-up* seja muito superior à própria corrente nominal do dispositivo. Portanto uma proteção de sobrecorrentes em circuitos com IGBTs ajuda a eliminar este fenômeno.

Já o problema da corrente de cauda é causado por portadores minoritários que necessitam de certo tempo para se recombinarem, após o dispositivo ter sua corrente de coletor reduzida abruptamente. Isto produz uma corrente de coletor residual indesejada que somente causa perda de energia, durante o bloqueio do dispositivo. Este problema é de difícil solução e só pode ser melhorado através de técnicas de fabricação [30].

B.4. Tiristore IGCT

Os tiristores do tipo IGCT são comumente empregados em sistemas elétricos modernos de alta potência. É um dispositivo sucessor dos tradicionais GTOs, embora muitas mudanças estruturais o tornem de fato um novo e importante componente para a área da eletrônica de potência, com características que o tornem superiores aos GTOs [25]-[28].

Os IGCTs necessitam de proteções contra uma alta taxa de crescimento da corrente (di/dt), onde basicamente um indutor é usado. Em contraste com os GTOs, este dispositivo não possui problemas de desligamento (*turn-off*), onde proteções apenas opcionais podem ser utilizadas. Este fator permite que seja reduzido ou até mesmo eliminada a necessidade do uso de circuitos de proteção contra alta taxa de crescimento da tensão sobre o mesmo (dv/dt), comumente conhecidos como *snubbers*.

Nestes dispositivos a frequência típica de chaveamento é da ordem de 500 Hz, entretanto, podem produzir pulsos de curta duração em condições especiais, possuindo também a capacidade de suportar correntes da ordem dos 4kA, com tensões de trabalho de até 6kV. Aplicações em potências de 0,3 a 100MVA vêm sendo possíveis com o uso deste dispositivo, mostrando seu enorme potencial e aplicabilidade,

Os IGCTs foram desenvolvidos de tal forma a ser um dispositivo completo, com reduzidas perdas de condução e possuindo o próprio circuito de disparo incorporado. A

A Fig. B 1 mostra um dispositivo tipo IGCT, onde podem ser identificados o circuito de disparo e o semicondutor de potência, o qual em aplicação prática deverá ser termicamente acoplado a um sistema de refrigeração apropriado.

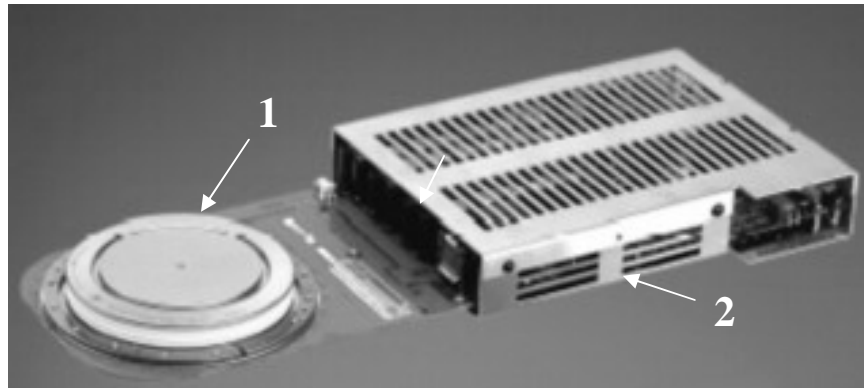


Fig. B 1: Dispositivo IGCT; 1 - O semicondutor, 2 - Circuito de disparo.

O dispositivo integrado necessita apenas de uma alimentação de baixo valor (20V) e possui entrada de controle isolada por fibra óptica, tornando seu funcionamento seguro e simples [27].

Os dispositivos IGCTs são resultantes de pesquisa intensa e aplicação de alta tecnologia na fabricação de dispositivos e, especialmente em altas potências, os IGCTs se apresentam como excelentes escolhas para os seguintes tipos de aplicações:

- Acionamentos de máquinas elétricas em média tensão;
- Sistemas de tracionamento de alta potência (locomotivas);
- Sistemas de transmissão em alta tensão;
- FACTS (*Flexible AC Systems*), onde se destacam os compensadores estáticos em geral (STATCOM, etc).
- Equipamentos para controle do fluxo de potência;
- Acionamento de bombas e ventiladores;
- Disjuntores estáticos.

A tecnologia dos IGCTs foi basicamente desenvolvida para satisfazer aos seguintes requisitos e objetivos:

- Melhorias nas características de chaveamento do GTO para operação sem *Snubber* para proteção contra dv/dt , a alta densidade de corrente;

- Redução das perdas na condução e na comutação através da minimização da camada de Silício do componente;
- Redução dos requisitos do *drive do gate*, especialmente durante a condução;
- Projeto de diodos anti-paralelos, que tornam a comutação sem *Snubber* a alto di/dt possível;
- Operação a frequências mais altas;
- Reduções nos custos e nas dimensões finais de equipamentos.

A Tabela 4 mostra, em resumo, as principais características dos dispositivos apresentados, usados em circuitos de chaveamento.

Tabela 4: Comparação entre as chaves de potência.

	Bipolar (BJT)	MOSFET	IGBT	IGCT
Sinal de controle	Corrente	Tensão	Tensão	Corrente
Circuito de <i>gate</i>	Complexo	Simple	Simple	Incorporado ao dispositivo (complexo)
Densidade de corrente	Média	Alta em baixas tensões, Baixa em altas tensões	Alta.	Muito alta.
Perdas nos circuitos de controle/disparo	Média	Muito baixa	Muito baixa	Baixa, comparado com a potência de operação
Perdas de comutação	Média	Muito baixa	Baixa	Baixa
Perdas de condução	Média - depende de VCE_{sat} .	Baixas, para tensões menores que 500V	Média. (quedas de tensão da ordem de 2V)	Média (2V de queda, mesmo conduzindo kA)
Velocidade de chaveamento	Média	Muito alta	Alta	Baixa

A escolha de um ou outro dispositivo estará sempre relacionada com o tipo de projeto, onde fatores como tensão, frequência, potência de operação e custos de implementação são os que mais norteiam esta escolha [31].

Os transistores BJTs atualmente são basicamente usados em aplicações de baixo custo, pequenos sinais e médias potências. Já os IGBTs vêm dominando o setor de média tensão (alguns kV) em praticamente todas as aplicações industriais que envolvam conversores chaveados em geral. No que envolve alta potência e tensão, os tiristores são, indiscutivelmente, as únicas opções.

No caso dos MOSFETs de potência, sua restrição quanto à tensão de operação não é um fator limitador muito crítico, visto que muitas aplicações não envolvem tensões acima dos 400V, como no caso de inversores de frequência, fontes chaveadas (SMPS – *Switched Mode Power Supply*) e outros equipamentos em geral. Porém, o uso de um MOSFET em uma dada aplicação poderá aumentar em muito a eficiência do conversor em questão, sendo um atrativo em uma época em que a economia de energia é um fator muito importante.

No projeto dos circuitos de comando alguns fatores precisam ser levados em conta, tais como: tipo de estratégia a ser usada, frequência de operação, regime de trabalho em que a chave poderá operar (*duty cycle*), isolamento elétrica exigida entre controle e potência, proteção dos dispositivos e circuitos empregados etc. Estes fatores, dentre outros, foram abordados por este trabalho, onde foi dada ênfase aos dispositivos MOSFETs e IGBTs.

Anexo C - Técnicas convencionais de circuitos de *gate*

C.1. Transformadores de pulso

O transformador de pulso é um dispositivo simples e que proporciona isolamento galvânico entre as etapas de potência e controle [3-cap. 28]. Este dispositivo, muito usado em circuitos com tiristores, pode transmitir pulsos de tensão do primário para o secundário com baixa distorção e atrasos desprezíveis [30], quando se realiza um projeto adequado.

Com o uso de transformadores de pulso em circuitos de comando, pode-se operar favoravelmente com frequências de até 100kHz, além de possuir outras vantagens como imunidade à interferência por ruídos, ausência de problemas com altos valores de derivadas de tensão nas chaves, dentre outras. Entretanto, para que o transformador apresente um desempenho adequado devem ser levados em consideração:

- Tensão de isolamento desejado;
- Mínima indutância de dispersão do núcleo;
- Frequência de operação;
- Dimensionamento adequado do núcleo e número de espiras;
- Capacidade de transferência de energia para dispensar o uso de fonte auxiliar no lado do secundário;
- Limitação da variação da razão cíclica prevenindo a saturação do núcleo.

O uso dos transformadores de pulso possui o inconveniente do projeto dos mesmos. Para que possam atender a uma ampla gama de frequências e ciclos de trabalho, um cuidadoso projeto e escolha do material do núcleo deve ser feito, sem levar em conta a inclusão de estratégias que deverão ser utilizadas para evitar saturação magnética do núcleo, frente a sinais de baixa frequência.

Normalmente quando são aplicados métodos simples de transmissão de pulsos, não devem ser aplicados pulsos com razão cíclica (ciclo de trabalho) maior que 50%, por motivos de saturação do núcleo. Para conseguir transmissão de pulsos com ciclos de trabalho variando de 0 a 100%, técnicas de desmagnetização do núcleo devem ser utilizadas [34-seção 7.2]. Em vista disto, o uso de transformadores de pulso não se torna uma tarefa simples e, por isto, em muitos casos, outras soluções são preferivelmente adotadas.

C.2. Uso de optoacopladores

Os optoacopladores são dispositivos do circuito de comando de *gate* que proporcionam isolamento elétrico e podem transmitir pulsos com frequência variável e com qualquer razão cíclica de trabalho, sem apresentar problemas de saturação como no caso dos transformadores [3-cap. 28].

Os optoacopladores por outro lado apresentam desvantagens quando comparados aos transformadores, que são [30]:

- Necessitam de uma fonte de tensão auxiliar isolada na sua saída, para amplificar e fornecer a corrente de saída requerida para uma dada aplicação;
- Apresentam menor imunidade à interferência por ruídos, porém este problema está praticamente superado em novas tecnologias de optoacopladores;
- Geralmente seu uso é restrito a aplicações de baixa potência, possuindo tensões de isolamento da ordem de alguns kV.

Os optoacopladores tanto podem ser usados na etapa de controle, realizando isolamento dos sinais de entrada, como podem ser empregados na etapa de potência, fazendo parte da construção do *gate drive*, como pode ser visto na Fig.C 1.

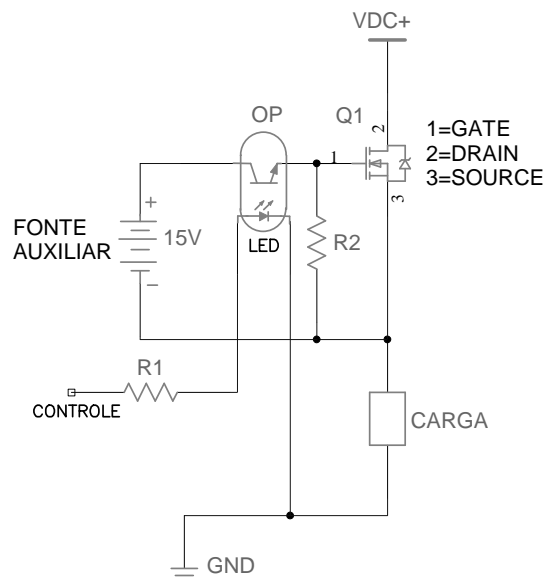


Fig.C 1: Acionamento com optoacopladores.

A Fig.C 1 mostra um circuito típico com o uso de optoacopladores. Pode-se observar a existência da fonte de tensão auxiliar, para alimentação da etapa de saída do optoacoplador e do circuito acoplado ao *gate* do dispositivo [35].

No caso mostrado na o optoacoplador faz parte das etapas de potência e controle, de acordo com as divisões funcionais apresentadas na Fig. 27. Devido à simplicidade deste circuito exemplo, não é necessário o uso da fonte de tensão principal. Neste caso os sinais de entrada alimentam diretamente os LEDs (*Light Emission Diode*) dos optoacopladores.

A maior dificuldade desta topologia é a obtenção desta fonte auxiliar externa e a escolha de um optoacoplador adequado para a aplicação em questão. O critério de escolha deverá observar fatores como velocidade de operação, tensão de trabalho da etapa de saída do optoacoplador, isolamento máximo suportado, dentre outros.

Existem também dispositivos que já possuem um circuito de comando óptico integrado, tais como os SCRs acionados por luz (LASCR), tiristores acionados por luz, dentre outros, mas não serão abordados neste trabalho [2].

C.3. Dispositivos fotovoltaicos PVI

Esta solução, muito recente, destaca-se pela sua simplicidade e aplicabilidade. Neste tipo de dispositivo, células fotovoltaicas são encapsuladas em invólucros com diodos emissores de luz (LEDs). Desta forma o acionamento do LED, incorporado ao dispositivo, produzirá luz que incidirá em uma pequena célula fotovoltaica interna, o qual produzirá cerca de 6 volts em seus terminais. Esta tensão gerada poderá ser acoplada diretamente e por tempo indeterminado ao terminal de controle (*gate*) do dispositivo que se queira acionar.

Este dispositivo possui limitações quanto à velocidade de acionamento. Isto se deve ao fato de que a corrente gerada, de pequena intensidade, será utilizada para o carregamento da capacitância de *gate* da chave, retardando a sua entrada no modo de condução.

Para se obter uma tensão maior, poderá ser feita uma associação série destas células até que se consiga a tensão adequada para cada aplicação de interesse. É importante ressaltar que os dispositivos PVI's não fornecem correntes de saídas suficientes para o acionamento de chaves controladas por correntes (BJTs e tiristores), sendo seu uso restrito a dispositivos controlados por tensão [37].

A Fig.C 2 mostra uma aplicação interessante para este tipo de componente, de acordo com [37].

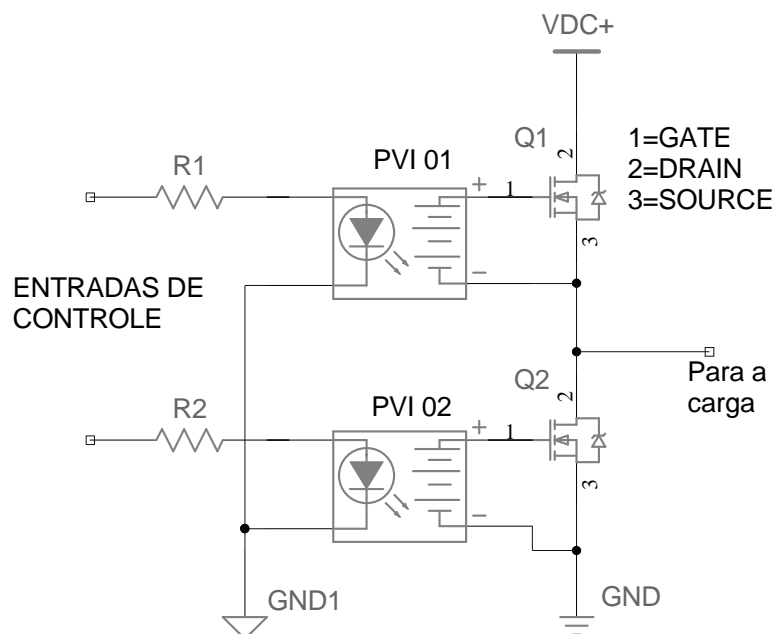


Fig.C 2: Acionamento de um braço de inversor com PVI.

Na Fig.C 2 pode ser vista a simplicidade no acionamento de um “braço” ou “perna” de um inversor trifásico, amplamente utilizado na indústria. É importante notar também a isolamento oferecida por esta topologia entre os circuitos de potência e controle das entradas (tipicamente 2500 VCA rms) [38].

Na Figura acima foram consideradas chaves do tipo MOSFETs Lógicos, os quais podem ser acionados com o uso de apenas um drive PVI por chave, por possuírem tensões típicas de acionamento de 5 volts.

Os dispositivos do tipo PVI vêm ganhando espaço no mercado devido a esta extrema simplicidade de uso, isolamento elétrica, custo e otimização dos circuitos de *gate* que proporcionam. No entanto devem ser ressaltadas as principais desvantagens e limitações, que podem ser resumidas por [38]:

1. Limitações no valor da tensão e correntes geradas, por célula, em torno dos 6 volts e 10 μ A, respectivamente, exigindo, na maioria dos casos, que sejam feitas associações séries ou série/paralelas.
2. O dispositivo não possui capacidade de chaveamento em altas frequências, sendo limitado satisfatoriamente a algumas centenas de Hz (tipicamente 2kHz). Associações paralelas permitirão uma maior capacidade de correntes de *gate*, possibilitando acionamentos com respostas mais rápidas;

Em vista destas limitações, a técnica de implementação de *drivers* utilizando dispositivos tipo PVI torna-se atrativa para aplicações de médias tensões e baixas frequências. Nestas condições diversos equipamentos industriais de médias e altas potências podem ser implementados, dependendo das características das chaves utilizadas (condições de acionamento), e do correto dimensionamento do conjunto de dispositivos PVI's, caso necessário (associações séries ou paralelas).

Anexo D - Dispositivos de *Hardware*

D.1. Placas de circuito implementadas

A Fig.D 1 mostra a placa do protótipo do inversor NPC montado (Fig. 53). Neste caso é mostrado apenas uma fase do inversor.

Os circuitos de recarga automática dos capacitores (Fig. 54) e os MGDs podem ser identificados nesta mesma Figura.

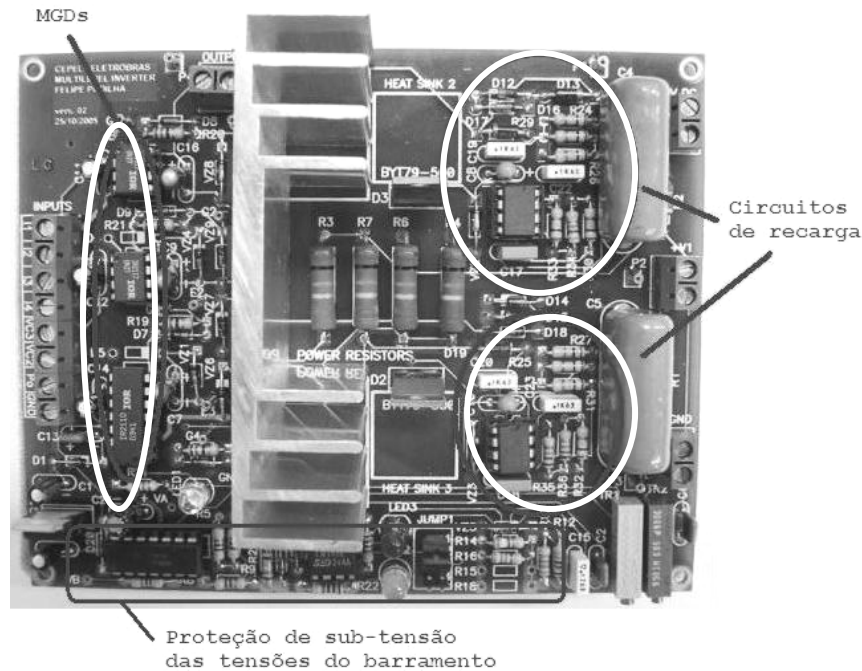


Fig.D 1: Fase individual do inversor NPC (11cm x.13.5cm).

No protótipo mostrado acima foram incluídas também proteções de monitoramento das tensões do barramento CC, proteções estas imprescindíveis ao bom funcionamento do inversor, conforme será explicado no Anexo E.

A Fig.D 2 apresenta a placa de circuito desenvolvida para realizar funções de isolamento e proteções diversas para o inversor NPC proposto. As proteções incluídas nesta placa também serão analisadas em mais detalhes no Anexo E.

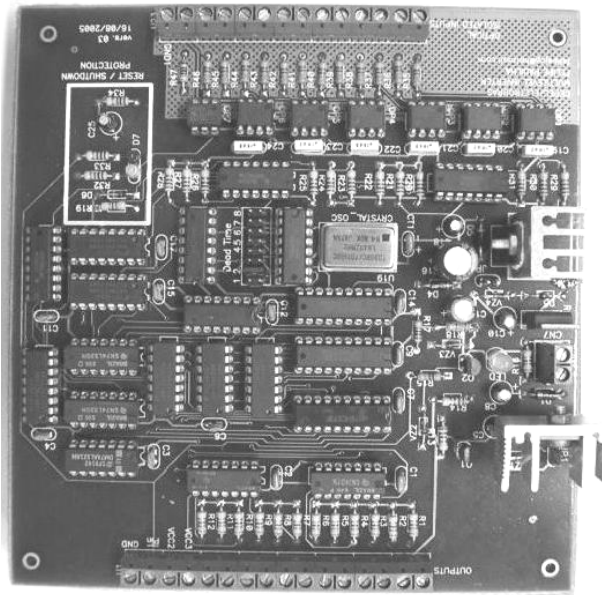


Fig.D 2: Placa de isolação e proteções (15cm x 15.5cm).

Este *hardware* possui 13 entradas para o comando das chaves do inversor NPC de 3 níveis, sendo que uma das entradas possui a função de bloqueio dos sinais (*shutdown*), caso seja necessário.

Na saída da placa de proteção e isolação, encontra-se os 12 sinais para realizar a interface com 3 placas de potência, conforme apresentado na Fig.D 1.

É apresentado na Fig.D 3 a montagem final, composta pelas placas apresentadas anteriormente.

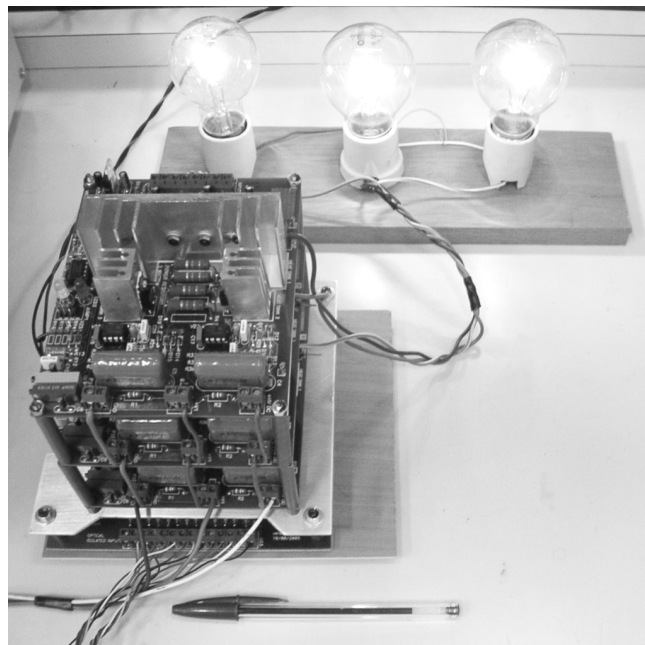


Fig.D 3: Montagem final do protótipo.

Anexo E - Proteções utilizadas

Os circuitos constituintes do diagrama das proteções (Fig.E 1) serão aqui abordados.

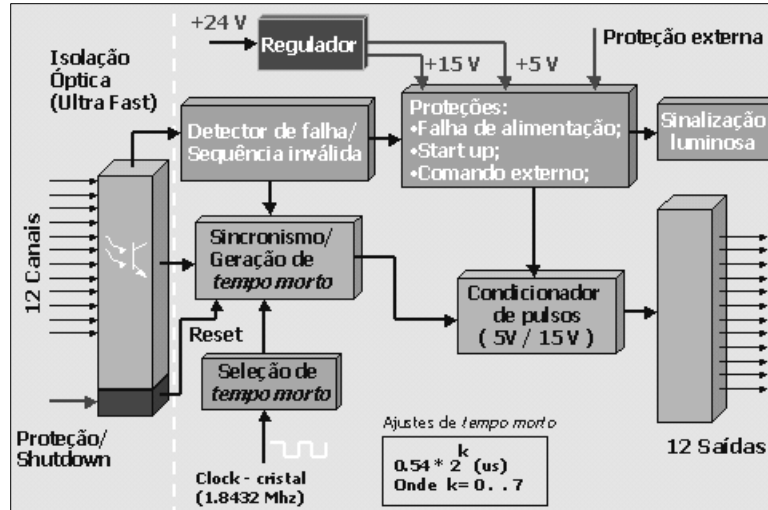


Fig.E 1: Diagrama simplificado dos circuitos e proteções adotadas.

O diagrama de blocos acima representa os recursos desempenhados pela placa de isolação e proteção, apresentado na Fig.D 2. A proteção contra subtensão do barramento CC, conforme apresentado pelo fluxograma da Fig. 70, foi implementada na placa apresentada pela Fig. D1.

Os principais circuitos de proteção são:

- Circuitos isoladores com 12 canais de alta velocidade e *shutdown* externo (bloco de entrada);
- Gerador de sincronismo e tempo morto ajustável em 8 valores e controlado a cristal (múltiplos binários de $0.54\mu\text{s}$);
- Detector de seqüências inválidas (ver Tabela 2) e *reset* automático de inicialização;
- Circuito monitorador das tensões de alimentação dos *drivers*, com *start up* e entrada externa para outras proteções;

A seguir serão analisadas essas proteções adotadas.

E.1. Detector de seqüências inválidas e circuito de *reset* dos pulsos

A Fig.E 2 mostra o esquema utilizado para detecção de seqüências inválidas para um braço do inversor. As seqüências válidas foram mostradas na Tabela 2.

Neste diagrama é mostrado também a saída de proteção P, que indicará com o nível lógico 0, que houve uma entrada de comando inválida nas entradas A, B, C e D, mostrados nesta Figura. O sinal de proteção P será usado para desativar todas as chaves do inversor, simulando uma situação de tempo morto adicional.

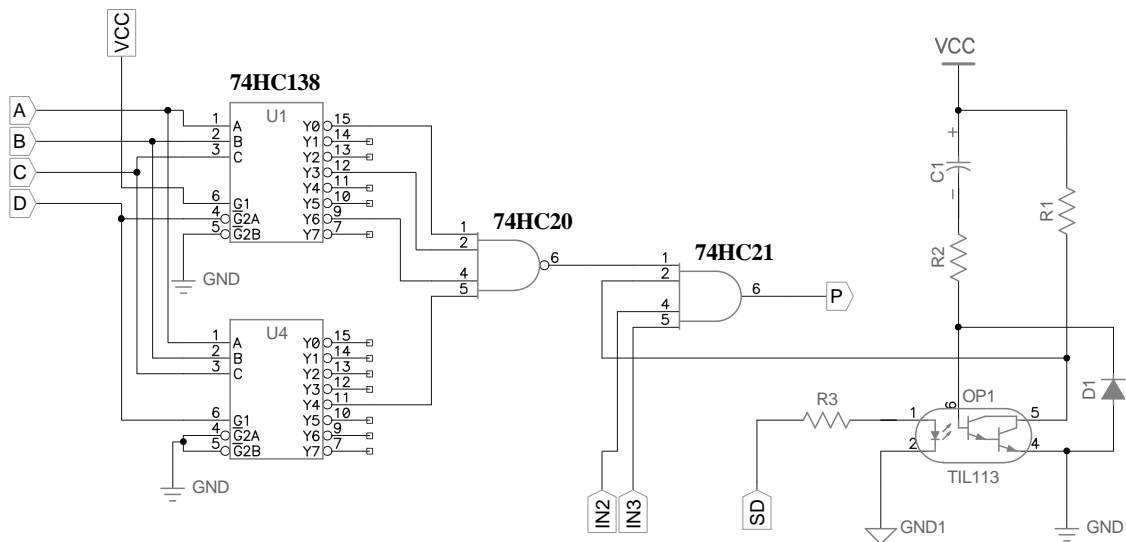


Fig.E 2: Circuito de proteção 1.

A estrutura R2, C1 e D1 garante um reset automático toda vez que o circuito for energizado. Nesta situação o terminal de proteção P também estará ativo.

Foi adicionada também uma entrada de desligamento externo, isolada opticamente, denominada SD (*shutdown*), como pode ser visto na Figura acima.

E.2. Gerador de sincronismo e tempo morto ajustável

Uma etapa de grande importância em circuitos inversores é a existência de um tempo morto, onde todas as chaves ficam temporariamente desativadas, em cada mudança do acionamento das chaves. A Fig.E 3 mostra a estratégia de geração de tempo morto, controlada com uma base tempo digital com cristal. O tempo será múltiplo binário do período de *clock* usado (1.8432 MHz) e poderá ser ajustado no seletor mostrado na Figura.

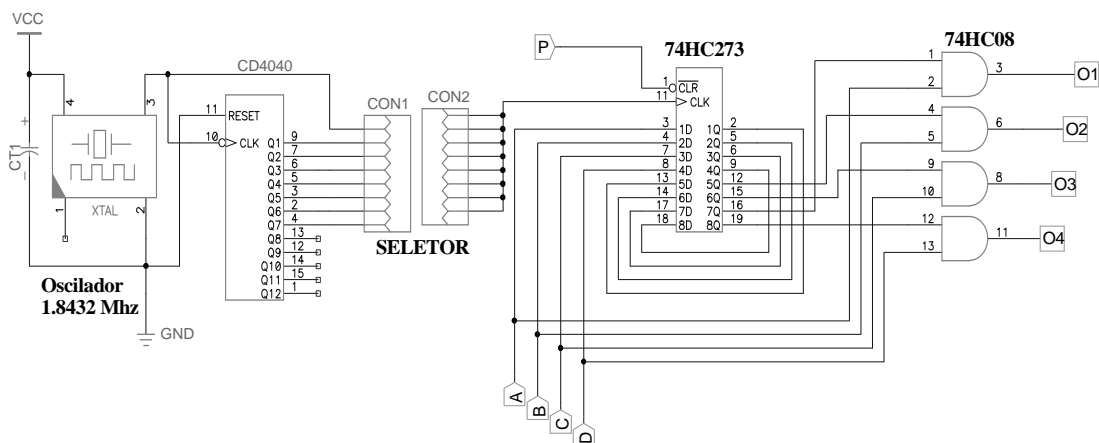


Fig.E 3: Circuito de proteção 2.

Todos os sinais de entrada são sincronizados e uma etapa lógica apropriada na saída dos Flip-Flops garante que o tempo morto atuará somente nas transições de níveis lógicos 0 para os níveis lógicos 1, sendo que nas transições inversas não há inserção de tempo morto.

Os terminais A, B, C e D, da Fig.E 2, podem ser vistos novamente na Fig.E 3 bem como a atuação da entrada de proteção P, que desativa as saídas imediatamente à sua ocorrência (operação de *reset* dos pulsos).

E.3. Circuito de monitoramento de tensões

Na Fig.E 4 são mostrados os circuitos de proteções de tensão envolvido: uma proteção que monitora as tensões do barramento CC (VUP e VLOW) e outra aplicada nas tensões de alimentação dos drivers. A primeira proteção é desempenhada pela própria placa de potência (Fig.D 1), a qual informa à placa de proteção e isolamento caso alguma anormalidade ocorra. Já a proteção das tensões dos drivers é realizada pela placa de isolamento e proteções Fig.D 2.

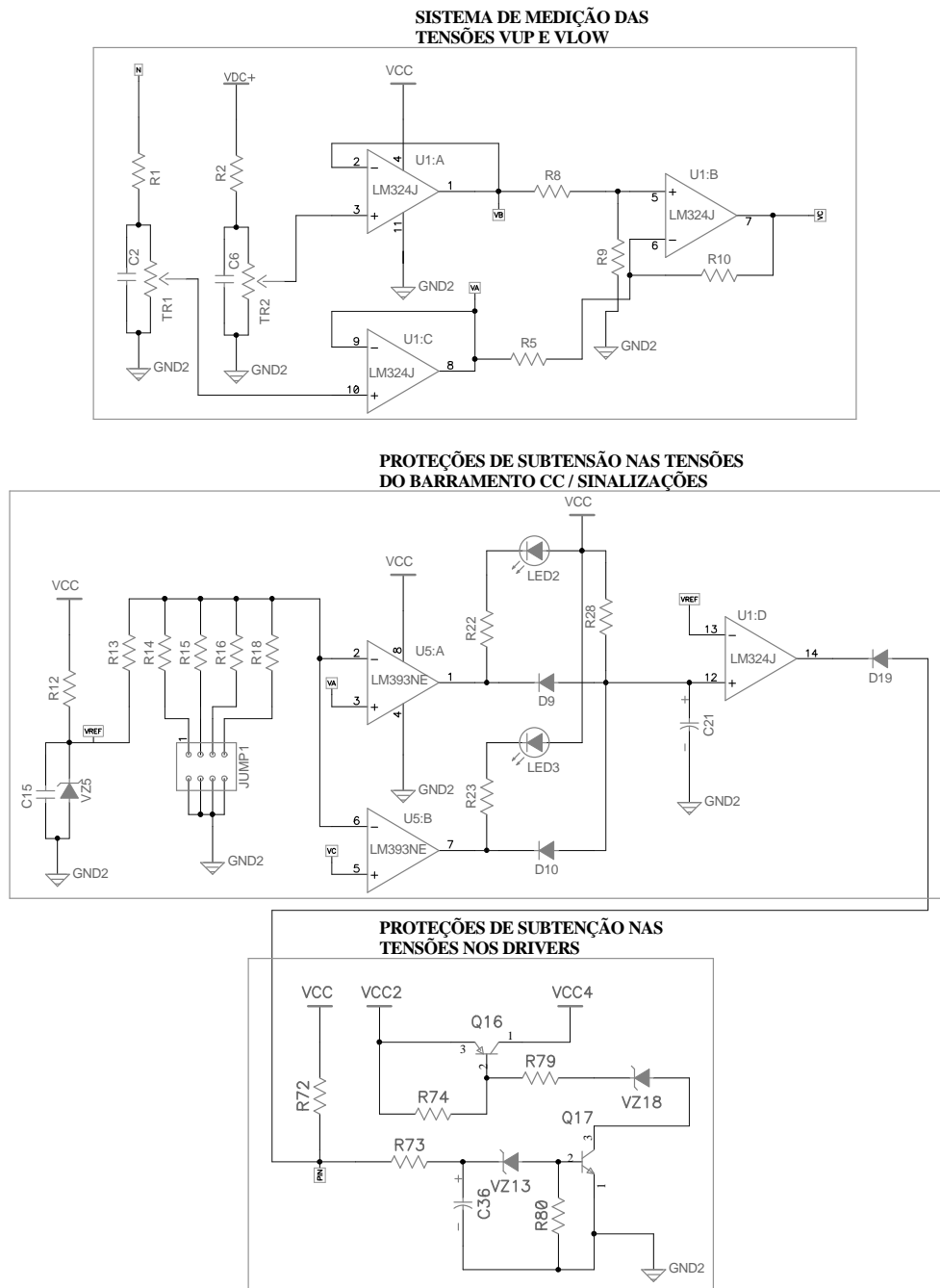


Fig.E 4: Circuito de proteção 3.

A importância da proteção que envolve as tensões do barramento CC se dá no fato que estas tensões são usadas para alimentar circuitos ativos responsáveis pela criação das fontes de correntes I1, I2 e I3 citadas anteriormente, o que são indispensáveis ao funcionamento dos circuitos de recarga dos capacitores de *bootstrap*.

Uma tensão muito baixa nas fontes VUP e VLOW poderia provocar falha nos circuitos de recarga automática. Este tipo de ocorrência poderia permitir que as chaves do inversor possuíssem uma combinação de acionamento inválida, conforme mostrado na Tabela 2, uma vez que uma chave poderia não ser ativada, mesmo com o seu sinal de comando acionado. Isto resultaria em problemas de sobretensão nas chaves ou falhas no acionamento da carga em questão. Em face deste problema, um seletor de tensões deverá ser previamente configurado para cada faixa de variação possível nas tensões do barramento CC, onde foram estipuladas quatro faixas que são:

- $25V < VUP=VLOW < 60V$;
- $60V < VUP=VLOW < 105V$;
- $105V < VUP=VLOW < 160V$;
- $160V < VUP=VLOW < 200V$;

Cada fonte constituinte do barramento CC possui uma monitoração individual de tensão e, em caso de detecção de um valor abaixo da configuração, uma proteção é ativada impedindo com que os pulsos de comando das chaves sejam aplicados aos *drivers* integrados (MGDs). Este circuito de proteção pode ser visualizado na Fig.D 1. Seu esquema elétrico, entretanto, é apresentado na Fig.E 4.

A proteção das tensões dos *drivers* integrados, mostrados também na Fig.E 4, foi desenvolvida para desativar os pulsos de comando das chaves caso a tensão de alimentação dos mesmos se encontre muito baixa. Isto faria com que os circuitos integrados dedicados usados no protótipo tivessem seu funcionamento comprometido. Essa proteção atua sempre que a tensão VCC2 estiver abaixo de certo valor, basicamente dada pela tensão de zener VZ2.

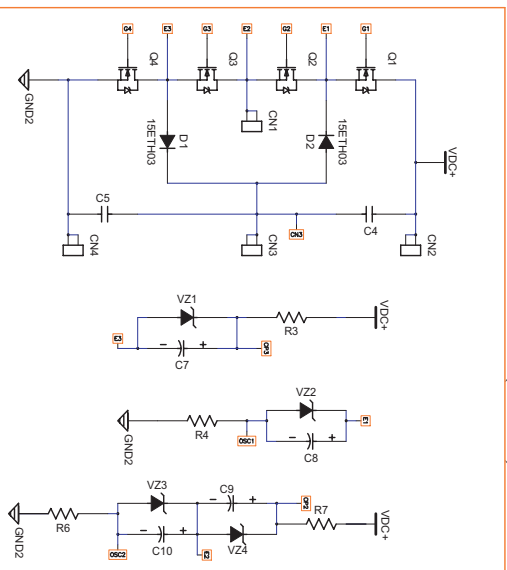
Nesta etapa de proteção também está incluído uma estratégia que monitora a tensão de +5V (VCC) dos circuitos lógicos. Caso esta tensão se torne menor que 4,3V a alimentação denominada VCC4, na Fig.E 4, será desligada, desativando as chaves do inversor. Este procedimento ocorre, pois o potencial VCC4 é usado para alimentar o estágio de saída de um circuito de condicionamento dos pulsos de +5V (VCC) para

+15V, o qual possui saídas em coletor aberto (*open collector*). Com a falha de alimentação na etapa lógica deste conversor, suas saídas são ativadas indevidamente, podendo provocar uma situação onde todas as chaves do inversor receberiam comando para entrarem em condução, provocando um curto circuito no barramento CC.

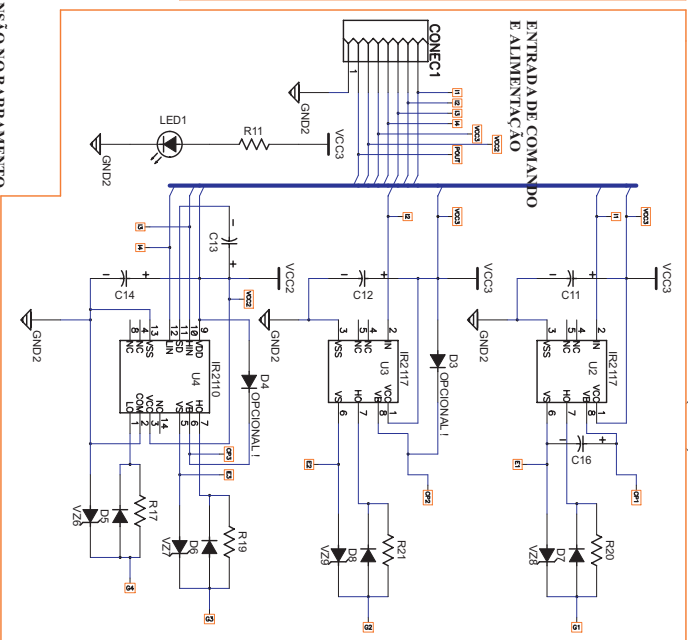
Anexo F – Diagramas eléctricos

Inversor Multinível NPC

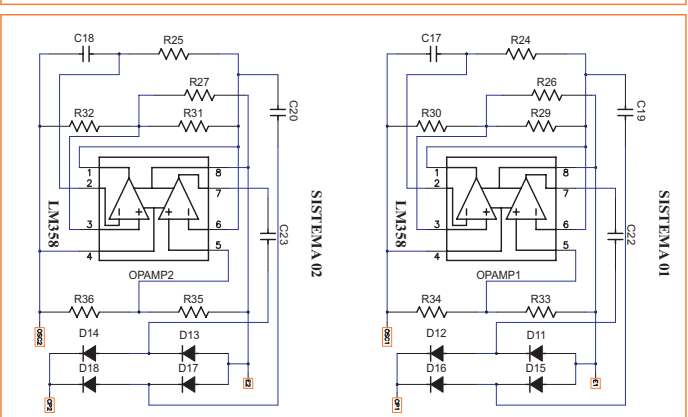
ETAPA DE POTÊNCIA (UMA FASE)



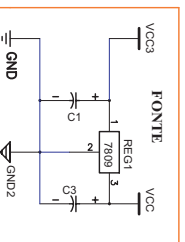
GATE DRIVE (MGDS)



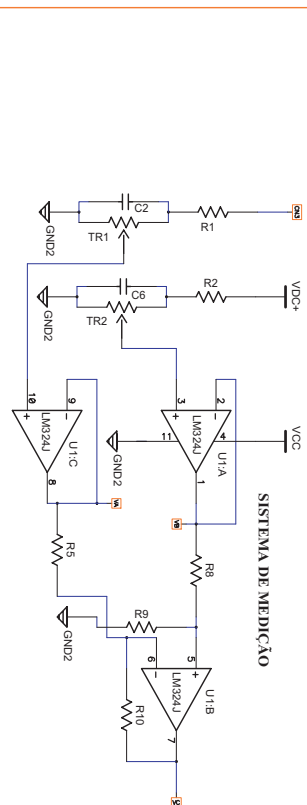
OSCILADORES DE AUTO RECARGADOS
 CAPACITORES DE BOOTSTRAP



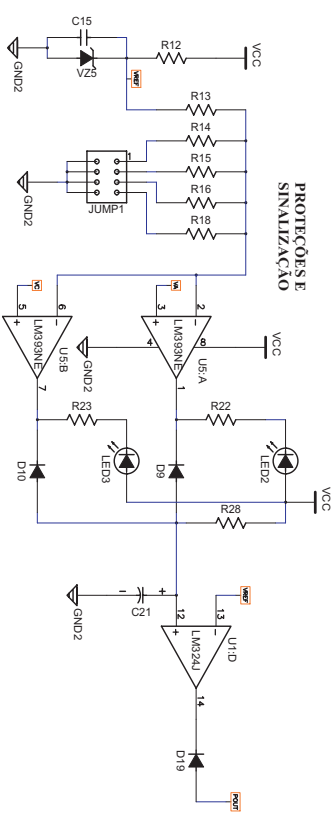
PROTEÇÃO DE SOBRETENSÃO NO BARRAMENTO



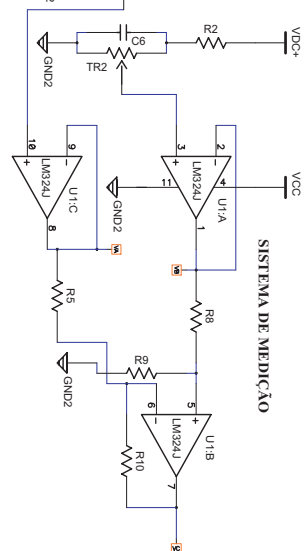
SISTEMA DE MEDIÇÃO



PROTEÇÕES E
 SINALIZAÇÃO



FONTE



MÓDULO DE SAÍDA/CONVERSOR 5-15V

