

INSTRUMENTAÇÃO DE SENSORES DE IMAGEM IR InGaAs P-I-N QWIP EM
MODO DE CORRENTE

Pietro Maris Ferreira

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. José Gabriel Rodríguez Carneiro Gomes, Ph.D.

Prof. Antonio Carneiro de Mesquita Filho, Dr.d'État

Prof. Antonio Carlos Moreirão de Queiroz, D.Sc.

Prof. Jacqueline Silva Pereira, D.Sc.

RIO DE JANEIRO, RJ - BRASIL
FEVEREIRO DE 2008

FERREIRA, PIETRO MARIS

Instrumentação de Sensores de Imagem IR In-GaAs P-I-N QWIP em Modo de Corrente [Rio de Janeiro] 2008

XI, 84 p. 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 2008)

Dissertação — Universidade Federal do Rio de Janeiro, COPPE

1. Microeletrônica Analógica
 2. Sensores de Imagem IR
 3. Instrumentação em Modo de Corrente
- I. COPPE/UFRJ II. Título (série)

Ao meu pai.

AGRADECIMENTOS

Gostaria de prestar meu agradecimento a agência CAPES financiadora dos meus estudos de mestrado em ciências; que contribuiu imensamente com os meus estudos e viabilizou a sua execução. De igual importância agradeço ao Laboratório de Processamento Analógico e Digital de Sinais (PADS - COPPE - UFRJ) que disponibilizou a infra-estrutura técnica e intelectual para o mesmo.

Embora desejasse agradecer pessoalmente a todos aqueles que contribuíram na minha formação em Mestrado em Ciências Engenharia Elétrica pela Universidade Federal do Rio de Janeiro, creio não ser capaz de homenageá-los de maneira justa nessa página. Fatalmente esquecerei-me de algumas pessoas, enquanto que eu não conseguirei expressar a importância de outras pessoas nessa etapa da minha vida.

Portanto, gostaria de lembrar a participação aos meus colegas de trabalho do Laboratório de Processamento Analógico e Digital de Sinais, que alunos como eu me ensinaram coisas grandiosas. Principalmente, gostaria de agradecer aos professores Antonio Petraglia e José Gabriel Rodríguez Carneiro Gomes que me orientaram diretamente nesse trabalho, e a todos os outros professores que contribuíram indiretamente através dos conhecimentos que eles me ensinaram ao longo do curso.

Foram muitas as pessoas que me apoiaram nessa difícil caminhada, fiz muitos amigos durante esse período da minha vida. De modo especial, gostaria de prestar meu profundo agradecimento a Flavia Correia Tovo que é muito mais do que uma amiga e uma companheira, pois foi ela que semeou em mim os sonhos profissionais que começam a se realizar nesse momento da minha vida. É a minha família a pedra fundamental de toda a minha formação intelectual e de caráter. Ela está constantemente investindo em mim e me apoiando psicologicamente, principalmente, nos momentos mais difíceis.

Finalmente gostaria de agradecer ao Senhor, que é meu verdadeiro mestre na arte do Amor e da Vida. Ele me iluminou e me fortaleceu através de minhas falhas e defeitos, para que eu pudesse ser um Homem mais justo e verdadeiro.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

INSTRUMENTAÇÃO DE SENSORES DE IMAGEM IR InGaAs P-I-N QWIP EM MODO DE CORRENTE

Pietro Maris Ferreira

Fevereiro/2008

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Sensores de imagem são de grande interesse estratégico e possuem diversas aplicações. O interesse do Brasil no domínio de tecnologias de sensores de imagem é bastante extenso. Igualmente, a tecnologia envolvida nestes dispositivos não é disponibilizada comercialmente ou representa um elevado custo para operações de importação.

Um sensor óptico é realizado por um diodo polarizado reversamente, que faz a geração de pares elétron-lacuna em consequência da absorção de fótons. Assim sendo, a corrente de portadores minoritários no sensor expressa a quantidade de fótons absorvidos e, de outro modo, a informação de intensidade de luz incidente.

Este trabalho propõe-se a analisar as tecnologias de sensores de imagem e seus respectivos circuitos de instrumentação, contextualizando as aplicações. Os sensores de imagem APS (*Active Pixel Sensor*), tecnologia dominante para instrumentação de imagens à luz visível, serão comparados com os sensores de imagem para infra-vermelho (IR - *infrared*) InGaAs P-I-N QWIP (sensores IR a poços quânticos). O principal objetivo é projetar circuitos de instrumentação compatíveis com os sensores ópticos existentes para implementação híbrida.

Esta pesquisa se dispõe a contribuir para o desenvolvimento de aplicações de sensores de imagem e para a instrumentação eletrônica dos mesmos, sendo esta última o principal foco deste trabalho. Deste modo, pretende-se fomentar o desenvolvimento de tecnologia em estado da arte no Brasil, diminuindo a dependência tecnológica do país.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

CURRENT-MODE READ-OUT IR InGaAs P-I-N QWIP IMAGE SENSOR

Pietro Maris Ferreira

February/2008

Advisor: Antonio Petraglia

Department: Electrical Engineering

The InP-InGaAs QWIPs have been considered to be potential alternatives to low band gap semiconductor infrared photodetectors such as HgCdTe, which suffers from nonuniformity problems in the long-wavelength infrared (LWIR) band. The QWIP technology offers large LWIR arrays at significantly lower cost. A disadvantage of InP-InGaAs for QWIP applications is the lack of flexibility in adjusting the peak detection wavelength by changing the barrier/well material composition limiting the peak responsivity wavelength to a narrow range around $8\ \mu\text{m}$ [1]. On the other hand, a InGaAs P-I-N photodiode can be easily modeled as a Si photodiode, and ROICs implemented in CMOS technology can be redesigned in a hybrid CMOS-InGaAs implementation [2].

This work compares a current amplifier implementation and a transconductance amplifier implementation of active pixel sensor (APS) read-out integrated circuits (ROICs) for InGaAs P-I-N (doped P, intrinsic, doped N) quantum-well infrared photodetectors (QWIP). Then a over all state of art comparision was done and the circuits advantages were presented. The circuits were designed in a $0.35\ \mu\text{m}$ CMOS technology. Circuit layout was done and Spice simulation results are presented in this work.

The comparisons considered key performance parameters, such as dynamic range, signal-to-noise ratio, power dissipation, and silicon area. To help in the choice of the appropriate circuit for the desired application, the strengths and the weaknesses of both our solutions were highlighted.

SUMÁRIO

I	Introdução	1
I.1	Instrumentação de Imagens	2
I.2	Processamento de Imagens no Plano Focal	3
I.3	Estado da Arte da Tecnologia	4
I.4	Organização e Contribuições	5
II	Sensores de Imagem	8
II.1	Sensores de Imagem na Faixa do Infravermelho	10
II.2	Evolução da Tecnologia de Sensores de Infravermelho	11
II.3	Características do Sensores de Infravermelho	12
II.4	Modelo Elétrico do Sensor de Infravermelho	13
III	Instrumentação Eletrônica com Célula de Transcondutância APS	16
III.1	Implementação da Célula de Transcondutância APS	17
III.2	Projeto da Célula de Transcondutância APS	18
III.3	Implementação da Célula de Memória de Corrente	20
III.3.1	Implementação do Circuito Gerador de <i>clock</i> não-entrelaçado	21
III.3.2	Implementação da Chave Analógica	21
III.4	Projeto da Célula de Memória de Corrente	22
III.4.1	Projeto da Chave Analógica	22
III.4.2	Projeto do Integrador de Corrente	25
III.4.2.1	Projeto do Circuito de Polarização	28
III.5	Projeto do Circuito de Polarização da Célula de Memória de Corrente	28
III.6	Análise da Célula de Transcondutância APS	30
III.7	Resultados e Análises da Instrumentação com Célula de Transcondutância	32
III.7.1	Simulação do Amplificador Transconductor	32
III.7.2	Simulação da Célula de Memória de Corrente	35
III.7.3	Simulação da Célula de Transcondutância APS	38

IV Instrumentação Eletrônica com Espelhos de Corrente Cascode Regulado	40
IV.1 Implementação do Espelho de Corrente Cascode Regulado	41
IV.2 Projeto do Espelho de Corrente Cascode Regulado com Polarização Fixa .	42
IV.3 Análise do Espelho de Corrente Cascode Regulado com Polarização Fixa .	45
IV.4 Implementação do Espelho de Corrente Cascode Regulado com Polarização Dinâmica	48
IV.5 Análise do Espelho de Corrente Cascode Regulado com Polarização Dinâmica	50
IV.6 Resultados e Análises da Instrumentação com Espelhos de Corrente Cascode Regulado	52
V Comparação dos Resultados dos Circuitos de Instrumentação em Modo de Corrente	58
V.1 Contribuições Tecnológicas	60
VI Conclusão	64
VI.1 Novos Desafios	65
A Modelamento SPICE	67
I.1 Equações	68
I.2 Parâmetros	70
I.3 Conclusão	70
B Modelamento de Ruído	72
C Máscaras de Integração dos Circuitos	74

LISTA DE SÍMBOLOS

α	Variação percentual.
A_i	Ganho de corrente definido como I_{IN}/I_O .
APS	<i>Active Pixel Sensor</i> .
BC	Banda de condução.
BV	Banda de valência.
c	Velocidade da luz no vácuo.
CCD	Charge-Coupled Device.
C_d	Capacitância da região de depleção sobre o <i>gate</i> .
C_{GSi}	Capacitância de junção <i>gate-source</i> do transistor Mi.
C_{GD_i}	Capacitância de junção <i>gate-drain</i> do transistor Mi.
C_j	Capacitância de junção do modelo do fotodiodo.
C_{ov}	Capacitância de <i>overlap</i> do transistor.
C_{ox}	Capacitância do óxido de <i>gate</i> do transistor.
CMOS	<i>Complementary Metal Oxide Semiconductor</i> .
coluna_i	Sinal de seleção de coluna.
DR	<i>Dinamic Range</i> .
ΔX	Variação da grandeza X.
ϵ	Erro de uma grandeza.
E_g	Energia do <i>band-gap</i> .
f	Frequência dos sistemas contínuos no tempo, dada em Hertz.
ϕ	Potencial de inversão na superfície do semiconductor.
f_c	Frequência de corte de circuitos contínuos no tempo, dada em Hertz.
ϕ_f	Potencial de Fermi.
f_s	Frequência de amostragem, dada em Hertz.
γ	Constante do efeito de campo.
GaAs	Composto com átomos de gálio e arsênio.
gm_i	Transcondutância do transistor Mi.
h	Constante de Plank.
I_B	Corrente de polarização do regulador do espelho de corrente cascode regulado.
I_{Di}	Corrente no terminal <i>drain</i> do transistor Mi.
I_{Dsat}	Corrente máxima no terminal <i>drain</i> de um transistor saturado.
IE	<i>Injection efficiency</i> , ou eficiência de injeção.
I_{escuro}	Corrente de escuro do modelo do fotodiodo.
I_{IN}	Corrente de entrada.
InAs	Composto com átomos de índio e arsênio.

InGaAs	Composto ternário com átomos de índio, gálio e arsênio.
InP	Composto ternário com átomos de índio e fósforo.
I_O	Corrente de Saída.
i_{ph}	Corrente elétrica decorrente da conversão optoeletrônica.
I_{px}	Corrente elétrica do <i>pixel</i> .
IR	<i>Infrared</i> ou infra vermelho.
J_S	Densidade de corrente por unidade de área.
J_{SSW}	Densidade de corrente por unidade de comprimento.
K'	Transcondutância de processo.
λ	Comprimento de onda.
λ_c	Comprimento de onda de corte.
L_i	Comprimento do canal do transistor Mi.
linha_i	Sinal de seleção de linha.
LWIR	<i>Long Wavelength IR</i> .
Mi	Transistor MOS de índice i.
MOS	<i>Metal Oxide Semiconductor</i> .
MWIR	<i>Middle Wavelength IR</i> .
n	Índice de refração do meio em relação ao vácuo.
ν	Frequência do fóton.
NMOS	Transistor MOS com canal formado por semiconductor dopado tipo <i>n</i> .
N_{SUB}	Concentração de portadores no substrato.
PMOS	Transistor MOS com canal formado por semiconductor dopado tipo <i>p</i> .
Pot_i	Potência de um determinado sinal i.
QDIP	<i>Quantum Dot Infrared Photodetectors</i> .
Q_{OS}	Carga de <i>off-set</i> .
QWIP	<i>Quantum Well Infrared Photodetector</i> .
R_j	Resistência de junção do modelo do fotodiodo.
RMS	<i>Root-mean-square</i> .
ROIC	<i>Read-out integrated circuit</i> .
R_s	Resistência série do modelo do fotodiodo.
s	Variável complexa da transformada de Laplace.
S1	Chave de fase 1.
#S1	Chave de fase 1 negada.
S2	Chave de fase 2.
#S2	Chave de fase 2 negada.
Si	Átomos de silício ou composto cristalino de átomos de silício.
SNR	<i>Signal to Noise Ratio</i> ou Razão Sinal Ruído.
SoC	<i>System-on-a-chip</i> .
θ	Modulação da mobilidade.

THD	<i>Total Harmonic Distortion</i> ou Distorção Harmônica Total.
TPF	<i>Time Power Factor</i> ou Produto Potência Tempo.
V_{DD}	Maior tensão de alimentação do circuito (3.3 V neste trabalho).
V_{DSi}	Tensão entre os terminais <i>drain</i> e <i>source</i> do transistor M_i .
V_{DSsati}	Tensão mínima entre os terminais <i>drain</i> e <i>source</i> que mantém o transistor M_i na região de saturação.
V_{eff}	Tensão efetiva definida como $V_{eff} = V_{GS} - V_T$.
V_{GSi}	Tensão entre os terminais <i>gate</i> e <i>source</i> do transistor M_i .
VLWIR	<i>Very Long Wavelength IR</i> .
VLSI	Very-large-scale integration.
V_{SBi}	Tensão entre os terminais <i>source</i> e <i>bulk</i> do transistor M_i .
V_{SS}	Menor tensão de alimentação do circuito (0 V neste trabalho).
V_{Tn}	Tensão de limiar (<i>threshold</i>) do transistor NMOS.
V_{Tp}	Tensão de limiar (<i>threshold</i>) do transistor PMOS.
V_{Ti}	Tensão de limiar (<i>threshold</i>) do transistor M_i .
V_{T0i}	Tensão de limiar (<i>threshold</i>) do transistor M_i , quando $V_{SB} = 0$.
Ω	Frequência dos sistemas discretos no tempo, dada em rad/amostra.
ω	Frequência dos sinais contínuos no tempo, dada em rad/s.
ω_c	Frequência de corte de circuitos contínuos no tempo, dada em rad/s.
W_i	Largura do canal do transistor M_i .
W/L_i	Razão de aspecto do transistor M_i .
z	Variável complexa da transformada Z .

CAPÍTULO I

INTRODUÇÃO

A luz é uma onda eletromagnética composta por partículas elementares chamadas fótons, de acordo com a dualidade partícula-onda. As três principais características da luz são a intensidade, a frequência (ou comprimento de onda) e a polarização. Cada fóton de luz é dotado de uma energia, e esta propriedade está intimamente ligada às características da luz.

A radiação infravermelha é radiação eletromagnética de comprimento de onda mais longo do que a luz visível, mas menor do que a de microondas. O nome significa abaixo do vermelho (do latim infra, abaixo), sendo a cor vermelha da luz visível com o maior comprimento de onda. A radiação infravermelha tem comprimento de onda entre cerca de 750 nm e 1 mm, abrangendo cinco ordens de magnitude.

Um sensor de imagem é um dispositivo físico que converte uma informação visual em um sinal elétrico. A estrutura eletrônica do dispositivo interage de maneira específica com a passagem de um fóton. Assim sendo, é necessário que o fóton possua uma determinada energia que propicie essa interação e o sensor de imagem é capaz de converter luz em uma determinada banda de frequência. Os mais importantes são os sensores de imagens térmicas, de múltiplo-espectral, de raios gama, de raios X, e, principalmente, os de luz visível. Suas aplicações variam de acordo com o comprimento de onda de operação tais como: médica, industrial, segurança, astronomia e muitas outras.

Um circuito de instrumentação eletrônica é composto por componentes que, ao interagirem com o sinal elétrico proveniente do sensor, amplificam a informação contida nesse sinal. Eles auxiliam na conversão, escalamento e armazenamento da informação. Estes circuitos podem ser compostos por componentes passivos (resistores, capacitores e indutores) ou componentes ativos (amplificadores operacionais); extremamente simples, apresentando poucas funcionalidades, ou bastante complexos, ao permitir o processamento e a digitalização do sinal.

I.1 - INSTRUMENTAÇÃO DE IMAGENS

As duas principais tecnologias de sensores de imagem em silício são CCD (*Charge-Coupled Device*) e *CMOS Image Sensor*. Até o meio dos anos 90, CCDs tornaram-se a tecnologia dominante para o imageamento, enquanto os tradicionais circuitos integrados para processamento e armazenamento da imagem se desenvolviam na tecnologia CMOS.

Historicamente, o CCD foi desenvolvido pelo Bell Labs em 1970. Ele foi amplamente adotado sobre os demais sensores de imagem em estado sólido, incluindo o CIS, porque ele possui reduzido ruído de padrão fixo (*Fixed Pattern Noise*) e área de *pixel* menor. Nos trinta anos que se seguiram, os sensores CCD atraíram todos os interesses de pesquisa e desenvolvimento, assim demonstrou-se seu alto nível de desempenho com baixo ruído de instrumentação, alta faixa dinâmica e excelente responsividade [3].

O surgimento das limitações dos sensores CCD somados à consolidação da tecnologia CMOS tornaram os dispositivos *CMOS Image Sensor* mais interessantes. A fabricação do CCD não permite a integração de dispositivos com eficiência de custo. Como resultado, as câmeras CCD exigem um consumo de potência cada vez mais alto em comparação aos CIS e a miniaturização tornou-se cada vez mais difícil. E. Fossum é um dos pesquisadores que estudou as diversas características de ambas as tecnologias e aborda detalhadamente essas questões em [4], [5] e [6].

Com a tecnologia *CMOS Image Sensor*, foram introduzidas diversas técnicas de circuito para em um único *chip*, reduzir o *Fixed Pattern Noise* e aumentar a faixa dinâmica. Por outro lado, o escalamento da tecnologia e dos dispositivos nem sempre acarreta em um sensor de imagem com desempenho melhor. Em processos de fabricação menores que $0.5\ \mu\text{m}$ modificações, ou ainda inovações, são necessárias na arquitetura do pixel para melhorar a qualidade da imagem. Na *CMOS Image Sensor*, um fotodiodo, composto por uma junção *p-n* sensível a luz, é comumente integrado a circuitos simples em processo CMOS digital.

A grande maioria dos sensores de imagem reportados são implementados em modo de tensão [7], [8] e [9]. Uma alternativa a esta arquitetura é a utilização de circuitos em modo de corrente ([10] e [11]). Eles apresentam potenciais vantagens com o escalamento dos processos de integração. Estas vantagens são baixa dependência da tensão de alimentação, baixa interferência na faixa dinâmica do sensor e alta velocidade de operação. Além disso, operações muito importantes para o processamento da imagem, tais como: adição, subtração e multiplicação por um fator; são mais fáceis de serem implementadas no modo de corrente.

I.2 - PROCESSAMENTO DE IMAGENS NO PLANO FOCAL

Muitos sistemas biológicos de visão têm demonstrado que a grande parte das etapas do processamento de imagens ocorre no plano focal, ou seja, no mesmo local que ocorre a captação da informação visual. Para aproveitar com eficiência o arranjo espacial dos sensores, o processamento de baixo nível utiliza-se de conexões esparsas entre os sensores. Finalmente, o processamento de imagens mais sofisticado é desempenhado no córtex visual do cérebro. De maneira similar, o objetivo de recentes publicações em sistemas de visão é desenvolver etapas do processamento de imagem de modo eficiente aumentando as funcionalidades do *pixel*.

O circuito de instrumentação CMOS básico é denominado APS (*Active Pixel Sensor*). A característica que o define é a utilização de pelo menos um elemento ativo (para amplificação do sinal) em cada *pixel* [12]. As amostras analógicas são obtidas diretamente, endereçadas por coluna e digitalizadas por conversores analógico-digitais. Usualmente, cada coluna possui um conversor analógico-digital, mas é possível a utilização de um único conversor para todos os *pixels*, o que pode exigir conversores de alta velocidade.

Na década de 90, dois importantes avanços tecnológicos ocorreram nas pesquisas em sensores CMOS. O primeiro é a introdução do conceito de *pixel* digital (*Digital Pixel Sensor*) [13]. A tecnologia *Digital Pixel Sensor* possui o elemento ativo e um conversor ADC internos ao próprio pixel. Deste modo, as informações são lidas do endereçamento de linha e de coluna diretamente em formato digital. Portanto, um sensor *Digital Pixel Sensor* é externamente similar a uma memória digital. A sua principal diferença para a memória é que este permite a captura de imagens em uma taxa de 10000 *frames* por segundo e, portanto, precisam de dispositivos externos para o armazenamento de dados em larga escala para que seja possível o processamento da imagem, *a posteriori*.

O segundo é o conceito de *pixel* inteligente [14]. A tecnologia de *pixel* inteligente tem tornado possível a implementação do processamento da imagem no plano focal, ou seja, a imagem é capturada e processada por circuitos internos do pixel. Nos sensores de *pixel* inteligente descritos na literatura, o processamento do sinal é realizado de modo analógico ou misto, logo ele é realizado antes ou sem a necessidade de conversores analógico-digitais. De igual modo, a abordagem da tecnologia de *pixel* inteligente pode complementar um sensor *Digital Pixel Sensor*, realizando o processamento digital da imagem em plano focal.

Em um sistema de visão convencional, a imagem é capturada e processada em seguida por softwares em processadores digitais. Apesar dos avanços na capacidade computacional das plataformas digitais, se é desejada uma aplicação em tempo-real, então se torna necessário o emprego de processadores de alto desempenho. Estes consomem mais potência e custam mais caro. A solução prática é deslocar parte da complexidade computacional para dentro do *pixel* realizando-a com circuitos analógicos.

A implementação de sensores inteligentes usando circuitos analógicos em alta escala de

integração (*Very-large-scale integration* - VLSI) é muito importante no desenvolvimento dessa tecnologia [15]. O *pixel* inteligente é capaz de reproduzir habilidades perceptivas, tais como: operações de segmentação, reconhecimento e classificação; aplicadas a texto escrito, rostos e posturas humanas. O processamento analógico de sinais no plano focal também inclui os circuitos de comunicação entre um *pixel* e suas vizinhanças. Este sistema de processamento distribuído é também chamado de processador de imagem no plano focal [16]. Usando processador de imagem no plano focal, um grande número de funcionalidades podem ser implementadas dentro do sensor com ótimos resultados [17], tais como: detecção de transição, detecção de movimento, estimação de movimento, remoção dos efeitos de borramento por movimento, compressão de imagens e as mais diversos tipos de filtragem (como o anti blocagem).

Os principais desvantagens de circuitos VLSI analógicos são as suas faltas de flexibilidade e precisão [15]. Além disso, a precisão e a excursão de sinal são fortemente dependentes dos parâmetros de projeto. Assim sendo, os sensores inteligentes necessitam de projeto personalizado (*full custom*) e especializado para uma tarefa. Entretanto, a informação é coletada e processada em tempo contínuo com consumo menor de potência em maior velocidade. Os circuitos analógicos especializados e dedicados podem desempenhar funções complexas com muito menos transistores, e sua dependência ao processo de integração pode ser contornado com técnicas de projeto e cuidados com o desenvolvimento do *layout* das máscaras.

I.3 - ESTADO DA ARTE DA TECNOLOGIA

O estado da arte da tecnologia de sensores de imagem IR e as suas diversas aplicações exigem alta resolução e alto desempenho dos circuitos de instrumentação eletrônica. A resolução pode ser melhorada com o aumento do número de *pixels*, mas então, a dimensão do *pixel* precisa ser reduzida para garantir a diminuição do consumo de área e conseqüentemente o custo do *chip*. Entretanto, *pixels* muito pequenos limitam a complexidade dos circuitos, o que pode inviabilizar a performance do circuito e o processamento em plano focal. Circuitos de alto desempenho devem prover uma polarização estável ao sensor, para que seja possível reduzir a corrente e o ruído do sensor. São necessárias também alta eficiência de injeção e faixa dinâmica.

As mais recentes estruturas em modo de corrente, incluindo a topologia de injeção direta (*Direct-injection*), são bastante simples e ocupam uma área muito pequena, mas eles não satisfazem as condições de alta performance [18]. Posteriormente estruturas com amplificadores, como a topologia de injeção direta amplificada (*Buffered-direct-injection*) e a de amplificador de transimpedância realimentada por capacitor (*Capacitive feedback transimpedance amplifier*), providenciam uma melhor performance em termos de eficiência de injeção e estabilidade na polarização do sensor com o alto custo de se integrar grande

parte de um amplificador operacional no *pixel* [18].

Uma nova abordagem, entrada com modulação de *gate* (*Gate modulation input*) e entrada com modulação de *gate* amplificada (*Buffered gate modulation input*), pode proporcionar supressão de ruído, pequena área de integração e até amplificação (no caso do *Buffered gate modulation input*) [18], [19]. Eles utilizam capacitor de integração externo ao *pixel*, mas necessitam também de circuitos internos ao *pixel* para estabilizar a polarização do sensor.

Uma recente estrutura, com espelhamento de corrente por injeção direta (*Current mirroring direct injection*), satisfaz os requisitos de alta eficiência de injeção e estabilidade na polarização do sensor [20]. A grande desvantagem da estrutura *Current mirroring direct injection* é a necessidade do capacitor de integração interno ao *pixel*, e, portanto, alto consumo de área e baixa faixa dinâmica. Uma pequena alteração da estrutura, com integração da corrente espelhada (*Current mirroring integration*), contorna as desvantagens da *Current mirroring direct injection* mantendo as suas demais vantagens [21]. Uma proposta completamente diferente, baseada em um integrador de corrente chaveada (*Switched current integration*), garante alta capacidade de integração e armazenamento da informação, com redução do custo em área e limitações na polarização do sensor e eficiência de injeção [18].

I.4 - ORGANIZAÇÃO E CONTRIBUIÇÕES

A maior parte dos circuitos integrados de instrumentação (*read-out integrated circuit - ROIC*) para sensores de imagem são projetados com o objetivo de detectar luz com comprimento de onda na faixa visível, como apresentado em [22], [11], [23], [7], [8]. Apenas uma pequena parte dos ROICs se propõem a detectar luz com comprimento de onda na faixa do infravermelho (*Infrared - IR*) [24]. Entretanto, existem muitas aplicações estratégicas no comprimento de onda de IR a serem exploradas, como: sistemas de observação aérea, monitoramento e auxílio à agricultura, segurança do tráfego aéreo, comunicações ópticas no espaço livre, detecção de componentes tóxicos em misturas gasosas, avaliação de doenças, entre outras.

Os sensores de imagem IR na tecnologia de InP-InGaAs com fotodetectores a pontos quânticos (*quantum-well infrared photodetector - QWIP*) têm sido considerados uma potencial alternativa para reduzir o *gap* existente em fotodetectores de IR como a tecnologia HgCdTe. Esta última sofre de problemas de não-uniformidade em comprimentos de onda de IR distante (*long-wavelength infrared - LWIR*). A tecnologia QWIP propicia grandes matrizes de sensores LWIR com um custo significativamente baixo.

Uma desvantagem da tecnologia InP-InGaAs a QWIP é a falta de flexibilidade em ajustar o pico de detecção no comprimento de onda de interesse. Apesar possibilidade de alteração da estrutura quântica e da composição do material, o pico de resposta do

fotodiodo está limitado para o alcance de comprimento de onda em torno de $8 \mu\text{m}$ [1]. Por outro lado, um fotodiodo InGaAs P-I-N pode ser facilmente modelado de maneira semelhante a um fotodiodo de Si.

Uma das contribuições desse trabalho é estudar o modelo elétrico do fotodiodo InGaAs P-I-N e projetar as estruturas de ROICs comumente utilizados na tecnologia de sensores CMOS em uma implementação híbrida CMOS-InGaAs [2]. Serão apresentados nos próximos capítulos metodologias de projeto de sensores CMOS dependentes da determinação de um modelo elétrico do fotodiodo compatível com o fotodiodo de Si.

A maioria dos ROICs descritos na literatura é implementada em modo de tensão. Eles são baseados na estrutura de *pixel* com três transistores, onde um é responsável pela amplificação e os outros dois são chaves de *reset* e seleção do *pixel*. A tensão de saída do pixel é limitada pela tensão de *threshold* (V_T) e de alimentação da tecnologia. Entretanto, com a redução das dimensões nos processos de integração, a tensão de alimentação é reduzida, e, portanto, a excursão de sinal na saída do *pixel* diminui. Isto ocorre devido as limitações impostas pelo V_T . Em contrapartida, nos circuitos em modo de corrente, a excursão de sinal não é afetada por tais tendências. Portanto, os circuitos em modo de corrente necessitam de menos área de silício, possuem velocidade de operação maior e consumo de potência comparáveis aos circuitos de modo de tensão, caso mantidas as condições de excursão de sinal e para uma mesma tecnologia de integração.

Os circuitos em modo de corrente usam blocos simples, como amplificadores e somadores implementados por espelhos de corrente e um nó, respectivamente. Mais do que isso, um ROIC em modo de corrente é facilmente integrado com circuitos mistos em modo de corrente para o processamento de imagens no domínio analógico, antes da digitalização [25]. Sendo assim, eles são uma ótima opção para o projeto de *pixels* inteligentes com o processamento analógico da imagem no plano focal.

Outra contribuição desse trabalho é o de investigar ROICs em modo de corrente. Serão determinadas figuras de mérito para os circuitos projetados que permitam a comparação de desempenho e qualidade dos mesmos. Espera-se determinar parâmetros de decisão no projeto de sensores de imagem com *pixel* inteligente e fortalecer as pesquisas em processamento analógico da imagem no plano focal.

Este trabalho compara uma topologia de amplificador de transcondutância baseado na célula básica APS e outras duas topologias de amplificadores de corrente baseado em espelhos de corrente cascode regulado. Projeta e implementa os circuitos usando a tecnologia CMOS $0.35 \mu\text{m}$, desde os cálculos analíticos, desenho das máscaras de integração e simulação dos circuitos extraídos com o modelo de dispositivo BSIM3V3. Visa a implementação de ROICs para sensores de imagem IR à tecnologia InGaAs P-I-N QWIP através de projeto em tecnologia híbrida.

No Capítulo II é apresentado o modelo físico e elétrico do fotodiodo de Si. Em seguida, são investigadas as aplicações e a evolução da tecnologia de sensores IR. Deste modo, é

possível determinar as características físicas e elétricas do dispositivo em InGaAs P-I-N QWIP, obtendo um modelo compatível aos do fotodiodo de Si.

No Capítulo III é estudada a implementação de um ROIC, baseado na célula básica APS da tecnologia de sensores CMOS, para o sensor de IR. São projetados os circuitos: amplificador de transcondutância, célula de memória de corrente e circuito de polarização. Em seguida, o ROIC é simulado em condições extremas de excursão de sinal para verificar seu funcionamento transiente. Depois, o circuito amplificador é caracterizado quanto a transferência da informação luminosa (corrente optoeletrônica) para a corrente de saída do *pixel*. As células de memória de corrente são simuladas na condição de integrador discreto no tempo para verificar o funcionamento com máximo tempo de retenção e com mínimo tempo de aquisição da informação. Então, os circuitos foram testados de forma integrada (célula de transcondutância APS e célula de memória de corrente) e avaliados quanto à transferência, excursão de sinal, razão sinal-ruído, consumo de potência e de área. Finalmente, observou-se como a qualidade do sinal pode ser melhorada com modificações do projeto.

No Capítulo IV é desenvolvido o circuito amplificador de corrente baseado em espelho de corrente cascode regulado. São apresentadas as quatro topologias escolhidas e comparadas quanto às impedâncias de entrada e saída, quanto à excursão de sinal para uma dada distorção, a resposta em frequência dos amplificadores, as limitações na tensão de saída, o desempenho a ruído, ao consumo e à área.

Este trabalho é concluído no Capítulo VI, onde estão resumidas as contribuições desse trabalho e as considerações finais. Para elucidar de maneira detalhada o que é apresentado nos projetos dos circuitos, o Apêndice A apresenta o modelo elétrico dos transistores e os parâmetros do processo de integração, utilizados nos cálculos analíticos. O Apêndice C reúne todas as máscaras de integração, retiradas do *software* de projeto de circuitos integrados CADENCE, que são necessárias para a produção dos circuitos em uma fábrica de circuitos integrados.

CAPÍTULO II

SENSORES DE IMAGEM

Um fotodiodo de silício (Si) é uma interface de semicondutor com dopantes tipos p e n que formam uma junção de diodo $p-n$. É nesta interface que ocorre a absorção de fótons e o fenômeno de geração-recombinação de pares elétron-lacuna [26].

Quando uma junção $p-n$ é formada, a região de depleção é criada pelo movimento das cargas para fora da região de interface. A diferença de concentração dos portadores causa a difusão dos mesmos através das junções gerando uma corrente de portadores majoritários. Por outro lado, a geração-recombinação de pares elétron-lacuna faz com que os portadores minoritários movimentem-se na direção contrária sob a ação do campo elétrico existente na região de depleção. No equilíbrio, ambas as correntes se igualam como mostrado na Figura II.1.

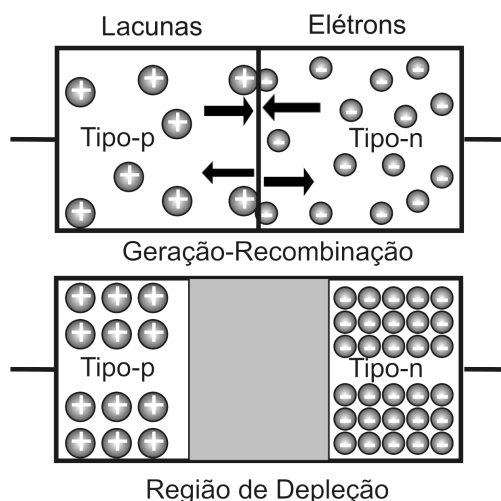


Figura II.1: Junção $p-n$ em um fotodiodo de Si.

Se a junção $p-n$ é polarizada reversamente, o campo elétrico na região de depleção aumenta, logo a corrente de portadores minoritários predomina sobre a difusão. A inci-

dência de luz na região de depleção aumenta a geração de pares elétron-lacuna, uma vez que a energia dos fótons faz os elétrons saltarem entre diferentes níveis de energia. Estes elétrons livres são separados das lacunas sob a ação do campo elétrico. Logo, a corrente de portadores minoritários nessas condições contém a informação de fótons incidentes em decorrência da conversão optoeletrônica, e esta é denominada como fotocorrente [7].

Existem tipicamente duas formas de conversão optoeletrônica. A Figura II.2 mostra em (a) que o elétron excitado salta da banda de valência para a banda de condução e em (b) que o elétron excitado salta de um nível mais interno de energia para um mais externo da banda de condução. A primeira é chamada transição banda-banda, e a última transição intrabanda.

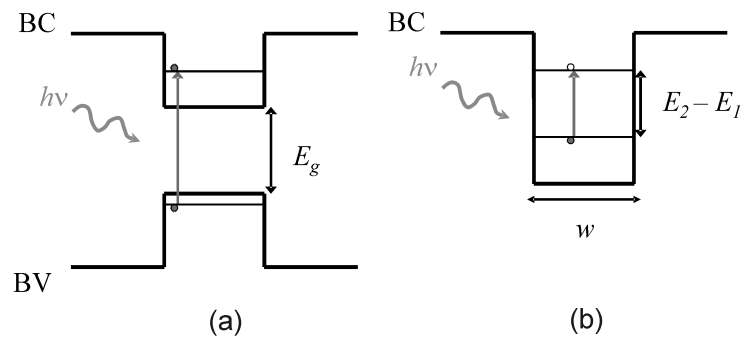


Figura II.2: Transição de elétrons excitados por fótons entre níveis de energia - conversão optoeletrônica: (a) transição banda-banda, (b) transição intra-banda.

Em ambos os casos o salto quântico obedece à lei da radiação do corpo negro, logo o comprimento de onda do fóton absorvido e a estrutura das ligações químicas estão intimamente relacionadas. Cada composto distinto possui uma distância constante entre seus átomos na rede cristalina (*lattice constant*). Esta distância, por sua vez, determina, em uma relação biunívoca, a energia quântica necessária para excitar um elétron ligante (*gap energy*). Logo, a energia contida em um fóton de comprimento de onda λ , dada pela equação

$$E = h c / \lambda, \quad (\text{II.1})$$

é o quantum de energia que excita o elétron e que gera conversão optoeletrônica. A composição química e física do material determina de forma única os comprimentos de onda de fótons absorvidos.

De acordo com a literatura [26] [27], o Si não absorve fótons de luz visível de modo eficiente, mas sim os de infravermelho dentro da primeira janela de telecomunicações (em torno de 850 nm). Os motivos do emprego também do Si para o sensoriamento a luz visível são, principalmente, o custo e a integração com os circuitos de instrumentação em aplicações SoC (*system-on-a-chip*). Os compostos químicos ternários do grupo III-V da tabela periódica mostram-se eficientes para absorção de fótons com $1.5 \mu\text{m} < \lambda < 3.7 \mu\text{m}$. É nesta faixa de comprimento de onda que são possíveis as aplicações com imagens

infravermelho que motivam esse trabalho.

O modelo elétrico para o fotodiodo de Si discutido em [7] e [8] é mostrado na Figura II.3. As equações do mesmo são comuns aos processos de integração, e os valores dos componentes utilizados podem ser obtidos a partir da documentação do processo disponibilizada pelo fabricante. Neste trabalho é utilizada a tecnologia CMOS $0.35 \mu\text{m}$ e as informações do modelo estão resumidas na Tabela II.1.

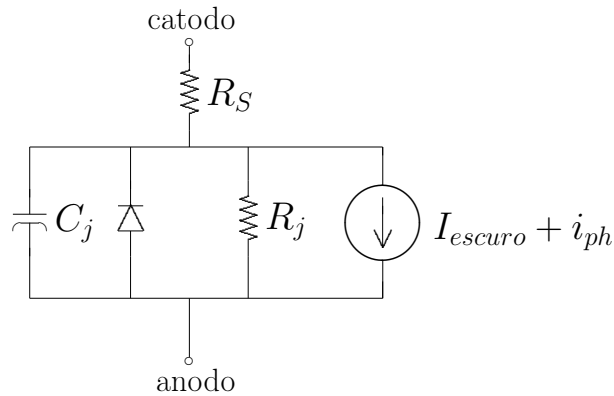


Figura II.3: Fotodiodos de Si - modelo elétrico.

Tabela II.1: Características do modelo do fotodiodo de Si.

Característica	Valor
Temperatura	300 K
Alcance	$\lambda = 550 \text{ nm} \ \& \ \lambda = 850 \text{ nm}$
I_{escura}	-18.3 pA
Polarização	-5 V a -3 V
Ruído	$1.179 \cdot 10^{-9} \text{ A}/\sqrt{\text{Hz}}$
Responsividade	0.29 A/W & 0.5 A/W
C_j	149 fF
Janela óptica	$10 \mu\text{m}$

II.1 - SENSORES DE IMAGEM NA FAIXA DO INFRAVERMELHO

Sensores de imagem infravermelha (IR) são de grande interesse em diversas áreas estratégicas. Os avanços tecnológicos propícios para o Brasil no domínio de tecnologias de fabricação de sensores de IR são bastante amplos. Existem aplicações de sensores IR de grande relevância para o agronegócio e monitoração ambiental, tais como: sistemas de observação aérea, monitoramento e auxílio à agricultura. Outra aplicação é a segurança do tráfego aéreo, para a orientação de vôo em condições climáticas desfavoráveis.

Também as comunicações ópticas no espaço livre e a detecção de componentes tóxicos em misturas gasosas são exemplos de aplicações de sensores IR. Ainda, com a geração

de imagens de infravermelho, que possuem grande importância para a área biomédica, é possível avaliar problemas de lubrificação nos olhos, identificar a ocorrência de câncer de pele, e de outras doenças.

Entretanto, as aplicações bélicas, para identificação de alvos no escuro (visão noturna), ou produção de armas autônomas, se destacam como aplicações de sensores de IR. Por isso esse produto está em uma lista de tecnologias consideradas potencialmente perigosas. Conforme acordos internacionais assinados pelo Brasil, esta tecnologia não pode ser comercializada. Não é possível importar nem exportar essa tecnologia e o estado da arte da tecnologia de sensores IR deve ser desenvolvido com tecnologia nacional.

Portanto, estes sensores são importantes para o desenvolvimento de diversas áreas tecnológicas potenciais para crescimento da economia do país. Sendo assim, faz-se necessário um desenvolvimento técnico completo tanto na produção dos sensores IR quanto nos seus circuitos de leitura (instrumentação eletrônica).

II.2 - EVOLUÇÃO DA TECNOLOGIA DE SENSORES DE INFRAVERMELHO

A tecnologia dominante atualmente em sensores de IR é a dos sensores a HgCdTe. Apesar de apresentarem excelente capacidade de detecção, estes detectores apresentam sérios problemas para a obtenção de matrizes de sensores homogêneas e são de alto custo. Uma alternativa tecnológica, gerada a partir do final da década de 80, são os sensores de infravermelho a poços quânticos (QWIPs), fotodetectores que utilizam transições intrabanda [27]. Estes sensores envolvem a utilização de compostos químicos do grupo III-V da tabela periódica, cujas tecnologias de produção e processamento apresentam alto grau de maturidade. Além disso, utilizando QWIPs é fácil obter matrizes relativamente grandes de sensores com excelente homogeneidade. Os QWIPs possuem, também, alta capacidade de detecção e boa capacidade multi-espectral, podendo ser produzidos para operar na faixa de 3 a 5 μm (médio comprimento de onda de IR - MWIR), na faixa de 8 a 14 μm (longo comprimento de onda de IR - LWIR), ou em comprimentos de onda ainda maiores (VLWIR). Os sensores QWIPs possuem ainda baixa dissipação térmica e facilidade de integração com os circuitos de leitura. Detectores à base de QWIPs já entraram em fase de produção comercial [27].

Uma proposta da segunda metade da década de 90 e que se encontra em fase de demonstração de seus conceitos básicos, mas que apresenta grande potencial, é a dos sensores de infravermelho a pontos quânticos (QDIP) [27]. Também baseados em transições intrabanda, são apontados como a próxima geração de sensores de infravermelho, apresentando vantagens potenciais tanto em termos de custo quanto de desempenho, mas ainda resta muito a ser feito antes que se tornem uma realidade comercial.

II.3 - CARACTERÍSTICAS DO SENSORS DE INFRAVERMELHO

Os fotodiodos de InGaAs são sensores IR do tipo QWIP. A energia do *band-gap* (E_g) do composto ternário $\text{In}_{1-x}\text{Ga}_x\text{As}$ varia de 0.35 eV, para o InAs, até 1.43 eV, para GaAs. O composto $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ ($E_g = 0.73$ eV, $\lambda_c = 1.7\mu\text{m}$) possui parâmetro de rede semelhante ao substrato InP, que é um detector de alcance espectral apropriado para LWIR (1.0 - 1.7 μm).

Os principais parâmetros que distinguem o dispositivo de InGaAs das demais tecnologias são: *band-gap* de energia, coeficiente de absorção e concentração de portadores no substrato. Mesmo à temperatura ambiente, são encontrados baixo nível de dopagem do substrato ($n = 1 \cdot 10^{14} \text{ cm}^{-3}$) e alta mobilidade ($11500 \text{ cm}^2/\text{Vs}$), que são considerados parâmetros de alta performance. Alterando a composição do composto na camada de absorção, a capacidade de resposta do fotodetector pode ser maximizada para comprimentos de onda desejáveis, melhorando a razão sinal-ruído [27].

O princípio de funcionamento utilizado em detectores InGaAs é semelhante ao usado no Si, mas sua fabricação é diferente. Nos fotodiodos de InGaAs, o material é depositado com a técnica de *Metal Organic Chemical Vapor Deposition* com controle da espessura, da dopagem e de outras características físicas do material. A técnica utiliza-se de estruturas planares que são depositadas umas sobre as outras com um controle rígido de sua composição.

A principal diferença entre os fotodiodos de Si e InGaAs é a utilização de camadas extras no anodo com diferentes graus de dopagem e índice de refração ($n_3 > n_2 > n_1 > n_0$) formando uma estrutura chamada rede de Bragg [28], como mostrado na Fig. II.4. A rede funciona como um conjunto de espelhos distribuídos na estrutura que refletem os fótons para dentro da camada ativa. Portanto o emprego de redes de Bragg aumenta a conversão dos fótons em elétrons [28]. A Figura II.4 mostra duas das principais estruturas de camadas para fotodiodos do tipo P-I-N (dopante p - material intrínseco - dopante n): (a) apresenta o modelo físico do fotodiodo de InGaAs com rede de Bragg e (b) sem rede de Bragg. A camada intrínseca, denominada camada ativa, é a responsável pela absorção dos fótons e sua espessura controla diretamente o comprimento de onda dos fótons. Nesta figura, observam-se também camadas para isolamento e para casamento dos parâmetros de rede entre o substrato e o catodo.

A precisão em nível molecular ou atômico no crescimento das camadas possibilitou a evolução da técnica de *Metal Organic Chemical Vapor Deposition*, permitindo alta reprodutibilidade, confiabilidade e baixo custo. A espessura da camada intrínseca pode ser alterada para que o comprimento de onda de corte se estenda continuamente até a banda de LWIR. Entretanto, o pequeno *band-gap* e os defeitos na superfície de interface do material causam descasamento dos parâmetros de rede das camadas de substrato e ativa, isto impede o aumento contínuo da banda de IR [27].

P+ – InGaAs	30 nm Anodo (n_3)
P+ – InAlAs	100 nm Anodo (n_2)
P+ – InGaAlAs	100 nm Anodo (n_1)
i – InGaAs	0.7 μm (n_0) Camada Ativa
InAlAs/InGaAs	40 nm SL-GBL
I – InAlAs	0.1 μm Tração
N+ – InAlAs	300 nm Catodo
I – InAlAs	100 nm Isolador
InGaAlAs 1.5 μm Isolador Linear Metamórfico Gradual	
GaAs Substrato	

(a)

P+ – InGaAs	100 nm Anodo (n_1)
i – InGaAs	1 μm (n_0) Camada Ativa
N+ – InAlAs	200 nm Catodo
I – InAlAs	Isolador
InGaAlAs 1.5 μm Isolador Linear Getamórfico Gradual	
GaAs Substrato	

(b)

Figura II.4: Fotodiodos de InGaAs - composição das camadas [28].

O fotodiodo de $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ possui sua característica de detecção limitada em valores próximos de $10^3 \text{ cmHz}^{1/2}\text{W}^{-1}$, em temperatura ambiente. O aumento do comprimento de onda de corte causa a diminuição da detecção do sensor, e conseqüentemente diminuindo sua eficiência [27]. Os sensores utilizados neste trabalho operam em temperatura ambiente, em torno de 300 K.

O desempenho final dos fotodiodos de InGaAs permite um alcance de $1.5 \mu\text{m} < \lambda < 3.7 \mu\text{m}$. Os fotodiodos de InGaAs se mostraram dispositivos de alta performance com resultados próximos ao limite teórico da capacidade de detecção do material. Para esse composto ternário os comprimentos de onda de corte são os parâmetros de rede dos compostos InP ($\cong 1.7 \mu\text{m}$) e InAs ($\cong 3.6 \mu\text{m}$) [27].

Dentre as aplicações mais comuns para sensores de IR, os fotodiodos de InGaAs se destacam em sistemas ópticos de comunicação, visão noturna (em situações de pouca radiação emitida), segurança e controle de processos (operação de caldeiras e tubulações). Eles são largamente empregados em aplicações militares e por isso sua comercialização é extremamente controlada.

II.4 - MODELO ELÉTRICO DO SENSOR DE INFRAVERMELHO

O modelo elétrico do fotodiodo de InGaAs é semelhante ao modelo empregado em diodos de Si. Reversamente polarizado, o fotodiodo conduz a corrente de escuro (I_{escuro}). Entretanto, ao ser excitado por uma fonte de luz, ocorre a absorção dos fótons e a geração de pares elétron-lacuna. Portanto, a corrente dos portadores minoritários (i_{ph}) contém a informação instantânea de luz incidente [2].

Um diodo reversamente polarizado é representado por um diodo ideal, sua capacitância de junção (C_j) e sua resistência de junção (R_j). A camada de depleção em um diodo de Si possui a mesma função da camada intrínseca no fotodiodo de InGaAs, embora no caso do Si sua espessura seja variável com a tensão de polarização.

É possível também usar uma resistência série (R_s) para os contatos ôhmicos existentes

entre metal e semicondutores. Na maioria das aplicações R_s pode ser desprezada [2]. A Figura II.5 resume o modelo elétrico através de uma topologia comum [2]. É notável a semelhança entre modelos de fotodiodo de Si e InGaAs, o que motiva a aplicação na tecnologia InGaAs dos mesmos circuitos de instrumentação empregados em Si.

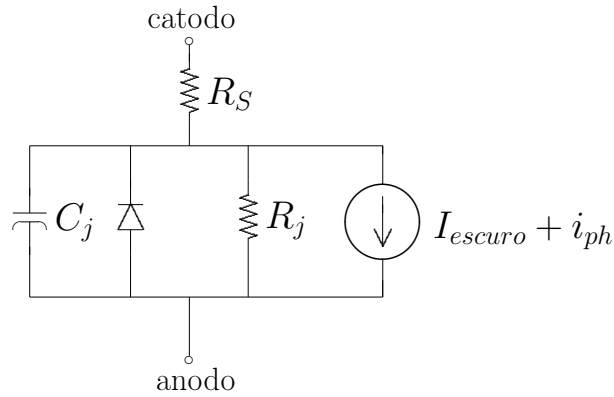


Figura II.5: Fotodiodos de InGaAs - modelo elétrico.

A Figura II.6 apresenta o comportamento teórico do fotodiodo com duas potências luminosas diferentes, nela a corrente está apresentada em escala logarítmica diante da grande variação da grandeza. Estes valores são significativos para determinar a corrente máxima e mínima do dispositivo, e a alteração do comportamento do mesmo para diferentes tensões de polarização reversa.

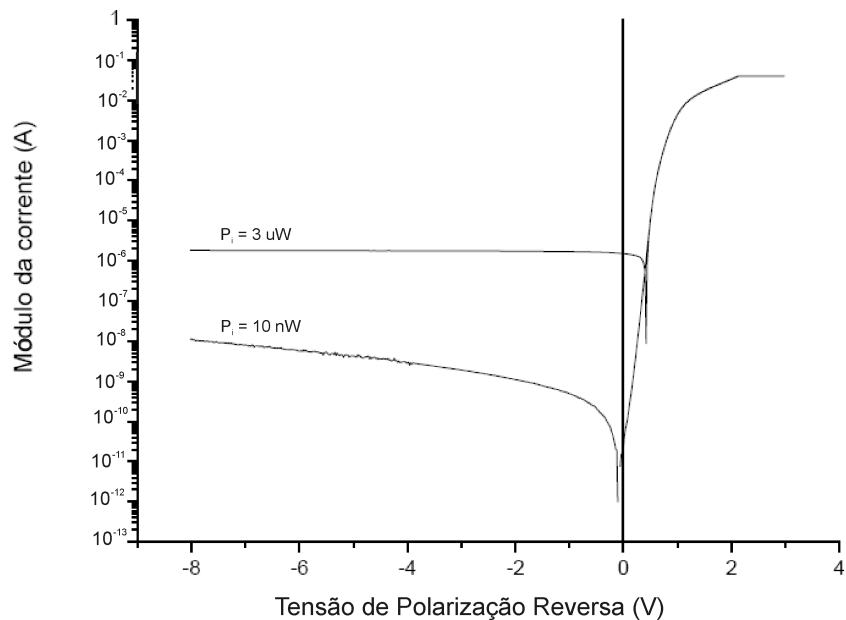


Figura II.6: Fotodiodos de InGaAs - corrente fotoelétrica.

As características que compõem o modelo empregado, resumidas na Tabela II.2 [28], são compatíveis com circuitos de leitura desenvolvidos em Si. Mais especificamente, a

tecnologia CMOS $0.35\mu\text{m}$ pode ser empregada no desenvolvimento da instrumentação eletrônica, cujos resultados são compatíveis com os circuitos APS desenvolvidos na mesma tecnologia. As maiores vantagens do emprego dessa tecnologia são o baixo custo de integração e a sua consolidação. As características dos processos CMOS são bem conhecidas, o que demonstram os vários produtos existentes no mercado.

Tabela II.2: Características do modelo do fotodiodo de InGaAs.

Característica	Valor
Temperatura	300 K
Alcance	$1.5\ \mu\text{m} < \lambda < 3.7\ \mu\text{m}$
I_{escuro}	-600 pA
Polarização	-5 V a -3 V
Ruído	$1.82 \times 10^{-11}\ \text{A}/\sqrt{\text{Hz}}$
Responsividade	0.6 A/W
C_j	650 fF
R_j	100 k Ω
Dimensão da janela óptica	10 μm

CAPÍTULO III

INSTRUMENTAÇÃO ELETRÔNICA COM CÉLULA DE TRANSCONDUTÂNCIA APS

A tecnologia de sensores de imagem CMOS com pixel ativo (*Active Pixel Sensor - APS*) advém da busca por uma solução na instrumentação eletrônica de sinais de imagens que se traduzisse em um circuito rápido, barato, robusto e de baixo consumo. Esta por sua vez deveria substituir a tecnologia de dispositivos de acoplamento de carga (CCD) [7]. E. Fossum, do Laboratório de Propulsão a Jato da NASA, foi o responsável pelo desenvolvimento do APS em 1993 [4], [5] e [6].

O APS é definido por um sensor de imagem com um ou mais transistores localizados em cada pixel [4]. Ele popularizou-se por fornecer bons resultados com um baixíssimo consumo de área de integração e potência por *pixel*, uma vez que usa transistores MOS de dimensões mínimas para acessar e integrar a carga proveniente da conversão optoeletrônica. Um exemplo de aplicação comum de sensores APS é apresentado na Figura III.1. Porém, neste trabalho será apresentado o estudo para apenas um *pixel*.

A tecnologia retém as maiores vantagens da tecnologia CCD, como a alta sensibilidade e as grandes matrizes de *pixels*, porém com velocidade de operação muito maior, consumo menor, baixo custo e, principalmente, a integração em sistemas SoC e o acesso aleatório ao *pixel* [4]. A excursão de sinal, a sensibilidade ao ruído de padrão fixo e o ruído de instrumentação são os grandes desafios da tecnologia APS [11].

Os circuitos digitais de controle de acesso à informação luminosa no *chip*, apresentados no diagrama da Figura III.1, são análogos aos utilizados em memórias RAM. Outra característica da tecnologia APS é a instrumentação da informação de forma discreta no tempo e a serialização do sinal amostrado. O diagrama da Figura III.1 mostra que a matriz APS necessita de circuitos digitais para a multiplexação da informação. Estes circuitos são, por sua vez, usualmente implementadas através de *standard-cells* cujo projeto é desenvolvido em linguagens de alto nível, como o VHDL para a descrição de circuitos. Portanto, o de-

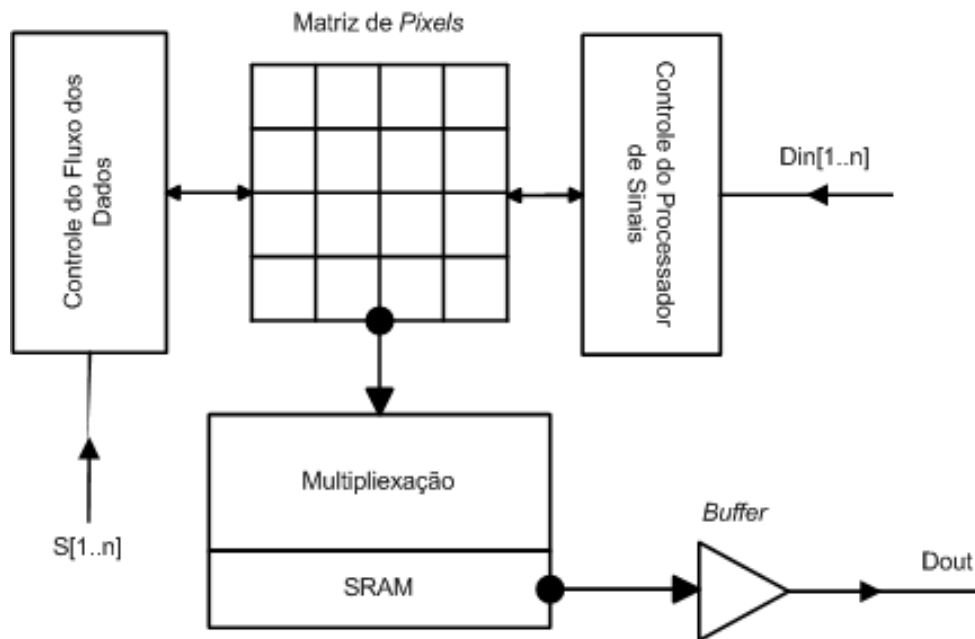


Figura III.1: Diagrama de blocos do circuito de instrumentação eletrônica.

envolvimento dos circuitos de acesso não acrescenta área ao *pixel* e o projeto do mesmo é simplificado por ferramentas comerciais.

Para a implementação dos circuitos de instrumentação integrados aos sensores de IR InGaAs, é comumente empregada a tecnologia de *flip-chip*. Nesta tecnologia, ambas as pastilhas são integradas separadamente e posteriormente microsoldadas com solda de índio. Portanto os circuitos integrantes de um *pixel* deve ocupar a mesma área ocupada pelo sensor de IR. Para a montagem do integrado nessa aplicação, somente o subtrado da pastilha do sensor é exposta a luz, diminuindo os problemas existentes ao utilizar-se de transistores tipo *p* dentro do *pixel*, e os circuitos da pastilha de silício ficam protegidos.

III.1 - IMPLEMENTAÇÃO DA CÉLULA DE TRANSCONDUTÂNCIA APS

Existem duas implementações possíveis para células APS: a primeira possui saída em tensão e utiliza um amplificador MOS na configuração *drain* comum [7], [8]; a segunda possui saída em corrente e utiliza um amplificador MOS *source* comum [10], [11]. Dois outros transistores operam como chaves para polarizar e selecionar o *pixel*. Uma vez que a aplicação em questão exige a saída em corrente a segunda implementação, apresentada na Figura III.2, será utilizada nesse trabalho.

O *pixel* da linha *i* e coluna *j* é inicialmente polarizado com a maior tensão do circuito. Assim a capacitância de junção do diodo será previamente carregada nesta fase. Todavia, para minimizar o ruído na fase de **reset** e o resíduo de conversão, o sinal **reset_dr** possui uma transição positiva atrasada em relação à transição do sinal **reset** [8], como mostrado na Figura III.2.

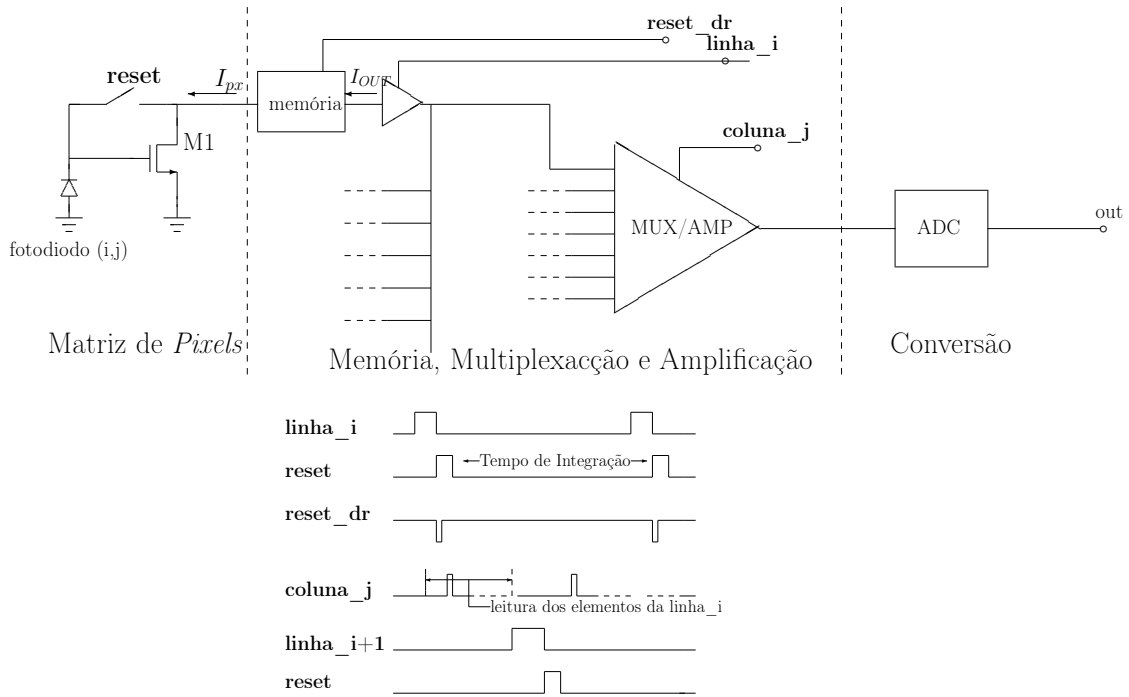


Figura III.2: Arquitetura do circuito de instrumentação APS.

Durante o período de integração, as cargas da conversão optoeletrônica são acumuladas pela descarga do capacitor da junção segundo a equação [11]:

$$\Delta V = \frac{i_{ph} \Delta t}{C_j}, \quad (\text{III.1})$$

e a fotocorrente e o tempo de integração são inversamente proporcionais. Não se deve permitir, portanto, que o capacitor se descarregue completamente, pois se $V_{DD} - \Delta V < V_{Tn}$, a tensão no *gate* do transcondutor não colocará o transistor na condição de saturação. Deste modo a faixa útil de corrente do sensor limita o tempo de integração. Por outro lado o tempo de integração limita a sensibilidade da instrumentação eletrônica. Finalmente, só será possível obter medidas de corrente com boa sensibilidade se o circuito operar com um tempo de integração suficientemente grande e se a corrente do sensor for pequena ao ponto de evitar que o amplificador corte neste tempo de integração.

III.2 - PROJETO DA CÉLULA DE TRANSCONDUTÂNCIA APS

A célula básica APS é composta por 3 transistores. Um desempenha a função chave de **reset** e coloca o fotodiodo reversamente polarizado, enquanto outro desempenha a função chave de seleção de linha. Um terceiro transistor é o responsável pela amplificação do sinal. Como discutido anteriormente, será utilizada a topologia com amplificador MOS *source* comum ([10] e [11]), que desempenha o papel de transcondutor.

A Figura III.3 é o esquemático utilizado para o projeto. Por motivos explicados nas

próximas seções, o transistor com a função chave de **reset** é substituído por uma chave CMOS e o de seleção de linha pertencerá à célula de memória de corrente. Portanto, o projeto consiste em determinar o intervalo em que o transcondutor irá conduzir, dada a variação da intensidade luminosa no fotodiodo.

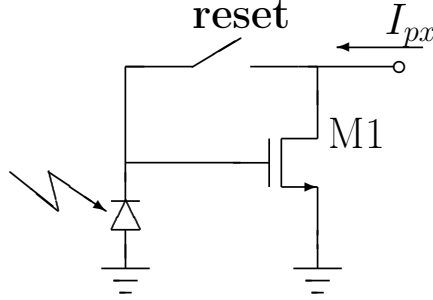


Figura III.3: Esquemático da célula transcondutora APS.

Na tecnologia de integração utilizada tem-se $V_{DD} = 3.3 \text{ V}$ e $V_{Tn} = 0.5 \text{ V}$ e os fotodiodos de InGaAs possuem $C_j = 650 \text{ fF}$. A capacitância de *gate* do transistor de dimensão $W = 0.7 \text{ }\mu\text{m}$ e $L = 0.35 \text{ }\mu\text{m}$ na tecnologia escolhida é muito pequena ($C_G = 0.83 \text{ fF}$) em relação a C_j e, portanto, será desprezada nos cálculos do projeto. Admite-se uma corrente máxima $i_{ph} = 2 \text{ }\mu\text{A}$, que é devida a uma excitação luminosa de IR com $Pot = 3 \text{ }\mu\text{W}$.

A tensão V_{DS} do transcondutor é o sinal **reset_dr** mostrado na Figura III.2. Este por sua vez é constante por partes e possui uma transição positiva (3.3 V) atrasada de **reset**. Esta técnica, apresentada em [8], reduz o ruído de chaveamento no transcondutor, e garante que o mesmo conduzirá sempre saturado, desde que $V_{GS} \geq V_{Tn}$. Portanto, fica determinada a condição de variação de tensão no fotodiodo (de V_{DD} até V_{Tn}) e estas condições deverão ser garantidas pelo projeto teórico.

Portanto, a partir da Equação (III.1), é possível calcular o tempo de integração máximo, $\Delta t = 1 \text{ }\mu\text{s}$. Para esse tempo de integração, será determinado o sinal de **reset** com largura de pulso de 100 ns para carregar C_j com V_{DD} . Finalmente, são determinadas as fases de chaveamento da célula básica APS a partir dos tempos escolhidos e da alimentação utilizada na tecnologia.

O transcondutor MOS *source* comum com um transistor de dimensão mínima possui corrente $I_{pxmin} = 0 \text{ }\mu\text{A}$ e $I_{pxmax} = 360 \text{ }\mu\text{A}$. Isto ocorre de acordo com a equação [29]

$$I_{px} = \frac{K_p}{2} \frac{W}{L} \Delta V_{GS}^2 (1 + \lambda V_{DS}), \quad (\text{III.2})$$

e de acordo com a máxima densidade de corrente de saturação do canal da tecnologia (ver Apêndice A). As considerações do projeto podem ser resumidas na Tabela III.1.

Tabela III.1: Características gerais da célula transcondutora APS.

Parâmetro	Valor
V_{GSmin}	0.56 V
V_{GSmax}	3.29 V
I_{pxmin}	0 A
I_{pxmax}	360 μ A
i_{phmin}	20 nA
i_{phmax}	2 μ A
W	0.7 μ m
L	0.35 μ m
C_j	650 fF
Tempo de Integração	1 μ s
Tempo de reset	100 ns

III.3 - IMPLEMENTAÇÃO DA CÉLULA DE MEMÓRIA DE CORRENTE

Para o projeto da memória de corrente, será utilizada a célula de corrente chaveada (SI) de segunda geração com dois estágios, mostrada na Figura III.4 [30]. A célula de memória de corrente será projetada para garantir o correto funcionamento do circuito nas condições limites da célula básica ($I_{pxmin} = 0 \mu\text{A}$ e $I_{pxmax} = 360 \mu\text{A}$). O primeiro estágio é responsável pela aquisição da informação no final do período de integração da mesma, enquanto que o segundo estágio é responsável por sustentar a informação durante todo esse intervalo.

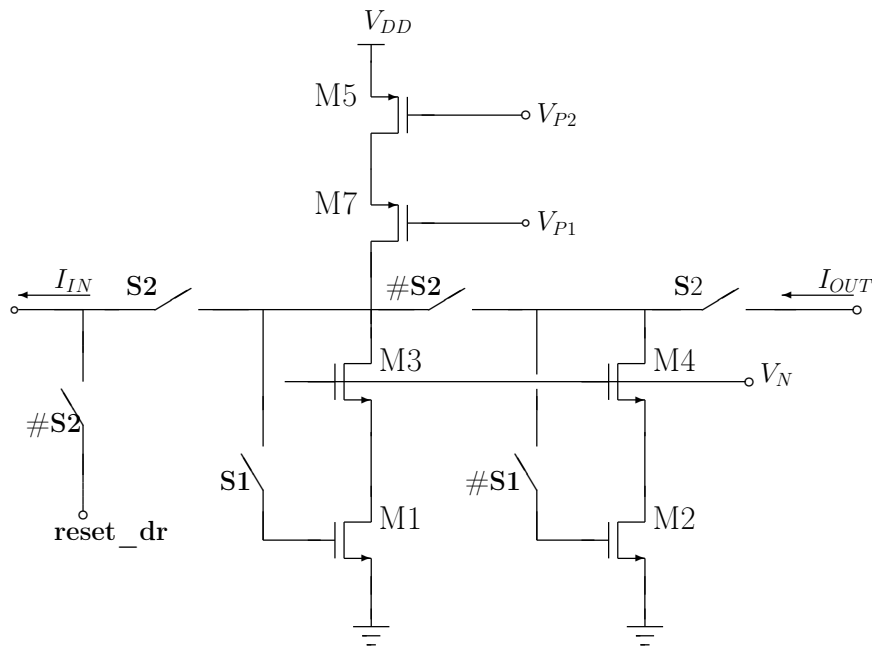


Figura III.4: Esquemático da memória de corrente com células de SI de segunda geração.

A célula de corrente chaveada de segunda geração memoriza a corrente I_{IN} e a dis-

ponibiliza atrasada de um período de *clock* ($I_{OUT} = z^{-1} I_{IN}$). Quando ocorre a subida do sinal **S1**, o espelho cascode formado por M2 e M4 armazena I_{IN} através da tensão em C_{GS2} . Quando ocorre a subida do sinal **#S1**, o espelho cascode formado por M1 e M3 armazena I_{IN} através da tensão em C_{GS1} .

Novamente, a subida de **S1** fecha a chave que disponibiliza o I_{OUT} memorizado em M1 e M3. Esta é, por sua vez, uma cópia atrasada de I_{IN} . Neste mesmo momento, M2 e M4 retêm uma nova amostra de I_{IN} em C_{GS2} . Cabe ressaltar que **S2** é um sinal atrasado em relação à **S1**, bem como **#S2** é um sinal atrasado em relação a **#S1**. Isto é necessário para que o fechamento das chaves (ver Figura III.4) não cause um curto-circuito entre os capacitores C_{GS1} e C_{GS2} e a conseqüente perda da informação armazenada.

III.3.1 - IMPLEMENTAÇÃO DO CIRCUITO GERADOR DE *clock* NÃO-ENTRELAÇADO

O circuito gerador de *clock* não-entrelaçado (*non-overlapping clock*), mostrado na Figura III.5, implementa os diversos sinais (**S2**, **S1**, **#S2** e **#S1**) necessários à célula de memória a partir de um único sinal de *clock*. A característica de não-entrelaçamento do *clock* diz respeito aos sinais complementares (**S2** e **#S2**, ou **S1** e **#S1**) que não poderão apresentar nível lógico alto simultaneamente. Caso isso acontecesse, o fechamento das chaves também causaria um curto-circuito entre C_{GS1} e C_{GS2} e a perda da informação armazenada.

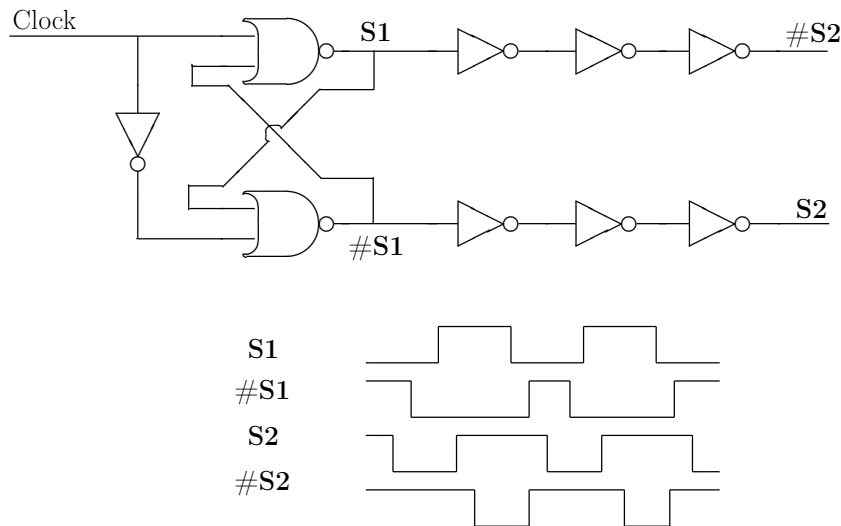


Figura III.5: Esquemático do circuito gerador de *clock* não-entrelaçado.

III.3.2 - IMPLEMENTAÇÃO DA CHAVE ANALÓGICA

Na implementação da chave analógica, deve-se minimizar a injeção de carga com o desvio da carga injetada pela utilização de chaves *dummy*. Outro fenômeno comum em circuitos a corrente chaveada, que é grande fonte causadora de erros, é a estabilização

incompleta. A estabilização incompleta pode ser resolvida com o projeto da resistência da chave, através do seu dimensionamento. Entretanto, chaves muito largas possuem descarga por I_s e injeção de carga significativamente elevadas [31]. Portanto, empregou-se a topologia de chaves complementares (CMOS) com transistores *dummy* da Figura III.6.

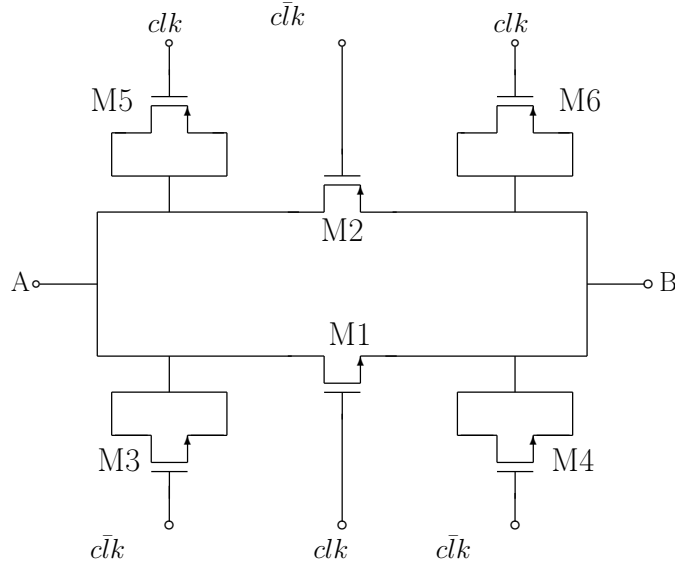


Figura III.6: Esquemático da chave analógica.

III.4 - PROJETO DA CÉLULA DE MEMÓRIA DE CORRENTE

As implementações apresentadas nas seções anteriores compõem um único esquemático, mostrado na Figura III.7, que abrange a célula de memória de corrente, o seu circuito de polarização e o amplificador da célula de transcondutância para a leitura do pixel. Portanto, será apresentado a seguir o projeto completo da célula de memória de corrente, apresentado nesse esquemático.

III.4.1 - PROJETO DA CHAVE ANALÓGICA

O dimensionamento da resistência da chave deve garantir o carregamento da capacitância de saída em um tempo mínimo, e com um erro inferior ao máximo admissível. No circuito SI, o capacitor será o C_{GS} dos transistores de memória, estimado como em torno de 3 pF. O menor tempo de chaveamento é de 100 ns, ele representa a maior frequência de chaveamento admissível no circuito, de acordo com o projeto da célula básica APS na seção anterior.

Assim sendo, assume-se ϵ , definido por

$$\epsilon = \left| \frac{V_C - V_{DD}}{V_{DD}} \right|, \quad (\text{III.3})$$

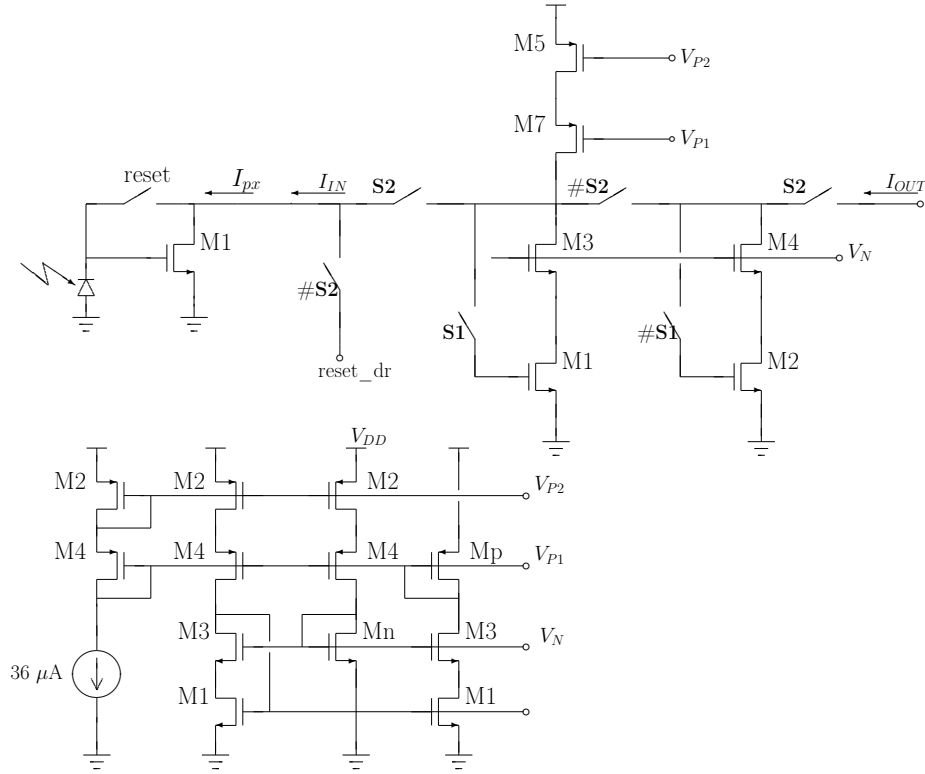


Figura III.7: Esquemático do circuito de instrumentação.

como o maior erro admissível em um capacitor carregado com V_C , calculado conforme a equação

$$V_C = V_{DD} \left(1 + \exp \frac{-t_{ch}}{R_{max} C_{max}} \right), \quad (\text{III.4})$$

a partir de uma fonte com V_{DD} constante. Logo

$$\epsilon = \exp \frac{-t_{ch}}{R_{max} C_{max}}, \quad (\text{III.5})$$

e para as condições do projeto e um erro máximo $\epsilon_{max} = 0.1\%$, tem-se $R_{max} = 115 \text{ k}\Omega$, de acordo com a equação:

$$R_{max} = \frac{-t_{ch}}{C_{max}} \ln \epsilon. \quad (\text{III.6})$$

Entretanto a chave não deverá causar uma queda de tensão entre os seus terminais maior que 360 mV, por que um valor maior do que este alteraria as condições de *reset* do circuito da célula básica e a corrente de saída do mesmo. Para a condição de corrente $I_{pxmax} = 360 \mu\text{A}$, tem-se que $R_{max} = 1 \text{ k}\Omega$. Para o transistor NMOS, a resistência da chave é calculada pela equação

$$R_{ON} = \frac{1}{\frac{K_{Pn}}{2} \frac{W}{L} V_{Tn}} \quad (\text{III.7})$$

e sua razão de aspecto mínima é $W/L = 20$ para este processo.

Para que seja minimizada a injeção de carga, o W/L dos transistores *dummy* deve ser a metade do W/L dos transistores da chave. Ao dimensionar o transistor da chave com $W = 7 \mu\text{m}$ e $L = 0.35 \mu\text{m}$, os transistores *dummy* ficam e com suas dimensões definidas como a metade do transistor da chave, uma vez que eles devem ser capazes de absorver cada um metade das cargas injetadas.

Para o projeto do transistor PMOS da chave, deve-se garantir que as cargas injetadas pelo mesmo compensem a injeção que ocorre no NMOS. Se as cargas injetadas se dividirem igualmente entre os terminais da chave, a variação de carga em um C_{GS} será dada pela equação [32]

$$\begin{aligned} \Delta Q &= \frac{C_{ox} W_p L_p (V_{GS} - V_{Tp})}{2} + C_{ov} W_p V_{DD} - \frac{C_{ox} W_n L_n (V_{DD} - V_{GS} - V_{Tn})}{2} - C_{ov} W_n V_{DD} \\ &= Q_{OS} + \Delta C V_{GS}. \end{aligned} \quad (\text{III.8})$$

O efeito de injeção de carga pode ser separado em duas partes, descritas pelas equações

$$Q_{OS} = C_{ov} W_p V_{DD} - \frac{C_{ox} W_p L_p V_{Tp}}{2} - \frac{C_{ox} W_n L_n (V_{DD} - V_{Tn})}{2} - C_{ov} W_n V_{DD} \quad \text{e} \quad (\text{III.9})$$

$$\Delta C = \frac{C_{ox} W_p L_p}{2} + \frac{C_{ox} W_n L_n}{2}; \quad (\text{III.10})$$

onde a primeira parte (Equação (III.9)) é mais significativa e responsável por cerca de 70% da injeção de carga [32].

Assume-se o mesmo L para todos os transistores e $V_{GS} = V_{DD}/2$. Portanto, a injeção de carga é minimizada com $\Delta Q = 0$ pelo projeto das larguras dos transistores da chave segundo a relação descrita pela Equação (III.11).

$$\frac{W_p}{W_n} = \frac{\frac{1}{2} C_{ox} L \left(\frac{V_{DD}}{2} - V_{Tn} \right) + C_{ov} V_{DD}}{\frac{1}{2} C_{ox} L \left(\frac{V_{DD}}{2} - V_{Tp} \right) + C_{ov} V_{DD}} = 1.1 \quad (\text{III.11})$$

O projeto das chaves CMOS é resumido na Tabela III.2.

Tabela III.2: Características gerais da chave CMOS.

Parâmetro	Valor
$W_n = W_p$	$14 \mu\text{m}$
W_{dummy}	$7 \mu\text{m}$
L	$0.35 \mu\text{m}$
t_{ch}	100 ns
R_{ON}	$1.2 \text{ k}\Omega$
R_{OFF}	$480 \text{ G}\Omega$

III.4.2 - PROJETO DO INTEGRADOR DE CORRENTE

Para o projeto da memória de corrente, será utilizada a condição de pior caso da mesma que é o caso da integração da corrente armazenada (por exemplo *offset*), o circuito mostrado na Figura III.8 representa essa condição de funcionamento. Assim, no projeto das memórias de corrente deve-se garantir a saturação dos espelhos, M1, M2, M3 e M4 (ver Figura III.8), nas condições de pior caso de polarização ($I_{pxmin} = 0 \mu\text{A}$ e $I_{pxmax} = 360 \mu\text{A}$).

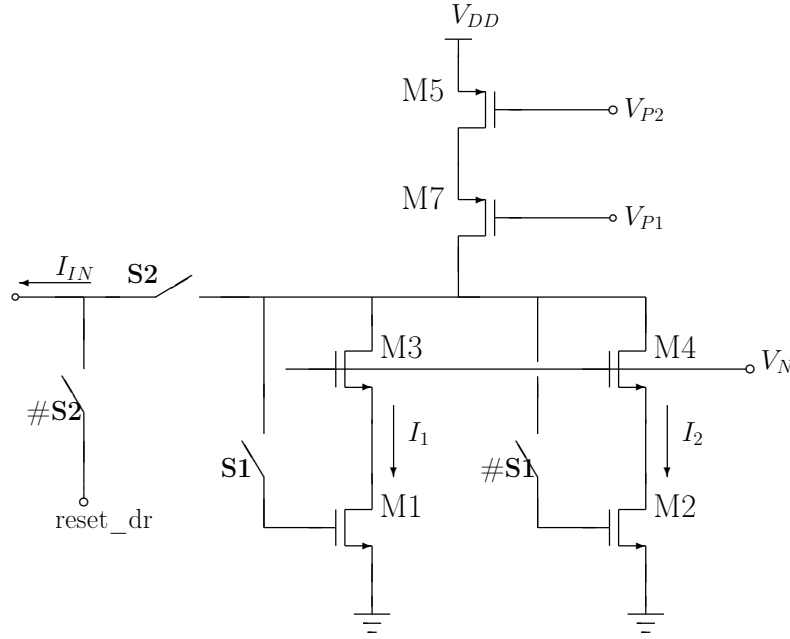


Figura III.8: Esquemático da memória de corrente com células de SI de segunda geração.

O pior caso para M2 é quando ele conduz a corrente mínima (I_{pxmin}) e a chave #S1 está fechada. Então, o transistor M2 estará sempre saturado desde que atenda a condição

$$V_N \geq V_{Tn} \quad (\text{III.12})$$

e, portanto, é possível calcular V_{GS2min} pela equação

$$V_{GS2min} = \sqrt{\frac{2 I_{min} L_2}{K'_n W_2}} + V_{Tn} \quad (\text{III.13})$$

O pior caso para M1 é quando ele conduz a corrente máxima (I_{pxmax}) e a chave S1 está aberta. Então, o transistor M_1 estará sempre saturado desde que atenda a condição

$$V_{DS1} = V_N - V_{GS3max} \geq V_{GS1max} - V_{Tn} \Rightarrow V_N \geq V_{GS3max} + V_{GS1max} - V_{Tn}. \quad (\text{III.14})$$

O pior caso para M3 é quando ele conduz I_{pxmax} , e estará sempre saturado desde que

atenda a condição

$$V_{DS3} = V_{GS2min} - V_N + V_{GS3max} \geq V_{GS3max} - V_{Tn} \Rightarrow V_N \leq V_{GS2min} + V_{Tn}. \quad (\text{III.15})$$

Se $I_{pmin} = 0$, a partir da equação (III.13), conclui-se que $V_{GS2min} = V_{Tn}$ e, pela condição (III.15), $V_N = 2V_{Tn}$, polarizando os transistores do cascode. Portanto, a razão de aspecto dos transistores M1 e M3 é projetada pela inequação

$$V_{GS1max} + V_{GS3max} \leq 3V_{Tn} \Rightarrow \sqrt{\frac{2I_{max}}{K'_n} \frac{L_1}{W_1}} + \sqrt{\frac{2I_{max}}{K'_n} \frac{L_3}{W_3}} \leq V_{Tn}. \quad (\text{III.16})$$

Supõe-se, para simplificar o projeto, $W_1/L_1 = W_3/L_3$ e despreza-se o efeito de corpo nos transistores ($V_{Tn1} = V_{Tn3}$). Desta forma a inequação (III.16) se reduz à condição

$$\frac{W}{L} \geq \frac{8I_{max}}{K'_n V_{Tn}^2} \Rightarrow \left(\frac{W}{L}\right)_{min} = 67.7 \quad (\text{III.17})$$

e se escolhe $W/L = 70$ para facilitar o projeto das máscaras de integração. Portanto, V_{GS} é calculado pela equação

$$V_{GS1,2} = \sqrt{\frac{2I}{K'_n} \frac{L}{W}} + V_{Tn}, \quad (\text{III.18})$$

para M1, M2, M3 e M4 com razões de aspecto iguais, uma vez que as condições de saturação de M1 e M3 são as mesmas de M2 e M4, respectivamente. Para calcular os comprimentos mínimos necessários aos transistores M1 e M2, deve-se atender à condição de carga capacitiva (C_{GS1}) mínima. Esta condição é necessária para reduzir a injeção de carga pelas chaves que conectam o *gate* dos transistores M1 e M2 à entrada de sinal pelo *drain* dos transistores M3 e M4, a estabilização incompleta e, principalmente, a descarga por corrente de portadores minoritários nas junções de diodo.

Desta maneira, as chaves devem carregar a capacitância calculada a partir de C_{GS} de M1 ou M2 na condição de saturação, como mostrado por

$$C_{GS} = C_{ov} W + \frac{2}{3} C_{ox} W L. \quad (\text{III.19})$$

Se as dimensões dos transistores M1 e M2 são minimizadas, então o C_{GS} é mínimo. Ao atender a condição de carga capacitiva mínima, o espelho torna-se menos sensível aos fenômenos de injeção de carga e estabilização incompleta.

A corrente dos portadores minoritários nas junções de diodo pode ser calculada a partir das dimensões da chave e das características do processo através da equação

$$I_s = 4 J_{SSW} W + J_S W^2. \quad (\text{III.20})$$

Seja uma variação percentual α permitida para V_{GS} na descarga por I_s . No pior caso, $V_{GSmax} = 2 V_T$ e Δt é meio período da menor frequência do sinal de entrada do circuito, onde V_{GS} sofre a variação percentual no seu valor de α . Portanto, a descarga por I_s não pode ser capaz alterar a polarização do transistor na condição de maior corrente. Se não houvesse descarga, o transistor se manteria polarizado para um tempo muito grande, limitado apenas pelas perdas na chave, enquanto abertas (resistência de fuga das chaves). A equação

$$\Delta t \cdot I_s = C_{GSmin} \cdot V_{GS}, \quad (\text{III.21})$$

onde $\Delta V_{GS} = \alpha \cdot |V_{GSmax}|$, determina a condição de descarga de C_{GS} e a equação

$$C_{GSmin} = \frac{\Delta t I_s}{\alpha 2 V_T} \quad (\text{III.22})$$

determina o menor valor necessário de C_{GS} .

Para a condição de $\alpha = 0.1\%$ para um sinal de entrada com frequência mínima de 10 Hz e descarga por $I_s = 30\text{ fA}$ (da chave CMOS projetada), o $C_{GSmin} = 3\text{ pF}$ é suficiente para minimizar a fuga pelas junções de diodo, de acordo com a Equação (III.22). Com a condição de razão de aspecto das equações

$$C_{GSmin} = L \left(C_{ox} L_d \cdot \left(\frac{W}{L} \right)_{min} + \frac{2}{3} C_{ox} \left(\frac{W}{L} \right)_{min} L \right) \text{ e} \quad (\text{III.23})$$

$$\left(\frac{2}{3} C_{ox} \left(\frac{W}{L} \right) \right) L^2 + \left(C_{ox} L_d \cdot \left(\frac{W}{L} \right) \right) L - C_{GSmin} = 0 \Rightarrow 211.87L^2 + 9.17L - 3000.00 = 0, \quad (\text{III.24})$$

calcula-se $L_{min} = 3.7\text{ }\mu\text{m}$.

Por outro lado a frequência máxima de chaveamento do circuito deve ser tal que não haja estabilização incompleta das tensões sobre C_{GS1} e sobre C_{GS2} . Admitindo-se um erro de 0.1% nas tensões armazenada em C_{GS1} e C_{GS2} em relação ao valor final (quando o capacitor está totalmente carregado), pode-se aproximar o tempo de estabilização por 7 constantes de tempo. O circuito RC é modelado pelo carregamento de um capacitor (C_{GS1} ou C_{GS2}) através da resistência da chave ($R_{ON} = 1.2\text{ k}\Omega$). Portanto a frequência máxima de chaveamento é dada pela equação

$$f_{max} = \frac{1}{7 C_{GS} R_{ON}}. \quad (\text{III.25})$$

Finalmente, pode-se escolher um L conveniente e calcular os demais valores teóricos, que são resumidos na Tabela III.3.

Tabela III.3: Características gerais da célula de memória.

Parametro	Valor
V_{GSmin}	0.5 V
V_{GSmax}	0.74 V
I_{pxmin}	0 A
I_{pxmax}	360 μ A
W	280 μ m
L	4 μ m
C_{GS}	3.42 pF
R_{DS}	2.7 k Ω
f_{max} de chaveamento	15.5 MHz
f_{min} de chaveamento	8.8 Hz

III.4.2.1 - PROJETO DO CIRCUITO DE POLARIZAÇÃO

A fonte de corrente de polarização, composta pelos transistores M5 e M7, deve permitir uma corrente máxima de $I = 360 \mu\text{A}$. Estes transistores devem permanecer saturados com V_{GSmax} nas células de memória. Na seção seguinte será projetado um circuito de polarização que atenda a polarização dos transistores M5 e M7. Escolhendo $V_{GS5} = 0.89$ V, as dimensões obtidas são $W = 300 \mu\text{m}$ e $L = 2 \mu\text{m}$.

III.5 - PROJETO DO CIRCUITO DE POLARIZAÇÃO DA CÉLULA DE MEMÓRIA DE CORRENTE

A fonte de corrente de polarização deve permitir uma corrente de $I = 360 \mu\text{A}$, e o transistor deve estar saturado mesmo com V_{GSmax} . Esta condição ocorre quando as memórias de corrente possuem uma a corrente máxima e a outra a corrente mínima, e a memória com corrente máxima está com seu *gate* ligado ao *dreno*.

O projeto do circuito de polarização das células de memória é obtido a partir do escalamento da corrente máxima nas mesmas (360 μA). Deste modo o escalamento dos espelhos de polarização levará as mesmas tensões de polarização dos transistores em cascode. Por isso escolheu-se $I_D = 36 \mu\text{A}$ para os transistores da Figura III.9.

Para garantir a maior excursão de sinal na saída da fonte de corrente tem-se $V_{GS3} = 2 V_{Tn}$ e $V_{GS4} = 2 V_{Tp}$ enquanto $V_{eff1} = \Delta V_{GSmax}$ e $V_{GS2} = -V_{effmax}$. Como o cascode garante $V_{GS2} = V_{DS2}$, calcula-se as razões nos V_{GS} e I_D necessários, segundo a equação

$$\frac{W}{L} = \frac{2 I_D}{K' \Delta V_{GS}^2}. \quad (\text{III.26})$$

Logo $(W/L)_1 = (W/L)_3 = 8$ e $(W/L)_2 = (W/L)_4 = 15$.

Porém é necessário polarizar os transistores Mn e Mp de modo que eles operem com $I_D = 36 \mu\text{A}$ para $V_{Gn} = 1.0$ V e $V_{Gp} = 2.0$ V, valores necessários para polarizar os

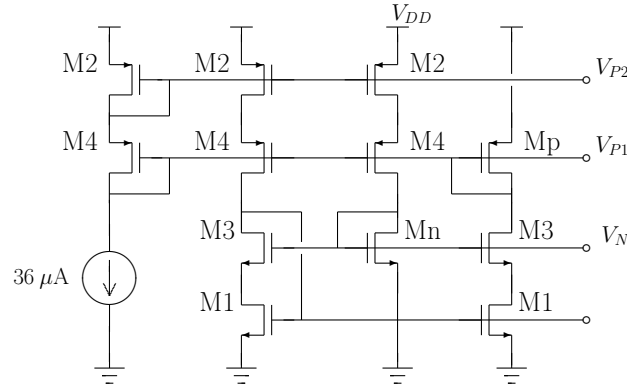


Figura III.9: Esquemático do circuito de polarização.

transistores cascode da célula de memória de corrente (de acordo com as considerações apresentadas na seção anterior). Logo $W_n/L_n = 1.7$ e $W_p/L_p = 3$

A escolha dos L está ligada ao fato de que um conjunto de cinco transistores ligados em série, como apresentado na Figura III.10, atua como um único MOSFET com razão de aspecto $W/5L$. Isto ocorre desde que seja possível desprezar o efeito de corpo e a modulação do comprimento de canal. Portanto, a corrente de *drain* da topologia será

$$I_D = \frac{K'}{2} \frac{W}{5L} (V_{GSn,p} - V_T)^2. \quad (\text{III.27})$$

É possível isolar o termo V_{GS} e reescrever a equação da formada equação

$$V_{GSn,p} = \sqrt{\frac{10 I_D L}{K' W}} + V_T. \quad (\text{III.28})$$

Porém

$$V_{eff} = \sqrt{\frac{2 I_D L}{K' W}} \quad (\text{III.29})$$

para um transistor MOS com razão de aspecto W/L e corrente de *drain* I_D . Substituindo a equação (III.29) na equação (III.28), obtém-se a equação

$$V_{GSn,p} = \sqrt{5} V_{eff} + V_T. \quad (\text{III.30})$$

Este valor encontrado é numericamente igual a $V_{GSn} = 1.0 V$ e $V_{GSp} = -1.3 V$, valores suficientes para polarizar os transistores cascode da célula de memória de corrente.

É importante observar que ΔV_{GS} varia segundo a influência do gradiente de processo. Portanto, o circuito da Figura III.9 garante que o espelho de corrente estará sempre polarizado corretamente, pois, mesmo com a variação dos parâmetros de processo, a fonte e o circuito de polarização serão igualmente influenciados. Um pressuposto para essa afirmativa diz respeito ao *layout* da fonte e do polarizador. A consequência desse fato é a escolha de $L_n = 10 \mu\text{m}$ e $L_p = 15 \mu\text{m}$, uma vez que os mesmos são 5 vezes maiores que

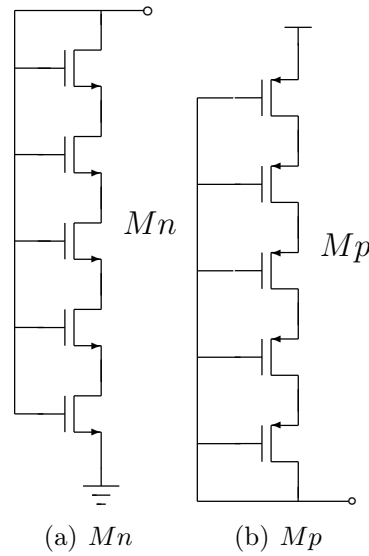


Figura III.10: Esquemático do Circuito de polarização.

os comprimentos dos demais transistores. Finalmente, ambos podem ser interdigitados conjuntamente, se utilizado o circuito de polarização da Figura III.10.

Para esses níveis de corrente, os efeitos de canal curto podem ser desconsiderados se e somente se $L = 2 \mu\text{m}$. Finalmente, podem-se calcular os demais valores teóricos, que são resumidos na Tabela III.4.

Tabela III.4: Características gerais da célula de memória.

Parâmetro	Valor
V_{GS1}	0.74 V
V_{GS2}	0.89 V
V_{G3}	1.0 V
V_{G4}	2.0 V
I_D	300 μA
$W_1 = W_3 = W_n$	16 μm
$W_2 = W_4 = W_p$	30 μm
L	2 μm

III.6 - ANÁLISE DA CÉLULA DE TRANSCONDUTÂNCIA APS

A célula de transcondutância é um circuito de leitura não-linear dada pela conversão da corrente de fótons na tensão de *gate* do transistor pela equação

$$\Delta V = \frac{i_{ph} \Delta t}{C_j}, \quad (\text{III.31})$$

e pela transformação da tensão de *gate* em corrente de *drain* pela equação

$$I_{px} = \frac{K'}{2} \frac{W}{L} V_{eff}^2 (1 + \lambda V_{DS}). \quad (\text{III.32})$$

O valor inicial da tensão de *gate* é dado pelo circuito de *reset* do *pixel* e o final é a tensão de *gate* que indica a corrente de *drain* que será armazenada na memória.

O objetivo de se utilizar um circuito de leitura não-linear é que o mesmo possui uma não-linearidade que compensa as não-linearidades do sensor na conversão da intensidade luminosa em corrente elétrica. A não-linearidade deste circuito será avaliada por simulação na seção de resultados da célula de transcondutância. Entretanto, a verificação de que a mesma compensa ou não a não-linearidade na conversão da intensidade luminosa em corrente elétrica, não faz parte do escopo desse trabalho.

Por se tratar de um amplificador de transcondutância a impedância de entrada do mesmo é altíssima e é da ordem de grandeza da impedância de entrada de um *gate* de transistor NMOS. Uma vez que os sinais instrumentados são de baixa frequência a impedância de entrada é idealmente infinita.

A tensão de polarização do circuito de leitura é constante e controlada por circuito externo. Assim sendo a tensão no *drain* do transistor mantém-se constante, enquanto a tensão do *gate* varia durante o período de integração.

O consumo de potência é dado pela excursão de sinal da saída e pela tensão fixa do *drain*. Para se maximizar a excursão de sinal do circuito utilizou-se a corrente I_{max} que maximizava a densidade de corrente de saturação do transistor e fixou-se a tensão do *drain* na tensão de alimentação. Portanto o consumo é $Pot = V_{DD} I_{max}$ e pode ser alterado, com redução da excursão de sinal do circuito. Neste projeto a excursão de sinal máxima levou a maximização do consumo de potência.

O consumo de área é muito pequeno. Ele é dominado pela especificação de transcondutância do amplificador e pela qualidade das chaves utilizadas. Neste trabalho, utilizou-se chaves CMOS com transistores *dummy* o que aumentou severamente o consumo da área, por outro lado não há especificação de transcondutância para limitar a área mínima do amplificador.

O modelo de ruído de *reset* utilizado é dado por uma fonte de ruído em paralelo entre *drain* e *source* de um transistor não-ruído [33]. Este modelo, apresentado na Figura III.11, é semelhante a um amplificador com *source* comum ([33]) e a corrente de ruído na saída é dada por

$$I_o^2 = I_{M1}^2 + I_{sh}^2. \quad (\text{III.33})$$

A corrente I_{M1}^2 reúne o ruído térmico e o ruído *flicker* ($1/f$) de um transistor NMOS

$$I_{M1}^2 = 4kT \frac{2}{3} \frac{I_{DM1}}{\Delta V_{GS}} + \frac{1}{C_{ox} L^2} \frac{KF I_{DM1}^{AF}}{f}. \quad (\text{III.34})$$

A corrente I_{sh}^2 contém o ruído térmico de r_{DS} e o ruído *flicker* dos transistores que compõem a chave (tipos *n* e *p*)

$$I_{sh}^2 = \frac{4kT}{r_{DS}} + \frac{1}{C_{ox} L^2} \frac{KF I_{sh}^{AF}}{f} + \frac{1}{C_{ox} W L} \frac{KF I_{sh}^{AF}}{f}. \quad (\text{III.35})$$

Maiores detalhes da modelagem de ruído podem ser encontradas no Apêndice B [33].

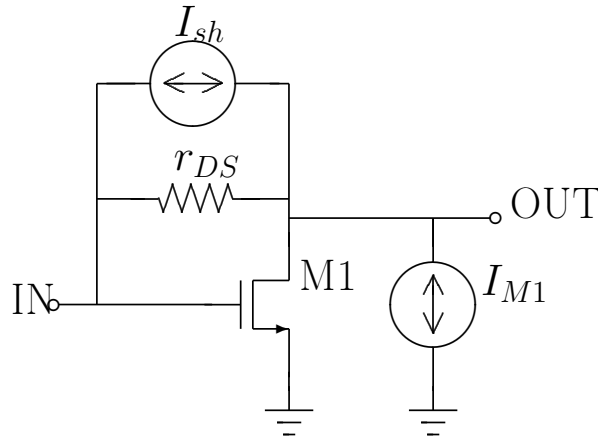


Figura III.11: Modelo de ruído da célula transcondutora APS.

A estimativa teórica do ruído para o circuito de leitura nas condições do projeto é de 0.7 nA (RMS). Fica claro que o circuito de leitura é de baixo ruído, porém o mesmo só faz sentido nessa aplicação se utilizado junto com a célula de memória, que é muito mais ruidosa. Esta análise não será realizada nesse trabalho, uma vez que ela será usada apenas para efeito de comparação com outras topologias de circuito de leitura disponíveis na literatura, pois estas por sua vez também possuem circuitos adicionais tais como um circuito de memória.

III.7 - RESULTADOS E ANÁLISES DA INSTRUMENTAÇÃO COM CÉLULA DE TRANSCONDUTÂNCIA

Para se verificar as expectativas teóricas do circuito de instrumentação transcondutor, foram realizadas diversas simulações a partir das máscaras com os parâmetros extraídos do circuito, comentadas a seguir. Nos parágrafos que se seguem, deseja-se obter informações suficientes para se analisar circuito de instrumentação e comparar os circuitos projetados. As máscaras de integração dos circuitos projetados são apresentadas no Apêndice C.

III.7.1 - SIMULAÇÃO DO AMPLIFICADOR TRANSCONDUTOR

Primeiramente, o amplificador transcondutor será testado quanto ao seu funcionamento transiente para a máxima e a mínima corrente (i_{ph}). É esperada uma corrente máxima de 360 μA na condição $i_{ph} = 20 \text{ nA}$ e mínima de 0 μA na condição $i_{ph} = 2 \mu\text{A}$.

Em ambos os casos, o transcondutor manteve-se saturado e a corrente de *drain* é mostrada na Figura III.12 para a condição de corrente máxima e na Figura III.13 para a mínima. Assim, verificou-se que o amplificador transcondutor responde como o esperado ao integrar e amplificar a corrente i_{ph} com a excursão de sinal desejada.

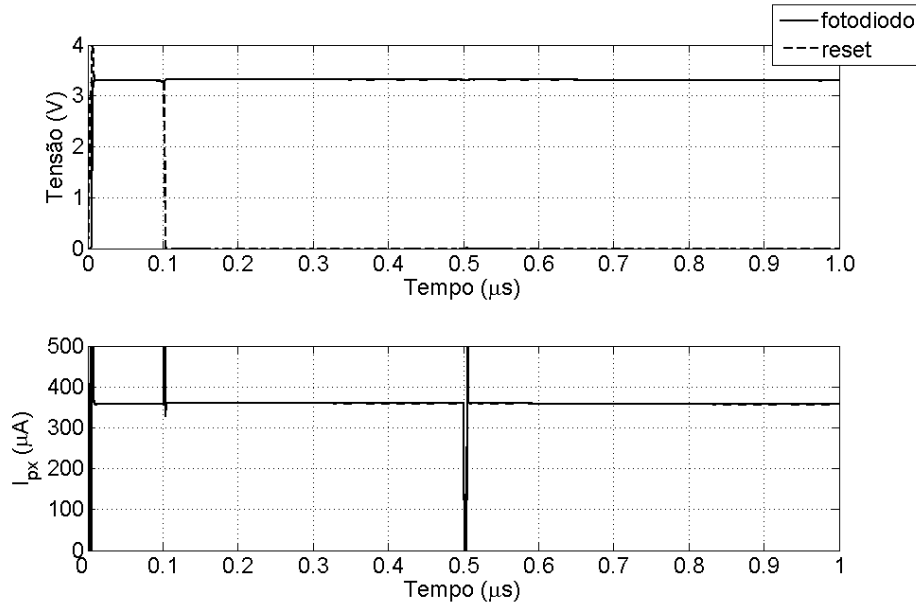


Figura III.12: Simulação do circuito transcondutor para $i_{ph} = 20$ nA.

Em seguida, caracterizou-se o ganho do amplificador pela variação de i_{ph} no intervalo [20 nA, 2 μ A]. A corrente de *drain* do transcondutor acompanha i_{ph} , como mostrado na Figura III.14. Esta simulação mostrou o caráter quadrático da função de i_{ph} em relação à I_{px} através do ajuste polinomial da reta. Os demais resultados efetuados estão resumidos na Tabela III.5 e mostram que o circuito transcondutor pode ser usada para as condições especificadas.

Tabela III.5: Resultados do circuito transcondutor.

Parâmetro	Valor
V_{GSmin}	0.55V
V_{GSmax}	3.29V
I_{pxmin}	0.86 μ A
I_{pxmax}	355.9 μ A
i_{phmin}	20 nA
i_{phmax}	2 μ A

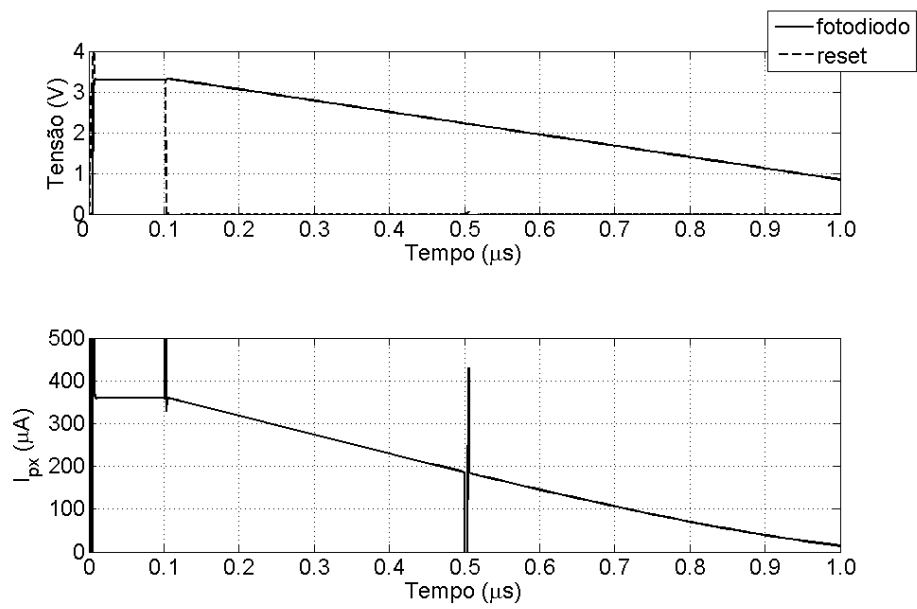


Figura III.13: Simulação do circuito transcondutor para $i_{ph} = 2 \mu\text{A}$.

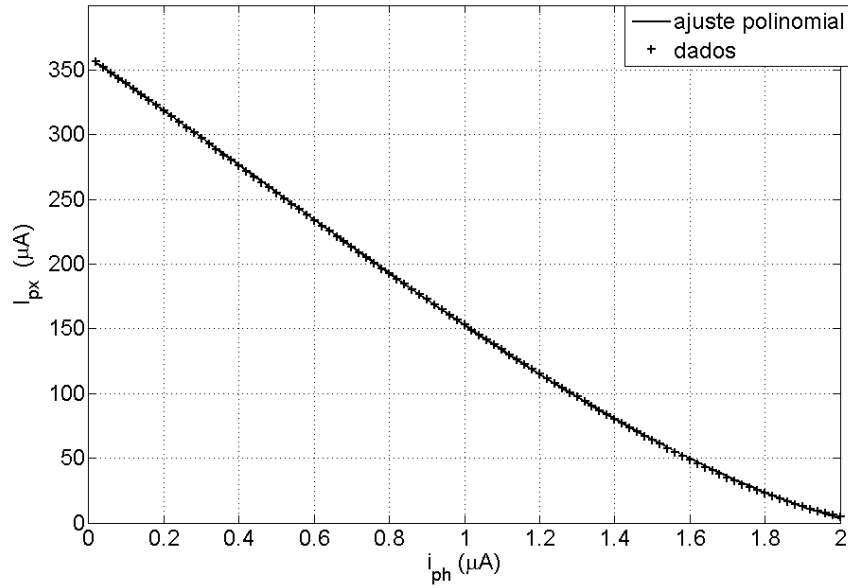


Figura III.14: Ganho i_{px}/i_{ph} do circuito transcondutor.

III.7.2 - SIMULAÇÃO DA CÉLULA DE MEMÓRIA DE CORRENTE

O segundo conjunto de testes a ser realizado diz respeito ao funcionamento da célula de memória de corrente. Ao operar como um integrador discreto no tempo, com a entrada e a saída da célula de memória conectadas, este circuito excursiona da corrente mínima até a corrente máxima ($[0 A, 360 \mu A]$). A operação como integrador possibilita a avaliação da injeção de carga pela chave, da estabilização incompleta e da descarga por I_s (fuga pelas junções de diodo).

O circuito foi simulado para a frequência de chaveamento de 10 Hz e 10 MHz durante 10 ciclos de integração de um degrau de corrente de $18 \mu A$. São analisadas as correntes nas células de memória (I_1 e I_2 de acordo com a Figura III.8) das mesmas. São avaliadas as taxas de integração em sete ciclos e o erro existente entre o valor amostrado e o valor armazenado nas memórias para o décimo ciclo.

As taxas de integração são o fator de avaliação da qualidade do integrador. Foram escolhidos sete ciclos, pois o erro é acumulado durante os ciclos e é pouco evidente em um ou dois ciclos. O erro existente entre o valor amostrado e o valor armazenado nas memórias é utilizado para quantificar os efeitos de descarga de C_{GS} . Assim, avalia-se a injeção de carga pela chave e a descarga pela corrente dos portadores minoritários nas junções de diodo.

A estabilização incompleta da tensão é verificada visualmente na Figura III.15 para operação em 10 Hz e na Figura III.16 para operação em 10 MHz. Os demais fatores são avaliados nas Tabelas III.6 e III.7, para operação em 10 Hz e em 10 MHz.

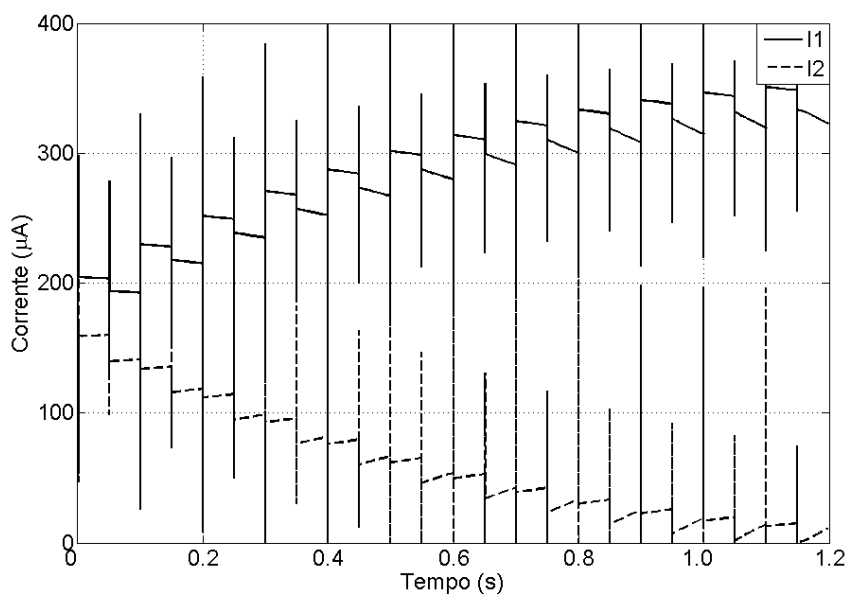


Figura III.15: Correntes de *dreno* das células de memória para $f = 10$ Hz.

Tabela III.6: Diferenças (calculadas por simulação) entre o valor amostrado e o valor armazenado nas células de memória, no décimo ciclo.

Variável	$f = 10$ Hz		$f = 10$ MHz	
	Erro Absoluto	Erro Percentual	Erro Absoluto	Erro Percentual
I_1	$14 \mu\text{A}$	4.0%	$23 \mu\text{A}$	6.0%
I_2	$17 \mu\text{A}$	5.0%	$30 \mu\text{A}$	8.0%

Tabela III.7: Taxa de integração para sete ciclos das células de memória.

Variável	$f = 10$ Hz		$f = 10$ MHz	
	Taxa Absoluta	Taxa Percentual	Taxa Absoluta	Taxa Percentual
I_1	$126.5 \mu\text{A}$	100%	$157.2 \mu\text{A}$	125%
I_2	$110.7 \mu\text{A}$	90%	$141.4 \mu\text{A}$	110%

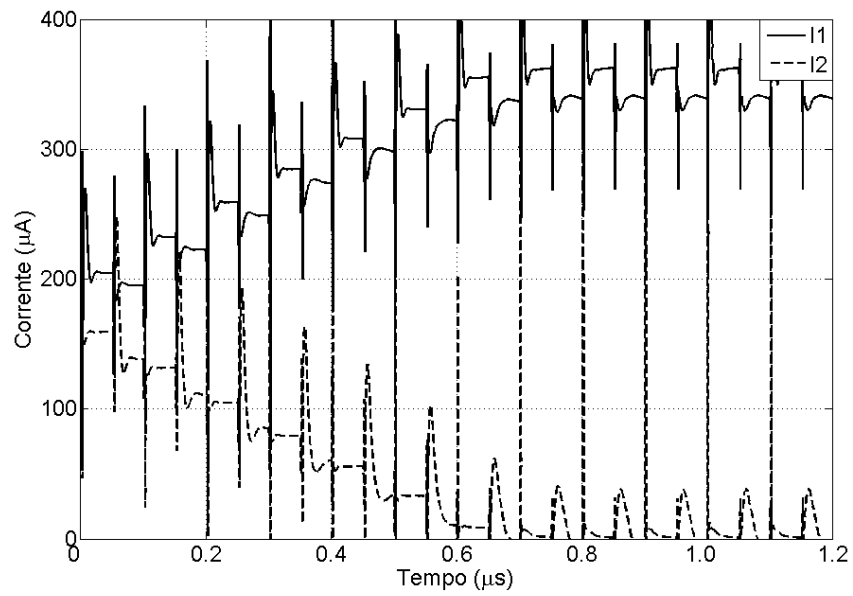


Figura III.16: Correntes de *dreno* das células de memória para $f = 10$ MHz.

O integrador opera com uma baixa distorção na corrente no décimo ciclo e atinge o valor esperado para a integração de sete ciclos. Ficam claros os efeitos da injeção de carga que deterioram a qualidade da informação armazenada. Este por sua vez é minimizado na literatura [32] com circuitos totalmente diferenciais, mas que não é o caso da aplicação de interesse nesse trabalho. Por ora, a aplicação tolera esse tipo de distorção pois só processa a média do sinal, que na sua maior parte do tempo é constante e igual à informação de entrada.

Observou-se que a qualidade do sinal pode ser melhorada com o aumento do comprimento do canal. Entretanto essa medida aumenta o consumo de área do circuito, inviabilizando a aplicação. Essa hipótese foi portanto descartada.

O funcionamento do circuito, como esperado, em 10 MHz valida a aplicação do chaveamento em 100 ns. De igual modo, o funcionamento do circuito, como esperado, em 10 Hz valida a aplicação de armazenar a informação de corrente por cerca de 100 ms.

III.7.3 - SIMULAÇÃO DA CÉLULA DE TRANSCONDUTÂNCIA APS

Os testes finais dizem respeito à integração do amplificador transcondutor e o circuito de memória. Em primeiro lugar, caracterizou-se o funcionamento transiente do circuito com o chaveamento de $1 \mu\text{s}$ e $i_{ph} = 1 \mu\text{A}$, como mostrado na Figura III.17. Portanto a cada $1 \mu\text{s}$ é renovada a amostra do sinal, sendo armazenado sempre o mesmo valor uma vez que a condição de iluminação do sensor não se altera. Neste caso, o circuito apresentou um consumo médio de 1.6 mW. Note que esse consumo é dominado pelo circuito de memória de corrente, enquanto que os amplificadores de transcondutâncias possuem consumo desprezível. Assim, este é utilizado por toda uma coluna de *pixels* e multiplicado pelo número de linhas desejadas a potência total do *chip* será da ordem de grandeza de poucos watts.

Em segundo lugar, caracterizou-se o ganho do circuito de instrumentação pela variação de i_{ph} no intervalo $[20 \text{ nA}, 2 \mu\text{A}]$. A corrente armazenada nos transistores de memória acompanha i_{ph} , como mostrado na Figura III.18. A célula de memória deteriora os níveis de corrente do circuito transcondutor, porém esta característica do circuito não caracteriza um problema, mas apenas uma peculiaridade da solução analisada.

O último teste diz respeito à densidade espectral potência do ruído na banda do circuito. Esta foi integrada na banda de 10 Hz a 10 MHz e a corrente RMS de ruído obtida é 41.4 nA. Assim sendo, o SNR avaliado nessas condições é $\text{SNR}_{min} = 44 \text{ dB}$ e $\text{SNR}_{max} = 79 \text{ dB}$.

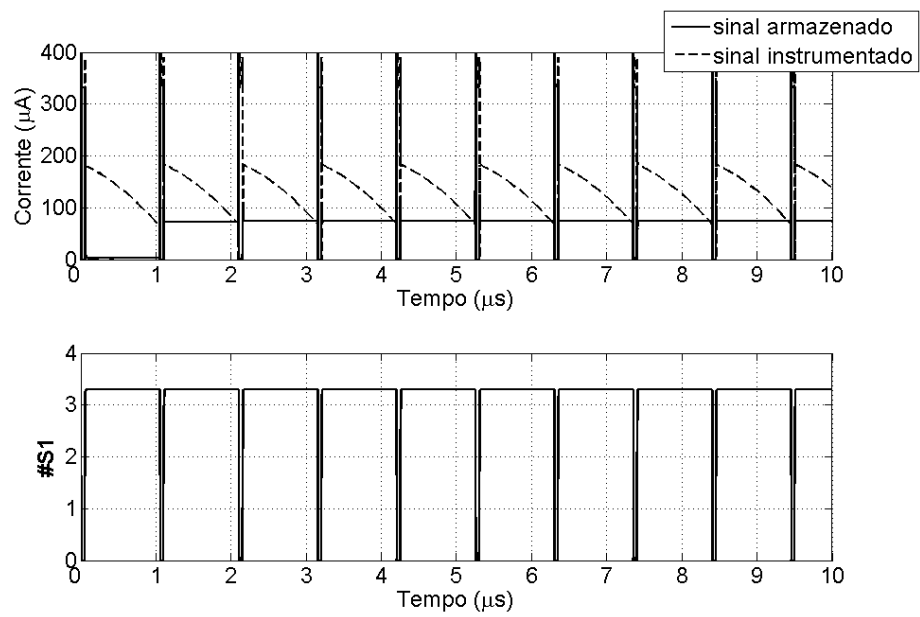


Figura III.17: Simulação transiente do circuito transcondutor integrada ao circuito de memória com o chaveamento a cada $1 \mu\text{s}$.

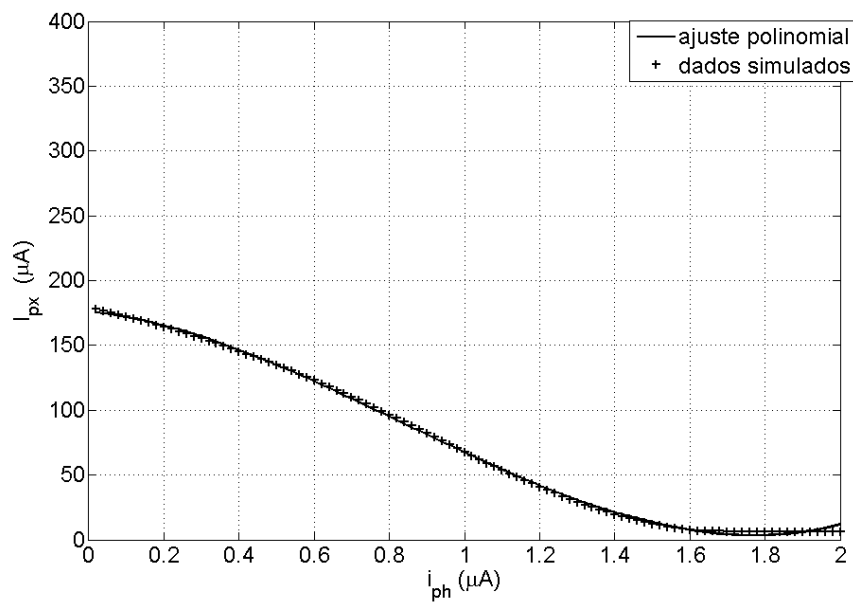


Figura III.18: Ganho i_{px}/i_{ph} do circuito transcondutor.

CAPÍTULO IV

INSTRUMENTAÇÃO ELETRÔNICA COM ESPELHOS DE CORRENTE CASCODE REGULADO

A distorção associada à condutância finita é a principal fonte de efeitos não-lineares em espelhos de corrente. Em contrapartida, a característica mais desejável em circuitos analógicos é a linearidade. A distorção harmônica resulta em efeitos indesejados de intermodulação nos circuitos de instrumentação. As especificações de fidelidade são importantíssimas no processamento de sinais de imagens.

As fontes de erro que causam o desvio das características ideais em um espelho de corrente são de dois tipos principais: descasamento entre dispositivos e efeito de modulação de canal (λ -effect). O primeiro é amplamente discutido na literatura [34], [35] e [36]. Existem diversas técnicas de minimização do descasamento entre dispositivos, utilizadas também nesse trabalho, como a técnica de interdigitação dos dispositivos em um centróide comum [31]. Porém, o segundo é relativamente pouco investigado.

Um espelho de corrente é um amplificador de corrente, linear para uma faixa de valores de corrente de entrada e saída, com ganho controlado pela geometria dos transistores que compõem o espelho. O comprimento (L) e a largura (W) dos transistores são definidos nos circuitos nas primeiras máscaras de integração, na mesma etapa do processo de integração e sua precisão está condicionada ao menor traço que pode ser feito com a tecnologia empregada. Portanto, a precisão do ganho de corrente do espelho é limitada pela tecnologia utilizada.

A Figura IV.1 mostra o diagrama esquemático do espelho de corrente mais simples, que possui funcionamento básico similar à todas as topologias de espelho. O efeito de modulação de canal no espelho simples é o responsável pelas distorções não-lineares. Na

equação

$$I_D = \frac{K'}{2} \frac{W}{L} V_{eff}^2 (1 + \lambda V_{DS}), \quad (IV.1)$$

a modulação de comprimento de canal λ é modelada no SPICE I (ver Apêndice A) por uma constante, mas na verdade varia em função de L e essa dependência é mais forte quando L é pequeno. Isto se torna um problema quando $V_{DS1} \neq V_{DS2}$, uma vez que a tensão do *drain* de M2 é controlada pelo circuito ao qual ele fornece corrente. Isto ocorre porque parte da corrente de saída é desviada pela transcondutância de saída do transistor M2, gerando uma limitação na tensão máxima de saída.

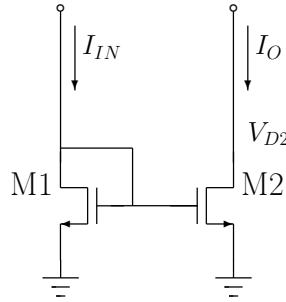


Figura IV.1: Diagrama esquemático do espelho de corrente básico.

Para corrigir o efeito de modulação, outras topologias de espelho de corrente buscam estabilizar a tensão V_{D2} independentemente do circuito de carga. De igual modo, outras topologias de espelho de corrente aumentam a impedância de saída do espelho, diminuindo os conseqüentes erros. Estas topologias são conhecidas por espelhos cascode.

O modelo elétrico do fotodiodo é uma fonte de corrente não-ideal, cuja corrente é função da energia dos fótons incidentes. Um espelho de corrente implementa a amplificação linear dessa corrente. Desta maneira, a instrumentação de sensores de imagem serve para a leitura direta da informação instantânea contida na fotocorrente. O circuito de instrumentação opera em tempo contínuo. Portanto a imagem pode ser obtida em tempo real e a taxa de amostragem é definida pelos circuitos adicionais para o processamento de sinais.

IV.1 - IMPLEMENTAÇÃO DO ESPELHO DE CORRENTE CASCODE REGULADO

O ganho de corrente do espelho de corrente cascode regulado, mostrado na Figura IV.2, é dado pela equação

$$I_O = I_{IN} \frac{W_2/L_2}{W_1/L_1}. \quad (IV.2)$$

Ele reduz o erro causado por $V_{DS1} \neq V_{DS2}$ quando $\lambda \neq 0$ [31]. A corrente de polarização I_B , que é uma fração de I_{IN} provoca $V_{GS3} = V_{GS1}$ se, e somente se, as razões de aspectos

de M1 e M3 possuírem o mesmo fator de escala que as correntes. Deste modo, tem-se $V_{DS1} = V_{DS2}$ para qualquer circuito de carga, o que reduz o efeito de modulação do canal [31]. Desta maneira, pretende-se desprezar o efeito λ , uma vez que o sistema regulador, formado por M3 e M4, mantém a polarização de V_{DS2} igual a V_{GS3} , que é projetado para ser igual a V_{GS1} . Portanto, ter-se-á $V_{DS1} = V_{DS2}$ e o efeito λ será eliminado.

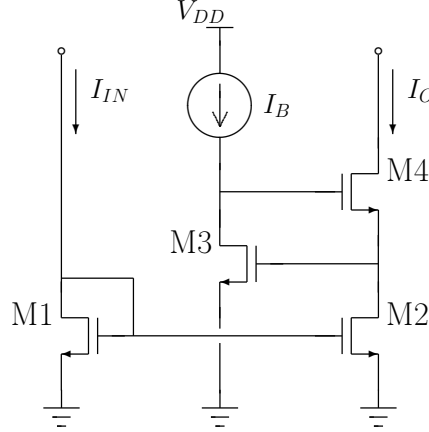


Figura IV.2: Diagrama esquemático do espelho cascode regulado com polarização fixa.

IV.2 - PROJETO DO ESPELHO DE CORRENTE CASCODE REGULADO COM POLARIZAÇÃO FIXA

Para o projeto do espelho de corrente cascode regulado, deve-se garantir a condição que reduz o erro causado por $V_{DS1} \neq V_{DS2}$. Tem-se $V_{GS2} = V_{GS1}$, e já que $V_{GS1} = V_{GS3}$ a equação

$$V_{GS3} = V_{GS2} \Rightarrow \sqrt{\frac{2I_B L_3}{K'_n W_3}} = \sqrt{\frac{2I_o L_2}{K'_n W_2}} \quad (\text{IV.3})$$

garante que o efeito λ pode ser desprezado e é a condição de projeto de M3 e I_B .

Para operação correta do espelho de corrente, é necessário garantir a condição de saturação dos transistores M1, M2, M3 e M4. Nota-se que M1 sempre estará saturado, uma vez que ligados os terminais *gate* e *drain* tem-se a condição da equação

$$V_{DS1} = V_{GS1} \geq V_{GS1} - V_{Tn} \quad (\text{IV.4})$$

sempre satisfeita. Se M4 não estiver na região de corte, então M3 estará sempre saturado pela condição da equação

$$V_{DS3} = V_{GS3} + V_{GS4} \geq V_{GS3} - V_{Tn}. \quad (\text{IV.5})$$

A condição para a saturação de M2 é crítica para determinar I_{Bmin} quando se tem I_{omax} ,

como mostrado na equação

$$V_{DS2} = V_{GS3} \geq V_{GS2} - V_{Tn} \Rightarrow \sqrt{\frac{2I_{Bmin} L_3}{K'_n W_3}} = \sqrt{\frac{2I_{omax} L_2}{K'_n W_2}} - V_{Tn}. \quad (IV.6)$$

Finalmente, a condição de saturação para M4 determina o projeto do mesmo em função da excursão de sinal permitida na saída, como mostrado na equação

$$V_{DS4} = V_O - V_{GS3} \geq V_{GS4} - V_{Tn} \Rightarrow V_O \geq \sqrt{\frac{2I_B L_3}{K'_n W_3}} + \sqrt{\frac{2I_O L_4}{K'_n W_4}} - V_{Tn}. \quad (IV.7)$$

Apesar de adotada a condição de saturação, os testes realizados no espelho de corrente mostraram o bom funcionamento do mesmo desde a inversão fraca do canal (*subthreshold*) até a inversão forte (saturação propriamente dita).

O projeto do espelho cascode regulado é fechado pelas condições do sinal de entrada, proveniente do fotodiodo, e do sinal de saída, injetado no sistema de processamento de sinais subsequente. A excursão de sinal de entrada é determinada pela necessidade de se manter o fotodiodo reversamente polarizado e a excursão de sinal de saída é determinada pela faixa de valores de tensão aceitáveis na entrada do sistema subsequente. Quanto ao fator de espelhamento, assume-se que será conveniente obter um sinal de $10 \mu\text{A}$ a partir de um sinal máximo de $1 \mu\text{A}$ proveniente do fotodiodo, ou seja, projetou-se o espelho para ganho 10. Todas essas condições e as razões de aspecto estão resumidas na Tabela IV.1.

Tabela IV.1: Características gerais do projeto do espelho cascode regulado.

Parametro	Valor
V_{INmax}	0.58 V
V_{Omin}	0.66 V
I_{IN}	[10 nA, 1 μA]
I_O	[100 nA, 10 μA]
I_B	0.5 μA
W_1/L_1	2
W_2/L_2	20
W_3/L_3	2
W_4/L_4	20

Ao adotar-se o modelo de pólo dominante para o amplificador de corrente baseado em um espelho de corrente cascode regulado, a função de transferência do amplificador pode ser aproximada pela equação

$$\frac{I_O(s)}{I_{IN}(s)} = \frac{gm_1}{gm_2} \frac{1}{s \frac{C_{GS1} + C_{GS2} + C_j}{gm_1} + 1}. \quad (IV.8)$$

Logo, a frequência de corte do amplificador será calculada pela equação

$$\omega_c = \frac{gm_1}{C_{GS1} + C_{GS2} + C_j}, \quad (\text{IV.9})$$

e deverá ser igual a 2.0 MHz, uma vez que o capacitor C_j (do modelo do fotodiodo) é muito maior do que C_{GS1} , C_{GS2} e porque a transcondutância de M1 pode ser calculada pela equação

$$gm_1 = \sqrt{2K'_n \frac{W_1}{L_1} I_{IN}} = 26.1 \mu\text{S}. \quad (\text{IV.10})$$

Assim sendo, é possível escrever, a partir das Equações (IV.9) e

$$C_{GS} = C_{ov} W + \frac{2}{3} C_{ox} W L, \quad (\text{IV.11})$$

a equação

$$\begin{aligned} \frac{2}{3} \omega_c C_{ox} \left(\frac{W_1}{L_1} + \frac{W_2}{L_2} \right) L_{min}^2 + \omega_c C_{ov} \left(\frac{W_1}{L_1} + \frac{W_2}{L_2} \right) L_{min} + \omega_c C_j - gm_1 &= 0 \\ \Rightarrow 2.66 L_{min}^2 + 0.11 L_{min} - 1.00 &= 0, \end{aligned} \quad (\text{IV.12})$$

de onde se obtém o comprimento mínimo $L_{min} = 0.59 \mu\text{m}$ para os transistores do espelho de corrente.

O projeto dos transistores do espelho de corrente da Figura IV.2 está resumido na Tabela IV.2.

Tabela IV.2: Projeto dos transistores do espelho de corrente do cascode regulado.

Parâmetro	Valor
V_{GS1max}	0.58 V
$W_1 = W_3$	1.4 μm
$W_2 = W_4$	14 μm
$L_1 = L_2 = L_3 = L_4$	0.7 μm
$C_{GS1} = C_{GS3}$	3.15 fF
gm_1	26.1 μS
gm_3	18.44 μS
$C_{GS2} = C_{GS4}$	31.5 fF
$gm_2 = gm_4$	261 μS
C_j	650 fF
f_c	2 MHz

IV.3 - ANÁLISE DO ESPELHO DE CORRENTE CASCODE REGULADO COM POLARIZAÇÃO FIXA

O espelho de corrente cascode regulado com polarização fixa é um circuito amplificador de corrente linear dado pelo espelhamento da corrente optoeletrônica na saída do sensor. O objetivo de se utilizar um circuito de leitura linear é que o mesmo seja capaz de amplificar a informação com baixa distorção. O critério utilizado para determinar a excursão de sinal será a distorção harmônica total (THD) inferior a -40 dB, ou seja, menor que 1%.

Por se tratar de um amplificador de corrente na topologia de espelho de corrente cascode regulado, a impedância de entrada é fortemente dependente da excursão de corrente do circuito. Ela é dada pela equação

$$R_{in} = \frac{1}{gm_1} = \frac{V_{eff1max}}{I_{max}}. \quad (IV.13)$$

A área necessária para integração do circuito é muito pequena, pois são utilizados 6 transistores, e é dominado pela especificação de ganho de corrente necessário. O consumo de potência é dado pela excursão de sinal da saída e pela tensão de alimentação, adicionado ao consumo do circuito de polarização. Este pode ser equacionado por

$$Pot = V_{DD}I_{max} + V_{DD}I_B. \quad (IV.14)$$

A tensão de polarização do sensor no circuito espelho de corrente cascode regulado é variável e é controlada pela equação da corrente de *drain* do transistor que copia a corrente. Esta variação causa erros de espelhamento, uma vez que $V_{DS1} \neq V_{DS2}$. Na equação

$$V_{GS3} = V_{GS2} \Rightarrow \sqrt{\frac{2I_B L_3}{K'_n W_3}} = \sqrt{\frac{2I_o L_2}{K'_n W_2}} \quad (IV.15)$$

as tensões V_{GS2} e V_{GS3} foram igualladas para cancelar o efeito de modulação de canal. Note que (Tabela IV.1) o projeto desenvolvido prevê uma corrente de polarização I_B constante e igual a $0.5 \mu\text{A}$. Somente, tem-se $V_{GS2} = V_{GS3}$, enquanto a corrente I_{IN} for exatamente igual a $0.5 \mu\text{A}$. Supor polarização fixa é uma escolha comum na literatura, como por exemplo em [10] e [11], entretanto existem diversos erros inerentes a essa escolha a serem analisados.

Em primeiro lugar, tem-se

$$\frac{I_O}{I_{IN}} = \frac{W_2/L_2}{W_1/L_1} \quad (IV.16)$$

se, e somente se, for possível desprezar o efeito de modulação de canal. Entretanto, com

$I_B = 0.5 \mu\text{A}$, V_{DS2} (que é igual a V_{GS3}) é dado pela equação

$$V_{DS2} = \sqrt{\frac{2I_B L_3}{K'_n W_3}} + V_{Tn} = 0.55 \text{ V}, \quad (\text{IV.17})$$

e por outro lado V_{DS1} (que é igual a V_{GS1}) é dado pela equação

$$V_{DS1} = \sqrt{\frac{2I_{IN} L_1}{K'_n W_1}} + V_{Tn} \Rightarrow 0.51 \text{ V} \leq V_{DS1} \leq 0.58 \text{ V}. \quad (\text{IV.18})$$

Portanto $V_{DS1} \neq V_{DS2}$ e não é possível desprezar-se o efeito de modulação de canal, pois V_{DS1} poderá assumir valores dentro de um intervalo, devido às condições de máxima e mínima corrente de entrada.

Finalmente, o ganho de espelhamento não é mais o apresentado na Equação (IV.16) e uma melhor estimativa do mesmo seria o apresentado na equação

$$I_O = I_{IN} \frac{W_2/L_2}{W_1/L_1} \frac{1 + \lambda V_{DS2}}{1 + \lambda V_{DS1}}. \quad (\text{IV.19})$$

Isso introduz uma variação do ganho em $\pm 2\%$ em relação ao nominal, segundo os cálculos analíticos. Quando se utiliza um espelho cascode regulado, busca-se a precisão no ganho do mesmo, logo uma variação como essa é inaceitável.

Uma consequência do efeito de modulação de canal é a introdução de harmônicos de segunda e terceira ordem. Estes por sua vez depreciam a distorção harmônica total do espelho como mostrado em [32] e [37]. A análise teórica da distorção causada somente pelo efeito de modulação de canal baseia-se no equacionamento dos transistores assumindo a saturação.

Deve-se, primeiramente, avaliar a modulação de canal pela estimativa do λ . Ele deve ser estimado, a partir da simulação dos transistores para as condições de polarização dos mesmos, com o ajuste do modelo SPICE I (o modelo empregado é detalhado no Apêndice A). Depois, aplica-se I_{IN} senoidal e obtém-se I_O segundo a Equação IV.19. Em seguida, avalia-se, no domínio da frequência, o valor RMS dos harmônicos gerados. Finalmente, calcula-se a THD pela formula da equação

$$\text{THD} = \sqrt{\frac{I_2^2 + I_3^2 + I_4^2 + I_5^2 + \dots}{I_1^2}}. \quad (\text{IV.20})$$

Do modelo teórico analisado, é possível obter a Figura IV.3 que relaciona a THD na saída dada a excursão de sinal de corrente na entrada. A análise da THD no circuito do espelho de corrente cascode regulado também será realizada por simulação (Seção IV.6) aplicando-se uma corrente senoidal na entrada. É importante ressaltar que a THD na saída varia com a variação da amplitude da senóide na entrada como consequência não

somente do efeito de modulação de canal, mas também da polarização dos transistores e dos desvios do processo.

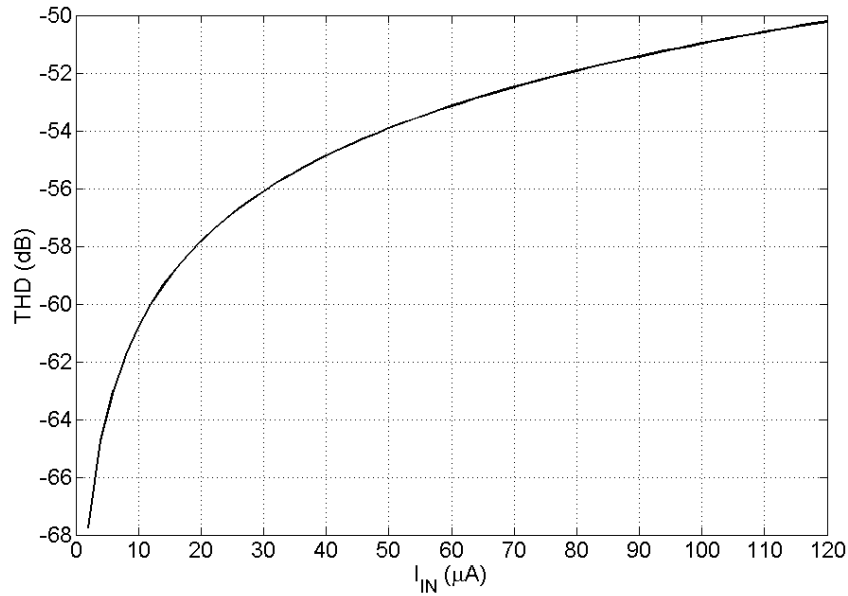


Figura IV.3: Modelo teórico da THD do circuito cascode regulado.

Uma última desvantagem, analisada na topologia, diz respeito às fontes de ruído. O emprego da polarização fixa introduz o ruído proveniente do circuito de polarização, adicionando a todos os *pixels* um ruído comum e de padrão fixo. Para se analisar o ruído causado pelo espelho (I_{nRC}) separadamente do ruído proveniente da polarização (I_{nbias}) utilizou-se o modelo da Figura IV.4. Maiores detalhes da modelagem de ruído podem ser encontradas no Apêndice B [33].

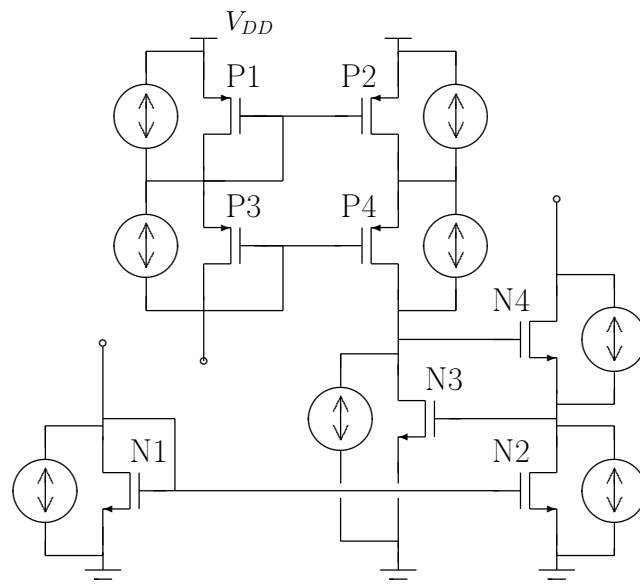


Figura IV.4: Modelo de ruído do espelho de corrente cascode regulado com polarização fixa.

O ruído total de corrente na saída é tal que

$$I_o^2 = I_{nRC}^2 + I_{nbias}^2. \quad (IV.21)$$

O ruído causado pelo espelho (devido os transistores N1-N4) é dado por

$$I_{nRC}^2 = I_{N2}^2 + I_{N4}^2 + \frac{gm_{N2}^2}{gm_{N1}^2} I_{N1}^2 + \frac{gm_{N4}^2 r_{o3}^2 I_{N3}^2}{r_{o2} (gm_{N4} + 1/r_{o4}) + 1}. \quad (IV.22)$$

O ruído causado pela polarização (devido os transistores P1-P4) é dado por

$$I_{nbias}^2 = \frac{gm_{N4}^2 r_{o3}^2}{r_{o2} (gm_{N4} + 1/r_{o4}) + 1} \left(I_{P2}^2 + I_{P4}^2 + \frac{gm_{P2}^2}{gm_{P1}^2} I_{P1}^2 + \frac{gm_{P4}^2}{gm_{P3}^2} I_{P3}^2 \right). \quad (IV.23)$$

Note que a contribuição de ruído dada pelos transistores tipo p P1 e P3 afetam igualmente os diversos *pixels* conectados na matriz. A contribuição de ruído dada pelos transistores tipo p P1 e P3 é fortemente afetada pela variação das dimensões dos transistores, e pela variação do processo de integração. Portanto esse ruído se acrescenta a todos os *pixels* formando um padrão fixo na matriz. Por outro lado é evidente que as contribuições de ruído dada pelos transistores tipo p P2 e P4 dos diversos *pixels* conectados na matriz não se somam.

O espelho de corrente foi projetado com um pólo dominante em 2.0 MHz, logo sua banda de ruído será π MHz [33]. A estimativa teórica do ruído máximo causado pelo espelho é $I_{nRC} = 4.27$ nA (RMS), enquanto que o causado pela polarização é $I_{nbias} = 0.69$ nA (RMS) para um pixel isolado. Finalmente, o ruído de corrente total máximo na saída é $I_o = 4.33$ nA (RMS) neste caso.

A análise do ruído no circuito do espelho de corrente cascode regulado também será feita por simulação e levará em conta simultaneamente todas as contribuições de ruído do circuito.

IV.4 - IMPLEMENTAÇÃO DO ESPELHO DE CORRENTE CASCODE REGULADO COM POLARIZAÇÃO DINÂMICA

Diante das desvantagens da utilização da polarização fixa, buscou-se uma solução às questões discutidas no final da Seção IV.3. Esta é apresentada na Figura IV.5.

A topologia da Figura IV.5 garante que o espelho de corrente cascode regulado funcione como previsto, ou seja, que $V_{GS3} = V_{GS2}$. Propõe-se que o circuito do espelho cascode regulado seja polarizado com uma corrente espelhada da entrada I_{IN} . O ganho do espelho que polariza o regulador é escolhido unitário de forma que $I_B = I_{IN}$ com um pequeno atraso de estabilização do regulador. Este atraso é considerado desprezível para os fins da aplicação desse trabalho. Na Figura IV.5, o erro de I_B em relação a I_{IN} será menor

IV.5 - ANÁLISE DO ESPELHO DE CORRENTE CASCODE REGULADO COM POLARIZAÇÃO DINÂMICA

O espelho de corrente cascode regulado com polarização dinâmica é um circuito amplificador de corrente linear dado pelo espelhamento da corrente optoeletrônica na saída do sensor. O objetivo de se utilizar um circuito de leitura com polarização dinâmica é obter uma maior excursão de sinal, com menos ruído e distorção que o circuito com polarização fixa. O critério utilizado para determinar a excursão de sinal será, também, o da THD inferior a -40 dB, ou seja, menor que 1%.

A impedância de entrada do espelho de corrente cascode regulado com polarização dinâmica é fortemente dependente da excursão de corrente do circuito e é igual à do circuito de polarização fixa. Ela é dada pela equação

$$R_{in} = \frac{1}{gm_1} = \frac{V_{eff1max}}{I_{max}}. \quad (IV.24)$$

A área necessária para integração do circuito é muito pequena, pois são utilizados 9 transistores, e é dominado pela especificação de ganho de corrente necessário. O consumo de potência é dado pela excursão de sinal da saída e pela tensão de alimentação adicionada ao consumo do circuito de polarização dinâmica. Este pode ser equacionado por

$$Pot = V_{DD}I_{max} + 2V_{DD}I_{max}\frac{W_1}{W_2}, \quad (IV.25)$$

onde W_2/W_1 é o ganho de espelhamento do circuito.

A tensão de polarização do sensor no circuito espelho de corrente cascode regulado é variável e é controlada pela equação da corrente de *drain* do transistor que copia a corrente, de acordo com a equação

$$V_{DS1} = \sqrt{\frac{2I_{IN}}{K'_n} \frac{L_1}{W_1}} + V_{Tn} \Rightarrow 0.51 \text{ V} \leq V_{DS1} \leq 0.58 \text{ V}. \quad (IV.26)$$

O projeto, desenvolvido na Seção IV.2, apresentou um erro do ganho em $\pm 2\%$ em relação ao nominal. Esse erro é corrigido pela polarização dinâmica uma vez que $I_{IN} = I_B$ para um tempo de estabilização do circuito de polarização, que pode ser desprezado nessa aplicação. Mesmo para um circuito de espelho simples, utilizado no circuito de polarização dinâmica, o erro encontrado entre I_{IN} e I_B é de no máximo $\theta = \pm 1\%$ para a estratégia de projeto apresentada ao longo desse trabalho. O cálculo analítico do efeito de modulação de canal a partir da equação

$$V_{DS2} = \sqrt{\frac{2(1+\theta)I_{IN}}{K'_n} \frac{L_3}{W_3}} + V_{Tn} \Rightarrow 0.51 \text{ V} \leq V_{DS2} \leq 0.58 \text{ V}, \quad (IV.27)$$

mostra que $|V_{DS2} - V_{DS1}|_{max} = 1$ mV. Finalmente esta topologia apresenta um erro no ganho em $\pm 0.1\%$ em relação ao nominal. Este é um erro aceitável para o projeto do circuito de instrumentação do espelho de corrente cascode regulado.

Do modelo teórico analisado, é possível obter a Figura IV.6 que relaciona a THD na saída dada a excursão de sinal de corrente na entrada. Note que o efeito de modulação de canal é reduzido pela polarização dinâmica e introduz menos de 0.1% de distorção no sinal. A análise da THD no circuito do espelho de corrente cascode com polarização dinâmica será feita por simulação. Espera-se que a THD siga a tendência de redução de erro apresentada nos cálculos analíticos da variação do ganho. Espera-se que a redução das distorções existentes no circuito da Figura IV.2 acarrete no aumento da excursão do sinal.

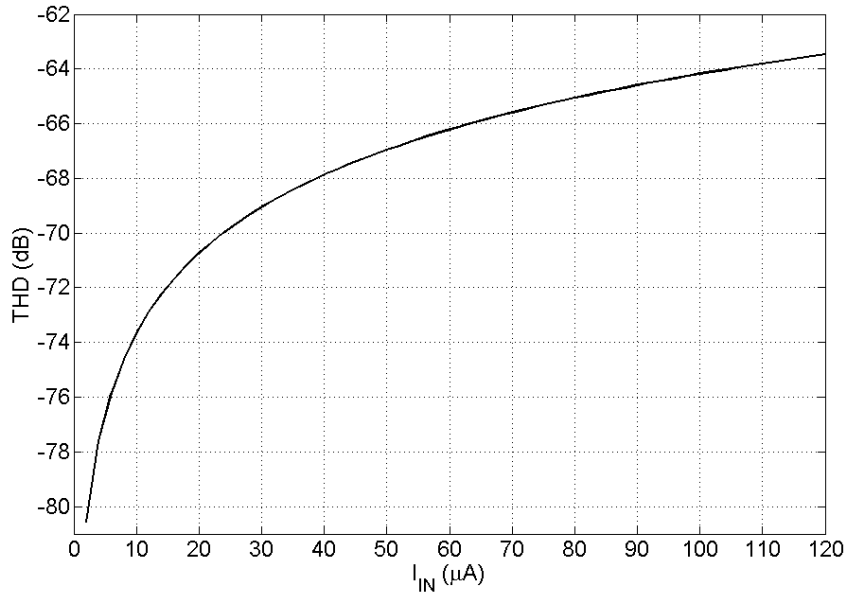


Figura IV.6: Modelo teórico da THD do circuito cascode regulado com polarização dinâmica.

A análise do ruído é muito semelhante à do circuito com polarização fixa. Entretanto, espera-se que o transistor tipo n N5 acrescente uma fonte de ruído a mais na análise.

Analogamente, para se analisar o ruído causado pelo espelho (I_{nRC}) separadamente do ruído proveniente da polarização (I_{nbias}) utilizou-se o modelo da Figura IV.7. Maiores detalhes da modelagem de ruído podem ser encontradas no Apêndice B [33].

O ruído total de corrente na saída é tal que

$$I_o^2 = I_{nRC}^2 + I_{nbias}^2. \quad (IV.28)$$

O ruído causado pelo espelho (devido os transistores N1-N5) é dado por

$$I_{nRC}^2 = I_{N2}^2 + I_{N4}^2 + \frac{gm_{N2}^2}{gm_{N1}^2} I_{N1}^2 + \frac{gm_{N2}^2}{gm_{N5}^2} I_{N5}^2 + \frac{gm_{N4}^2 r_{o3}^2 I_{N3}^2}{r_{o2} (gm_{N4} + 1/r_{o4}) + 1}. \quad (IV.29)$$

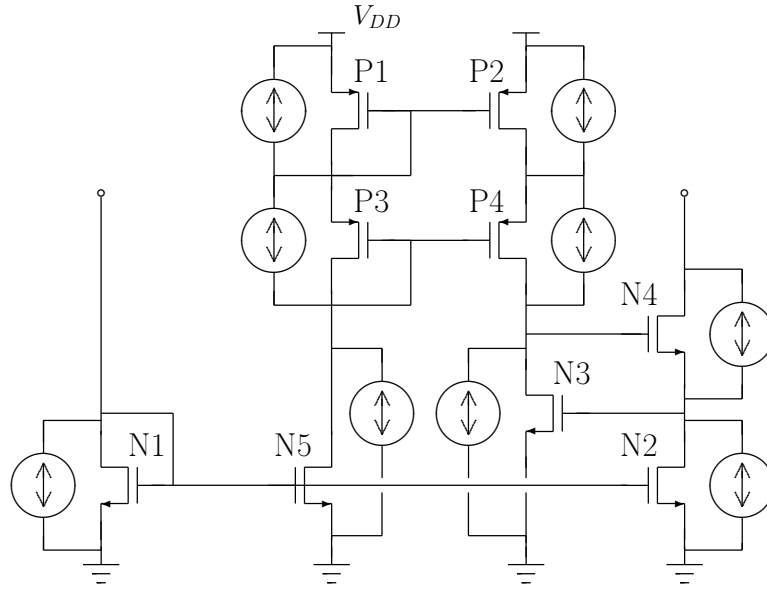


Figura IV.7: Modelo de ruído do espelho de corrente cascode regulado com polarização dinâmica.

O ruído causado pela polarização (devido os transistores P1-P4) é dado por

$$I_{nbias}^2 = \frac{gm_{N4}^2 r_{o3}^2}{r_{o2} (gm_{N4} + 1/r_{o4}) + 1} \left(I_{P2}^2 + I_{P4}^2 + \frac{gm_{P2}^2}{gm_{P1}^2} I_{P1}^2 + \frac{gm_{P4}^2}{gm_{P3}^2} I_{P3}^2 \right). \quad (IV.30)$$

Note que a contribuição de ruído dada pelo transistor N5 é da ordem de grandeza do ruído do transistor N1, uma vez que eles possuem as mesmas dimensões. Espera-se que o aumento do ruído total não seja significativo.

O espelho de corrente foi projetado com um pólo dominante em 2.0 MHz de acordo com a especificação de resposta em frequência dos circuitos de processamento de imagem no plano focal, logo sua banda de ruído será 3.14 MHz [33]. A estimativa teórica do ruído causado pelo espelho é $I_{nRC} = 8.1$ nA (RMS), enquanto que o causado pela polarização é $I_{nbias} = 1.0$ nA (RMS) para um *pixel* isolado. Finalmente, o ruído total de corrente na saída é $I_o = 8.2$ nA (RMS) neste caso.

A análise do ruído do circuito com polarização dinâmica também será feita por simulação e levará em conta simultaneamente todas as contribuições de ruído do circuito. A modelagem teórica do ruído no circuito de polarização dinâmica mostra o aumento do ruído existente na topologia com polarização fixa por colocar o circuito de polarização interno ao *pixel*. Entretanto, espera-se que o aumento do ruído total não seja significativo.

IV.6 - RESULTADOS E ANÁLISES DA INSTRUMENTAÇÃO COM ESPELHOS DE CORRENTE CASCODE REGULADO

Para se verificar as expectativas teóricas do circuito de instrumentação com espelhos de corrente cascode regulado, foram realizadas diversas simulações com os parâmetros do

circuito extraído a partir das máscaras de integração, comentadas a seguir. Nos parágrafos que se seguem, deseja-se obter informações suficientes para se analisar os circuitos de instrumentação das Figuras IV.2 e IV.5. Posteriormente, deseja-se compará-los às soluções com a célula transcondutora. As máscaras de integração dos circuitos projetados são apresentadas no Apêndice C.

O primeiro teste realizado diz respeito à resposta em frequência do circuito desde 10 Hz até 10 MHz. O resultado simulado para o circuito com polarização fixa ($I_B = 0.5 \mu\text{A}$), linha tracejada na Figura IV.8, revela que o circuito possui $f_c = 2.3 \text{ MHz}$ e um ganho de corrente de $A_i = 20 \text{ dB}$. Por sua vez, o circuito com polarização dinâmica apresenta o resultado simulado semelhante, como mostrado pela linha contínua na Figura IV.8. Portanto, sua resposta em frequência é coerente com a expectativa teórica e isto fica mais evidente dentro da faixa de passagem como mostrado na Figura IV.9.

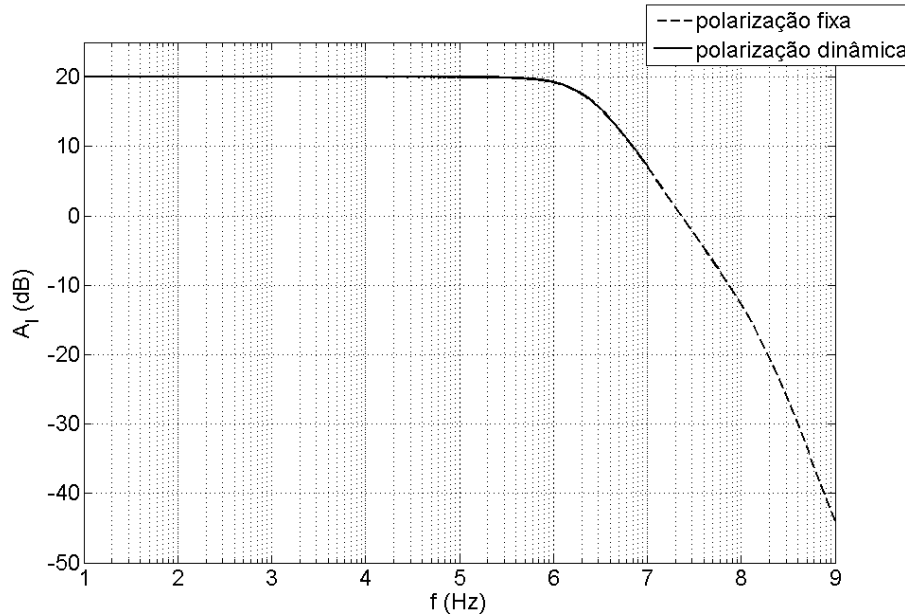


Figura IV.8: Simulação da resposta em frequência do circuito cascode regulado.

O segundo teste diz respeito à avaliação da excursão de sinal do circuito, com este propósito variou-se a corrente de entrada desde 8 nA até 120 μA . A linha tracejada na Figura IV.10 mostra a excursão do circuito com polarização fixa, enquanto a linha contínua mostra a excursão do circuito com polarização dinâmica. Em ambos os casos, a excursão de sinal é coerente com a expectativa teórica.

O terceiro teste avalia a distorção harmônica total (THD) do circuito. Com este fim, realizaram-se simulações variando a amplitude do sinal de entrada e avaliando a THD do sinal de saída. Calcula-se a THD pela fórmula da equação

$$\text{THD} = \sqrt{\frac{I_2^2 + I_3^2 + I_4^2 + I_5^2 + \dots}{I_1^2}}. \quad (\text{IV.31})$$

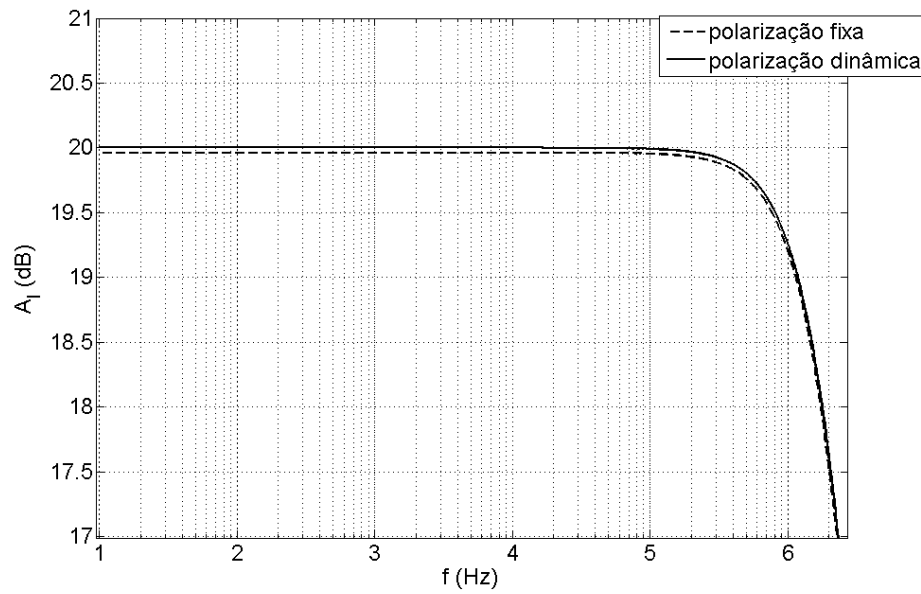


Figura IV.9: Simulação da resposta em frequência do circuito cascode regulado.

Nos círculos da Figura IV.11, verifica-se a excursão de $[50 \text{ nA}, 50 \mu\text{A}]$ que representa a faixa dinâmica de 60 dB para uma THD inferior a -40 dB para o circuito com a polarização fixa. Nos triângulos da Figura IV.11, verifica-se a excursão de $[50 \text{ nA}, 70 \mu\text{A}]$ que representa a faixa dinâmica de 63 dB para uma THD inferior a -40 dB para o circuito com a polarização dinâmica.

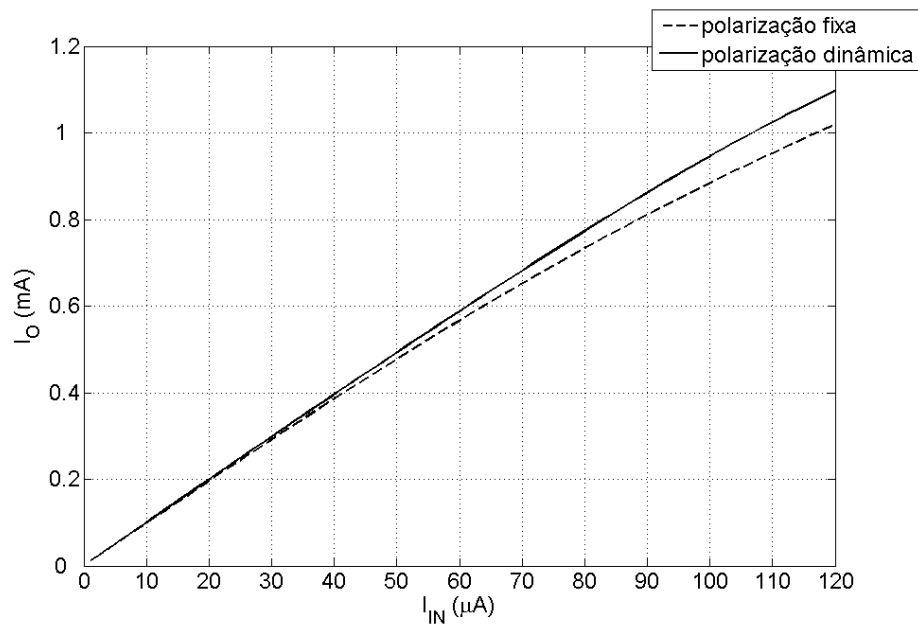


Figura IV.10: Simulação DC da excursão do circuito cascode regulado.

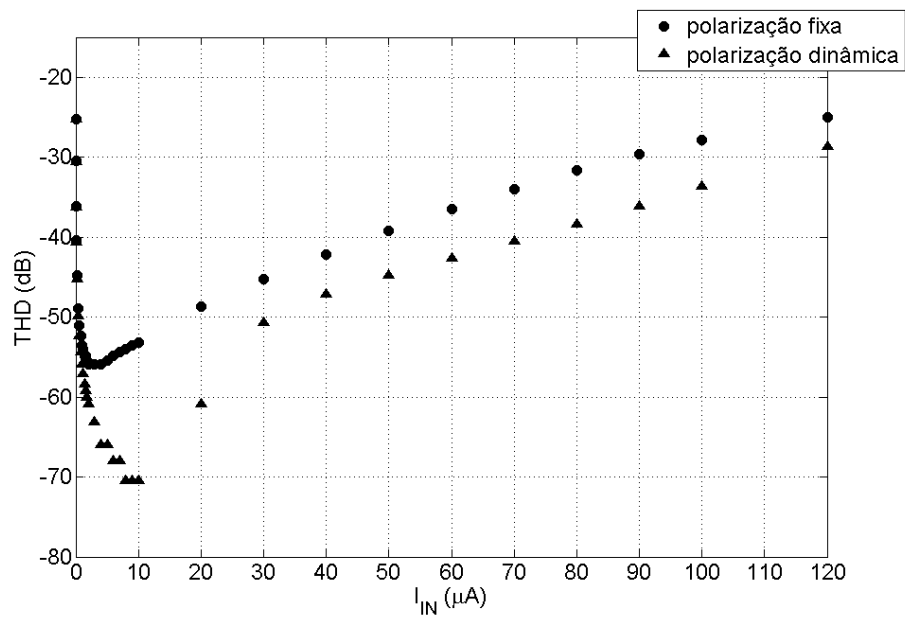


Figura IV.11: Faixa dinâmica do circuito cascode regulado.

O quarto teste avalia o ruído na saída do circuito. Para ambos os circuitos avaliados, a tensão RMS do sinal na saída é escolhida máxima para uma THD de -40 dB. O ruído do circuito com polarização fixa é 6.85 nA e o com polarização dinâmica é 8.06 nA. É importante ressaltar que a SNR avaliada nessas condições é 77 dB para o circuito com polarização fixa e de 79 dB para o circuito com polarização dinâmica .

O quinto teste analisa as resistências de entrada e de saída de ambos os circuitos. A impedância de saída foi medida com a entrada do circuito polarizada, enquanto que a entrada foi medida em função da corrente de polarização da entrada. A corrente de polarização é equivalente ao nível médio da senóide de corrente, quando o circuito é usado para amplificação, e este garante que não haja correntes menores que zero.

A impedância de saída do circuito com polarização fixa é 236.3 k Ω e a do circuito com polarização dinâmica é 236.3 k Ω . Este resultado é decorrente da semelhança das topologias no estágio de saída. A impedância de entrada do circuito com polarização fixa e a do circuito com polarização dinâmica são mostradas na Figura IV.12 e são semelhantes para ambos os circuitos devido à semelhança das topologias no estágio de entrada.

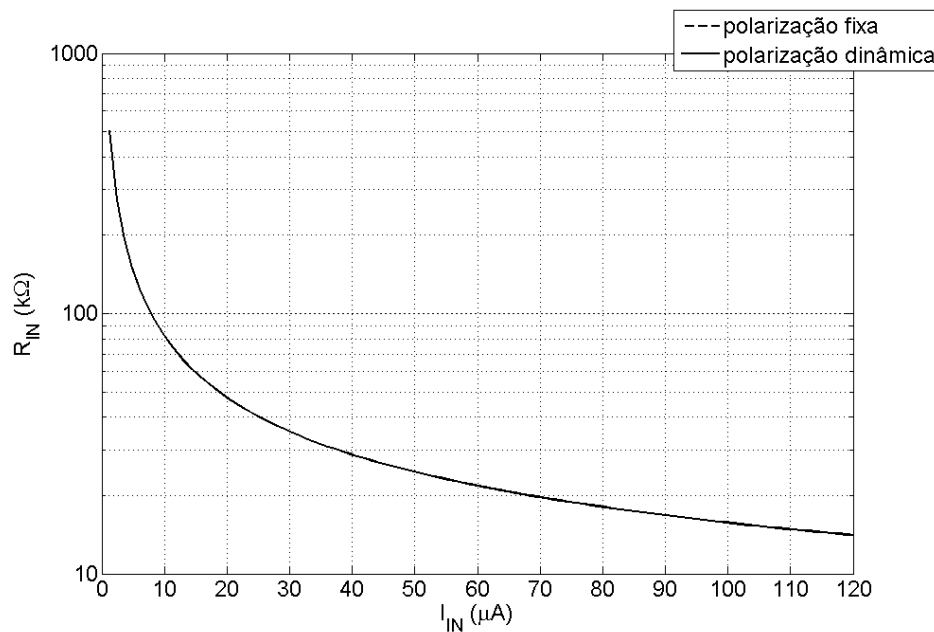


Figura IV.12: Impedância de entrada do circuito cascode regulado.

O sexto teste quantifica a potência dissipada por ambos os circuitos em função da corrente média da senóide de corrente. Na Figura IV.13 verifica-se que o circuito de polarização dinâmica dissipa sempre mais potência que o com polarização fixa, independente da corrente média da senóide de corrente da entrada.

O sétimo teste avalia a excursão de tensão na saída do circuito espelho de corrente com polarização fixa e dinâmica. Para o circuito de polarização fixa a faixa de tensão é de 0.45 V até 3.35 V para um erro inferior a 1% , enquanto que para o de polarização dinâmica é de 0.6 V até 3.75 V, como mostrado na Figura IV.14.

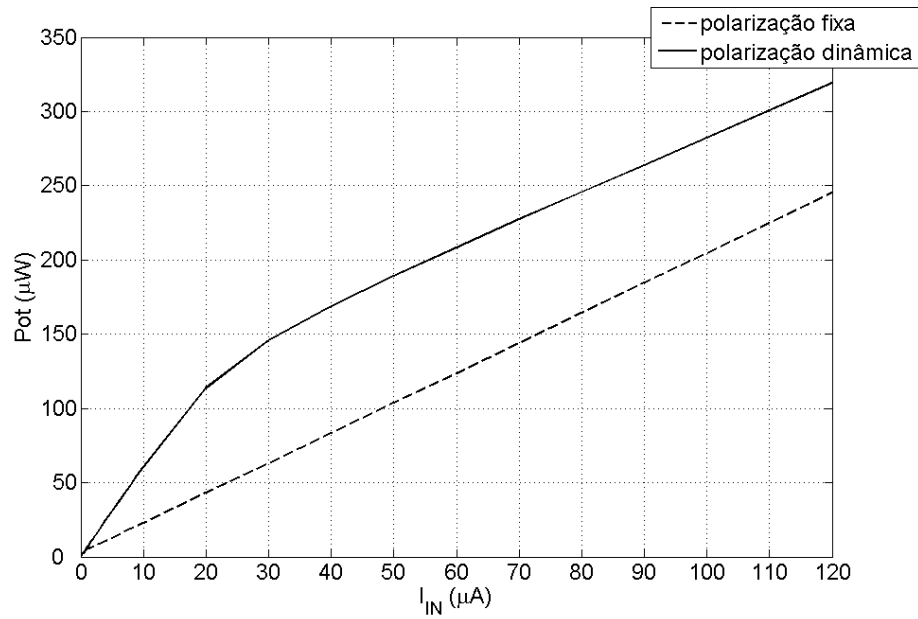


Figura IV.13: Potência consumida pelo circuito cascode regulado.

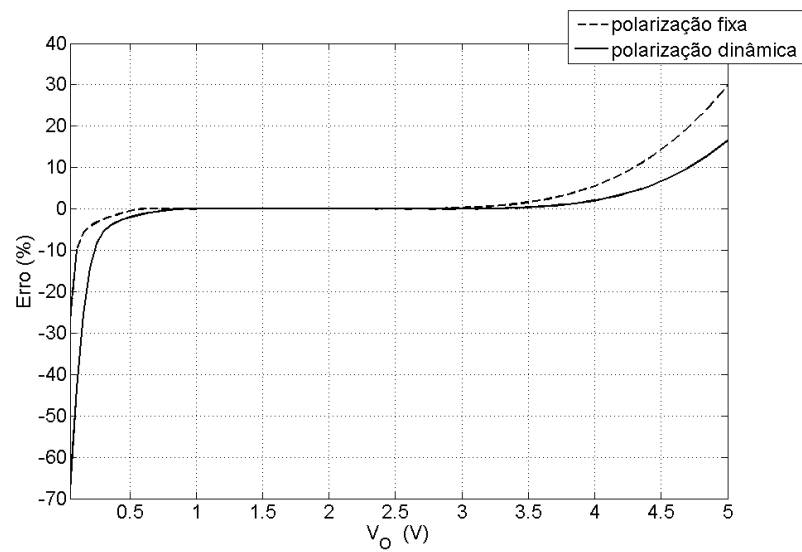


Figura IV.14: Excursão de tensão na saída do circuito cascode regulado.

CAPÍTULO V

COMPARAÇÃO DOS RESULTADOS DOS CIRCUITOS DE INSTRUMENTAÇÃO EM MODO DE CORRENTE

Para concluir os resultados obtidos com as três topologias investigadas nesse trabalho, serão destacados na Tabela V.1 o consumo de potência e área, a máxima frequência de operação, a resistência de entrada, o ruído e a excursão de sinal da entrada. As máscaras de integração dos circuitos projetados, usadas na estimativa do consumo de área, são apresentadas no Apêndice C.

O *Capacitive Transconductance Amplifier* (CTCA) é o transconductor desenvolvido no Capítulo III e mostrado na Figura III.2. O *Regulated Cascode Current Mirror* (RCCM) é o circuito espelho de corrente cascode regulado com polarização fixa da Figura IV.2 projetado na Seção IV.2. O *Dinamically Regulated Cascode Current Mirror* (DRCCM) é o circuito espelho de corrente cascode regulado com polarização dinâmica da Figura IV.5, projetado na Seção IV.4.

Tabela V.1: Comparação dos Resultados dos Circuitos de Instrumentação.

	CTCA	RCCM	DRCCM
Potência (μW)	1600	104	227
Área (μm^2)	267.9	272.46	291.84
Frequência máxima (MHz)	10	2.3	2.3
Ruído RMS (nA)	41.4	6.85	8.06
Excursão de sinal	[20 nA, 2 μA]	[50 nA, 50 μA]	[50 nA, 70 μA]

O consumo de potência e a frequência máxima de operação serão comparados pelo indicador do produto potência-tempo (TPF - *Time Power Factor*). O TPF é definido

pela equação

$$\text{TPF} = \frac{Pot_{consumida}}{f_{max}}. \quad (\text{V.1})$$

A resistência de entrada será avaliada em comparação com a impedância da junção do sensor pelo indicador eficiência de injeção (IE - *injection efficiency*). A IE é definida pela razão entre a corrente instrumentada e a corrente optoeletrônica, que, por outro lado, pode ser escrita pela equação

$$\text{IE} = \frac{R_j}{R_{IN} + R_j}, \quad (\text{V.2})$$

onde R_j é do modelo do fotodiodo. No caso do *Capacitive Transconductance Amplifier*, a entrada é em modo de tensão, logo o equivalente de Norton do mesmo mostra que a corrente instrumentada é igual à corrente de fótons, com máxima eficiência. O ruído na saída e a excursão de sinal serão comparados pelo indicador de razão sinal-ruído (SNR - *Signal to Noise Ratio*). A SNR é definida pela equação

$$\text{SNR} = 10 \log \frac{Pot_{sinal}}{Pot_{ruído}}, \quad (\text{V.3})$$

e será calculada para o maior sinal de corrente na saída (THD = -40 dB para o *Regulated Cascode Current Mirror* e o *Dinamically Regulated Cascode Current Mirror*). A ordem de grandeza da excursão de sinal de entrada dos circuitos será avaliada pela faixa dinâmica (DR - *Dinamic Range*) de operação. Esta, por sua vez, é definida pela equação

$$\text{DR} = 20 \log \frac{I_{max}}{I_{min}}. \quad (\text{V.4})$$

O último indicador utilizado é o custo de produção, que é proporcional à área de silício utilizada. Neste caso serão comparadas as áreas dos circuitos que representam o silício consumido. A Tabela V.2 resume os indicadores.

Tabela V.2: Comparação dos Indicadores dos Circuitos de Instrumentação.

	CTCA	RCCM	DRCCM
TPF (Ws)	160	45.2	98.7
IE (%)	100	73	73
SNR (dB)	79	77	79
DR (dB)	40	60	63

O consumo de área de silício em todas as topologias é muito próximo. Como pode ser observado nas máscaras disponíveis no Apêndice C, estas ainda poderiam ser otimizadas ao se integrarem aos dispositivos de processamento de sinais de imagem no plano focal. Entretanto, o *Capacitive Transconductance Amplifier* possui a menor área e a menos

otimizável, o *Regulated Cascode Current Mirror* a segunda menor área e o *Dynamically Regulated Cascode Current Mirror* a maior área. Isso é compreensível diante do aumento da complexidade dos circuitos envolvidos na mesma tendência.

O *Capacitive Transconductance Amplifier* é a solução mais robusta a ruído e possui maior eficiência de injeção. Embora a contrapartida seja a baixa DR e TPF, está é a melhor opção para aplicações de baixo ruído. Observou-se que o *Regulated Cascode Current Mirror* é a solução que consome menos potência por tempo de atraso, assim sendo ela poderá processar um maior número de informações com um consumo menor. Entretanto, esta topologia possui a menor SNR e, portanto, é mais suscetível a ruído. O ruído de padrão fixo é um forte motivo para que a mesma seja trocada pelo *Dynamically Regulated Cascode Current Mirror*, com o aumento do consumo de potência como consequência mais impactante. A proposta do *Dynamically Regulated Cascode Current Mirror* é bastante interessante, combina uma SNR e uma DR altas com um TPF moderado.

Por ora o consumo das topologias apresentadas é bastante elevado se comparado aos circuitos em modo de tensão ([7], [8]). Por sua vez a aplicação em sensoriamento IR não exige matrizes com um grande número de *pixels*, mas nesta aplicação é extremamente desejável o processamento de sinais no plano focal. A facilidade de implementação de algoritmos de processamento de sinais é, por sua vez, a grande vantagem das topologias em modo de corrente e o custo para se explorar essa vantagem é o elevado consumo de potência ([10], [11]).

Com a redução das dimensões nos processos de integração, a tensão de alimentação é reduzida e, portanto, a excursão de sinal na saída do *pixel* diminui nos circuitos em modo de tensão. Por outro lado, os circuitos em modo de corrente necessitam de menos área de silício, possuem velocidade de operação maior e consumo de potência comparáveis aos circuitos de modo de tensão, caso mantidas as condições de excursão de sinal. Finalmente, as tecnologias de integração poderão explorar melhor as vantagens dos circuitos em modo de corrente, desde que seja possível polarizar os transistores corretamente.

V.1 - CONTRIBUIÇÕES TECNOLÓGICAS

Este trabalho, decidiu por explorar estruturas eficientes a ruído e pequeno consumo de área de integração, sem deixar de reunir algumas das vantagens das estruturas em estado da arte da tecnologia, apresentadas na Seção I.3. A estrutura *Capacitive Transconductance Amplifier* reúne os componentes essenciais para a integração da corrente de fótons com ruído e área mínima, deixando os componentes mais custosos em área da estrutura *Switched current integration* para fora do *pixel*. A topologia *Regulated Cascode Current Mirroring* combina características das topologias *Gate Modulation Input* e *Current Mirroring Integration*, explorando as vantagens de ambas de forma equilibrada.

Entretanto, na análise da topologia *Regulated Cascode Current Mirroring*, observou-se

que os circuitos de polarização, normalmente implementados um por *chip* e utilizados para toda a matriz de *pixel*, são uma fonte de ruído considerável, pois esta é proporcional ao número de *pixels* da matriz. As diversas aplicações que exigem alta resolução estão sujeitas a uma baixa faixa dinâmica, devido ao baixo desempenho de ruído de circuitos como *Direct-injection*, *Buffered-direct-injection*, *Buffered gate modulation input*, *Current mirroring integration* e *Regulated Cascode Current Mirroring* quando integrados em grandes matrizes de *pixel*.

Na Tabela V.3 são resumidas as principais características das topologias comentadas acima, obtidas nos diversos trabalhos publicados. É mostrado o desempenho de ruído referente à entrada para apenas um *pixel*, mas a análise de ruído desenvolvida neste trabalho pode ser utilizada para complementar o que já foi publicado e estender a análise para mais de um *pixel*.

Tabela V.3: Comparação dos Resultados Obtidos com o Estado da Arte da Tecnologia.

Estrutura	Impedância de Entrada	Controle da Polarização do <i>Pixel</i>	Área do <i>Pixel</i>	Ruído Referente a Entrada	Ref
Direct-injection	$\frac{1}{gm_i}$	Instável, a polarização se altera durante a integração	Pequena	$\frac{e_n^2}{(R_j+1/gm_i)^2}$	[18]
Gate modulation input	$\frac{1}{gm_i}$	Instável, a polarização se altera durante a integração	Pequena	$\frac{2e_n^2}{(R_j+1/gm_i)^2}$	[18]
Buffered-direct-injection	$\frac{1}{gm_i(A+1)}$ ¹	Estável, controlada pela realimentação de um amplificador operacional	Grande, amplificador e capacitor internos ao <i>pixel</i>	$\frac{2e_n^2}{(R_j+1/gm_i)^2}$	[18]
Capacitive feedback transimpedance amplifier	Impedância de entrada do amplificador	Estável, controlada pela realimentação de um amplificador	Grande, amplificador e capacitor internos	$\frac{e_{namp}^2(C_{fb}+C_j)^2}{A^2 C_{fb}^2}$ ²	[18]

Continua na próxima página

¹A:ganho do amplificador

² C_{fb} capacitância de realimentação do circuito CTIA

Tabela V.3 – continuação da página anterior

Estrutura	Impedância de Entrada	Controle da Polarização do <i>Pixel</i>	Área do <i>Pixel</i>	Ruído Referente a Entrada	Ref
			ao <i>pixel</i>		
Switched current integration	$\frac{1}{gm_i(A+1)}^1$	Estável, controlada pela realimentação de um amplificador	Moderada, amplificador interno e capacitor externo ao <i>pixel</i>	$\frac{e_{n1}^2}{(R_j(A+1) + \frac{1}{gm_i})^2}^1$	[18], [19]
Buffered gate modulation input	$\frac{1}{gm_i(A+1)}^1$	Estável, controlada pela realimentação de um amplificador	Moderada, amplificador internos e capacitor externo ao <i>pixel</i>	$\frac{e_{n1}^2}{(R_j(A+1) + \frac{1}{gm_i})^2}^1$	[18], [19]
Current mirroring direct injection	$\frac{1-\gamma}{gm_i}^3$	Estável e próxima a zero, controlada pela realimentação no espelho de corrente duplo	Grande, devido a capacitância interna ao <i>pixel</i>	$\approx gm_i^2 e_{neq}^2^4$	[20]
Current mirroring integration	$\frac{1-\gamma}{gm_i}^3$	Estável e próxima a zero, controlada pela realimentação no espelho de corrente duplo	Pequena, necessita de 9 transistores no <i>pixel</i> e capacitância externa	$\approx gm_i^2 e_{neq}^2^4$	[21]
Capacitive Transconductance Amplifier	Muito Alta, devido a entrada em tensão	Estável, controlada por circuito externo	Pequeno, devido qualidade das chaves utilizadas	$\frac{I_o}{gm_{M1} R_D}$ (III.33)	[11]
Regulated Cascode Current Mirroring	$\frac{1}{gm_{N1}}$	Estável, devido equação da corrente de <i>drain</i>	Pequena	$\frac{gm_{N1}}{gm_{N2}} I_o$ (IV.21)	[10]

Continua na próxima página

³ $\gamma = \frac{gm_{P1} gm_{N2}}{gm_{P2} gm_{N1}}$ ver [21]

⁴ $e_{neq}^2 = e_{nn1}^2 + e_{nn2}^2 + \frac{gm_{P1}^2}{gm_{N1}^2} (e_{np1}^2 + e_{np2}^2 + e_{np3}^2)$ ver [21]

Tabela V.3 – continuação da página anterior

Estrutura	Impedância de Entrada	Controle da Polarização do <i>Pixel</i>	Área do <i>Pixel</i>	Ruído Referente a Entrada	Ref
Dinamic Regulated Cascode Current Mirroring	$\frac{1}{gm_{N1}}$	Estável, devido equação da corrente de <i>drain</i>	Pequena	$\frac{gm_{N1}}{gm_{N2}} I_o$ (IV.28)	[10]

CAPÍTULO VI

CONCLUSÃO

Ao longo dessa dissertação de mestrado buscaram-se soluções que contemplassem os diversos desafios existentes no projeto de um circuito de instrumentação eletrônica para sensores de imagem IR InGaAs P-I-N QWIP em modo de corrente. Essa pesquisa deseja acrescentar informações ao desenvolvimento da potencial tecnologia de sensoriamento IR. Espera-se propiciar o estado da arte da tecnologia e as suas diversas aplicações que variam de acordo com o comprimento de onda de operação como: médica, industrial, segurança, astronomia e muitas outras.

A informação visual é convertida em um sinal elétrico através de um fenômeno optoeletrônico no sensor IR. O objeto de estudo desse trabalho são 2 métodos de instrumentação dessa informação, utilizando 3 topologias de circuito. Explorou-se a tecnologia de *pixel* inteligente que tem tornado possível a implementação do processamento da imagem no plano focal. Optou-se por um circuito de instrumentação em modo de corrente em decorrência de suas vantagens, tais como: baixa dependência da tensão de alimentação, baixa interferência na faixa dinâmica do sensor, alta velocidade de operação e fácil implementação de operações importantes para o processamento da imagem.

O primeiro método é fundamentado em uma conversão da corrente fotoelétrica em uma tensão em um capacitor, por integração da mesma. Essa tensão é finalmente amplificada por um transcondutor e armazenada em uma célula de memória. O circuito projetado é discreto no tempo, e opera em regime não-linear mitigando a não-linearidade da conversão optoeletrônica. Este método é mostrado na Figura III.2 e é desenvolvido no transcórre do Capítulo III.

O segundo método é fundamentado na conversão direta da corrente fotoelétrica através de um amplificador de corrente, desenvolvido no Capítulo IV. Os espelhos de corrente cascode regulado são circuitos extremamente lineares. Esse é o objetivo do segundo método: instrumentação linear em tempo contínuo; e é para isso que o circuito da Figura IV.2 fora projetado. Embora essa topologia contemplasse grande parte dos desafios existentes, ela

se mostrou propensa a erros de funcionamento analisados na Seção IV.3 e confirmados pelos resultados contidos na Seção IV.6.

A polarização do circuito regulador com uma corrente fixa gerada por um circuito externo e comum a todos os *pixels* é o principal problema do circuito da Figura IV.2. A mesma, além de introduzir uma fonte de ruído fixo a todos os *pixels*, não garante a anulação do efeito de modulação do canal, e, por isso, gera erros no ganho do circuito e distorções não-lineares indesejáveis. Então, essa dissertação propõe o circuito da Figura IV.5 como solução para os problemas existentes no circuito da Figura IV.2. A polarização dinâmica do circuito regulador estende o cancelamento do efeito de modulação do canal e reduz o ruído do circuito.

Ainda não é possível apontar uma solução definitiva para a instrumentação eletrônica para sensores de imagem IR InGaAs P-I-N QWIP em modo de corrente, mas esse trabalho buscou comparar os resultados obtidos e apresenta indicadores que facilitem o desenvolvimento dessa tecnologia. No Capítulo V foram apresentados os principais resultados das topologias que são objeto de estudo, comparando-os com indicadores adequados. Para situar esse trabalho no estado da arte da tecnologia, a Seção V.1 apresentou um apanhado das topologias já publicadas. Nela está contida a Tabela V.3 que compara as principais topologias já publicadas com o trabalho desenvolvido. Finalmente, serão apresentados os novos desafios a serem empreendidos na Seção VI.1.

VI.1 - NOVOS DESAFIOS

Com uma das contribuições desse trabalho, é possível estudar o modelo elétrico de outros fotodiodos para expandir os circuitos projetados a novas aplicações em IR. Outro desafio é implementar outras topologias de circuitos de leitura de imagem de luz visível (fotodiodo de Si) com o objetivo de aplicá-los a sensores IR. Combinando os avanços tecnológicos dos processos de fabricação de sensores de imagem com as topologias eficientes, implementadas em Si, é possível, assim, desenvolver as aplicações estratégicas dos sensores de imagem.

Com o término dos trabalhos aqui apresentados, os novos desafios nos direcionam ao projeto de circuitos de instrumentação e os seus respectivos circuitos de processamento de imagens no plano focal, todos em modo de corrente. É necessário analisar o comportamento dos circuitos integrados em uma matriz, mesmo que pequena, para que seja possível completar as pesquisas de circuitos de leitura de imagem de *pixel* inteligente. Outro interesse desse trabalho é investigar o funcionamento destas topologias em processos de integração com transistores cada vez menores, analisando as potenciais vantagens da operação em modo de corrente com a alta densidade de integração.

Enfim, existem muitas aplicações estratégicas nos sensores de imagem IR e em outros comprimentos de onda a serem exploradas, como: sistemas de observação aérea, moni-

toramento e auxílio à agricultura, segurança do tráfego aéreo, comunicações ópticas no espaço livre, detecção de componentes tóxicos em misturas gasosas, avaliação de doenças e muitas outras. O estado da arte dessa tecnologia propiciará ao Brasil o desenvolvimento de diversas atividades econômicas básicas da economia do país, proporcionando o crescimento do país.

APÊNDICE A

MODELAMENTO SPICE

Sistemas eletrônicos podem ser projetados a partir de diferentes modelos de transistores. O modelo amplamente utilizado pelos projetistas é o SPICE I. Este modela os fenômenos físicos de efeito de corpo (*back-gate bias effect*) e modulação de comprimento de canal (*channel-length modulation*) [33] [38]. Entretanto, os mesmos são modelados por uma constante, muito simples em relação ao modelo real. A simplicidade do modelo SPICE I favorece-o, pois suas equações são muito mais acessíveis a cálculos teóricos manuais.

Um modelo mais completo que este é o SPICE II e o modelo SPICE III. Ambos modelam os fenômenos físicos de operação no sub-limiar de condução (*subthreshold conduction*) e dos efeitos de canal curto (*short channel effects*) em relação ao SPICE I, além de modelar o efeito de corpo e a modulação do comprimento de canal por uma função dos parâmetros de processo. Os efeitos de canal curto modelados são: estreitamento da largura de canal (*narrow-width effects*), degradação da mobilidade de portadores (*normal-field mobility degradation*), velocidade de saturação (*velocity saturation*), efeito de portadoras quentes (*hot carrier effects*) e a variação da impedância de saída ($r_o = r(V_{DS})$) [33].

Enquanto o SPICE II foi abandonado, por apresentar sérios problemas de convergência numérica, o SPICE III ainda é utilizado em projeto de circuitos de alta confiabilidade. Suas equações foram obtidas de forma quase empírica a partir dos parâmetros de processo da tecnologia escolhida, deste modo o modelo SPICE III pretende ser o mais fiel possível ao modelo real, e com baixo custo computacional no equacionamento e na solução do circuito [38]. Entretanto, esses modelos não levam em consideração as variações internas ao processo de integração, que são cada vez mais proeminentes com a miniaturização das dimensões dos componentes sem o devido escalamento das tensões (*alimentação e threshold*) [33].

O modelo de simulação amplamente empregado é o BSIM3V. Apesar de apresentar algumas diferenças aos valores medidos, o mesmo é o que melhor modela todas as variações

do processo de integração com aproximadamente 180 parâmetros. Este é o motivo para que ele não seja empregado em projetos teóricos. Assim sendo, o projeto de circuitos integrados baseia-se no equacionamento dos circuitos com as simples equações do modelo SPICE e a otimização dos resultados a partir da simulação dos circuitos com o modelo BSIM3V.

I.1 - EQUAÇÕES

Para facilitar a redação das equações de projeto teórico do modelo SPICE, adotam-se algumas convenções. A seguir são listadas essas convenções e algumas constantes físicas que serão largamente utilizadas nas equações de projeto teórico.

- constante de Boltzmann:

$$k = 1.38 \cdot 10^{-23}; \quad (\text{I.1})$$

- carga do elétron:

$$q = 1.6 \cdot 10^{-19}; \quad (\text{I.2})$$

- constante dielétrica do Si (em relação ao vácuo):

$$\epsilon_{Si} = 11.7; \quad (\text{I.3})$$

- constante dielétrica do vácuo:

$$\epsilon_0 = 8.854 \cdot 10^{-12}; \quad (\text{I.4})$$

- concentração de portadores Si intrínseco:

$$n_i = 8.72 \cdot 10^9 \text{ para a } T = 300 \text{ K [39]}; \quad (\text{I.5})$$

- tensão efetiva:

$$V_{eff} = V_{GS} - V_{th}; \quad (\text{I.6})$$

- fator de ganho:

$$K' = \mu C_{ox}, \text{ onde } \mu \text{ é a mobilidade da portadora e } C_{ox} \text{ é a capacitância de } gate; \quad (\text{I.7})$$

- constante do efeito de corpo:

$$\gamma = \frac{\sqrt{2q N_{SUB} \epsilon_{Si} \epsilon_0}}{C_{ox}}, \text{ } N_{SUB} \text{ é a concentração de dopantes do substrato [31]}; \quad (\text{I.8})$$

- tensão térmica:

$$v_T = \frac{kT}{q}, \text{ onde } T \text{ é temperatura em Kelvin;} \quad (\text{I.9})$$

- potencial de Fermi:

$$\phi_f = v_T \ln \frac{N_{SUB}}{n_i} \quad [\text{39}]. \quad (\text{I.10})$$

O equacionamento do circuito fundamenta-se nos modelos SPICE. Para o projeto de circuitos de canal longo, as equações do modelo SPICE I satisfazem as necessidades do projetista. Porém, para o projeto de circuitos em baixa tensão [40], é imprescindível considerar os efeitos modelados pelos modelos SPICE II e III. Outrossim, utilizar-se-á as equações de projeto a seguir levando em conta as condições que elas são aplicáveis. Portanto, devem-se garantir as mesmas por simulação com o modelo BSIM3V.

A equação de corrente de *drain* (I_D) em *subthreshold* é do modelo SPICE II, e em triodo ou saturação são do modelo SPICE I, desde que atendidas as condições de canal longo. A equação da tensão de limiar de condução (V_T), levando em conta o efeito de corpo, é do modelo SPICE II. Muito embora a modelagem da modulação de canal por uma constante seja suficiente (quando atendidas as condições de canal longo), apresenta-se a seguir a modelagem por uma função que é do modelo SPICE II. Assim, pode-se optar o projeto em triodo ou saturação com SPICE I ou II em função das condições do problema.

As equações do modelo SPICE III diferenciam-se das apresentadas apenas por apresentarem resultados com alta acuidade, mas elas tornam-se desnecessárias na utilização de técnicas de simulação com o modelo BSIM3V. A seguir, as equações listadas são um resumo dos modelos SPICE I e II para o transistor NMOS, uma vez que as mesmas são aplicáveis ao PMOS com os sinais das tensões trocados.

- *subthreshold*:

$$I_D = K' (n - 1) v_T^2 \frac{W}{L} \exp \frac{V_{eff}}{n v_T} \left(1 - \exp \frac{-V_{DS}}{v_T} \right) \quad [\text{33}]; \quad (\text{I.11})$$

- triodo:

$$I_D = K' \frac{W}{L} \left(V_{eff} V_{DS} - \frac{V_{DS}^2}{2} \right) \quad [\text{29}]; \quad (\text{I.12})$$

- saturação:

$$I_D = \frac{K'}{2} \frac{W}{L} V_{eff}^2 (1 + \lambda V_{DS}) \quad [\text{29}]; \quad (\text{I.13})$$

- tensão de limiar de condução:

$$V_{th} = V_{th0} + \gamma \left(\sqrt{2 \phi_f + |V_{SB}|} - \sqrt{2 \phi_f} \right) \quad [\text{29}]; \quad (\text{I.14})$$

- função de modulação de canal:

$$\lambda = \frac{\sqrt{\frac{2\epsilon_{Si}\epsilon_0}{q N_{SUB}}}}{2L\sqrt{V_{DS} - \Delta V_{GS} + 2\phi_f}} \quad [31]; \quad (I.15)$$

- fator na operação em *subthreshold*:

$$n = 1 + \frac{C_d}{C_{ox}}, \quad [33]; \quad (I.16)$$

- capacitância da região de depleção sobre o *gate*:

$$C_d = \sqrt{\frac{\epsilon_{Si}\epsilon_0 q N_{SUB}}{4\phi_f}}, \quad [33]; \quad (I.17)$$

I.2 - PARÂMETROS

Os parâmetros de um processo de fabricação CMOS 0.35 μm utilizado no desenvolvimento desse trabalho, e obtidos junto ao fabricante, são resumidos nas tabelas abaixo.

Tabela A.1: Modelo de transistores com tensão de alimentação (V_{DD}) igual a 3.3 V

Parâmetro	NMOS	PMOS
μ (cm^2/Vs)	370	126
C_{ox} ($\text{fF}/\mu\text{m}^2$)	4.54	4.54
C_{ov} ($\text{fF}/\mu\text{m}$)	0.131	0.131
K' ($\mu\text{A}/\text{V}^2$)	170	58
V_{th0} (V)	0.50	-0.65
ϕ_f (V)	0.44	0.42
γ ($\text{V}^{1/2}$)	10.58	-0.40
λ aproximado (V^{-1})	0.5	0.5
N_{SUB} ($10^{15}/\text{cm}^3$)	212	101
J_S ($\text{fA}/\mu\text{m}^2$)	0.01	0.09
J_{SSW} ($\text{fA}/\mu\text{m}$)	0.13	0.61
I_{Dsat} ($\mu\text{A}/\mu\text{m}$)	540	-240

I.3 - CONCLUSÃO

Nenhum modelo SPICE é suficiente para modelar os complexos fenômenos físicos envolvidos. Seja no funcionamento de transistores para tecnologias com dimensões mínimas na escala de centenas de nanômetros, seja para a escala de dezenas de nanômetros, onde

surtem diversos fenômenos quânticos e relativísticos; as aproximações do modelo são expressivas. Portanto é extremamente importante o projeto com simulações em CAD, pois somente assim será possível garantir o atendimento das condições de contorno do sistema.

Em consonância com as todas as características dos modelos, é preferível o projeto dos circuitos através de cálculos analíticos com os modelos SPICE e a verificação das condições de operação dos circuitos com a simulação em CAD, modelo BSIM3V.

APÊNDICE B

MODELAMENTO DE RUÍDO

O modelo de ruído utilizado nesse trabalho foi obtido de acordo com o processo de integração $0.35\ \mu\text{m}$ CMOS utilizado no decorrer do projeto dos circuitos. Cada transistor é substituível por seu equivalente sem ruído e uma fonte de corrente de ruído. Essa fonte de ruído reúne todas as contribuições de ruído do transistor, sendo elas ruído térmico e ruído *flicker* (ruído $1/f$) [41].

O transistor NMOS possui o modelo de ruído de acordo com a Figura B.1, onde a corrente de ruído do transistor é descrita pela equação [42]

$$I_n^2 = 4kT \frac{2}{3} gm + \frac{1}{C_{ox} L_{eff}^2} \frac{KF I_D^{AF}}{f}, \quad (\text{II.1})$$

onde L_{eff} é a dimensão efetiva do canal, porém foi utilizada a dimensão de projeto nos cálculos analíticos.

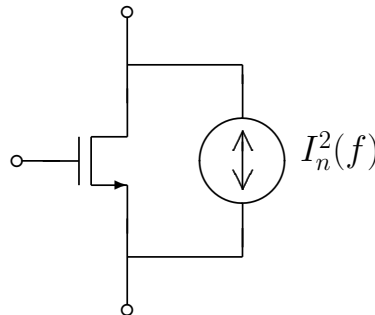


Figura B.1: Modelo de Ruído do Transistor NMOS.

O transistor PMOS possui o modelo de ruído de acordo com a Figura B.2, onde a corrente de ruído do transistor é descrita pela equação [42]

$$I_p^2 = 4kT \frac{2}{3} gm + \frac{1}{C_{ox} L_{eff} W_{eff}} \frac{KF I_D^{AF}}{f}, \quad (\text{II.2})$$

onde L_{eff} e W_{eff} são as dimensões efetivas do canal, porém foram utilizadas as dimensões de projeto nos cálculos analíticos.

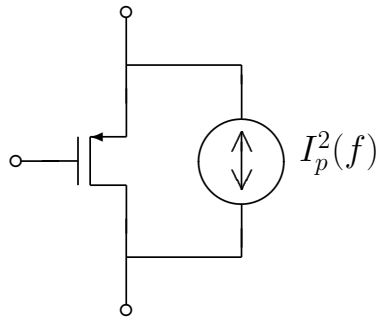


Figura B.2: Modelo de Ruído do Transistor PMOS.

Os parâmetros AF e KF da tecnologia de integração CMOS $0.35\mu\text{m}$ são apresentados da Tabela B.1.

Tabela B.1: Modelo de ruído dos transistores com tensão de alimentação (V_{DD}) igual a 3.3 V

Parâmetro	NMOS	PMOS
KF	$5.1 \cdot 10^{-27}$	$8.5 \cdot 10^{-27}$
AF	1.36	1.48

APÊNDICE C

MÁSCARAS DE INTEGRAÇÃO DOS CIRCUITOS

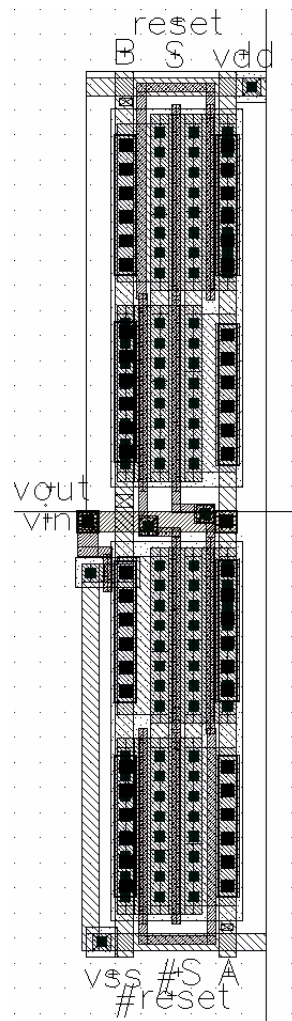


Figura C.1: Máscaras de integração da célula transcondutora APS.

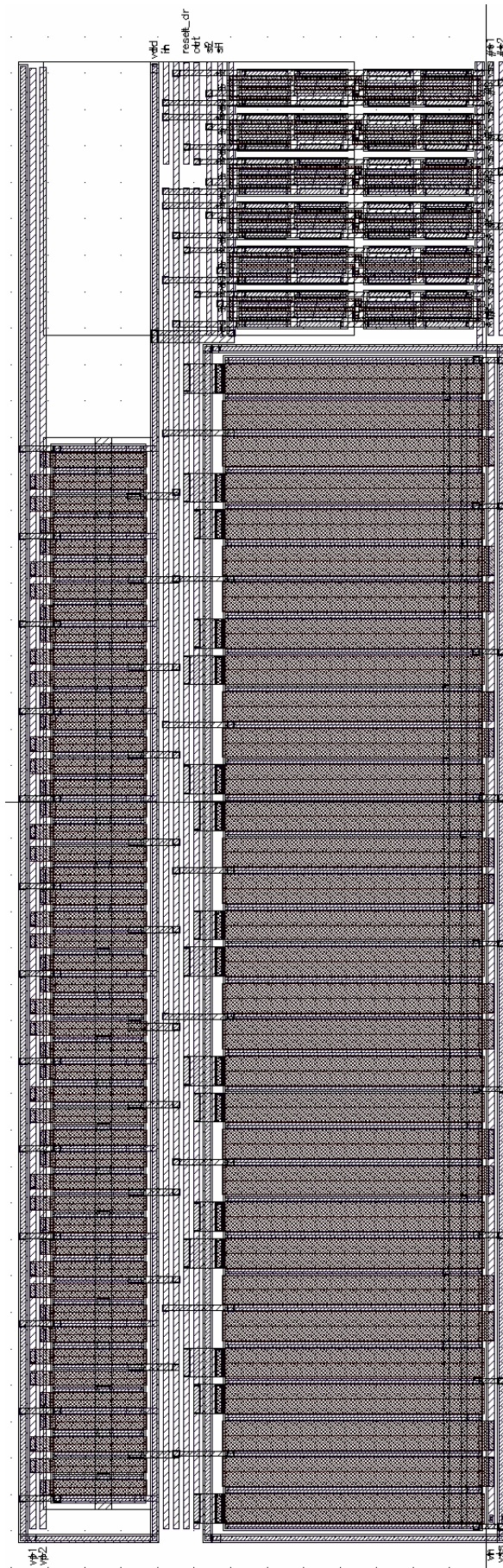


Figura C.2: Máscaras de integração da memória de corrente com células de SI de segunda geração.

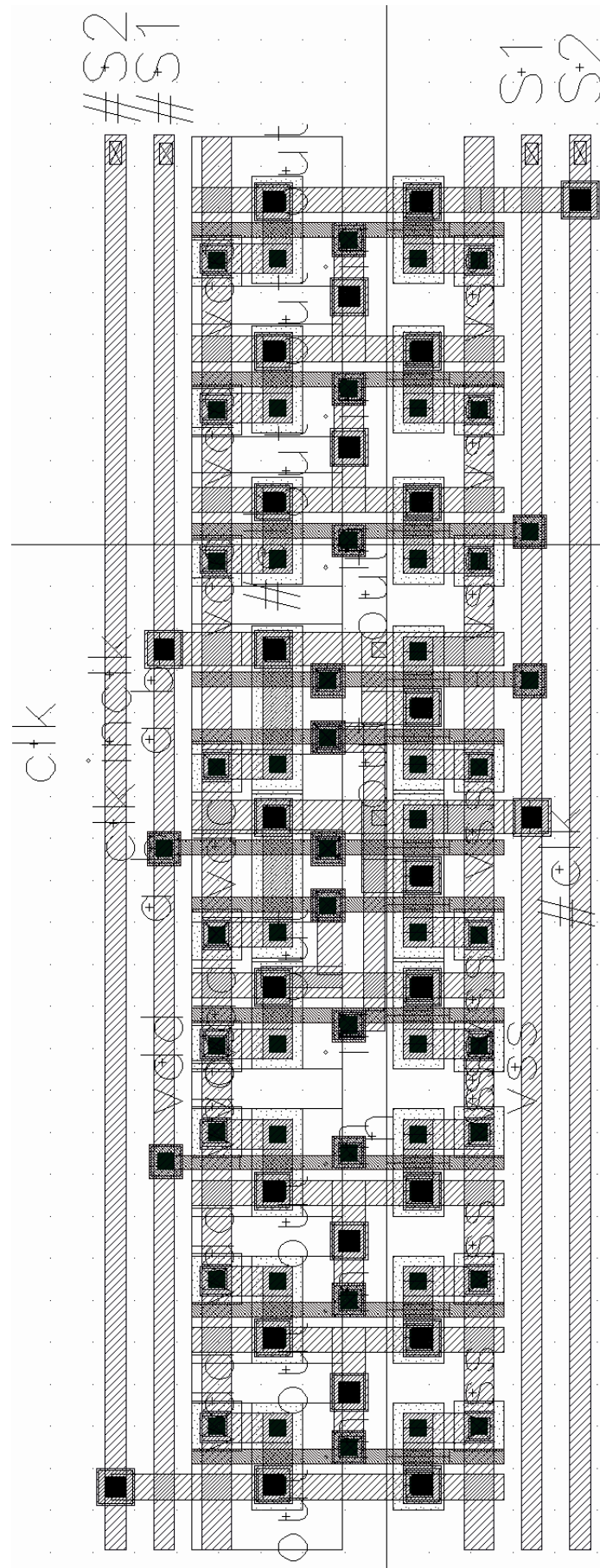


Figura C.3: Máscaras de integração do circuito gerador de clock não-entrelaçado.

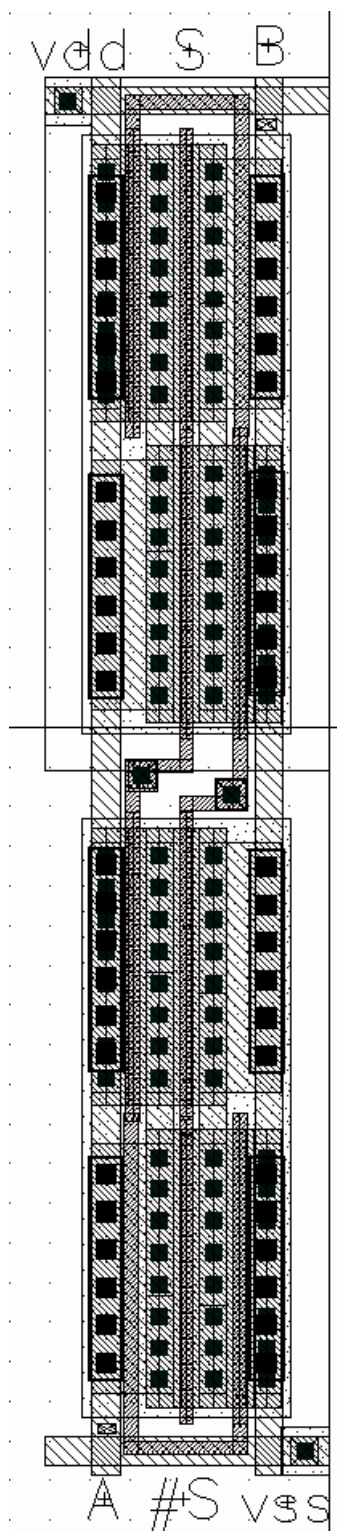


Figura C.4: Máscaras de integração da chave analógica.

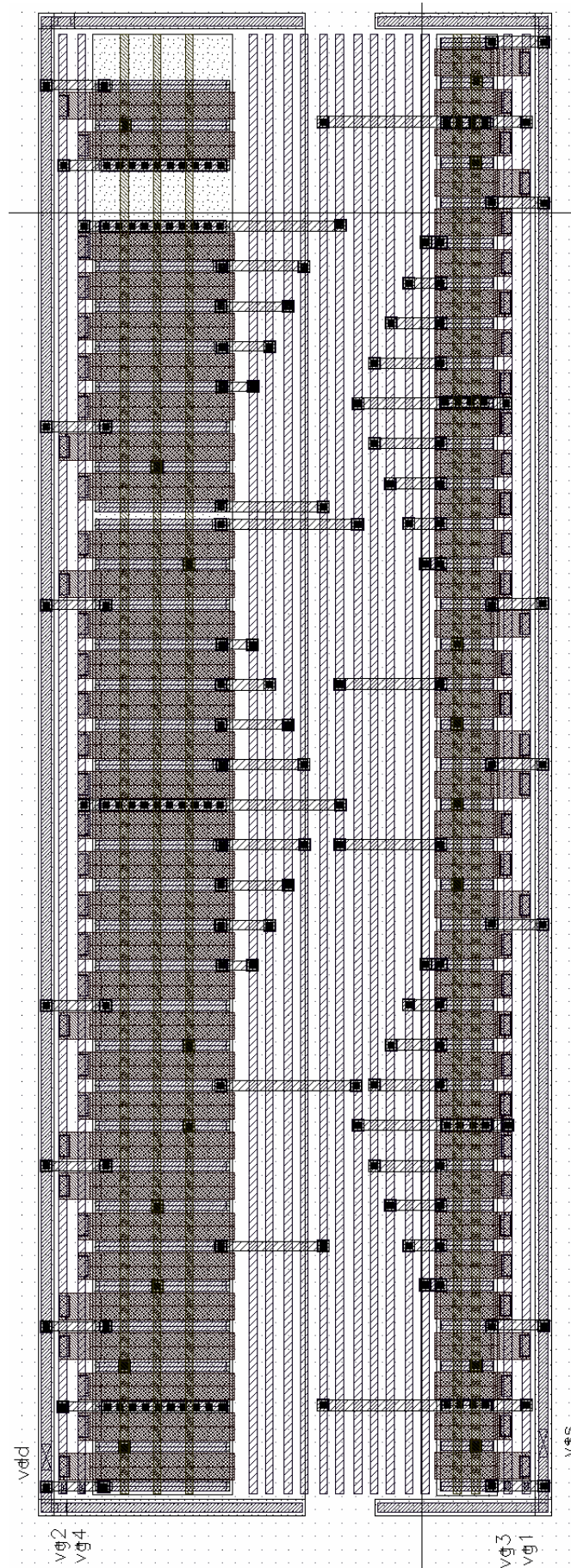


Figura C.5: Máscaras de integração do circuito de polarização.

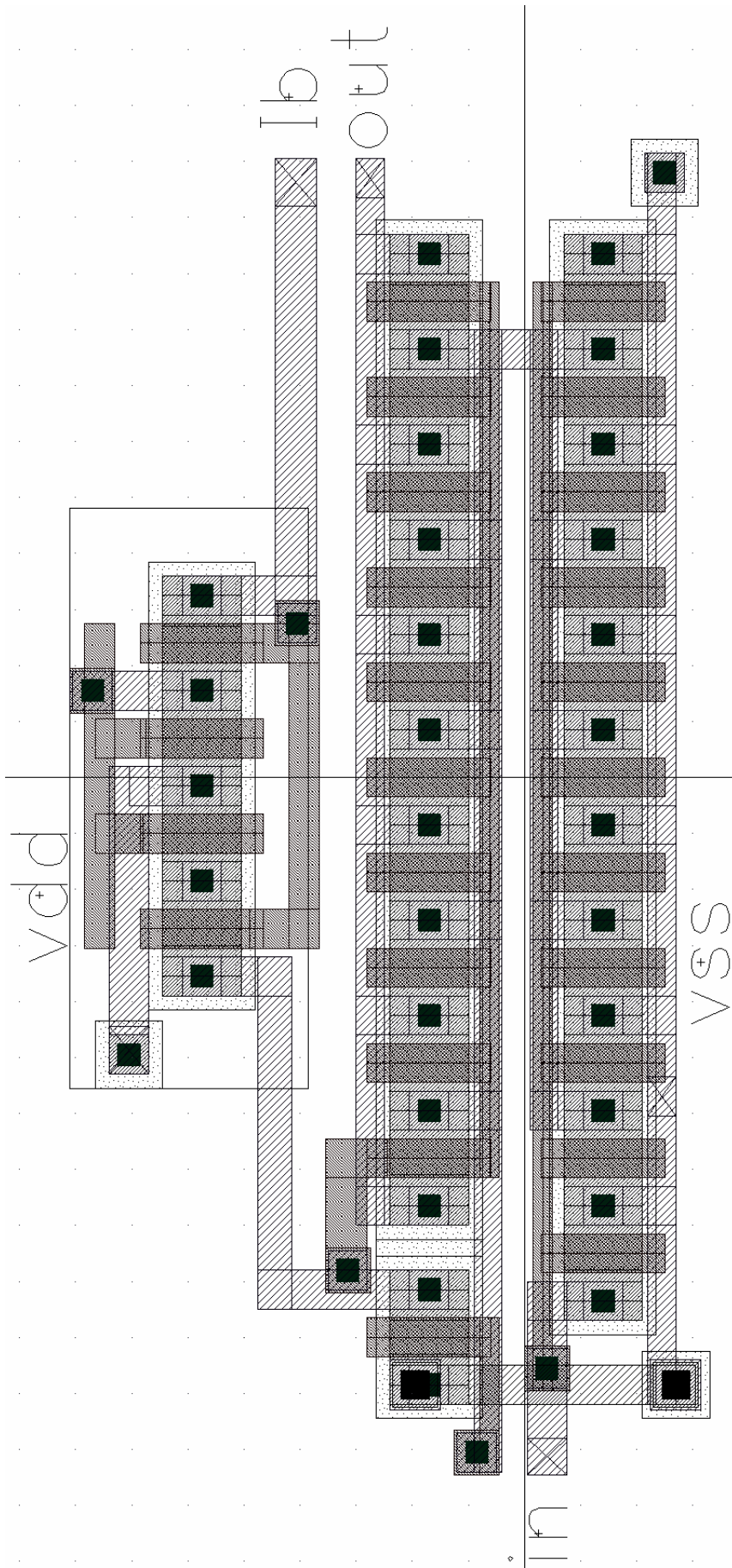


Figura C.6: Máscaras de integração do espelho cascode regulado com polarização fixa.

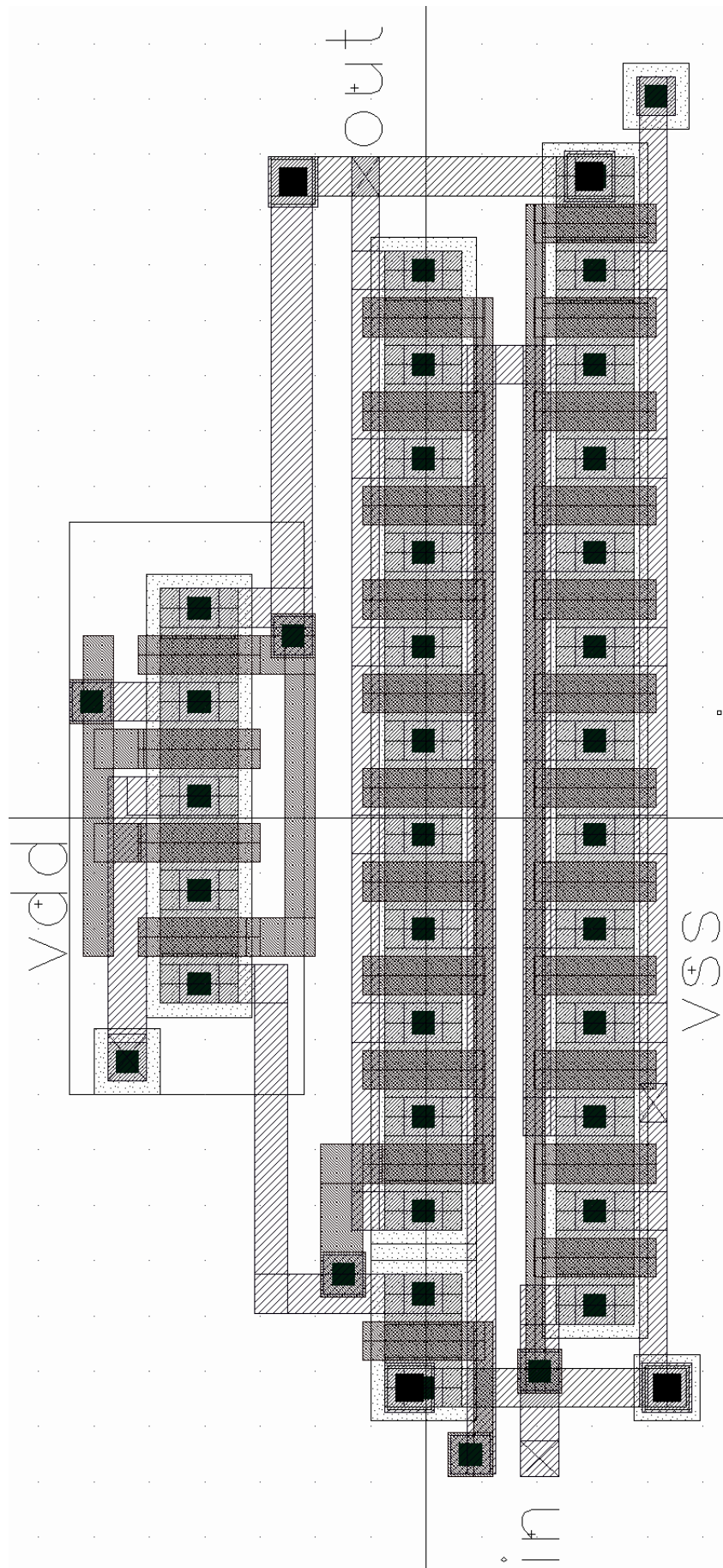


Figura C.7: Máscaras de integração do espelho cascode regulado com polarização dinâmica.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] S. OZER, E. A., “Demonstration and Performance Assessment of Large Format InP-InGaAsP Quantum-Well Infrared Photodetector Focal Plane Array”, *IEEE J. Quantum Electron.*, v. 43, n. 8, pp. 709–713, August 2007.
- [2] SUN, M., LU, Y., “Nonlinearity in ESD Robust InGaAs P-I-N Photodiode”, *IEEE Trans. Electron Devices*, v. 52, n. 7, pp. 1508–1513, July 2005.
- [3] BELLIS, M., “History of the digital camera”, 2004.
- [4] FOSSUM, E., “Active Pixel Sensor: Are CCD’s Dinosaurs?”, *Proc. SPIE Charged-Coupled Devices and Solid State Optical Sensors III*, v. 1900, n. 10, 1993.
- [5] FOSSUM, E. R., “CMOS image sensors: Electronic camera-on-a-chip”, *IEEE Trans. Electron Devices*, v. 44, n. 10, pp. 1689–1698, October 1997.
- [6] S. U. AY, M. L., FOSSUM, E. R., “CMOS active pixel sensor (APS) imager for scientific applications”. In: *Proceedings of the SPIE*, v. 4836, p. 271–278, December 2002.
- [7] CHEUNG, D. Y. H., *CMOS Active Pixel Sensor Designs for Fault Tolerance and Background Illumination Subtraction*. Dissertação de Mestrado, B.A.Sc. Simon Fraser University, 2002.
- [8] TIAN, H., FOWLER, B., GAMAL, A. E., “Analysis of Temporal Noise in CMOS Photodiode Active Pixel Sensor”, *IEEE J. Solid-State Circuits*, v. 36, n. 1, pp. 92–101, January 2001.
- [9] AL, R. K. W. E., “A highdynamic-range CMOS image sensor for automotive applications”, *IEEE J. Solid-State Circuits*, v. 35, n. 7, pp. 932–938, July 2000.
- [10] HUANG, Y., *Current-Mode CMOS Image Sensor*. Dissertação de Mestrado, University of Waterloo, 2002.
- [11] TÄNZER, M., GRAUPNER, A., SCHÜFFNY, R., “Design and Evaluation of Current-Mode Image Sensor in CMOS-Technology”, *IEEE Trans. Circuits Syst. II*, v. 51, n. 10, pp. 566–570, October 2004.

- [12] AL, S. K. M. E., “CMOS active pixel image sensors for highly integrated imaging systems”, *IEEE J. Solid-State Circuits*, v. 32, n. 2, pp. 187–197, February 1997.
- [13] B. FOWLER, A. E. G., YANG, D. X. D., “A CMOS area image sensor with pixel-level A/D conversion”. In: *In Proc. IEEE Int. Solid-State Circuits Conf.*, p. 226–227, February 1994.
- [14] AL, J. L. H. E., “Smart-pixel cellular neural networks in analog current-mode CMOS technology”, *IEEE J. Solid-State Circuits*, v. 29, n. 8, pp. 895–905, August 1994.
- [15] KOCH, C., LI, H., *Vision Chips: Implementing Vision Algorithms with Analog VLSI Circuits*. CA: IEEE Computer Society Press, 1995.
- [16] K. SHEN, G. W. COOK, L. H. J., DELP, E. J., “An overview of parallel processing approaches to image and video compression”. In: *Proceedings of the SPIE*, v. 2186, p. 197–208, February 1994.
- [17] GOMES, J. G. R. C., *Mixed-Signal Multilayer Perceptron Implementation of Low-Complexity Vector Quantizers for Image Compression*. Tese de Doutorado, UNIVERSITY OF CALIFORNIA, September 2004.
- [18] CHIH-CHENG HSIEH, CHUNG-YU WU, F.-W. J., SUN, T.-P., “Focal-plane-arrays and CMOS readout techniques of infrared imaging systems”, *IEEE Trans. Circuits Syst. Video Technol.*, v. 7, n. 4, pp. 594–605, August 1997.
- [19] CHIH-CHENG HSIEH, E. A., “High-performance CMOS buffered gate modulation input (BGMI) readout circuits for IR FPA”, *IEEE J. Solid-State Circuits*, v. 33, n. 8, pp. 1188–1198, August 1998.
- [20] NANYOUNG YOON, BYUNGHYUK KIM, H. C. L., KIM, C.-K., “High injection efficiency readout circuit for low resistance infra-red detector”, *IEEE Electron. Lett.*, v. 35, n. 8, pp. 1188–1198, September 1999.
- [21] KULAH, H., AKIN, T., “A Current Mirroring Integration Based Readout Circuit for High Performance Infrared FPA Applications”, *IEEE Trans. Circuits Syst. II*, v. 50, n. 4, April 2003.
- [22] WANG, X., WONG, W., HORNSEY, R., “A High Dynamic Range CMOS Image Sensor With Inpixel Light-to-Frequency Conversion”, *IEEE Trans. Electron Devices*, v. 53, n. 12, pp. 2988 – 2992, December 2006.
- [23] HUANG, Y., HORNSEY, R. I., “Current-Mode CMOS Image Sensor Using Lateral Bipolar Phototransistors”, *IEEE Trans. Electron Devices*, v. 50, n. 12, pp. 2570–2573, December 2003.

- [24] KANGZHU GUO, E. A., “1D InGaAs lock-in FPA”. In: *Infrared Technology and Applications XXX. Edited by Andresen, Bjorn F., and Fulop, Gabor F. Proceedings of the SPIE*, v. 5406, Presented at the Society of Photo-Optical Instrumentation Engineers (SPIE) Conference, pp. 64–72, August 2004.
- [25] HUGO L. HASS, E. A., “New Error Sensitivity Model for the Analog Hardware Implementation of Inner Products”. In: *Proc. IEEE International Conference on Image Processing*, pp. 3333–3336, October 2006.
- [26] SZE, S. M., *Physics of Semiconductor Devices*. Wiley Inter-Science, 1981.
- [27] ROGALSKI, A., “Infrared Detectors Status and Trends”, *Progress in Quantum Electronics*, v. 27, pp. 59–210, 2003.
- [28] JAE-HYUNG JANG, E. A., “Metamorphic Graded Bandgap InGaAs-InGaAlAs-InAlAs Double Heterojunction P-i-I-N Photodiodes”, *IEEE J. Lightwave Technol.*, v. 20, n. 3, pp. 507–514, March 2002.
- [29] SEDRA, SMITH, *Microelectronics Circuits*. Makron Books, 2000.
- [30] TOUMAZOU, C., HUGHES, J. B., PATTULLO, D. M., “Regulated Cascode Switched-Current Memory Cell”, *IEEE Electron. Lett.*, v. 26, n. 5, pp. 303–305, March 1990.
- [31] JONHS, D., MARTIN, K., *Analog integrated circuit design*. John Wiley & Sons, 1997.
- [32] MARTINS, J. M., DIAS, V. F., “Harmonic Distortion in Switched-Current Audio Memory Cells”, *IEEE Trans. Circuits Syst. II*, v. 46, n. 3, pp. 326–334, March 1999.
- [33] RAZAVI, B., *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [34] BRUUN, E., “Worst Case Estimate of Mismatch Induced Distortions in Complementary CMOS Current Mirrors”, *IEEE Electron. Lett.*, v. 34, n. 17, pp. 1625–1627, December 1998.
- [35] PALMISANO, P., PALUMBO, G., PENNISI, S., *CMOS Current Amplifiers*. Kluwer Academic Publishers, 1999.
- [36] BRUUN, E., “Harmonic Distortion in CMOS Current Mirrors”. In: *Proc. IEEE International Symposium on Circuits and Systems - ISCAS’98*, v. 1, pp. 567–570, 1998.
- [37] MARTINS, J. M., DIAS, V. F., “Very Low-Distortion Fully Differential Switched-Current Memory Cell”, *IEEE Trans. Circuits Syst. II*, v. 46, n. 5, pp. 640–643, May 1999.

- [38] MASSOBRIO, G., ANTOGNETTI, P., *Semiconductor Device Modeling with Spice*. Mc-Graw-Hill, 1993.
- [39] ZEGHBROECK, B. V., *Principles of Semiconductor Devices*. <http://ece-www.colorado.edu/~bart/book/>, 2004.
- [40] RAJPUT, S. S., JAMUAR, S. S., “Low voltage analog circuit design techniques”, *IEEE Circuits Syst. Mag.*, v. 2, n. 1, pp. 24 – 42, 2002.
- [41] TSIVIDIS, Y., *Operation and Modeling of the MOS Transistor*. Oxford, 1999.
- [42] austriamicrosystems, “0.35 μm CMOS C35 Noise Parameters”, Eng-189, Rev. 1.0, Relatório Interno, 2002.