

ESTUDO DO CHAVEAMENTO POR VETORES ESPACIAIS EM MODULAÇÃO
POR LARGURA DE PULSO EM CONVERSORES MULTINÍVEIS

Fernando José Giffoni da Silva

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDADE
FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM
ENGENHARIA ELÉTRICA

Aprovada por:

Prof. Maurício Aredes, Dr.-Ing.

Prof. Luís Guilherme Barbosa Rolim, Dr.-Ing

Prof. Pedro Gomes Barbosa, D. Sc.

RIO DE JANEIRO, RJ – BRASIL

JULHO DE 2008

GIFFONI DA SILVA, FERNANDO JOSÉ

Estudo do Chaveamento por Vetores Espaciais em Modulação por Largura de Pulso em Conversores Multiníveis [Rio de Janeiro] 2008

XII, 130 p. 29,7 cm (COPPE/UFRJ, M.Sc., Engenharia Elétrica, 2008)

Dissertação - Universidade Federal do Rio de Janeiro, COPPE

1. Conversores Multiníveis
2. Vetor Espacial (*Space Vector*)
3. Filtro Ativo Paralelo

I. COPPE/UFRJ II. Título (série)

Dedico este trabalho a Deus, aos
meus pais e a minha esposa.

AGRADECIMENTOS

Agradeço a DEUS em primeiro lugar, por cuidar da minha vida com amor e dedicação, estando sempre atento as minhas necessidades, me proporcionando nos momentos mais difíceis da vida força, fé e perseverança, e nos momentos mais felizes da vida humildade, amigos e amor.

Agradeço aos meus pais, FRANCISCO JOSÉ e REGINA CÉLIS, pela confiança, amor, dedicação e educação em mim depositados, em meio às limitações e dificuldades que em muitos momentos fomos submetidos.

Agradeço aos meus irmãos, FELIPE JOSÉ e FABRÍCIO JOSÉ, por suas presenças sempre marcantes e especiais, estando ao meu lado em todos os momentos.

Agradeço a minha amada esposa FABIANA FERNANDES, que através de seu amor não permitiu que o desânimo me vencesse, por sua dedicação, paciência e cuidado com todos os detalhes e desafios encontrados ao longo deste trabalho.

Agradeço aos amigos, a família ELEPOT e aos irmãos da IMAPJC que sempre estiveram presentes e quando solicitados em momento algum se ausentaram, contribuindo de forma significativa para o desenvolvimento deste trabalho.

Por último, porém não menos importante, agradeço ao mestre MAURÍCIO AREDES, pela atenção e confiança que foram os responsáveis pela concretização deste trabalho.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

ESTUDO DO CHAVEAMENTO POR VETORES ESPACIAIS EM MODULAÇÃO POR LARGURA DE PULSO EM CONVERSORES MULTINÍVEIS

Fernando José Giffoni da Silva

Julho/2008

Orientador: Maurício Aredes

Programa: Engenharia Elétrica

Neste trabalho são apresentadas estratégias de chaveamento para conversores multiníveis baseadas na modulação por vetores espaciais em grandezas de fase *abc*. Estas estratégias são aplicadas no comando do inversor multinível do filtro ativo paralelo de potência, realizando a compensação harmônica das correntes não lineares demandada pela carga. Os controladores do chaveamento foram desenvolvidos individualmente para cada tipo de topologia de conversores multinível, respeitando suas características e limitações.

O trabalho descreve como os controladores do chaveamento por vetores espaciais determinam os tempos disparo das chaves semicondutoras dos conversores multiníveis estudados. A distorção harmônica total das correntes na fonte foi comparada, considerando o número de níveis dos conversores multiníveis e das topologias estudadas.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

STUDY OF SPACE VECTOR SWITCHING IN PULSE WIDTH MODULATION TO MULTILEVEL CONVERTERS

Fernando José Giffoni da Silva

July/2008

Advisor: Maurício Aredes

Department: Electrical Engineering

This work presents some switching strategies to multilevel converters based on space vector modulation directly in the *abc*- phase modes. These strategies are applied in order to drive a multilevel inverter of a shunt active filter to accomplish the harmonic compensation of a non-linear load current. The switching controller have been developed individually for each kind of multilevel converters topology, respecting their characteristics and limitations.

This work describes how the drivers of space vector switching by determining the time of the shooting the multilevel converters. The total harmonic distortion of the current source was compared, considering the number of levels of converters and multilevel topologies studied.

SUMÁRIO

| | | |
|----------|---|------------|
| 1 | INTRODUÇÃO | 1 |
| 1.1 | IDENTIFICAÇÃO DO PROBLEMA | 2 |
| 1.2 | MOTIVAÇÃO PARA O TRABALHO | 2 |
| 1.3 | OBJETIVOS DO TRABALHO | 3 |
| 1.4 | SÍNTESE DO TRABALHO | 4 |
| 2 | CONVERSORES MULTINÍVEIS | 5 |
| 2.1 | CONVERTOR COM PONTO DE NEUTRO GRAMPEADO | 7 |
| 2.2 | CONVERTOR COM CAPACITOR GRAMPEADO..... | 10 |
| 2.3 | CONVERTOR MULTINÍVEIS COM MÓDULOS EM CASCATA | 13 |
| 2.4 | OUTRAS TOPOLOGIAS MULTINÍVEIS | 15 |
| 2.5 | CONCLUSÕES PARCIAIS | 18 |
| 3 | FILTRO ATIVO PARALELO | 20 |
| 3.1 | PRINCÍPIO DE FUNCIONAMENTO | 21 |
| 3.2 | CIRCUITO DE POTÊNCIA..... | 22 |
| 3.3 | CIRCUITO DE CONTROLE | 23 |
| 3.4 | CONCLUSÕES PARCIAIS | 29 |
| 4 | CHAVEAMENTO MULTINÍVEL SPACE VECTOR | 30 |
| 4.1 | CLASSIFICAÇÃO DAS ESTRATÉGIAS DE MODULAÇÃO | 31 |
| 4.2 | PRINCÍPIOS DA MODULAÇÃO POR LARGURA DE PULSO – PWM..... | 32 |
| 4.3 | MODULAÇÃO SPACE VECTOR PWM – SVPWM | 33 |
| 4.4 | COMPARADOR MULTINÍVEL SPACE VECTOR..... | 36 |
| 4.5 | CONTROLADOR SVPWM MULTINÍVEL | 44 |
| 4.6 | CONTROLADOR SVPWM MULTINÍVEL – CAPACITOR GRAMPEADO..... | 68 |
| 4.7 | CONTROLADOR SVPWM MULTINÍVEL – CÉLULAS EM CASCATA..... | 75 |
| 4.8 | CONCLUSÕES PARCIAIS | 78 |
| 5 | RESULTADOS DAS SIMULAÇÕES | 79 |
| 5.1 | CIRCUITOS DE CONTROLE IMPLEMENTADOS | 81 |
| 5.2 | ESTRATÉGIA DE CHAVEAMENTO SVPWM | 83 |
| 5.3 | SIMULAÇÃO CONVERSORES 3-NÍVEIS NPC | 86 |
| 5.4 | SIMULAÇÃO CONVERSORES 5-NÍVEIS NPC | 94 |
| 5.5 | SIMULAÇÃO CONVERSORES 3-NÍVEIS CAPACITOR FLUTUANTE..... | 103 |
| 5.6 | SIMULAÇÃO CONVERSORES 7-NÍVEIS MÓDULOS EM CASCATA..... | 106 |
| 5.7 | SIMULAÇÃO CONVERSORES 9-NÍVEIS MÓDULOS EM CASCATA..... | 111 |
| 5.8 | CONCLUSÕES PARCIAIS | 115 |
| 6 | CONCLUSÃO GERAL | 120 |
| 6.1 | CONCLUSÕES..... | 120 |
| 6.2 | TRABALHOS FUTUROS..... | 121 |
| | REFERÊNCIAS BIBLIOGRÁFICAS | 123 |
| | APÊNDICE A | 127 |
| | TEORIA P-Q | 127 |
| | APÊNDICE B | 129 |
| | FUNÇÃO DHT | 129 |

LISTA DE FIGURAS

| | |
|--|----|
| Figura 2-1: a) Braço de conversor 2 níveis; b) Braço de conversor 3 níveis; c) Braço de conversor “n” níveis; | 6 |
| Figura 2-2: a) Braço de um conversor 3 níveis NPC; b) Braço de um conversor 5 níveis NPC | 7 |
| Figura 2-3: a) Braço de um conversor 3 níveis Capacitor Flutuante; b) Braço de um conversor 5 níveis Capacitor Flutuante | 11 |
| Figura 2-4: Braço de conversores em Cascata 9 níveis | 14 |
| Figura 2-5: Estrutura Multinível do Conversor Generalizado P2 | 16 |
| Figura 2-6: Braço de um Conversor 9 níveis com Módulos Híbridos | 17 |
| Figura 2-7: Braço de um Conversor Multinível com Módulos Híbridos Assimétricos . | 18 |
| Figura 3-2: Princípio de Funcionamento do Filtro Ativo Paralelo | 21 |
| Figura 3-3: Diagrama Básico dos Controles do Filtro Ativo Paralelo | 22 |
| Figura 3-4: Circuito de Sincronismo - PLL | 24 |
| Figura 3-5: Circuito do Detector de Tensões de Sequência Positiva – V^{+1} | 26 |
| Figura 3-6: Circuito de Controle das Correntes de Compensação | 27 |
| Figura 3-7: Controlador do Elo de Corrente Contínua | 28 |
| Figura 4-1: Moduladores Multiníveis | 31 |
| Figura 4-2: Representação do Vetor Girante nos Eixos $\alpha\beta$ | 35 |
| Figura 4-3: Diagramas Vetoriais: a) 2 Níveis; b) 3 Níveis; c) 5 Níveis | 36 |
| Figura 4-4: Combinações de Chaveamento Possíveis de um Conversor 2 Níveis | 37 |
| Figura 4-5: Combinações dos Vetores de Chaveamento do Conversor 2 Níveis | 38 |
| Figura 4-6: Diagrama de Controle do Comparador 2 Níveis SVPWM em Grandezas de fase abc | 39 |
| Figura 4-7: Determinação do Chaveamento do Controlador SVPWM | 40 |
| Figura 4-8: Diagrama Vetorial 3 Níveis | 41 |
| Figura 4-9: Diagrama de Controle do Comparador 3 Níveis SVPWM em Grandezas de fase abc | 42 |
| Figura 4-10: Configuração do Comparador 3 Níveis | 42 |
| Figura 4-11: Comparação e Determinação do Chaveamento 3 Níveis | 43 |
| Figura 4-12: Disparo das Chaves Semicondutoras | 43 |
| Figura 4-13: Diagrama Genérico de Controle do Comparador SVPWM em Grandezas de fase abc | 43 |
| Figura 4-14: Diagramas Vetoriais de Conversores Multiníveis | 45 |
| Figura 4-15: Combinações Possíveis do Conversor 5 Níveis NPC | 46 |
| Figura 4-25: Representação das Regiões do Hexágono | 48 |

| | |
|---|----|
| Figura 4-30: Sequência de Chaveamento dos Vetores Espaciais | 49 |
| Figura 4-31: Etapas de Funcionamento do Algoritmo SVPWM..... | 49 |
| Figura 4-32: Representação Comutações Possíveis no SVPWM..... | 50 |
| Figura 4-33: Representação do Vetor de Referência em Grandezas de fase <i>abc</i> | 54 |
| Figura 4-34: Etapas de Funcionamento do Algoritmo SVPWM em Grandezas de fase <i>abc</i> | 62 |
| Figura 4-35: Controlador 2 Nível SVPWM em Grandezas de fase <i>abc</i> | 62 |
| Figura 4-36: Diagramas Espaciais dos Vetores de Chaveamento SVPWM convencional | 64 |
| Figura 4-37: Diagramas Espaciais dos Vetores de Chaveamento SVPWM desenvolvido | 64 |
| Figura 4-38: Controlador Multinível SVPWM em Grandezas de fase <i>abc</i> | 65 |
| Figura 4-39: Princípio de Comparação do Chaveamento SVPWM em Grandezas de fase <i>abc</i> | 66 |
| Figura 4-40: Princípio de Comparação do Chaveamento SVPWM na Técnica: a) PD; b) POD | 67 |
| Figura 4-41: Técnicas de Defasagem das Portadoras Triangulares..... | 67 |
| Figura 4-42: Técnica de Defasagem APSD..... | 68 |
| Figura 4-43: Conversor 3 Níveis Capacitor Flutuante..... | 69 |
| Figura 4-44: Estados de Operação do Inversor 3 Níveis Capacitor Flutuante | 70 |
| Figura 4-45: Modelo do Circuito Equivalente do Conversor 3 Níveis Capacitor Flutuante | 72 |
| Figura 4-46: Controlador de Karnaugh 3 Níveis | 73 |
| Figura 4-47: Condições do Chaveamento no Mapa de Karnaugh..... | 74 |
| Figura 4-48: Circuitos Lógicos de Comando dos Disparos por Braço do Conversor | 75 |
| Figura 4-49: Conversor Monofásico Multinível em Cascata Genérico..... | 76 |
| Figura 4-50: Princípio de Defasagem entre as Portadoras Triangulares | 77 |
| Figura 4-51: Controlador SVPWM Multinível de Módulos em Cascata em Grandezas de fase <i>abc</i> | 78 |
| Figura 5-1: Circuito de Potência sem o Conversor Multinível..... | 80 |
| Figura 5-2: Implementação do Circuito de Sincronismo - PLL | 81 |
| Figura 5-3: Implementação do Circuito Detector de Sequência Positiva..... | 82 |
| Figura 5-4: Implementação do Cálculo das Correntes de Compensação | 83 |
| Figura 5-5: Implementação do Circuito de Chaveamento SVPWM em Grandezas de fase <i>abc</i> | 83 |
| Figura 5-6: Implementação do Algoritmo da Determinação da Região..... | 84 |
| Figura 5-7: Implementação da Tabela de Localização da Região..... | 85 |
| Figura 5-8: Implementação da Tabela dos Tempos de Chaveamento..... | 85 |

| | |
|--|-----|
| Figura 5-9: Determinação do Ciclo de Trabalho dos Vetores para Região I | 86 |
| Figura 5-10: Inicialização da Simulação do Conversor 3 Níveis NPC | 87 |
| Figura 5-11: Correntes na Fonte e Tensões na Carga – Comparador SVPWM..... | 88 |
| Figura 5-12: Correntes de Compensação (ideais x reais) – Comparador SVPWM | 88 |
| Figura 5-13: Correntes na Fonte, Carga e Filtro na fase “a” | 89 |
| Figura 5-14: Tensão na Carga e Corrente na Fonte..... | 89 |
| Figura 5-15: Tensão no Elo CC – Comparador SVPWM | 90 |
| Figura 5-16: Implementação do Chaveamento Interpolado SVPWM..... | 91 |
| Figura 5-17: Configuração das Defasagens das Portadoras na Técnica APOD..... | 91 |
| Figura 5-18: Configuração das Defasagens das Portadoras na Técnica PD..... | 92 |
| Figura 5-19: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APOD | 93 |
| Figura 5-20: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – PD | 94 |
| Figura 5-21: Inicialização da Simulação do Conversor 5 Níveis NPC | 95 |
| Figura 5-22: Implementação da Interpolação do Chaveamento 5 Níveis SVPWM..... | 96 |
| Figura 5-23: Configuração das Defasagens das Portadoras na Técnica APOD..... | 97 |
| Figura 5-24: Configuração das Defasagens das Portadoras na Técnica POD..... | 98 |
| Figura 5-25: Configuração das Defasagens das Portadoras na Técnica APSD..... | 99 |
| Figura 5-26: Configuração das Defasagens das Portadoras na Técnica PD..... | 100 |
| Figura 5-27: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APOD | 101 |
| Figura 5-28: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – POD | 101 |
| Figura 5-29: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APSD..... | 102 |
| Figura 5-30: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – PD | 102 |
| Figura 5-31: Inicialização da Simulação do Conversor 3 Níveis Capacitor Flutuante | 103 |
| Figura 5-32: Sinais de Controle do Chaveamento Karnaugh SVPWM | 104 |
| Figura 5-33: Implementação do Controle dos Disparos do Controlador | 104 |
| Figura 5-34: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Karnaugh SVPWM | 105 |
| Figura 5-35: Correntes na Carga, Fonte e Filtro na fase “a” – Karnaugh SVPWM..... | 105 |
| Figura 5-36: Tensões nos Capacitores de Grampeamento | 106 |
| Figura 5-37: Implementação dos Conversores 7 Níveis em Cascata | 106 |
| Figura 5-38: Controle dos Sinais de Referência e Elo C.C. | 107 |

| | |
|--|-----|
| Figura 5-39: Implementação da Interpolação do Chaveamento 7 Níveis em Cascata . | 109 |
| Figura 5-40: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Controlador 7 Níveis em Cascata SVPWM..... | 110 |
| Figura 5-41: Correntes na Carga, Fonte e Filtro na fase “a” – Cascata 7 Níveis..... | 110 |
| Figura 5-42: Implementação do Conversor 9 Níveis em Cascata | 111 |
| Figura 5-43: Controle dos Sinais de Referência, Elo C.C. e Chaveamento 9 Níveis... | 113 |
| Figura 5-44: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Controlador 9 Níveis em Cascata SVPWM..... | 114 |
| Figura 5-45: Corrente na Carga, Fonte e Filtro na fase “a” – Cascata 9 Níveis..... | 114 |
| Figura 5-46: Gráfico do DHT entre as Simulações | 117 |
| Figura 5-47: Gráfico de Comparação do DHT das Simulações 3 Níveis..... | 118 |
| Figura 5-48: Gráfico de Comparação do DHT das Simulações 5 Níveis..... | 118 |
| Figura 5-49: Comparação do DHT entre as Técnicas APOD, POD, APSD e PD | 119 |

LISTAS DE TABELAS

| | |
|---|-----|
| Tabela 2-1: Combinações do conversor 5 níveis NPC | 10 |
| Tabela 2-2: Combinações do conversor 5 níveis Capacitor Flutuante | 12 |
| Tabela 2-3: Características das Topologias Multiníveis..... | 18 |
| Tabela 2-4: Número de Componentes de cada Topologia Multinível..... | 19 |
| Tabela 4-1: Estados de Chaveamento de um Conversor 2 Níveis..... | 38 |
| Tabela 4-3: Relação entre a variável Soma e a Região do hexágono..... | 53 |
| Tabela 4-6: Relação dos Tempos de Chaveamento com a Região..... | 61 |
| Tabela 4-7: Ciclos de Trabalho Definidos por Região | 61 |
| Tabela 5-1: Comparação entre as Simulações da Distorção Harmônica Total | 116 |

1 INTRODUÇÃO

O constante desenvolvimento tecnológico industrial, e na intersecção das áreas da engenharia elétrica e eletrônica, muitos equipamentos tem sido desenvolvidos para garantir a confiabilidade dos sistemas elétricos e solucionar problemas.

A maioria dos equipamentos eletrônicos realiza algum tipo de conversão de energia elétrica para funcionar, sendo este tipo de equipamento considerado como uma carga não-linear, devido ao fato da conversão de energia elétrica ser realizada através de componentes eletrônicos baseados na tecnologia de semicondutores.

O conceito de equipamentos *Custom Power* aplicados em sistemas de distribuição de energia elétrica foi introduzido por Hingorani [1], com objetivo de garantir qualidade e confiabilidade da energia elétrica disponibilizada ao consumidor de energia elétrica.

Muitos consumidores industriais utilizam filtros passivos sintonizados para atenuar distorções harmônicas e banco de capacitores para corrigir o fator de potência de suas redes elétricas. O projeto destes bancos de capacitores é realizado em função da frequência fundamental da rede elétrica, permitindo a propagação da distorção harmônica, com isso, pode ocorrer ressonância entre as indutâncias do sistema elétrico e do banco de capacitores.

Com o aumento considerável das cargas não-lineares no sistema elétrico e a adição de elementos passivos como filtros e bancos de capacitores, tem aumentado os problemas causados por propagações harmônicas na rede de distribuição de energia elétrica.

Na década de 70 foi introduzido o conceito de filtro ativo, este consiste em um equipamento capaz de sintetizar e entregar ao sistema elétrico, tensões e correntes harmônicas de mesma amplitude em oposição de fase em relação às tensões e correntes harmônicas presentes nas cargas não-lineares conectadas ao sistema elétrico [2].

O filtro ativo através de um conversor eletrônico de potência gera as tensões e correntes de compensação fornecidas por um circuito de controle através de uma estratégia de chaveamento. A técnica de chaveamento é responsável pela conversão da

forma de onda de referência gerada pelo circuito de controle, em uma combinação de estados lógicos das chaves semicondutoras do inversor no domínio do tempo [3].

1.1 IDENTIFICAÇÃO DO PROBLEMA

Existem limitações em relação ao nível de tensão e potência para as soluções baseadas na eletrônica de potência. Os conversores dois níveis convencionais são limitados principalmente pela tensão nas quais as chaves semicondutoras presentes no inversor são submetidas.

Toda chave semicondutora de potência possui um limite na tensão aplicada a esta. Mesmo quando a tensão aplicada é elevada, mas não é excedido o limite, ocorre um aumento de estresse na chave semicondutora reduzindo sua eficiência [4].

Para permitir que as soluções desenvolvidas pela área de eletrônica de potência possam ser aplicadas em níveis maiores de tensão foram desenvolvidos conversores multiníveis [5].

Com o aumento do número de cargas não-lineares no sistema elétrico, distorções harmônicas se propagam pela rede elétrica. Com objetivo de minimizar o conteúdo harmônico presente no chaveamento várias técnicas foram desenvolvidas que reduzem as perdas elétricas nas chaves semicondutoras e o conteúdo harmônico gerado no chaveamento.

Para que a técnica *Space Vector Pulse Width Modulation* – *SVPWM* pudesse ser aplicada em inversores multiníveis, os controladores propostos foram desenvolvidos. Esta técnica de chaveamento proporciona um chaveamento mais preciso que a técnica *Pulse Width Modulation* – *PWM* convencional, que também pode ser aplicada em conversores multiníveis.

No entanto, inicialmente esta técnica foi desenvolvida em coordenadas ortogonais nos eixos $\alpha\beta$, o que dificulta a compreensão do chaveamento vetorial por muitas pessoas. Para simplificar e aproximar os conceitos vetoriais do maior número possível de pessoas, os controladores *SVPWM* foram desenvolvidos em grandezas de fase abc .

1.2 MOTIVAÇÃO PARA O TRABALHO

Recentemente com o uso intensivo de equipamentos considerados como cargas não-lineares e a ampliação dos níveis de tensão, corrente e frequência das chaves

semicondutoras, existe maior interesse em soluções baseadas em eletrônica de potência para melhorar a qualidade da energia elétrica disponível para os consumidores.

Os conversores multiníveis começaram a receber maior atenção em 1980 com Nabae et al [6], que introduziu o conversor três níveis *Neutral Point Clamped – NPC*, que possui algumas vantagens quando comparado ao conversor dois níveis. No início da década de 90 os conceitos aplicados aos conversores NPC três níveis, foram expandidos e novas topologias com três ou mais níveis foram desenvolvidas.

Existem muitas formas de comandar os disparos das chaves semicondutoras presentes nos inversores de potência, onde a mais utilizada das técnicas de chaveamento em conversores eletrônicos de potência é conhecida como Modulação por Largura de Pulso ou *Pulse Width Modulation – PWM*. Esta teoria de modulação tem-se constituído uma importante área de pesquisa na eletrônica de potência por mais de três décadas.

Entretanto, existe uma grande tendência no aperfeiçoamento dos conceitos e estratégias baseadas na técnica de chaveamento PWM, desde 1970 [7]. Isto ocorre, devido ao objetivo principal de redução da distorção harmônica, ao aumento da amplitude de saída para dada frequência de chaveamento e ao desenvolvimento das estratégias de modulação para os ajustes de diferentes topologias de conversores.

O trabalho objeto desta dissertação concentra-se no desenvolvimento e pesquisa de filtro ativo de potência em paralelo, com a função de drenar correntes harmônicas e corrigir o fator de potência do sistema. Este trabalho implementou em um simulador o filtro ativo paralelo em diversas topologias multiníveis utilizando como base a técnica de chaveamento *Space Vector PWM* ou SVPWM, onde foram desenvolvidos vários controladores SVPWM de acordo com a topologia multinível implementada, sendo que estes controladores embora baseados na técnica SVPWM foram desenvolvidos diretamente a partir das grandezas de fase *abc*, ao invés do uso de sua transformação para coordenadas $\alpha - \beta$.

1.3 OBJETIVOS DO TRABALHO

Atualmente com o aumento da potência das plantas industriais e dos níveis de tensão do sistema elétrico, os conversores multiníveis podem ser utilizados com solução para problemas em aplicações de alta tensão e potência. As chaves semicondutoras presentes neste tipo de conversores não são submetidas aos elevados níveis de tensão devido à característica construtivas dos conversores multiníveis.

A pesquisa desenvolvida tem como objetivo desenvolver e analisar o controle dos disparos das chaves semicondutoras presentes nas topologias multiníveis em conversores NPC, conversores com Módulos em Cascata e conversor com Capacitores Flutuantes. Este controle será baseado na técnica SVPWM em grandezas de fase abc , para que o controle vetorial por vetores espaciais (*Space Vector*) seja mais amigável e simples em relação ao Space Vector convencional desenvolvido em coordenadas $\alpha\beta$.

Os controladores SVPWM são aplicados a um filtro ativo paralelo, e o controle do chaveamento associado a cada controlador será detalhado permitindo melhor compreensão do chaveamento vetorial adotado em cada topologia multinível.

1.4 SÍNTESE DO TRABALHO

No segundo capítulo é realizada uma revisão nas principais topologias de conversores multiníveis, onde algumas de suas vantagens em relação aos conversores dois níveis convencionais são abordadas, assim como, algumas diferenças entre as topologias revisadas.

Realizada a revisão nas topologias multiníveis, o terceiro capítulo é responsável pela descrição do princípio de funcionamento do filtro ativo paralelo, seus circuitos de controle e circuito de potência.

No quarto capítulo, são desenvolvidos os controladores responsáveis pelo disparo das chaves semicondutoras presentes no circuito de potência dos inversores multiníveis. Um controlador SVPWM em grandezas de fase abc foi desenvolvido para cada tipo de topologia multinível: NPC, Capacitores Flutuantes e Módulos em Cascata.

Realizada descrição de cada controlador, no quinto capítulo são descritas como foram realizadas as simulações e como os resultados foram obtidos para cada um dos controladores propostos em cada topologia.

O sexto capítulo é dedicado a conclusão do trabalho, sugestões para trabalhos futuros e comentários sobre os resultados e topologias envolvidas na implementação do filtro ativo paralelo com inversores multiníveis.

2 CONVERSORES MULTINÍVEIS

Nos últimos anos, a indústria tem demandado equipamentos eletrônicos de alta potência, os quais atualmente atingiram o nível dos megawatt. Estes equipamentos de alta potência podem ser aplicados em acionamentos de motores na ordem de grandeza de potência em megawatt, em maioria estes motores são alimentados por circuitos de média tensão [8][9]. Atualmente, para níveis médios de tensão, não é aconselhável a conexão direta de uma única chave semicondutora de potência.

Para diminuir o *stress* nas chaves semicondutoras conectadas aos níveis médios de tensão, estão sendo desenvolvidos conversores eletrônicos de potência multiníveis, reduzindo as tensões nas quais são conectadas as chaves semicondutoras de potência, possibilitando o acionamento de cargas com elevado nível de potência.

Neste capítulo, a tecnologia dos conversores multiníveis eletrônicos de potência será mostrada como alternativa em aplicações de soluções baseadas na eletrônica de potência para média e alta tensão. Subsequentemente, também serão mostradas algumas das topologias de conversores multiníveis eletrônicos de potência, mais conhecidas como o inversor com diodo grampeado no ponto de neutro (*Neutral Point Clamped – NPC*), inversor com capacitor grampeado (*flying capacitor*), e inversores multicélulas em cascata com fonte em corrente contínua separadas (*cascata multilevel*). Outras topologias para conversores multiníveis eletrônicos de potência também serão discutidas neste capítulo.

Em diversas topologias multiníveis, à medida que o número de níveis aumenta, a taxa de distorção harmônica total da tensão de saída diminui. Entretanto, o número de dispositivos de potência também aumenta, refletindo no acréscimo da complexidade e o custo de todo sistema [10].

Contudo, inversores multiníveis assimétricos que apresentam ao menos uma fonte de tensão com valor diferente das demais fontes têm sido utilizados para sintetizar formas de onda com maior número de níveis, sem aumentar o número de dispositivos de potência [11]. Embora a tensão de saída apresente um maior número de níveis, os dispositivos de potência dos diferentes módulos *H-Bridge* (inversor monofásico em ponte completa) são submetidos a níveis distintos de tensão.

Em [12] foi proposto um inversor multinível híbrido, onde os inversores conectados em série têm as fontes de tensão configuradas na razão 2:1 (V_{cc} , $2V_{cc}$, $4V_{cc}$, ... , $2^{(n-1)}V_{cc}$), que utilizam vários tipos de dispositivos de comutação, conseqüentemente são comandados de forma diferenciada. Esta topologia sintetiza um maior número de níveis com o mesmo número de fontes de tensão em corrente contínua – CC e dispositivos semicondutores do inversor multinível em cascata convencional e aproveita as vantagens dos diferentes dispositivos de comutação.

As características mais fortes dos conversores multiníveis são:

- Geração de tensões de saída com baixa distorção e baixo dv/dt ;
- Drenagem da corrente de entrada com baixa distorção harmônica;
- Geração de pequena tensão de modo comum, reduzindo o desgaste nos rolamentos do motor. Quando utilizados métodos de modulação adequados, as tensões de modo comum podem ser eliminadas [13];
- Podem operar com baixa frequência de chaveamento e menores perdas.

O diagrama esquemático de um braço de um inversor com diferentes números de níveis é mostrado na Figura 2-1, onde os dispositivos semicondutores de potência são representados por chaves ideais com várias posições.

Um inversor dois níveis possui tensão de saída com dois valores (níveis), em relação ao terminal negativo do capacitor, enquanto que o inversor três nível possui tensão de saída com três valores e assim em diante dependendo do número de níveis do inversor [14].

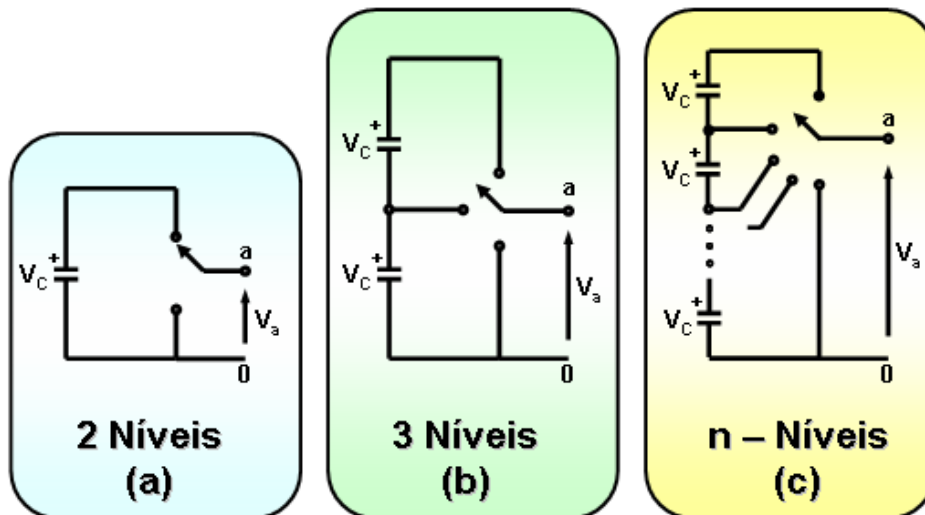


Figura 2-1: a) Braço de conversor 2 níveis; b) Braço de conversor 3 níveis; c) Braço de conversor “n” níveis;

Considerando que m é o número de níveis da tensão de fase em relação ao terminal negativo do inversor, o número de níveis entre as tensões de duas fases da carga é k [14].

$$k = 2m + 1 \quad (2.1)$$

O número de níveis da tensão de fase em relação ao neutro de uma carga trifásica conectada em estrela é p [14].

$$p = 2k - 1 \quad (2.2)$$

Uma desvantagem dos inversores multiníveis é o grande número de chaves semicondutoras utilizadas. Em baixas tensões, os conversores multiníveis podem ser utilizados e conseqüentemente o custo dos semicondutores ativos não é muito superior quando comparado com o caso dos inversores dois níveis [14].

Outra desvantagem é o fato de que pequenos níveis de tensão são normalmente gerados por fontes de tensão isoladas ou bancos de capacitores série. Fontes de tensão isoladas podem nem sempre estar disponíveis e capacitores série precisam de uma tensão de balanceamento para equalização do elo CC [14].

2.1 CONVERSOR COM PONTO DE NEUTRO GRAMPEADO

O conceito de inversor multinível utilizando diodos grampeados foi introduzido em 1981 [14], com a proposta de um inversor três níveis, que foi posteriormente denominado de inversor com ponto de neutro grampeado (*NPC – Neutral Point Clamped*).

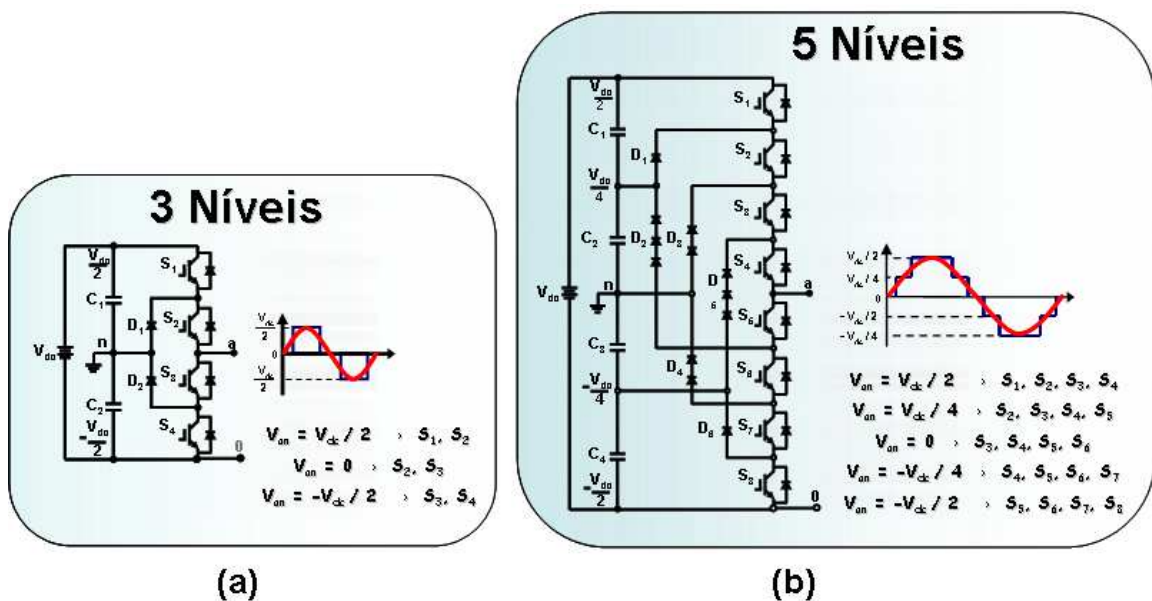


Figura 2-2: a) Braço de um conversor 3 níveis NPC; b) Braço de um conversor 5 níveis NPC

O conversor três níveis com ponto de neutro grampeado (NPC) da Figura 2-2(a), mostra que o barramento CC do conversor é dividido em três níveis pelos dois capacitores conectados em série, C_1 e C_2 . O ponto n entre os dois capacitores pode ser considerado como ponto de neutro. A tensão de saída V_{an} possui três estados: $V_{dc}/2$, 0, $-V_{dc}/2$ [14].

Para se obter o nível de tensão $V_{dc}/2$, as chaves semicondutoras S_1 e S_2 precisam estar ligadas (em posição fechada). De forma análoga, para se alcançar o nível de tensão $-V_{dc}/2$, as chaves semicondutoras S_3 e S_4 precisam estar ligadas (em posição fechada). Sendo assim, para se obter o nível zero de tensão, as chaves semicondutoras S_2 e S_3 precisam estar ligadas.

Para este circuito admite-se que os pares de chaves semicondutoras (S_1 e S_3) e (S_2 e S_4) sejam complementares, ou seja, estando uma das chaves do par ligada (em posição fechada), a outra obrigatoriamente deve estar desligada (em posição aberta) [14].

A principal diferença entre o conversor três níveis NPC e o conversor convencional de dois níveis NPC, são os diodos D_1 e D_2 . Estes dois diodos grampeiam a tensão na chave semicondutora para o valor de metade da tensão do barramento CC.

Quando ambas as chaves S_1 e S_2 estão na posição ligada a tensão entre o ponto a e o ponto 0 (zero) é V_{dc} , e com isso, $V_{a0} = V_{dc}$. Neste caso, D_2 equilibra a tensão dividida entre S_3 e S_4 , com S_3 bloqueando a tensão no capacitor C_1 e S_4 bloqueando a tensão no capacitor C_2 [14].

A principal diferença entre V_{an} e V_{a0} é a tensão no capacitor C_2 , o qual é $V_{dc}/2$. Se a saída for obtida entre os pontos a e 0 , então, o circuito pode tornar-se um conversor CC/CC, o qual possui três tensões de saída: V_{dc} , $V_{dc}/2$ e 0 [14].

A Figura 2-2(b) mostra um conversor cinco níveis NPC no qual o barramento de corrente contínua é constituído por quatro capacitores, C_1 , C_2 , C_3 e C_4 . Considerando o barramento com tensão de V_{dc} , a tensão de cada capacitor deve ser $V_{dc}/4$, e cada dispositivo eletrônico de potência deve ter a tensão limitada para $V_{dc}/4$ através dos diodos de grampeamento [14].

Observando o conversor cinco níveis NPC verifica-se que a disposição dos diodos que limitam o valor da tensão sobre os dispositivos eletrônicos é mais complexa, comparando-a ao conversor três níveis NPC. No comando da operação do conversor cinco níveis NPC ocorrem determinadas situações em que o nível de tensão nos quais os diodos são submetidos pode alcançar até três vezes o valor máximo de tensão $V_{dc}/4$ [16].

A situação citada anteriormente ocorre quando as chaves semicondutoras S_1 , S_2 , S_3 e S_4 estão ligadas e o diodo D_5 é submetido a $3V_{dc}/4$, devido a soma dos valores de tensões dos capacitores C_1 , C_2 e C_3 . Para esta situação o diodo D_1 está submetido a $V_{dc}/4$ existente no capacitor C_1 [14][16].

Assumindo que todos os diodos do conversor possuam os mesmos limites máximos de tensão estabelecidos pelas chaves semicondutoras, o diodo D_5 deveria ser formado por um conjunto de três diodos conectados em série, conforme mostrado na Figura 2-2(b) [14].

Esta condição eleva o número de componentes utilizados em conversores multiníveis NPC a um número igual ao mostrado na equação (2.3) que considera o número de componentes de um conversor trifásico, o que aumenta muito o custo desta topologia multinível de conversores. É importante citar que neste número não estão contidos os componentes requeridos para implementar as fontes de tensão, que são necessários em aplicações com transferência de potência ativa.

Este número representa a soma dos quadrados de m . Quando m é suficientemente alto, o número de diodos requeridos tornará inviável a implementação [10][14].

$$3 \times (m - 1) \times (m - 2) \quad (2.3)$$

Considerando o ponto n como ponto de referência para tensão de saída existem cinco combinações possíveis para que os estados das chaves semicondutoras gerem cinco níveis de tensão entre os pontos a e n , como mostrado na Tabela 2-1 abaixo.

- Para $V_{an} = V_{dc}/2$, todas as chaves superiores do ramo estão ligadas (S_1 até S_4);
- Para $V_{an} = V_{dc}/4$, as chaves superiores S_2 , S_3 e S_4 do ramo estão ligadas e a chave inferior S_5 está ligada;
- Para $V_{an} = 0$, as chaves superiores S_3 e S_4 do ramo estão ligadas e as chaves inferiores S_5 e S_6 estão ligadas;
- Para $V_{an} = -V_{dc}/4$, as chaves inferiores S_5 , S_6 e S_7 do ramo estão ligadas e a chave superior S_4 está ligada;
- Para $V_{an} = -V_{dc}/2$, todas as chaves inferiores do ramo estão ligadas (S_5 até S_8);

Tabela 2-1: Combinações do conversor 5 níveis NPC

| Nível de Tensão V_{an} | Combinações das Chaves |
|--------------------------|-------------------------|
| $V_{dc}/2$ | S_1, S_2, S_3 e S_4 |
| $V_{dc}/4$ | S_2, S_3, S_4 e S_5 |
| 0 | S_3, S_4, S_5 e S_6 |
| $-V_{dc}/4$ | S_4, S_5, S_6 e S_7 |
| $-V_{dc}/2$ | S_5, S_6, S_7 e S_8 |

Quatro pares de chaves semicondutoras existem para cada fase. A complementaridade destes pares é estabelecida na situação em que uma das chaves complementares está ligada a outra chave deve estar desligada. Neste caso, os quatro pares de chaves complementares são (S_1 e S_5), (S_2 e S_6), (S_3 e S_7) e (S_4 e S_8) [14].

Os conversores multiníveis NPC possuem apenas uma única combinação do estado das chaves semicondutoras por fase para obtenção de cada nível de tensão de saída. Essa característica dificulta bastante o controle de carregamento e descarregamento de energia nos capacitores, sendo este fato crítico para o controle de potência ativa [14][16].

2.2 CONVERSOR COM CAPACITOR GRAMPEADO

A topologia de conversores multiníveis com capacitores grampeados é bastante conhecida como conversores multiníveis grampeados a capacitores (*Capacitor Clamped*), chamado também de conversor multinível com capacitores de tensão flutuante (*Flying Capacitors*). Esta topologia é uma das mais recentes, sendo introduzida na década de 90 [14][17].

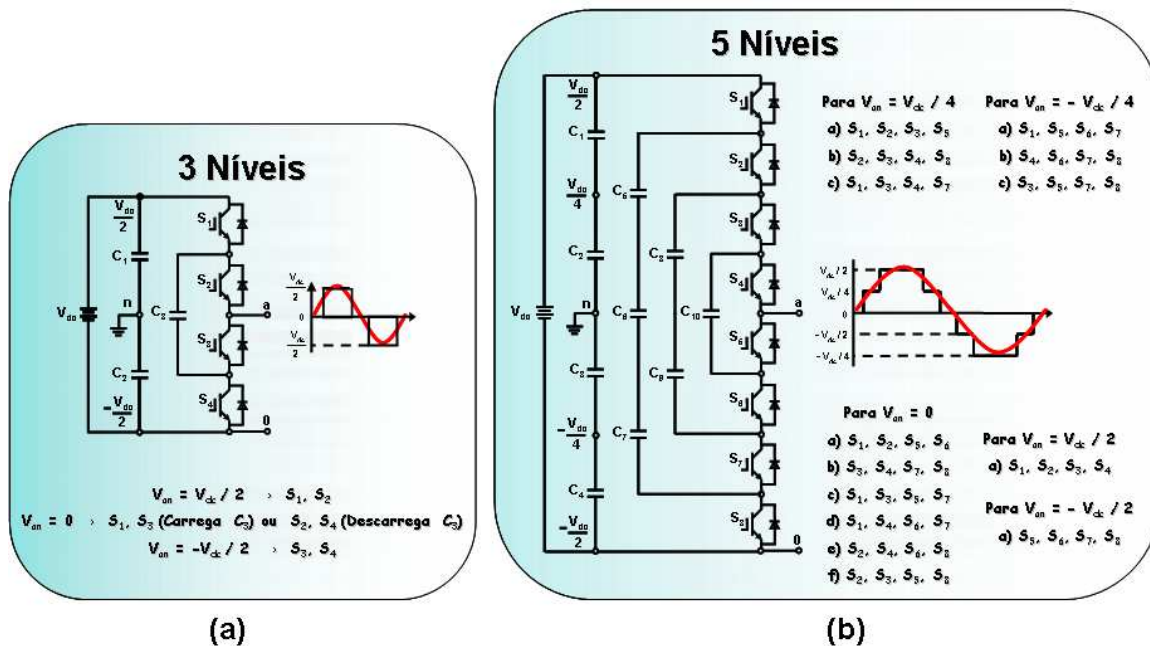


Figura 2-3: a) Braço de um conversor 3 níveis Capacitor Flutuante; b) Braço de um conversor 5 níveis Capacitor Flutuante

No conversor multinível grampeado a capacitores, a tensão nos terminais de saída é formada pela soma das tensões dos capacitores conectados em série. A Figura 2-3 mostra um ramo de um inversor multinível com capacitor grampeado correspondente a uma das fases de um inversor trifásico multiníveis.

O inversor correspondente a Figura 2-3(a) possui três níveis de saída através dos pontos a e n , assim $V_{an} = V_{dc}/2, 0$ ou $-V_{dc}/2$ [14]. Para alcançar o nível de tensão $V_{dc}/2$, as chaves semicondutoras S_1 e S_2 devem estar ligadas. Semelhantemente, para se obter o nível $-V_{dc}/2$, as chaves semicondutoras S_3 e S_4 devem estar ligadas.

Quando se deseja obter o nível zero de tensão existem duas combinações possíveis de chaves semicondutoras, as combinações são S_1 e S_3 ou S_2 e S_4 ligadas. O capacitor grampeado C_3 é carregado quando as chaves semicondutoras S_1 e S_3 estão ligadas, e é descarregado quando as chaves semicondutoras S_2 e S_4 estão ligadas, quando a referência positiva de corrente do conversor for considerada a corrente que entra no mesmo [14].

O carregamento do capacitor grampeado C_3 pode ser controlado pela seleção da combinação das chaves semicondutoras ativas no nível zero de tensão. Os conversores com capacitores grampeados possuem maior flexibilidade no controle das chaves semicondutoras, permitindo um melhor controle do fluxo de energia ativa e reativa se comparado ao conversor multinível grampeado a diodo NPC [14].

Para o conversor cinco níveis com capacitores grampeados a flexibilidade é maior em relação ao conversor três níveis com capacitor grampeado, devido ao maior número de combinações possíveis na obtenção de níveis de tensão de saída.

Na Figura 2-3(b) é mostrado o conversor cinco níveis com capacitores grampeados que apresenta cinco níveis de tensão entre os pontos a e n , onde estes níveis podem ser gerados através das seguintes combinações, conforme a Tabela 2-2.

Tabela 2-2: Combinações do conversor 5 níveis Capacitor Flutuante

| Nível de Tensão V_{an} | Combinações das Chaves |
|--------------------------|-------------------------|
| $V_{dc}/2$ | S_1, S_2, S_3 e S_4 |
| $V_{dc}/4$ | S_1, S_2, S_3 e S_5 |
| | S_2, S_3, S_4 e S_8 |
| | S_1, S_3, S_4 e S_7 |
| 0 | S_1, S_2, S_5 e S_6 |
| | S_3, S_4, S_7 e S_8 |
| | S_1, S_3, S_5 e S_7 |
| | S_1, S_4, S_6 e S_7 |
| | S_2, S_4, S_6 e S_8 |
| | S_2, S_3, S_5 e S_8 |
| $-V_{dc}/4$ | S_1, S_5, S_6 e S_7 |
| | S_4, S_6, S_7 e S_8 |
| | S_3, S_5, S_7 e S_8 |
| $-V_{dc}/2$ | S_5, S_6, S_7 e S_8 |

O procedimento de seleção das combinações para as chaves semicondutoras considera que os capacitores com tensões positivas estão em modo de descarregamento, enquanto que os capacitores com tensões negativas estão em modo de carregamento [14].

Semelhantemente a topologia NPC, a topologia com capacitores grampeados necessita de um grande número de capacitores para grampear a tensão. Considerando que os capacitores possuem os mesmos limites de tensão que os apresentados pelas chaves semicondutoras, para m número de níveis de um conversor. Com isso, o número total de capacitores em um conversor trifásico é descrito na equação (2.4) [14].

$$3 \times (m - 1) \times (m - 2) / 2 \quad (2.4)$$

Geralmente os conversores multiníveis com capacitores grampeados, possuem menor distorção harmônica das tensões geradas e das correntes drenadas nos terminais

dos conversores. A flexibilidade do controle é obtida pela existência de combinações redundantes das chaves semicondutoras, que permite um melhor controle do fluxo de energia ativa e reativa [10][14].

No entanto, o aumento do número de níveis dos conversores com capacitores grampeados exige o desenvolvimento de um controle bastante complicado, elevando também excessivamente o número de capacitores com custos que podem inviabilizar a aplicação. O controle de potência ativa necessita de altas frequências de chaveamento, elevando assim a dissipação de energia nos dispositivos semicondutores.

2.3 CONVERSOR MULTINÍVEIS COM MÓDULOS EM CASCATA

A topologia multinível com módulos de conversores conectados em série é conhecida como topologia multinível de conversores em cascata com fontes de tensão separada (*Cascaded With Separate DC Source*), ou como topologia multinível em cascata (*Cascaded Multicell*). Das topologias multiníveis mais conhecidas esta é a mais antiga, tendo sido introduzida na década de 70 [14][18].

Comparando esta topologia com as demais, em relação ao número de dispositivos associados aos conversores e ao número de níveis da tensão terminal de saída, observa-se a menor quantidade de componentes. A diminuição do número de muitos diodos e capacitores que estão presentes nas outras topologias, analisando a topologia multinível em cascata pelo custo do número de componentes representou uma das melhores escolhas [14][16].

Nesta topologia, vários conversores monofásicos em ponte completa (conversor *H-Bridge*) são conectados em série para obter uma tensão de saída com uma forma de onda quase senoidal. A Figura 2-4 mostra a estrutura de um ramo do inversor nove níveis em Y com quatro módulos *H-Bridge* em cascata.

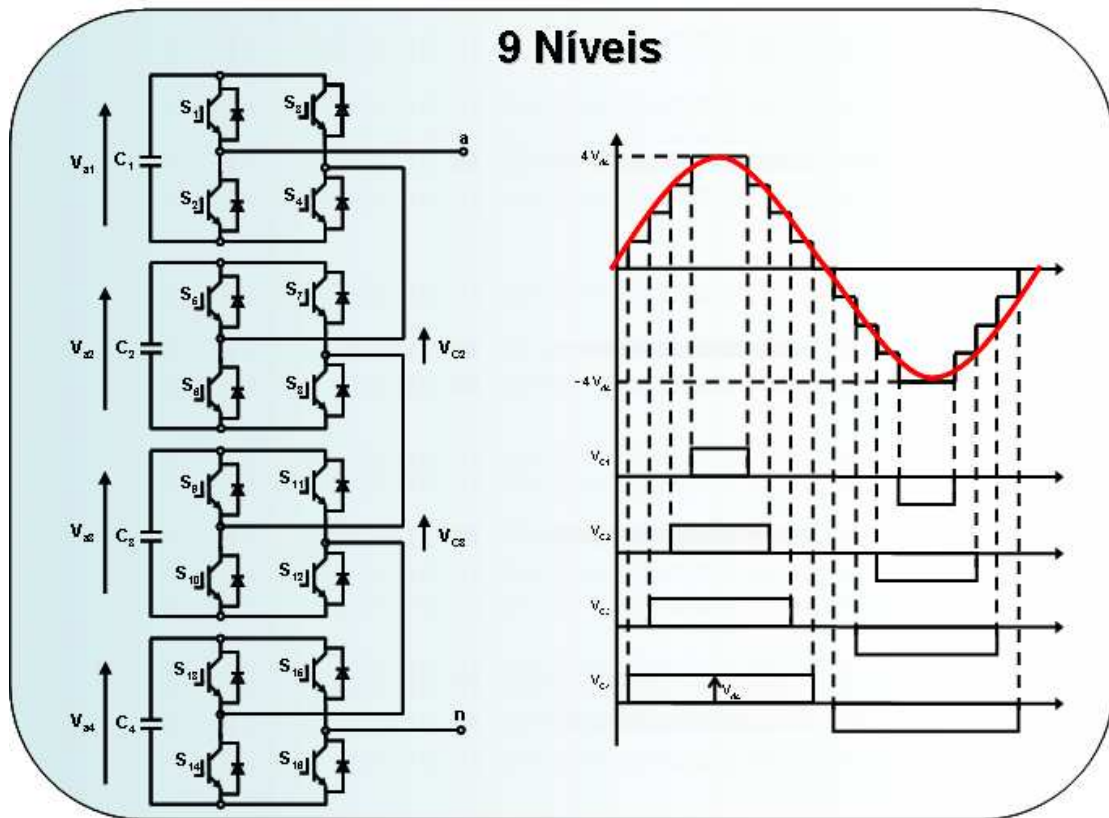


Figura 2-4: Braço de conversores em Cascata 9 níveis

Em aplicações de alta potência este tipo de topologia tem sido utilizada como, por exemplo, na compensação estática de correntes reativas [19]. Não requer a utilização de diodos e/ou capacitores de grameamento, não ocorrendo também o desbalanceamento das fontes de tensão. Uma tensão de fase de saída é obtida somando-se a tensão de saída de cada módulo.

$$V_{dc_a} = V_{a1}(t) + V_{a2}(t) + V_{a3}(t) + \dots + V_{an}(t) \quad (2.5)$$

Cada conversor em *H-Bridge* pode gerar três níveis de tensão em seus terminais de saída. Se as fontes de tensão forem iguais em todos os módulos *H-Bridge*, o número de níveis será dado por:

$$m = 1 + 2.n \quad (2.6)$$

A construção da topologia multinível em cascata permite uma fácil expansão da capacidade de potência desses conversores, devido ao fato de ser formada por módulos eletrônicos de potência idênticos. Desejando-se aumentar a potência de operação dos conversores, seria necessária apenas a conexão de um número maior de *H-Bridge* em série [16].

A impossibilidade da utilização desta topologia em aplicações na configuração *Back-to-Back* é um dos pontos negativos apresentados na topologia multinível em

casca. Quando conectadas nesta configuração as *H-Bridge* não operam de forma sincronizada, causando curto-circuito, podendo danificar o conversor [14].

2.4 OUTRAS TOPOLOGIAS MULTINÍVEIS

2.4.1 *Conversor Multinível com Módulos Generalizados*

A topologia multinível generalizado apresentada em 2001 [20] é constituída de módulos generalizados onde a partir desta configuração, podem ser obtidas as topologias multiníveis com diodos e capacitores grampeados. Este conversor é capaz de balancear o nível de tensão nos capacitores automaticamente, para qualquer número de níveis sem qualquer circuito auxiliar, controle do inversor ou dependência das características da carga [14][21].

A Figura 2-5 mostra a estrutura multinível de um ramo equivalente a uma fase do conversor generalizado P2. Cada um dos dispositivos envolvidos no chaveamento, cuja tensão é grampeada por diodo ou capacitor possui tensão igual à V_{dc} . Qualquer conversor com qualquer número de níveis, incluindo o conversor de dois níveis convencional pode ser obtido utilizando esta topologia [14].

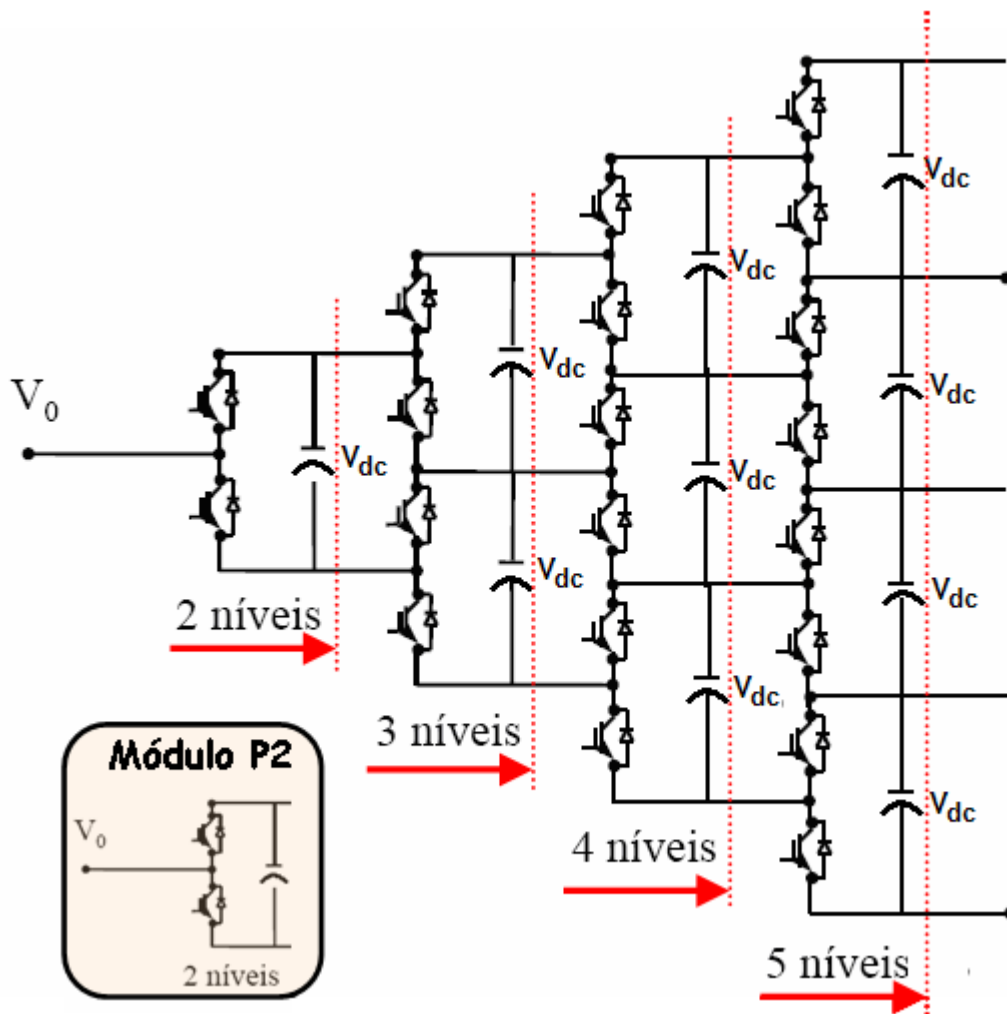


Figura 2-5: Estrutura Multinível do Conversor Generalizado P2

2.4.2 Conversor Multinível com Módulos Híbridos de Múltiplos Níveis (Mixed-Level)

Para aplicações em alta tensão e alta potência, também é possível utilizar conversores multiníveis com diodos grampeados ou com capacitores grampeados na configuração H-Bridge com módulos em série. Esta topologia híbrida adota ramos de conversores multiníveis em células em cascata, sendo conhecida como topologia de módulos híbridos multiníveis ou células híbridas multiníveis [14].

Esta topologia procura reduzir o número de fontes tensão separadas, através da Figura 2-4 pode-se observar a utilização de quatro fontes de tensão separadas para cada fase e doze fontes de tensão separadas para o conjunto trifásico. Se utilizarmos um conversor três níveis em H-Bridge por módulo, o nível de tensão é dobrado por cada módulo. Com isso, para se alcançar os mesmos nove níveis de tensão por fase, serão necessárias apenas duas fontes de tensão separadas e para o conjunto trifásico apenas seis fontes de tensão separadas [14].

Esta configuração é conhecida por misturar a topologia multinível híbrida com outras topologias que possuem dispositivos grampeadores de tensão, devido à existência de módulos multiníveis em cada bloco de estrutura do conversor em cascata. A Figura 2-6 mostra um conversor nove níveis em cascata com módulos três níveis com capacitores grampeados [14].

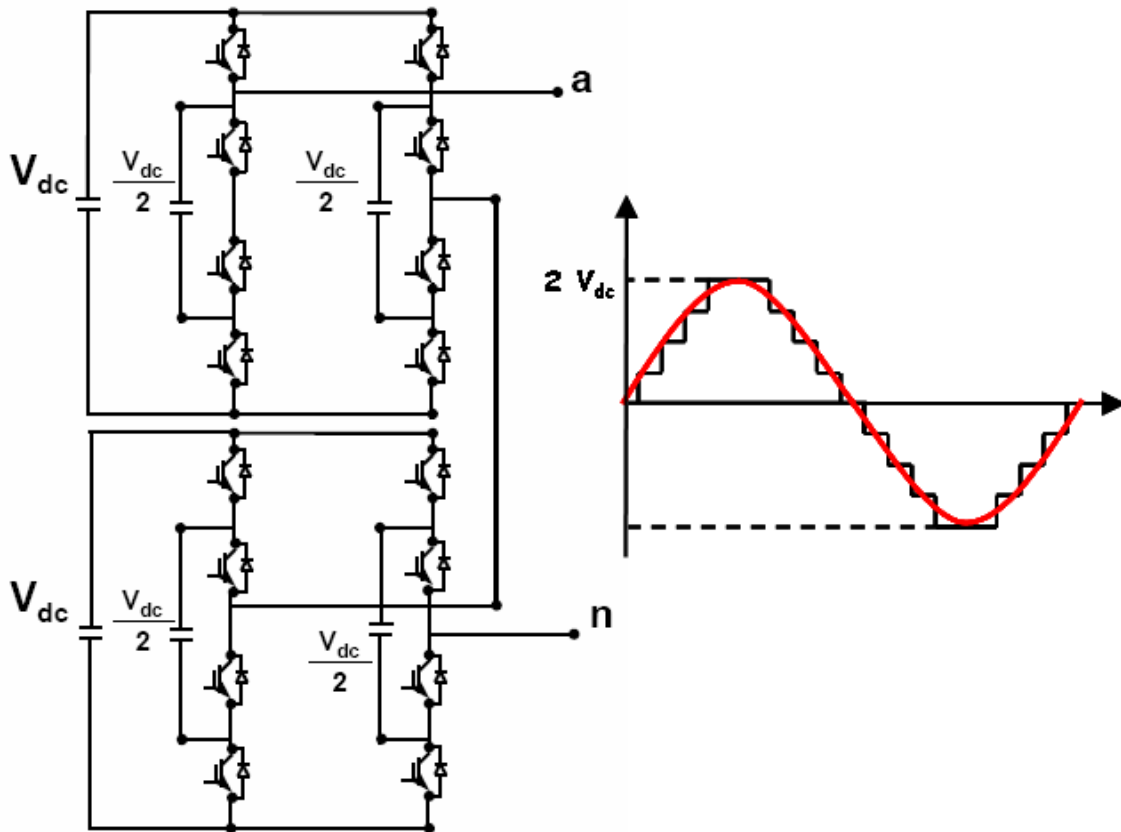


Figura 2-6: Braço de um Conversor 9 níveis com Módulos Híbridos

O mesmo pode ser alcançado utilizando-se conversores multiníveis NPC em lugar do conversor multinível com capacitor grampeado descrito anteriormente, para compor os módulos multiníveis da topologia com módulos híbridos de múltiplos níveis.

2.4.3 Conversor Multinível com Módulos Híbridos Assimétricos

Na topologia conhecida como multinível híbrida assimétrica é possível trabalhar com diferentes níveis de tensão entre as células ou módulos [22][23]. Na Figura 2-7 são mostrados dois módulos deste conversor multinível, sendo um deles com nível de tensão de V_{dc} e o outro módulo com nível de tensão de V_{dc}/n .

Dependendo da disponibilidade dos elementos armazenadores de energia, os níveis de tensão podem não estar limitados a uma razão específica. Assim sendo, é

possível adicionar um maior número de níveis de tensão na saída, reduzindo assim o conteúdo harmônico presente [14].

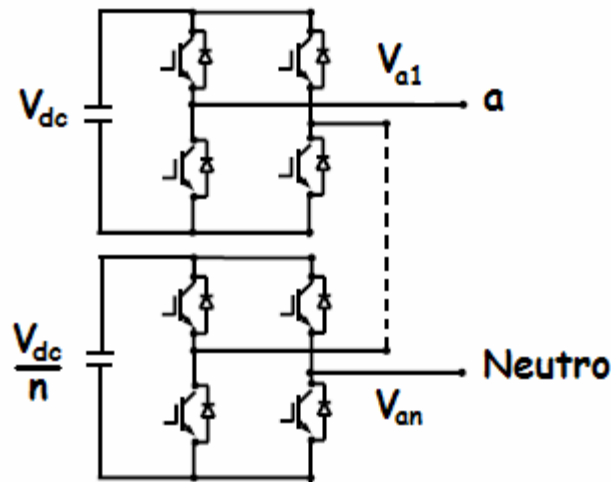


Figura 2-7: Braço de um Conversor Multinível com Módulos Híbridos Assimétricos

No entanto, ainda que os níveis de tensão dos capacitores sejam os mesmos, existe uma outra possibilidade de gerar assimetria, possibilitando a implementação desta topologia através da diferença da frequência de chaveamento do PWM, entre os módulos que compõem o conversor multinível para esta topologia [14].

A característica modular desta topologia permite a utilização de uma configuração que combina duas células, sendo uma destas células com chaves semicondutoras ativas que suportem alta frequência de chaveamento (ordem de alguns quilowatts) e a outra célula com chaves semicondutoras que suportem maiores níveis de tensão.

2.5 CONCLUSÕES PARCIAIS

As principais características e o número de componentes das três primeiras topologias descritas neste capítulo para conversores multiníveis trifásicos, podem ser observadas nas Tabela 2-3 e Tabela 2-4.

Tabela 2-3: Características das Topologias Multiníveis

| Topologias | Principais Características |
|------------------------------------|---|
| Módulos H-Bridge em Cascata | Topologia mais simples, em construção modular, apresentando menos componentes, com impossibilidade de estrutura Back-to-Back. |
| Capacitores Grampeados | Maior complexidade conforme o número de níveis aumenta, e possui maior flexibilidade que a topologia com diodos grampeados. |
| Diodos Grampeados | Possui melhor performance para configuração Back-to-Back, mas devido ao desbalanceamento das tensões nos barramentos dos capacitores, o chaveamento é limitado. |

Tabela 2-4: Número de Componentes de cada Topologia Multinível

| Topologias | Diodos Grampeados | Capacitores Grampeados | Módulos H-Bridge em Cascata |
|---------------------------|-------------------|------------------------|-----------------------------|
| Chaves Semicondutoras | $6(m-1)$ | $6(m-1)$ | $6(m-1)$ |
| Diodos Principais | $6(m-1)$ | $6(m-1)$ | $6(m-1)$ |
| Diodos Grampeados | $3(m-1)(m-2)$ | 0 | 0 |
| Capacitores do Barramento | $(m-1)$ | $(m-1)$ | $1,5(m-1)(m-2)$ |
| Capacitores Grampeados | 0 | $1,5(m-1)(m-2)$ | 0 |

A topologia com módulos em cascata possui melhor relação de custo por número de níveis, sendo também de construção e controle mais simples, no entanto, não permite a conexão na configuração *back-to-back*.

Em alguns casos devido à simplicidade em configurações com poucos números de níveis, melhor desempenho em conexões *back-to-back* e a maior popularidade da topologia multinível NPC, esta pode ser a topologia mais adequada para determinadas aplicações.

Em comparação a topologia multinível NPC em relação à simplicidade em pouco número de níveis de tensão de saída, menor número de componentes presentes nos conversores em relação a topologia NPC e a flexibilidade do controle do barramento CC apresentados, a topologia multinível com capacitores grampeados pode ser apropriadas em muitas aplicações.

Contudo, neste capítulo foram descritas algumas das principais topologias de conversores multiníveis presentes na literatura atual, onde algumas das principais características foram apresentadas. A definição da existência de uma melhor topologia não pode ser concluída, devido à riqueza das diferenças presentes em cada uma das topologias apresentadas.

A escolha da implementação de uma determinada topologia de conversores multiníveis deverá ser feita, observando as principais características da aplicação a qual este conversor será submetido. As limitações de custo, complexidade do controle, flexibilidade de operação, nível de tensão de saída e qualquer outra limitação que possa inviabilizar a aplicação, deve ser considerada na escolha da topologia.

3 FILTRO ATIVO PARALELO

Equipamentos “Custom Power” são condicionadores de potência de última geração no campo da eletrônica de potência aplicados em sistemas de energia elétrica. Estes equipamentos utilizam os mais modernos dispositivos semicondutores de potência, empregando a tecnologia de processadores de sinais digitais em suas implementações [24].

Neste capítulo será apresentado um dos principais condicionadores de potência que podem ser utilizados na compensação de harmônicos, desequilíbrios, no controle do fluxo de potência e compensação da potência reativa, entre outras aplicações.

Inicialmente, os filtros empregados nos sistemas elétricos eram baseados na combinação de capacitores e indutores ressonantes, sendo conhecidos como filtros LC ressonantes. Estes tipos de filtros têm um bom desempenho para altas frequências, contudo para baixas frequências seu desempenho não é satisfatório. Devido a este fato, começaram estudos para o desenvolvimento de filtros com bom desempenho tanto em altas como em baixas frequências [7]. Com o desenvolvimento dos semicondutores de potência tornou-se possível o desenvolvimento de equipamentos capazes de realizar a filtragem em tempo real dos harmônicos presentes no sistema elétrico.

Os filtros ativos para circuitos elétricos de potência é um conjunto de equipamentos e estratégias de controle cujo suas funções permitem a propagação das tensões e correntes que apresentam as componentes de seqüência e harmônicos desejáveis e compensar / bloquear as componentes de seqüência e harmônicos indesejáveis.

Estes podem ser divididos em duas classes [7]:

- Filtro Ativo Série - FAS
- Filtro Ativo Paralelo - FAP

Neste capítulo será descrito o princípio de funcionamento do filtro ativo paralelo, onde seus circuitos de potência e controle implementados nas simulações das diversas topologias de conversores multiníveis serão apresentados.

3.1 PRINCÍPIO DE FUNCIONAMENTO

Com o aumento do número de cargas não-lineares, o sistema elétrico está exposto a um aumento do nível de poluição harmônica gerada por estas cargas não-lineares. Para eliminar ou reduzir este tipo de problema, desenvolveram-se equipamentos capazes de filtrar esta poluição harmônica [24][25].

A partir deste ideal, desenvolveram-se equipamentos conhecidos como filtros ativos de potência. Quando é necessário filtrar as correntes na fonte, são utilizados filtros ativos paralelo drenando as correntes harmônicas geradas pela carga, como na Figura 3-2.

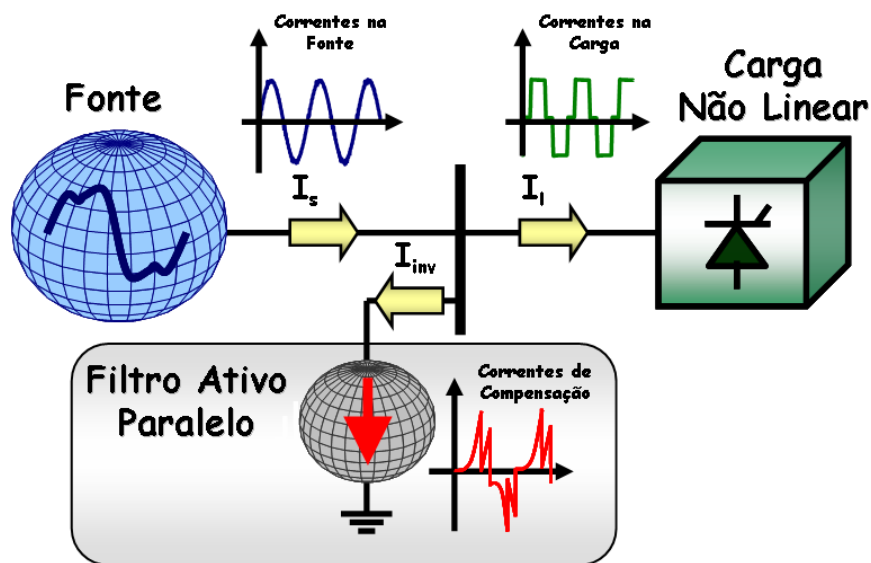


Figura 3-1: Princípio de Funcionamento do Filtro Ativo Paralelo

Observa-se que a corrente na fonte I_s , não conterà os harmônicos ou desequilíbrios presente na corrente de carga I_l . Como o filtro ativo paralelo drenará a corrente de compensação fornecida pela estratégia de controle, então, a corrente na fonte se tornará senoidal, obedecendo a lei de Kirchhoff [24].

O filtro ativo paralelo é composto por um inversor com um capacitor no seu lado CC. Na Figura 3-3, pode ser visto um diagrama básico de um filtro ativo paralelo. A estratégia de controle é responsável pela geração das correntes de compensação que serão sintetizadas pelo conversor do filtro através da estratégia de chaveamento, comandando a comutação dos estados das chaves semicondutoras do inversor [24].

O inversor trifásico presente no filtro funciona com uma malha de corrente controlada e tem como função básica, a de sintetizar todas as correntes não desejadas geradas pela carga, permitindo que a corrente I_s drenada da rede elétrica torne-se idealmente senoidal [25]. O inversor do filtro mostrado na figura abaixo tem como

característica, três níveis de tensão de saída, tendo somente a função ilustrativa sobre a conexão do conversor no sistema. No entanto, as implementações realizadas terão em suas aplicações diversas topologias de conversores multiníveis.

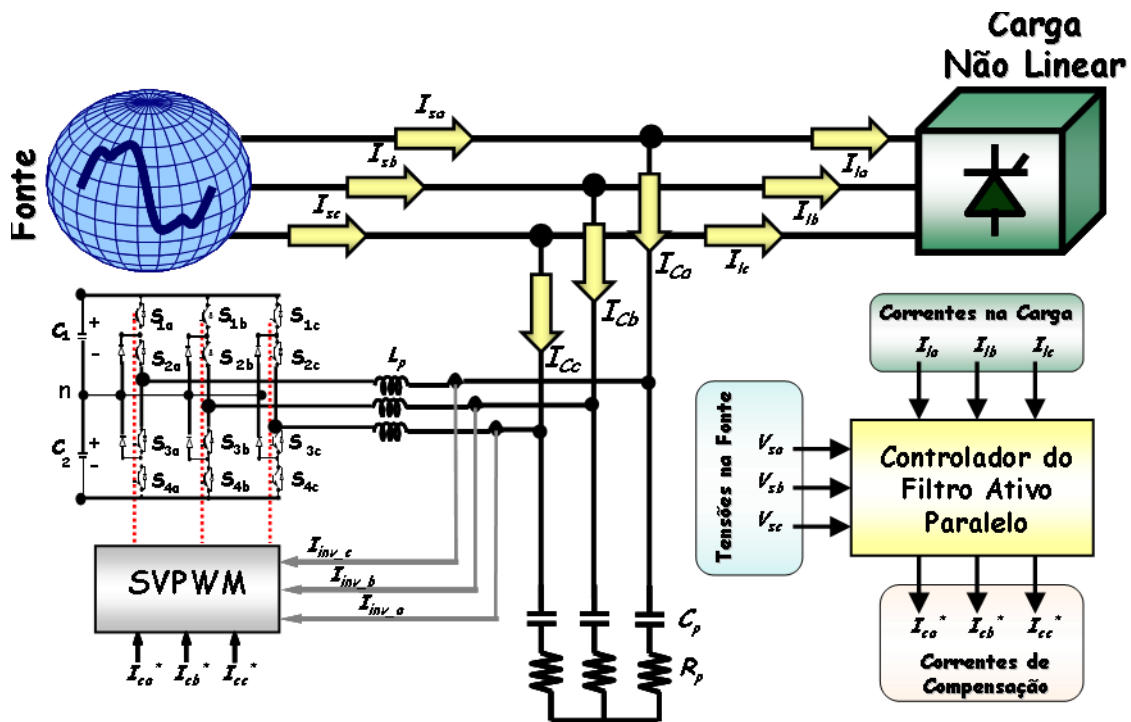


Figura 3-2: Diagrama Básico dos Controles do Filtro Ativo Paralelo

Consideram-se as correntes na fonte como sendo I_{sa} , I_{sb} e I_{sc} , as correntes de compensação sejam I_{ca}^* , I_{cb}^* e I_{cc}^* e as correntes na carga sendo I_{la} , I_{lb} e I_{lc} . Utilizando a lei das correntes de Kirchoff para equacionar estas correntes encontra-se [24]:

$$\begin{bmatrix} i_{sa} \\ i_{sb} \\ i_{sc} \end{bmatrix} = \begin{bmatrix} i_{la} \\ i_{lb} \\ i_{lc} \end{bmatrix} + \begin{bmatrix} i_{ca} \\ i_{cb} \\ i_{cc} \end{bmatrix} \quad (3.1)$$

3.2 CIRCUITO DE POTÊNCIA

O circuito de potência é constituído de uma fonte de tensão, um conversor multinível controlado por tensão (*Voltage Source Converter – VSC*), além dos circuitos RLC presente nas saídas dos conversores.

Este conversor é responsável pela síntese das correntes de compensação geradas pelo circuito de controle de forma a atenuar os harmônicos e desequilíbrios presentes nas correntes vistas pela fonte de tensão alternada.

A estratégia de chaveamento é responsável pelo comando de comutação das chaves semicondutoras. Neste trabalho estas chaves são transistores de potência controlados por tensão (*IGBT's – Insulated Gate Bipolar Transistor*).

O IGBT para aplicações de alta potência é mais conhecido como HVIGBT (*High Voltage IGBT*). A utilização de tecnologias desenvolvidas para outras chaves de potência, como *Lifetime Control*, e estruturas p-n-i-p-n e de anodo transparente, têm possibilitado a fabricação de HVIGBTs com tensão de bloqueio de até 6,5 kV [26].

Os HVIGBTs podem ser chaveados em frequências de até 20k Hz com menores perdas de energia se comparados com outros tipos de chaves semicondutoras. Este tipo de chaves semicondutoras não necessita de circuitos “*snubbers*”, e são encapsulados em estruturas modulares convencionais. Recentemente, a utilização de encapsulamentos pressurizados, vem sendo aplicado também em HVIGBTs, proporcionando maior segurança e confiabilidade [16], [26] e [27].

Como o chaveamento do inversor ocorre em uma frequência de chaveamento de alguns milhares de ciclos por segundo, o circuito RLC localizado na saída dos conversores é necessário para atenuar os harmônicos de frequências elevadas, gerados pelo chaveamento dos conversores, impedindo que estes distorçam as formas de onda de todo sistema. A corrente do ramo RC pode causar um desvio da corrente de compensação com relação a sua referência.

3.3 CIRCUITO DE CONTROLE

O circuito de controle do filtro ativo paralelo pode ser dividido em três grandes blocos:

- Detector de Seqüência Positiva (V^{+1});
- Cálculo das Correntes de Compensação;
- Controle de Barramento CC.

3.3.1 *Detector de Seqüência Positiva*

O circuito de sincronismo (Phase Locked Loop - PLL) é responsável por detectar de forma contínua a frequência fundamental das tensões de suprimento do sistema [28]. O circuito de sincronismo deve garantir uma boa operação do controle mesmo em situações onde as tensões possuam elevado conteúdo harmônico ou desequilíbrios. Este circuito é mostrado na Figura 3-4, e determina a frequência e o ângulo de fase da componente fundamental de seqüência positiva das tensões de

suprimento, que correspondem às tensões de fase V_{sa} , V_{sb} , V_{sc} . As entradas deste circuito são as tensões $V_{ab} = V_{sa} - V_{sb}$ e $V_{cb} = V_{sc} - V_{sb}$. O algoritmo é baseado na expressão da potência real $P_{3\phi}$ através dos sinais do circuito de controle do PLL [24].

$$P_{3\phi} = v_{sa} \cdot i_a + v_{sb} \cdot i_b + v_{sc} \cdot i_c = v_{ab} \cdot i_a + v_{cb} \cdot i_c \quad (3.2)$$

Onde a soma das correntes i_a , i_b , i_c é igual a zero. Os sinais de realimentação das correntes de controle $i_a(\omega t) = \sin(\omega t)$ e $i_c(\omega t) = \sin(\omega t + 2\pi/3)$ foram obtidas pelo circuito de sincronismo, usando apenas a integral no tempo da saída ω do controlador PI. Pode ser observado que estes sinais apresentam a mesma magnitude estando $i_c(\omega t)$ adiantado de 120° em relação à corrente de controle $i_a(\omega t)$. Isto representa uma realimentação a partir da componente de seqüência positiva na frequência ω . O circuito de sincronismo se estabiliza quando o valor médio do sinal $P_{3\phi}$ for igual a zero [24], [28] e [29].

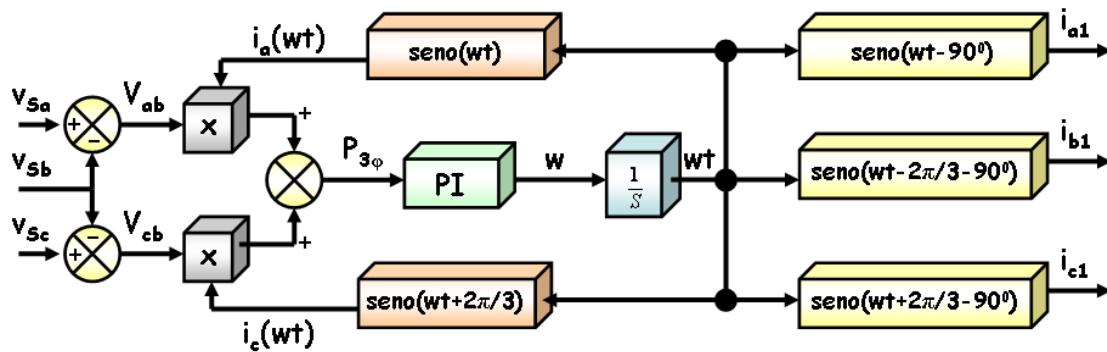


Figura 3-3: Circuito de Sincronismo - PLL

Quando este circuito consegue convergir para um ponto de operação estável, a saída ω corresponde à frequência fundamental do sistema e o sinal de realimentação $i_a(\omega t)$ fica adiantado de 90° em relação à componente de seqüência positiva da tensão medida V_{sa} . Ao contrário, se o sinal $i_a(\omega t)$ estiver atrasado de 90° , o circuito é instável. Nesta condição, um eventual distúrbio que provoque um pequeno aumento da frequência do sistema, irá fazer com que o fasor de tensão (V^{+1}) tenha uma maior rotação em relação ao fasor das correntes de controle obtidas pelo circuito de sincronismo $i_a(\omega t)$ e $i_c(\omega t)$. Desta forma, a defasagem entre v_{as} e $i_a(\omega t)$ será maior do que 90° , fazendo com que o sinal de controle $P_{3\phi}$ seja negativo, diminuindo a saída do controlador ω . Isto fará com que a defasagem aumente ainda mais, caracterizando assim um ponto de operação instável [24], [25], [28] e [29].

Na condição do sinal $i_a(\omega t)$ estar adiantado de 90° em relação a tensão v_{sa} , um mesmo distúrbio conforme citado acima irá fazer com que a defasagem seja menor do que 90° . Como consequência, $P_{3\phi}$ fique positivo fazendo com que o fasor do sinal $I_a(\omega t)$ gire mais rápido mantendo assim a ortogonalidade em relação à tensão v_{sa} . Com isso, esta é a única condição de estabilização do PLL, $i_a(\omega t) = \sin(\omega t)$ estará adiantado de 90° da componente fundamental de seqüência positiva das tensões do sistema e, $i_{a1} = \sin(\omega t - \pi/2)$ estará em fase com a seqüência positiva da tensão v_{sa} [24] e [30].

As entradas do Detector de V^{+1} são as tensões de suprimento v_{sa}, v_{sb}, v_{sc} , o circuito de sincronismo irá determinar a freqüência fundamental e a fase da seqüência positiva destas tensões. As saídas deste circuito de sincronismo serão denominadas correntes de controle i_{a1}, i_{b1}, i_{c1} e a “resistência instantânea” R conforme mostrado na equação (3.20) é determinada por meio das tensões de suprimento, em conjunto com as correntes de controle determinadas pelo circuito de sincronismo [24] e [25].

$$R = \frac{v_{sa} \cdot i_{a1} + v_{sb} \cdot i_{b1} + v_{sc} \cdot i_{c1}}{i_{a1}^2 + i_{b1}^2 + i_{c1}^2} \quad (3.3)$$

Como as tensões de suprimento podem conter desbalanços e/ou distorções, o sinal de controle R determinado terá um valor médio e um valor oscilante. Com isso, se faz necessário o uso de um filtro passa baixa para extrair a sua componente média. O sinal de controle \bar{R} corresponde à magnitude da componente fundamental de seqüência positiva das tensões v_{sa}, v_{sb}, v_{sc} . Obtendo-se a componente média desta resistência, em conjunto com as correntes de controle determinadas pelo circuito de sincronismo, os valores instantâneos da componente fundamental de seqüência positiva das tensões denominadas por v_{a1}, v_{b1}, v_{c1} são determinadas, como mostradas na Figura 3-5 [24] e [25].

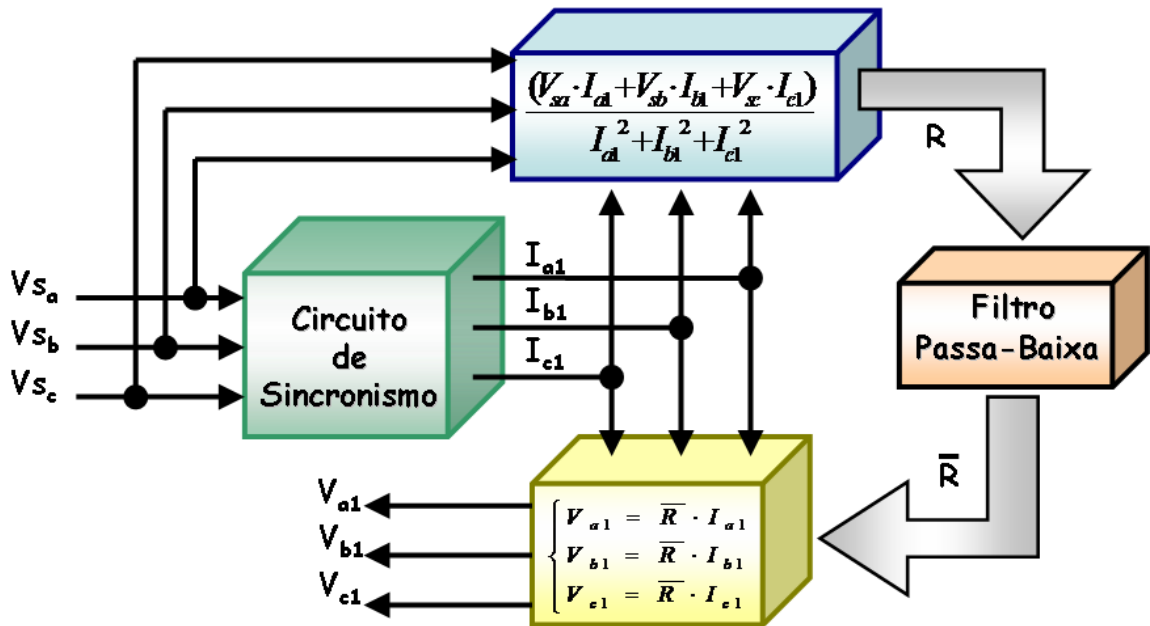


Figura 3-4: Circuito do Detector de Tensões de Sequência Positiva – V^{+1}

3.3.2 Cálculos das Correntes de Compensação

O controle do filtro ativo paralelo que garante uma proporcionalidade entre as correntes da fonte e as tensões medidas na fonte de suprimento, pode ser implementado por meio dos conceitos das correntes de minimização e dos conceitos da estratégia de controle denominada Correntes Senoidais de Fryze [24][25].

O bloco “Detector de Sequência Positiva” possui como entradas as tensões medidas na fonte v_{sa} , v_{sb} , v_{sc} , e fornecem as tensões ideais v_{a1} , v_{b1} , v_{c1} . Com estas tensões ideais juntamente com as correntes medidas na carga i_{la} , i_{lb} , i_{lc} e da informação do nível de tensão medida no barramento de corrente contínua v_{dc} , o cálculo das correntes de referência é realizado. A Figura 3-6 mostra o diagrama de blocos no qual se pode observar o cálculo que determina as correntes de referência i_{ca}^* , i_{cb}^* , i_{cc}^* [24].

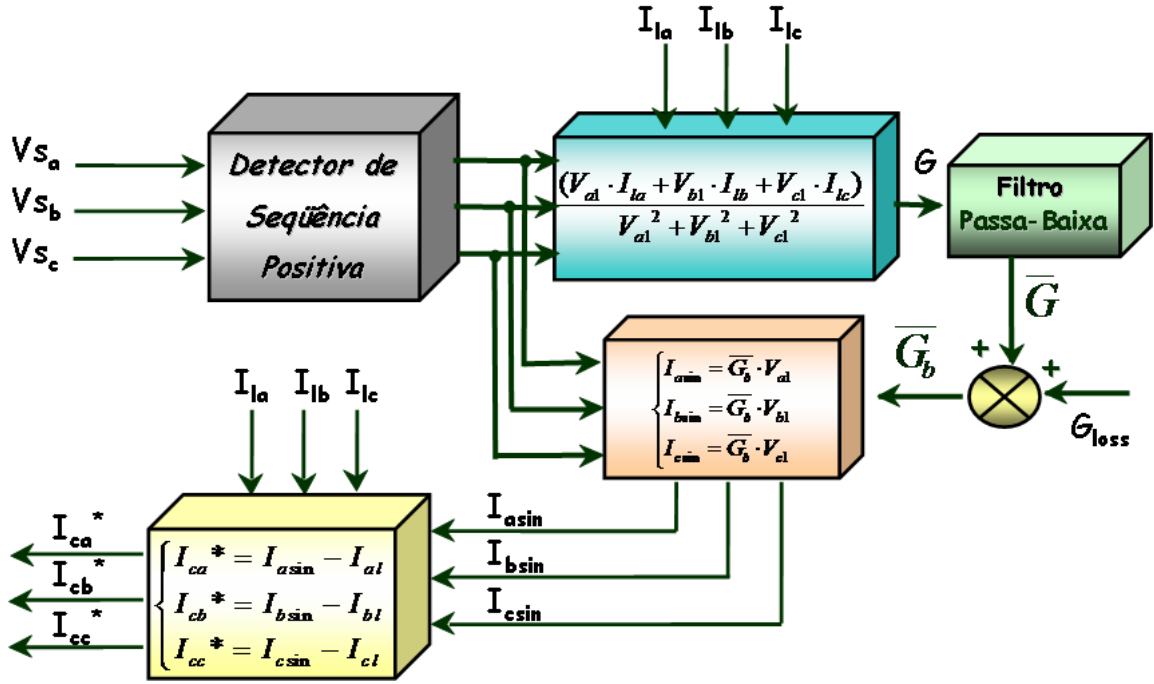


Figura 3-5: Circuito de Controle das Correntes de Compensação

Com as tensões de seqüência positiva na frequência fundamental, o algoritmo do cálculo das correntes de compensação é obtido a partir das tensões fornecidas pelo detector de V^{+1} , associadas com as correntes lidas na carga através do algoritmo baseado nos mínimos multiplicadores de lagrange [25]. Com isso, obtém-se o sinal de controle G , que terá um valor médio e um valor oscilante, tornando necessário o uso de um filtro passa baixa para extrair a sua componente média. O sinal de controle \bar{G} somado ao sinal de regulação do barramento CC, que é obtido a partir da medição da tensão no capacitor chamado de G_{Loss} , geram a condutância equivalente \bar{G}_b [24].

Como pode ser observado na equação (3.4), as correntes $i_{a\sin}$, $i_{b\sin}$, $i_{c\sin}$ são determinadas pelo produto entre a condutância equivalente e as tensões de controle obtidas pelo circuito de sincronismo v_{a1} , v_{b1} , v_{c1} . De acordo com a equação (3.5), as correntes de referência são determinadas pela diferença entre as correntes $i_{a\sin}$, $i_{b\sin}$, $i_{c\sin}$ e as correntes medidas na carga não-linear i_{la} , i_{lb} , i_{lc} , baseando-se na lei de Kirchhoff a partir da premissa que a referência de corrente positiva é a corrente que entra no conversor.

$$\begin{cases} i_{a\sin} = \bar{G}_b \cdot v_{a1} \\ i_{b\sin} = \bar{G}_b \cdot v_{b1} \\ i_{c\sin} = \bar{G}_b \cdot v_{c1} \end{cases} \quad (3.4)$$

$$\begin{cases} i_{ca}^* = i_{a\sin} - i_{al} \\ i_{cb}^* = i_{b\sin} - i_{bl} \\ i_{cc}^* = i_{c\sin} - i_{cl} \end{cases} \quad (3.5)$$

A tensão no capacitor acoplado ao conversor, por maior que seja a frequência de chaveamento destes, sofrerá oscilações. Além disso, o chaveamento do conversor SVPWM produz perdas que são supridas pela energia armazenada no capacitor, tendendo a descarregá-lo. Com isto, torna-se importante o uso de um regulador de tensão com o intuito de diminuir estas oscilações de tensão sobre o capacitor e de repor as perdas [3][24].

3.3.3 Controle do Barramento CC

A tensão no capacitor CC será controlada através de um regulador de tensão CC do filtro ativo presente neste condicionador. O sinal para controle de perdas no capacitor é gerado neste regulador. Um filtro passa baixa, com frequência de corte em 20 Hz, é inserido neste regulador de tensão com o objetivo de torná-lo insensível a variações de tensão de frequência elevada e ruídos. Isto ocorre quando o condicionador compensa harmônicos de segunda ordem (2ω) de seqüência positiva na carga [3], [24] e [25].

A tensão V_{Ref} é um valor de referência para a tensão CC pré-definida onde, variação aceita deverá estar em torno de $\pm 10\%$ do valor de V_{Ref} . Como exemplo, se a tensão V_{Ref} for estabelecida em 1,1.0 pu, então, a variação de tensão aceita no capacitor apresentará um máximo de 1,1 pu e uma tensão mínima de 0,9 pu [24].

O sinal G_{Loss} é usado no controlador do filtro ativo paralelo como uma potência média real. Este sinal está incluso no cálculo das correntes de referência para forçar os conversores SVPWM a absorver energia vinda da rede CA ou entregar energia à rede CA, como mostrado na Figura 3-7 [24].

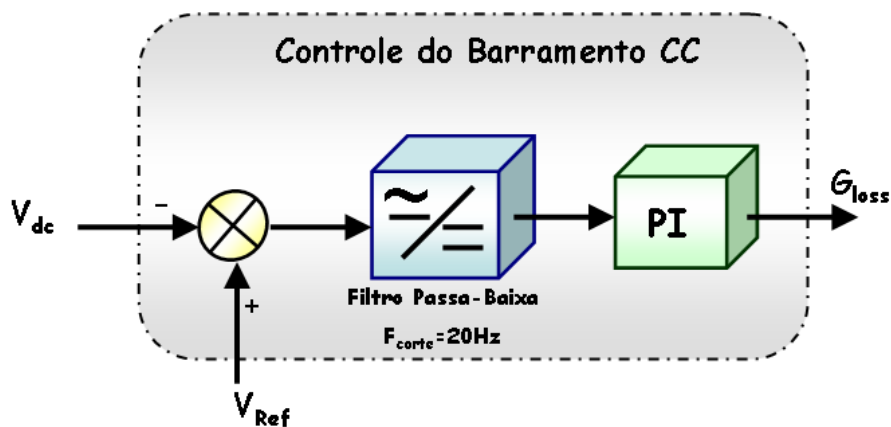


Figura 3-6: Controlador do Elo de Corrente Contínua

Quando a tensão no capacitor for menor do que a referência definida para V_{Ref} então o inversor deve absorver energia da rede CA, e o inverso ocorre quando a tensão no capacitor for maior do que a tensão definida para V_{Ref} . Para obter erro zero em regime permanente, um controlador proporcional-integral (PI) é usado.

Um laço de realimentação mais lento proporcionado por G_{Loss} também é útil para corrigir variações de tensão devido a erros de compensação que ocorrem durante a resposta transitória do filtro ativo paralelo [24].

3.3.4 Estratégia de Chaveamento

A estratégia de chaveamento é o controle responsável por traduzir os sinais de controle formados pelo controlador do filtro ativo paralelo em pulsos elétricos que disparam as chaves semicondutoras presente no conversor do condicionador. A técnica de chaveamento SVPWM é aplicada ao filtro ativo paralelo com o objetivo de reduzir a distorção harmônica total (DHT) [31] e [32].

Este tópico será abordado de forma mais detalhada no próximo capítulo, com objetivo de descrever cada uma das técnicas de chaveamento multiníveis aplicada aos conversores das três topologias multiníveis proposta a serem implementadas num simulador de transitórios eletromagnéticos neste trabalho.

3.4 CONCLUSÕES PARCIAIS

Neste capítulo o filtro ativo paralelo foi descrito como equipamento “*Custom Power*”, com a função de drenar as correntes demandas por cargas não-lineares com elevado conteúdo harmônico. As correntes drenadas serão geradas por conversores multiníveis controlados por tensão, semelhantes ao conversor três níveis modelado matematicamente.

O circuito de potência do filtro ativo paralelo foi descrito, sendo que o conversor eletrônico de potência mostrado na Figura 3-3 de forma ilustrativa possui três níveis de tensão de saída, representando os conversores multiníveis implementados neste trabalho.

A estratégia de controle utilizada na formação dos sinais de referência que irão impedir a contaminação das correntes da fonte com as distorções harmônicas das correntes demandadas pela carga não-linear é conhecida como correntes senoidais de Fryze e foi descrita em [24][25].

4 CHAVEAMENTO MULTINÍVEL SPACE VECTOR

Inversores alimentados em tensão são utilizados para produzir tensões alternadas em diversas aplicações, tais como fontes ininterruptas de energia (UPS's), acionamento de motores e filtros ativos. Assim, várias topologias de inversores têm sido desenvolvidas tanto para aplicações monofásicas quanto para trifásicas.

Diversas estratégias de modulação, diferentes em conceito e desempenho, têm sido desenvolvidas nas últimas décadas para a modulação destes inversores de tensão [33]. Dentre estas estratégias, pode-se citar a eliminação de harmônicos com modulação por largura de pulso (PWM) programada. Esta técnica possibilita eliminar de maneira seletiva os harmônicos de baixa ordem da tensão de saída de inversores. Entretanto, salienta-se para operação em malha fechada, deve-se limitar a banda passante do controlador de tensão para se obter o desempenho esperado [34][35].

Outra estratégia de modulação aplicada em inversores é a modulação delta (DM). Esta estratégia apresenta boa atenuação de harmônicos de baixa ordem nas tensões de saída e reduzido número de comutações para índices de modulação de amplitude elevados. Todavia, a frequência de comutação resultante é variável [36].

Além destas estratégias pode-se destacar a modulação por largura de pulso senoidal (SPWM). Esta apresenta frequência de comutação constante e reduz os componentes harmônicos das tensões de saída do inversor da frequência fundamental [31].

Na modulação SPWM para inversores trifásicos a três fios, o índice de modulação da amplitude da tensão de saída é limitado pela forma de onda senoidal do sinal de controle. Para melhorar este índice, é possível injetar um sinal com terceiro harmônico no sinal modulante [37].

Uma abordagem geométrica da modulação por largura de pulso para inversores alimentados em tensão é apresentada por Ryan et al [38]. Nesta abordagem, é definida uma transformação que relaciona o espaço das tensões de saída do inversor com o espaço das tensões produzidas pelos braços do inversor. Apesar de resultar em um sistema desacoplado, um problema adicional deve ser resolvido para a sua implementação, que é a definição da tensão de sequência zero [38].

As técnicas de modulação por vetores espaciais “*space vector*” têm sido muito aplicadas em inversores, pois permitem reduzir o número de comutações dos interruptores, diminuir o conteúdo harmônico da tensão de saída, e aumentar o índice de modulação de amplitude do inversor [39], [40] e [41]. Além disso, a modulação *space vector* pode ser facilmente implementada em microprocessadores [42] e [43].

A modulação *space vector* foi inicialmente aplicada em inversores trifásicos com três braços para acionamento de máquinas elétricas [33] e [40]. Posteriormente, foi também aplicada em conversores CA/CA trifásicos [44], em inversores trifásicos com quatro braços [45] e em inversores trifásicos três níveis [46].

Neste capítulo os algoritmos desenvolvidos com base na modulação por vetores espaciais em largura de pulso em grandezas de fase *abc* para o controle do chaveamento dos conversores multiníveis serão apresentados.

4.1 CLASSIFICAÇÃO DAS ESTRATÉGIAS DE MODULAÇÃO

Os métodos de modulação utilizados em conversores multiníveis podem ser classificados de acordo com a frequência de chaveamento, mostrado na Figura 4-1 [14][21].

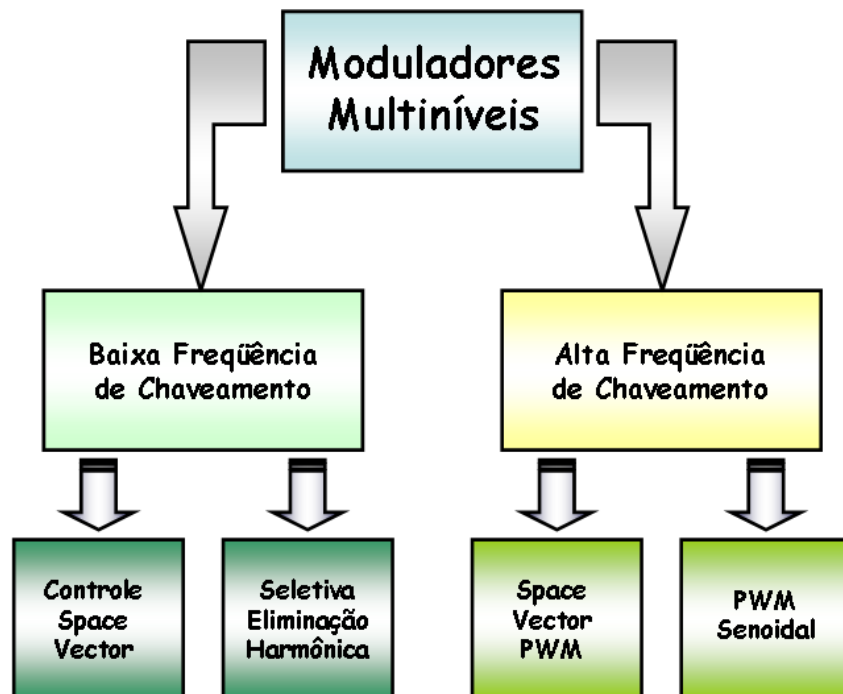


Figura 4-1: Moduladores Multiníveis

Métodos que operam com alta frequência de chaveamento possuem muitas comutações nas chaves semicondutoras em relação a um período da fundamental da

tensão de saída. Uma técnica de modulação muito popular em aplicações industriais é o clássico PWM Senoidal (SPWM), outra alternativa interessante é a estratégia *Space Vector Modulation*, a qual tem sido aplicada em conversores três níveis [14][31].

Métodos que operam em baixa frequência de chaveamento geralmente têm uma ou duas comutações nas chaves semicondutoras em relação a um período da tensão de saída. Os representantes desta família de métodos são: a Seletiva Eliminação de Harmônicos e o Controle *Space Vector* [14].

4.2 PRINCÍPIOS DA MODULAÇÃO POR LARGURA DE PULSO – PWM

Inicialmente, a maioria das estratégias de modulação utilizava um trem de pulsos para comandar o chaveamento com a mesma forma de onda na frequência fundamental da referência em qualquer instante de tempo. A maior dificuldade que este trem de pulsos contém são as presenças de componentes harmônicos indesejáveis os quais devem ser minimizados.

Consequentemente em todas estas estratégias PWM o primeiro objetivo identificado tem sido o cálculo dos tempos de disparos das chaves dos conversores, visando obter as tensões ou correntes de saída em baixa frequência. Alcançado o primeiro objetivo, o segundo objetivo para a estratégia PWM é determinar o modo mais efetivo de arranjo do processo de chaveamento para minimizar indesejáveis distorções harmônicas, perdas no chaveamento, ou critério específico de desempenho.

Apesar da grande quantidade de material que tem sido publicado sobre PWM, é importante observar que têm sido geralmente propostas somente três alternativas significativamente diferentes para determinar os tempos de chaveamento. Estas alternativas são[31]:

- PWM Amostrado Naturalmente (*Naturally Sampled PWM*).
- PWM com Amostra Regular (*Regular Sampled PWM*).
- PWM Direto (*Direct PWM*).

Muitas variações destas três alternativas têm sido publicadas, e algumas vezes pode ser difícil observar estas básicas semelhanças. A modulação por vetores espaciais (*Space Vector Modulation*) é somente uma variação do PWM com amostras regulares as quais especificam a mesma largura de pulso no chaveamento, mas com suas posições diferentes em cada intervalo da portadora [31].

4.3 MODULAÇÃO SPACE VECTOR PWM – SVPWM

A técnica de modulação em Vetores Espaciais (*Space Vector Modulation – SVM*) foi desenvolvida inicialmente como uma aproximação da técnica de modulação por largura de pulso (PWM) para inversores trifásicos, sendo esta técnica mais sofisticada na geração de formas de ondas senoidais que alimentam em alta tensão motores com baixa distorção harmônica total. Os limites dos vetores espaciais podem ser aplicados de acordo com as regiões onde o vetor de tensão de saída está localizado [47].

Uma diferente aproximação da modulação PWM está baseada na representação dos vetores espaciais no plano α - β . A determinação dos tempos de chaveamento pode ser alcançada utilizando a modulação *space vector* baseada na representação dos vetores de chaveamento no plano α - β . A modulação *space vector* é um avanço da técnica computacional PWM, talvez sendo a melhor opção entre todas as técnicas PWM para aplicações em acionamentos de motores, pela facilidade de implementação digital com melhor aproveitamento da tensão de saída.

Como objetivo principal esta técnica busca tensão de saída variável, tendo uma máxima componente fundamental de forma de onda com mínimo de distorção harmônica. No passado muitas técnicas PWM foram desenvolvidas para permitir que inversores possuíssem características de saída desejadas para alcançar os seguintes objetivos:

- Grande limite de modulação linear;
- Menor perda no chaveamento;
- Baixa distorção harmônica total.

A técnica de chaveamento por modulação *space vector* (SVM) é muito popular devido a excelência nas seguintes características [48]:

- ✓ Alcançar grande limite de modulação linear associado ao PWM com injeção automática de terceiro harmônico;
- ✓ Possuir menor faixa de harmônicos que o PWM regular ou outra modulação baseada em métodos senoidais;
- ✓ Tensão de saída 15% maior que as modulações convencionais, com isso, melhor utilização do barramento CC;
- ✓ Maior eficiência na utilização de fontes de tensão CC;

- ✓ SVM aumenta a capacidade de saída do PWM sem distorcer as formas de onda das tensões de linha de saída;
- ✓ Prevenção de chaveamentos desnecessários, com isso, diminuindo as perdas na comutação das chaves;
- ✓ Uma abordagem diferente para modulação PWM baseada na representação por vetores espaciais das tensões.

4.3.1 Conceitos do Space Vector

O conceito de vetores espaciais é derivado do campo girante da máquina CA a qual é acionada por um inversor com tensões de saída moduladas. Nesta técnica de modulação as grandezas trifásicas podem ser transformadas para equivalentes bifásicas em componentes síncronas com referencial girante ou estacionário [4][5].

O sistema trifásico pode ser considerado como tendo as seguintes componentes:

$$\begin{aligned}
 v_a &= v_m \cdot \sin(\omega t) \\
 v_b &= v_m \cdot \sin\left(\omega t - \frac{2\pi}{3}\right) \\
 v_c &= v_m \cdot \sin\left(\omega t + \frac{2\pi}{3}\right)
 \end{aligned} \tag{4.1}$$

Quando estas tensões trifásicas são aplicadas na máquina CA, é produzido um fluxo girante no entreferro desta máquina CA. Este componente do fluxo girante pode ser representado como sendo um vetor girante. A amplitude e o ângulo deste vetor girante podem ser obtidos através da transformada de Clarke em referencial estacionário como descrito a seguir. A representação deste vetor girante no plano complexo é mostrada na Figura 4-2 [5].

Representação dos vetores espaciais em grandezas trifásicas:

$$\bar{v}^* = v_\alpha + jv_\beta = \frac{2}{3}(v_a + av_b + a^2v_c) \tag{4.2}$$

Onde:

$$a = e^{j\frac{2\pi}{3}} = 1\angle 120^\circ \tag{4.3}$$

$$\begin{aligned}
 |\bar{V}| &= \sqrt{v_\alpha^2 + v_\beta^2} \\
 \theta &= \tan^{-1}\left(\frac{v_\beta}{v_\alpha}\right)
 \end{aligned} \tag{4.4}$$

$$\bar{V}^* = \frac{2}{3} \cdot \left(\left(v_a + \cos\frac{2\pi}{3}v_b + \cos\frac{2\pi}{3}v_c \right) + j \left(\sin\frac{2\pi}{3}v_b - \sin\frac{2\pi}{3}v_c \right) \right) \tag{4.5}$$

Distribuindo em partes real e imaginária:

$$v_\alpha = \frac{2}{3} \cdot \left(v_a + \cos \frac{2\pi}{3} v_b + \cos \frac{2\pi}{3} v_c \right)$$

$$v_\beta = \frac{2}{3} \cdot \left(\sin \frac{2\pi}{3} v_b - \sin \frac{2\pi}{3} v_c \right)$$
(4.6)

Então:

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} 1 & \cos \frac{2\pi}{3} & \cos \frac{2\pi}{3} \\ 0 & \sin \frac{2\pi}{3} & -\sin \frac{2\pi}{3} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}$$
(4.7)

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} 1 & -0,5 & -0,5 \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix}$$
(4.8)

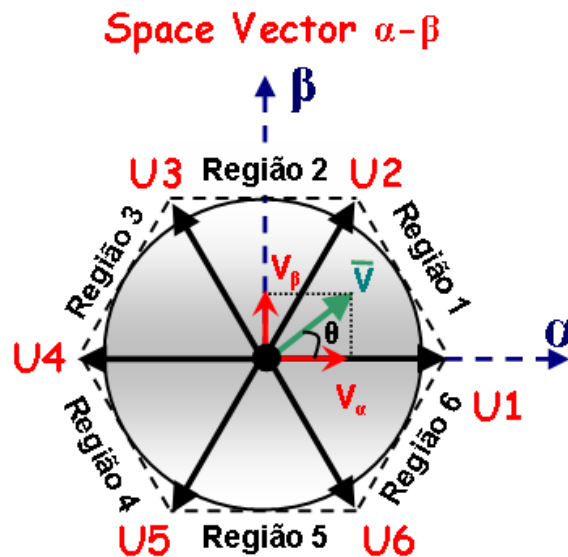


Figura 4-2: Representação do Vetor Girante nos Eixos $\alpha\beta$

Os princípios do SVPWM são [5][31]:

- Considerar as tensões senoidais com amplitude constante do vetor girante em frequência constante;
- Esta técnica de PWM aproxima o vetor de tensão de referencia V_{Ref} pela combinação do chaveamento dos vetores U_0 , U_1 , U_2 , U_3 , U_4 , U_5 , U_6 e U_7 (U_0 e U_7 são vetores de tensão de saída igual a zero);
- A transformação em coordenadas estacionárias nos eixos α - β , onde as tensões trifásicas são representadas pelo vetor espacial da soma das tensões trifásicas.

A técnica SVM pode ser facilmente estendida para todos os inversores multiníveis. Na Figura 4-3 são mostrados os vetores espaciais para os inversores tradicionais dois, três, e cinco níveis [5].

Estes diagramas vetoriais são universais independentemente do tipo de inversor. Com isso, a Figura 4-3(c) é válida para conversores cinco níveis NPC, capacitores grampeados ou módulos em cascata. A combinação da comutação entre os três vetores adjacentes referentes a cada região pode sintetizar o vetor de tensão desejado através da determinação dos ciclos de trabalhos das chaves semicondutoras para cada vetor [31].

$$v^* = \frac{(T_j v_j + T_{j+1} v_{j+1} + T_{j+2} v_{j+2})}{T} \quad (4.9)$$

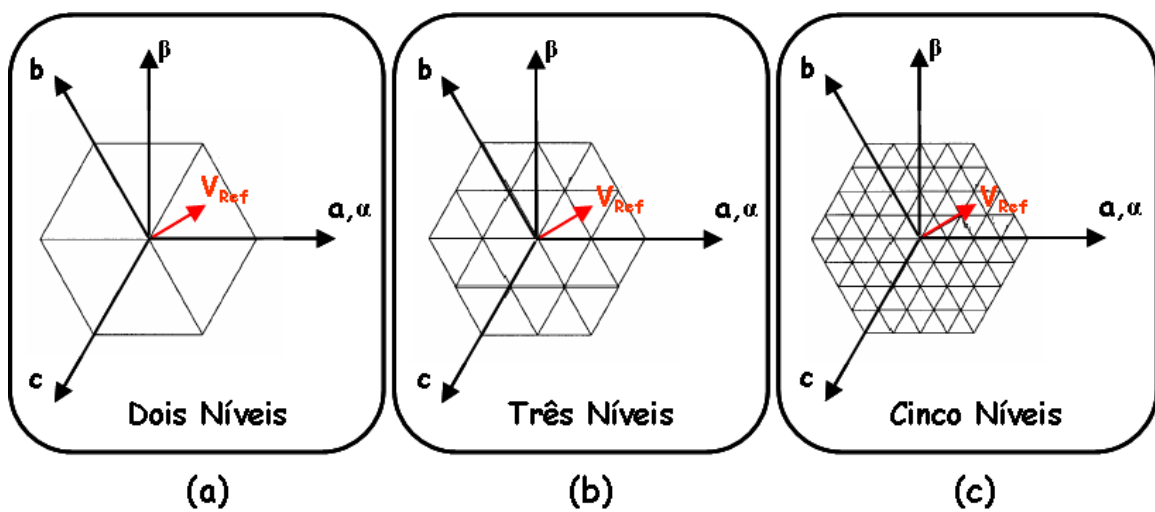


Figura 4-3: Diagramas Vetoriais: a) 2 Níveis; b) 3 Níveis; c) 5 Níveis

Com o aumento do número de níveis dos conversores, os estados de chaveamento redundantes e a complexidade da seleção dos estados de chaveamento aumentam proporcionalmente. Alguns autores têm utilizado a decomposição do diagrama vetorial cinco níveis através de dois diagramas vetorial três níveis defasados para minimizar picos e simplificar o controle [14] e [50].

4.4 COMPARADOR MULTINÍVEL SPACE VECTOR

Este controlador está baseado nos princípios dos vetores espaciais na determinação das chaves semicondutoras disparadas a cada instante tempo. Como é mostrado na Figura 4-4 um conversor dois níveis possui oito vetores espaciais onde cada um destes vetores representam uma combinação de estados no conversor. Sabe-se que um conversor trifásico de dois níveis com três ramos possui seis chaves

semicondutoras onde cada fase deste conversor possui duas chaves que operam de forma complementar [24].

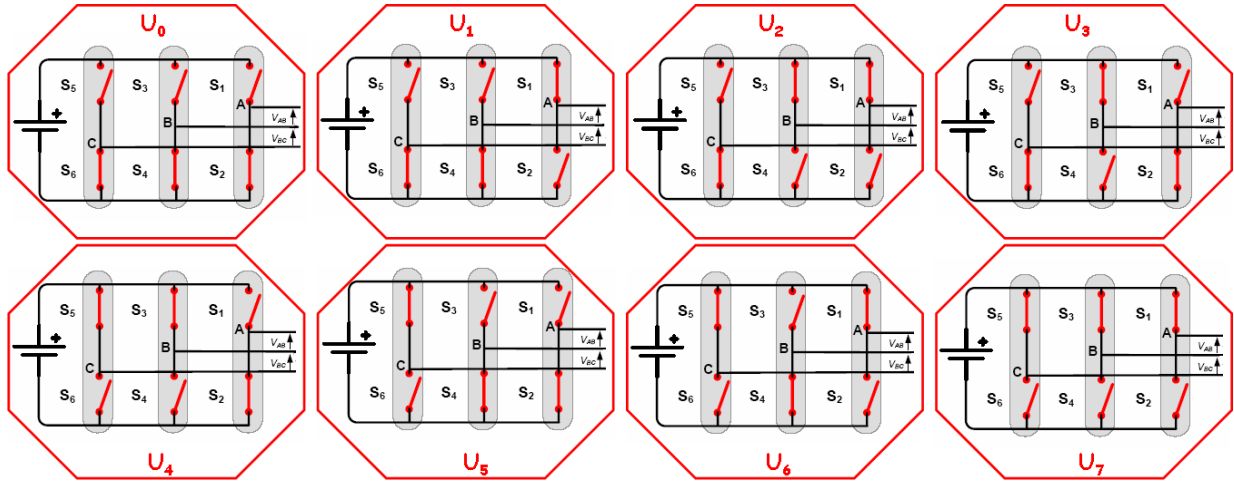


Figura 4-4: Combinações de Chaveamento Possíveis de um Conversor 2 Níveis

Adotando-se como padrão que o nível lógico um (1) define o estado de uma das chaves semicondutoras superiores (S_1 , S_3 ou S_5) estando ligada (em condução). Quanto ao nível lógico zero (0), este corresponde a situação inversa estando as chaves inferiores (S_2 , S_4 ou S_6) ligadas.

As tensões de fase-fase de saída do inversor dois níveis em cada um dos estados podem ser observados abaixo:

$$\begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} = v_{cc} \cdot \begin{bmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{bmatrix} \cdot \begin{bmatrix} S_1 \\ S_3 \\ S_5 \end{bmatrix} \quad (4.10)$$

Assumindo-se que as tensões v_a , v_b e v_c como sendo as tensões de fase-neutro em um sistema trifásico a três fios onde $v_a + v_b + v_c = 0$. Considera-se, $v_{ab} = v_a - v_b$, $v_{bc} = v_b - v_c$ e $v_{ca} = v_c - v_a$.

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} \cdot \begin{bmatrix} 1 & 0 & -1 \\ -1 & 1 & 0 \\ 0 & -1 & 1 \end{bmatrix} \cdot \begin{bmatrix} v_{ab} \\ v_{bc} \\ v_{ca} \end{bmatrix} \quad (4.11)$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \frac{1}{3} \cdot \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \cdot \begin{bmatrix} S_1 \cdot V_{cc} \\ S_3 \cdot V_{cc} \\ S_5 \cdot V_{cc} \end{bmatrix} \quad (4.12)$$

Com estas definições é possível montar a Tabela 4-1 que correlaciona os possíveis estados do inversor dois níveis com suas tensões de saída.

Tabela 4-1: Estados de Chaveamento de um Conversor 2 Níveis

| Chaves | | | Tensões Fase-Fase | | | Tensões Fase-Neutro | | | Vetores Espaciais |
|--------|-------|-------|-------------------|-----------|-----------|---------------------|--------------|--------------|-------------------|
| S_1 | S_3 | S_5 | V_{ab} | V_{bc} | V_{ca} | V_a | V_b | V_c | |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | U0 |
| 1 | 0 | 0 | V_{cc} | 0 | $-V_{cc}$ | $2V_{cc}/3$ | $-V_{cc}/3$ | $-V_{cc}/3$ | U1 |
| 1 | 1 | 0 | 0 | V_{cc} | $-V_{cc}$ | $V_{cc}/3$ | $V_{cc}/3$ | $-2V_{cc}/3$ | U2 |
| 0 | 1 | 0 | $-V_{cc}$ | V_{cc} | 0 | $-V_{cc}/3$ | $2V_{cc}/3$ | $-V_{cc}/3$ | U3 |
| 0 | 1 | 1 | $-V_{cc}$ | 0 | V_{cc} | $-2V_{cc}/3$ | $V_{cc}/3$ | $V_{cc}/3$ | U4 |
| 0 | 0 | 1 | 0 | $-V_{cc}$ | V_{cc} | $-V_{cc}/3$ | $-V_{cc}/3$ | $2V_{cc}/3$ | U5 |
| 1 | 0 | 1 | V_{cc} | $-V_{cc}$ | 0 | $V_{cc}/3$ | $-2V_{cc}/3$ | $V_{cc}/3$ | U6 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | U7 |

Assumindo-se que o sistema em questão é um sistema trifásico com três ramos, cada uma das combinações possíveis do inversor dois níveis pode ser representada por um vetor no plano complexo α - β , conforme mostra a Figura 4-5. Com isso, a posição e a amplitude do vetor de referência poderá ser representada neste plano, proporcionando ao controlador localizar a combinação das chaves que melhor representará o vetor de referência em dado instante de tempo[49].

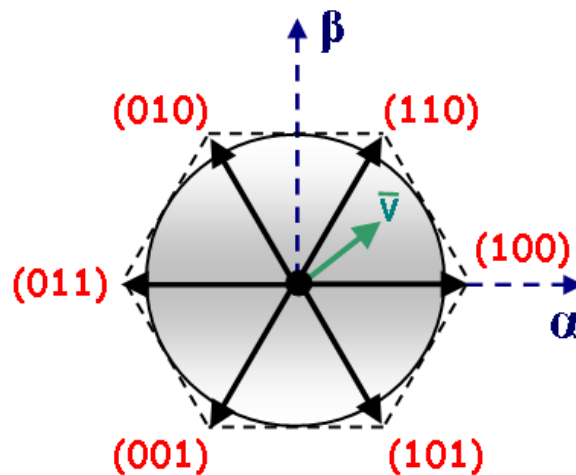


Figura 4-5: Combinações dos Vetores de Chaveamento do Conversor 2 Níveis

4.4.1 Comparador 2 Níveis

O controlador deste tópico está baseado na representação do sinal de referência gerado pelo circuito de controle no plano complexo α - β dos vetores espaciais e na técnica de chaveamento por banda de comparação.

A estratégia de chaveamento chamada de comparador “*space vector*” está baseada na comparação com uma banda similar a uma banda de histerese. Esta comparação busca sintetizar o sinal de referência gerado pelo controle \bar{V} , através do erro gerado entre a corrente de referência e a corrente medida na saída do inversor dois níveis, conforme mostra a Figura 4-6.

Um controlador proporcional integrador (PI) é utilizado na saída do erro gerado pelo controle, a principal função da ação integral é fazer com que o controle sigam, com erro nulo, um sinal de referência do tipo salto. Entretanto, a ação integral se aplicada isoladamente tende a piorar a estabilidade relativa do sistema. Para contrabalançar este fato, a ação integral é em geral utilizada em conjunto com a ação proporcional constituindo-se o controlador PI.

Através de um comparador, a saída do PI é comparada ao nível zero, quando este sinal for maior que o nível do comparador a sua saída lógica se tornará igual a um (1), ao contrário, quando este sinal for inferior ao nível comparado a saída do comparador se tornará igual à zero.

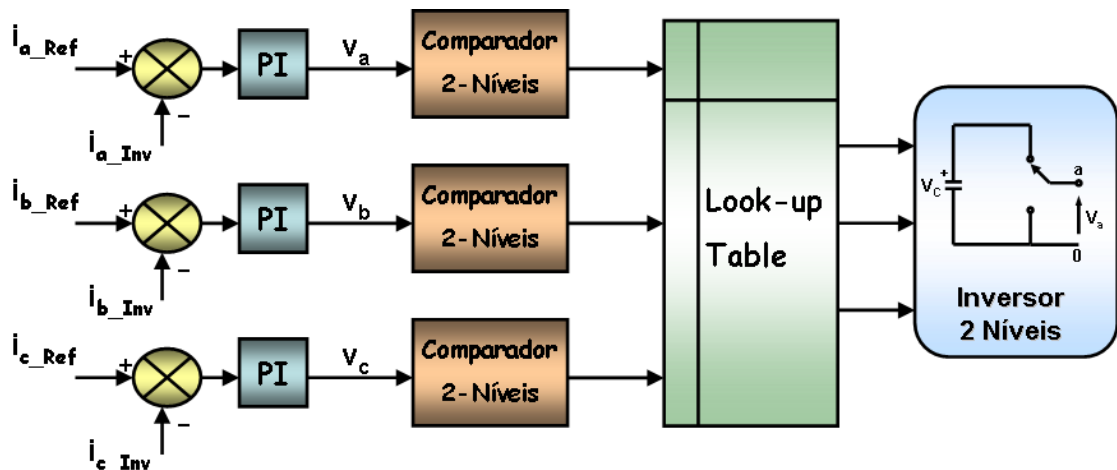


Figura 4-6: Diagrama de Controle do Comparador 2 Níveis SVPWM em Grandezas de fase abc

Com os níveis lógicos fornecidos na saída de cada comparador dois níveis, referente a cada uma das fases do sistema, uma combinação é formada. Através desta comparação são determinados os estados das chaves semicondutoras do inversor a cada instante de tempo o vetor de referência é sintetizado, como mostrado na Figura 4-7.

Os sinais instantâneos das correntes de referência, ou seja, as correntes de compensação i_{ac} , i_{bc} e i_{cc} , são comparadas com as correntes na saída do filtro i_{af} , i_{bf} e i_{cf} , a variável F_{shunt} apenas determina quando o filtro começará a operar realizando a compensação.

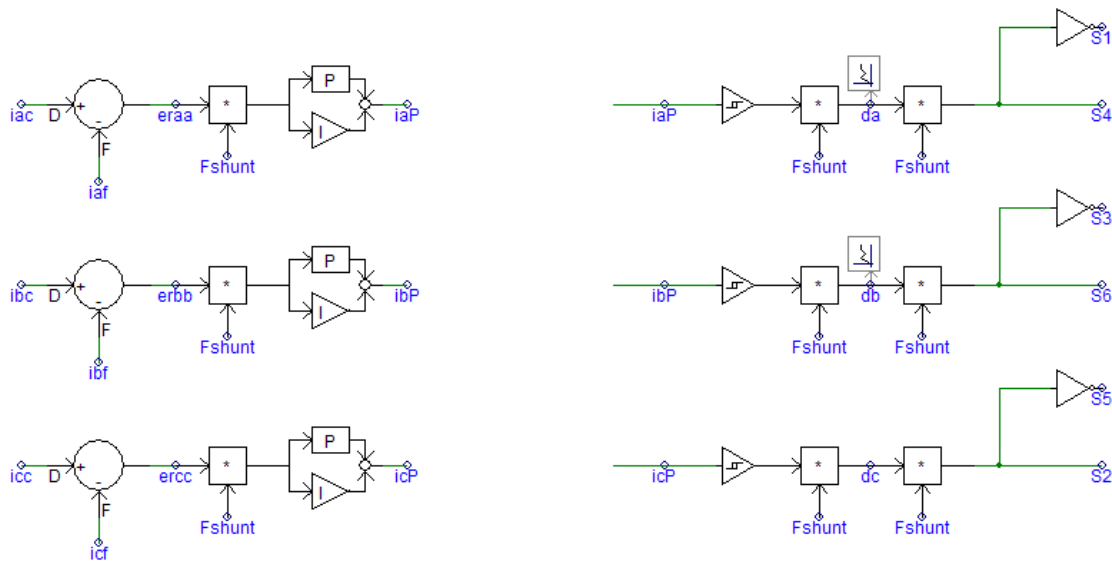


Figura 4-7: Determinação do Chaveamento do Controlador SVPWM

Esta comparação força o inversor sintetizar a cada instante de tempo uma das oito combinações apresentadas anteriormente baseadas na localização do vetor de referência no plano complexo α - β .

Desta forma, o inversor deve sintetizar uma tensão em contra-fase com relação às variáveis de saída dos controladores PI. Com isso, o inversor estará procurando minimizar os erros, forçando as correntes drenadas seguirem suas respectivas referências.

4.4.2 Comparador 3 Níveis

Quando se estende esta estratégia de chaveamento para um inversor NPC três níveis, o diagrama vetorial das possíveis combinações de chaveamento das chaves semicondutoras aumenta o número de combinações, conforme mostra a Figura 4-8. Neste caso, cada um dos vetores representados corresponde à combinação dos estados das chaves nas três fases (abc).

Para o inversor três níveis o nível da tensão de saída considerado positivo é alcançado quando as duas chaves superiores de um dos ramos do inversor estiverem ligadas. O nível tensão de saída considerado negativo é alcançado quando as duas chaves inferiores de um dos ramos do inversor estiverem ligadas. Com isso, o nível de tensão de saída considerado zero é alcançado quando as duas chaves centrais de um dos ramos do inversor estiverem ligadas.

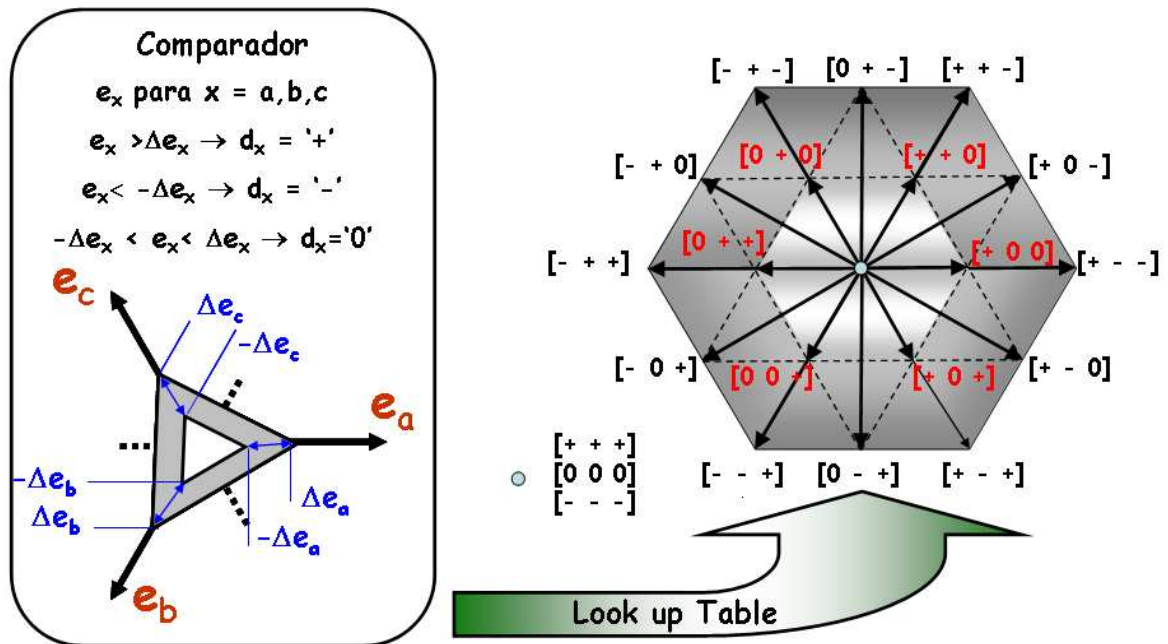


Figura 4-8: Diagrama Vetorial 3 Níveis

Semelhantemente ao realizado para o inversor dois níveis, no controle do chaveamento do conversor três níveis, o controlador proposto busca sintetizar o sinal de referência gerado pelo controle, através do erro gerado entre a corrente de referência e a corrente medida na saída do conversor, conforme mostra a Figura 4-9.

Para o controle do chaveamento do inversor três níveis é criada uma banda de comparação em torno do nível zero, com tolerância de 5% para o nível positivo e 5% para o nível negativo. Esta tolerância foi definida sem critério técnico, apenas um valor foi definido para tornar possível a implementação digital.

Através de um comparador, a saída do PI é comparada a esta banda, quando este sinal for maior que o nível da banda do comparador a sua saída lógica se tornará igual a 1 ou +. Ao contrário, quando este sinal for menor que o nível inferior da banda à saída se tornará igual a -1 ou -.

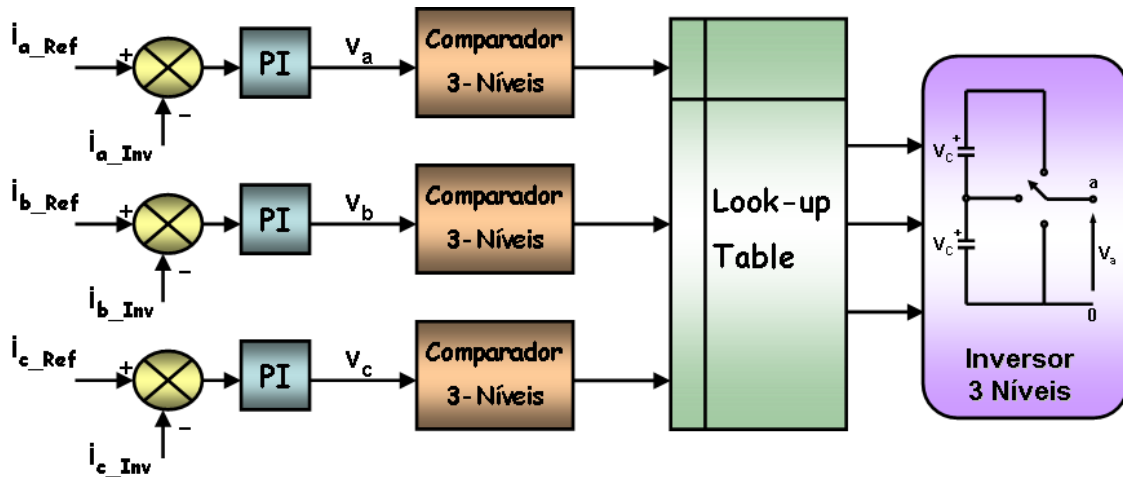


Figura 4-9: Diagrama de Controle do Comparador 3 Níveis SVPWM em Grandezas de fase abc

Para que o comparador forneça em sua saída o nível zero o sinal deverá estar com valores situados dentro da banda fornecida ao comparador, com isso, o nível zero será alcançado e o período que estará ativo dependerá da largura desta banda, que para este caso será de $\pm 5\%$.

De forma análoga ao proposto para o inversor dois níveis, com os níveis lógicos fornecidos na saída de cada comparador três níveis, referente a cada uma das fases do sistema, uma combinação é formada. Através desta comparação são determinados os estados das chaves semicondutoras do inversor a cada instante de tempo o vetor de referência é sintetizado, como mostrado em Figura 4 -10, Figura 4 - 11 e Figura 4 - 12.

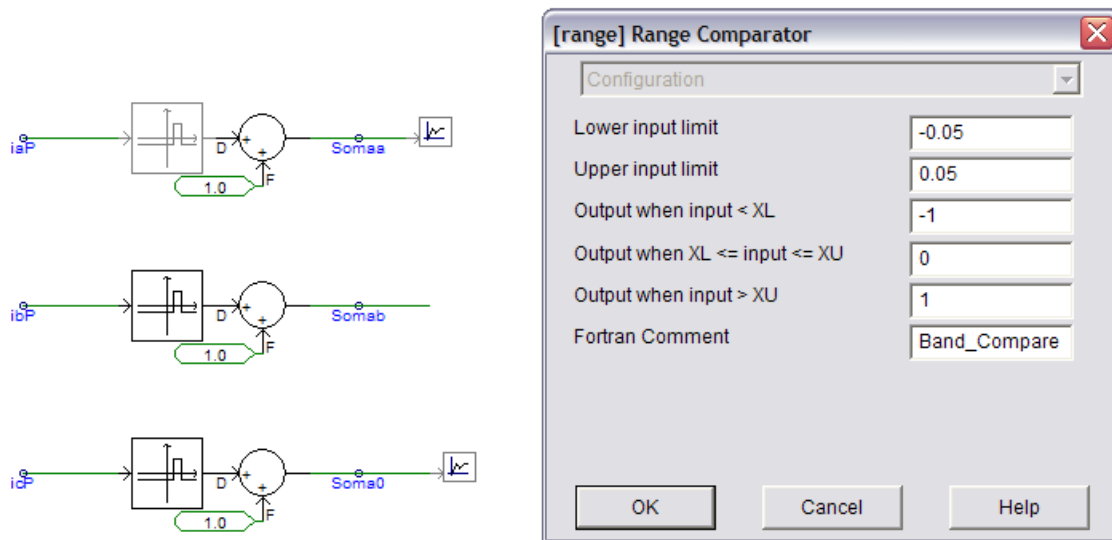


Figura 4-10: Configuração do Comparador 3 Níveis

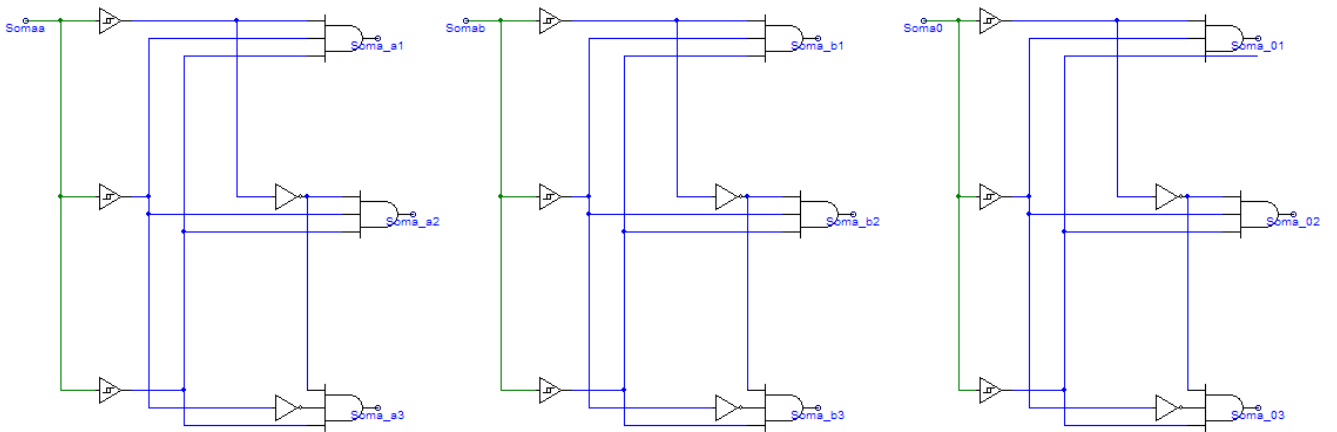


Figura 4-11: Comparação e Determinação do Chaveamento 3 Níveis

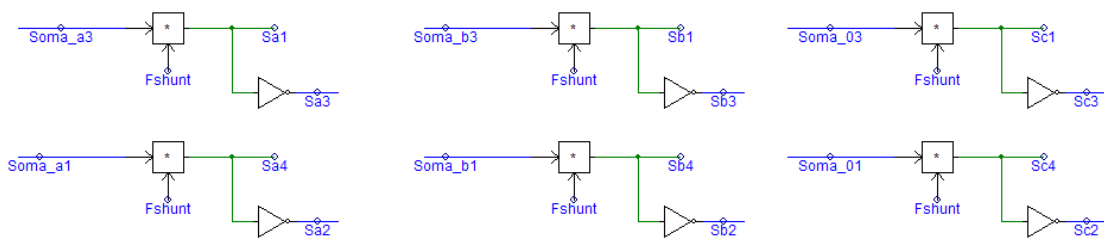


Figura 4-12: Disparo das Chaves Semicondutoras

Com isso, para uma aplicação em inversores multiníveis, esta estratégia poderia ser expandida de acordo com o número de níveis desejados, apenas montando um diagrama vetorial do conversor multinível desejado, seguindo o controle mostrado na Figura 4-13.

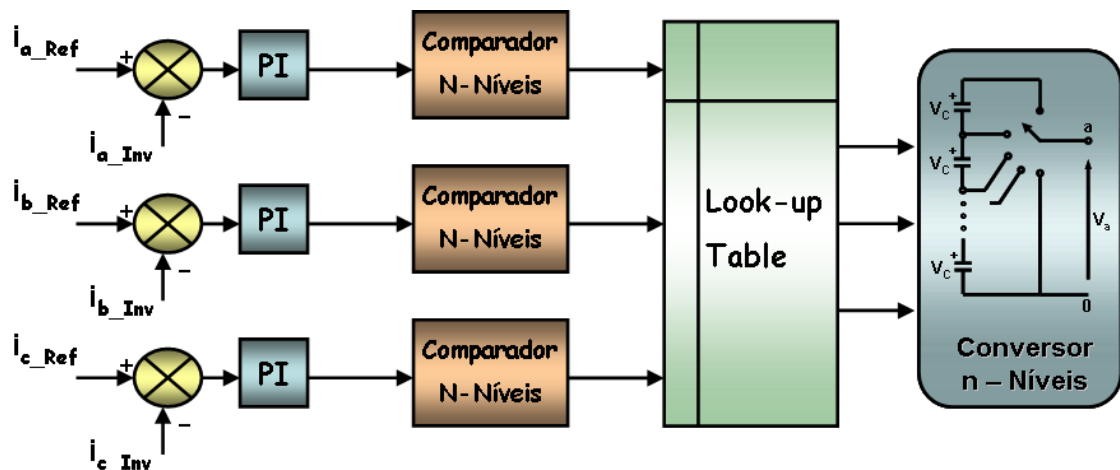


Figura 4-13: Diagrama Genérico de Controle do Comparador SVPWM em Grandezas de fase abc

Uma característica importante que limita a aplicação desta estratégia é o fato de não existir um controle direto da frequência de chaveamento, que depende somente da largura da banda do comparador, de forma semelhante ao que ocorre com o controle do chaveamento por banda de histerese [5]. Devido a esta característica o comparador

SVPWM é limitado em suas aplicações, pois este comparador não possui frequência de chaveamento fixa.

4.5 CONTROLADOR SVPWM MULTINÍVEL

Como desenvolvido na estratégia de chaveamento anteriormente apresentada, este controlador está baseado na modulação *space vector* no controle da comutação das chaves semicondutoras presentes no conversor multinível NPC. De forma diferente a proposta no comparador multinível, este controlador possui um controle da frequência de chaveamento, sendo este realizado através da comparação do sinal de controle característico da SVM e uma portadora triangular.

O chaveamento SVPWM para conversores multiníveis tem sido desenvolvido ao longo do tempo utilizando a técnica vetorial de chaveamento dos três vetores mais próximos situados na região em que se encontra o vetor de referência [21]. No entanto, esta técnica é limitada pelo aumento do número de níveis, este fato se deve ao aumento do número de regiões, vetores, e conseqüentemente ocorre um aumento na complexidade do algoritmo de controle.

O diagrama vetorial dos conversores multiníveis pode ser demonstrado de forma ilustrativa na Figura 4-14, no conversor dois níveis existem oito (8) vetores de chaveamento, no conversor três níveis existem vinte e um (21) vetores de chaveamento e no conversor quatro níveis existem cinquenta (50) vetores de chaveamento.

Devido às características construtivas do conversor NPC quatro níveis, a tensão do barramento CC divide-se em quatro níveis de tensão através de três capacitores, não existindo ponto médio entre os capacitores que corresponda ao ponto de neutro do barramento CC, não permitindo a equalização da tensão do elo CC. Este conversor não é aplicável e seu diagrama vetorial foi utilizado apenas para ilustrar o aumento do número de vetores.

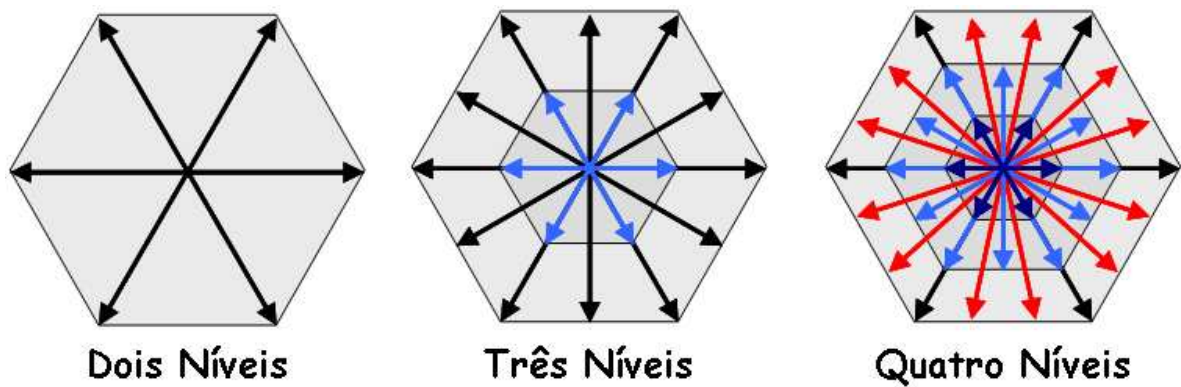


Figura 4-14: Diagramas Vetoriais de Conversores Multiníveis

Este algoritmo de chaveamento deve considerar a posição dos vetores redundantes em relação ao vetor de referência, sendo que estes vetores redundantes possuem duas ou mais combinações diferentes que comandam sua formação dependendo do número de níveis do conversor. Com a existência de mais vetores de chaveamento, a síntese do vetor de referência é mais precisa [21]. Em virtude da característica do conversor multinível possuir mais vetores de chaveamento, a definição da seqüência de chaveamento permite a compensação com menores perdas e procurando manter as tensões no barramento CC equilibradas [21].

Os vetores redundantes se caracterizam por estarem situados nos limites dos hexágonos internos formados no diagrama vetorial. Estes vetores redundantes na topologia NPC auxiliam na manutenção do equilíbrio das tensões nos capacitores, evitando problemas de desequilíbrio das tensões aplicadas nas chaves semicondutoras. As diferentes combinações que representam os vetores redundantes podem ser vistas na Figura 4-15, em um diagrama vetorial de um conversor cinco níveis.

Os vetores sobre os vértices do hexágono mais externo e os vetores nulos situados no centro do plano bidimensional não contribuem para o equilíbrio ou desequilíbrio das tensões do barramento CC. No entanto, os vetores que não estão situados nos vértices do hexágono mais externo são chamados de vetores médios e conectam sempre pelo menos uma das fases aos pontos centrais do conversor multinível, gerando com isso desequilíbrios nos diversos capacitores que compõem o barramento CC do conversor NPC.

Os outros vetores que compõem o hexágono externo também não possuem vetores redundantes e seu efeito sobre o desequilíbrio não é controlável, não existindo outro vetor com efeito contrário de mesma amplitude que possa ser utilizado para compensar este desequilíbrio.

O algoritmo clássico SVM divide o plano bidimensional do diagrama vetorial em pequenos triângulos equiláteros, onde o maior desafio é determinar em qual região e em qual dos pequenos triângulos está situado o vetor de referência, tornando-se uma tarefa muito complexa com o aumento significativo do número de níveis.

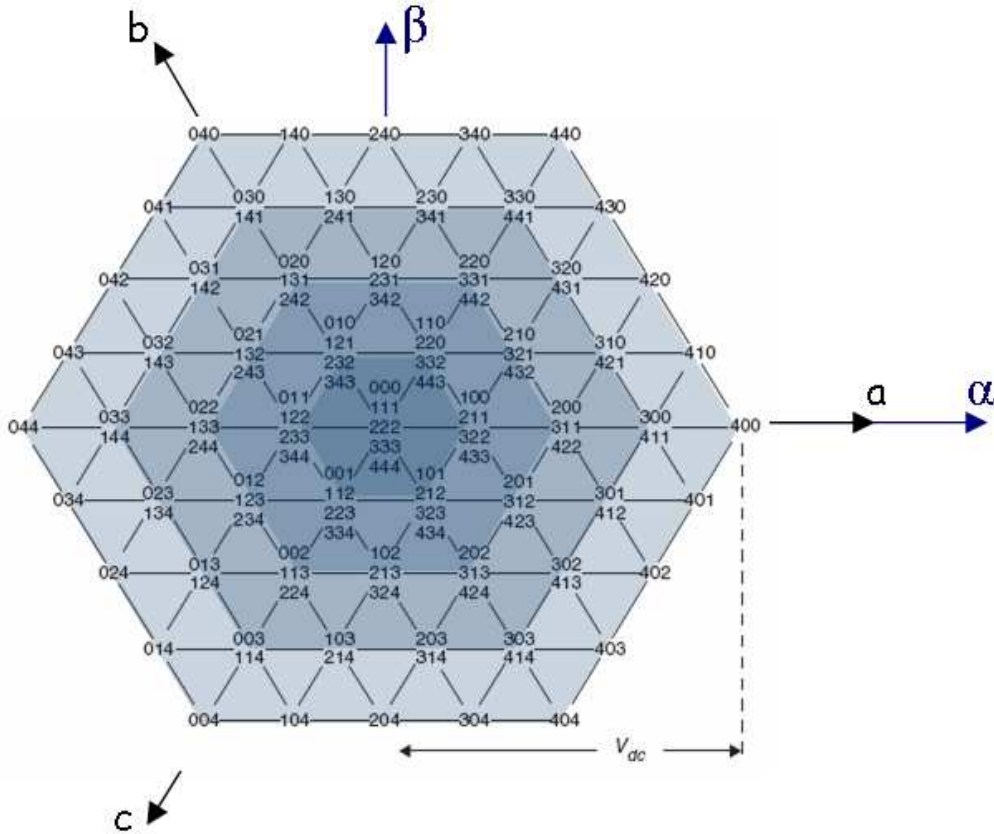


Figura 4-15: Combinações Possíveis do Conversor 5 Níveis NPC

Uma das técnicas utilizadas para identificar em que triângulo o vetor de referência está situado, realiza esta tarefa identificando inicialmente a região do hexágono mais externo onde o vetor encontra-se. Após esta localização, através de equações de retas o triângulo formado pelos três vetores mais próximos do vetor de referência é identificado [21].

Com o aumento do número de níveis, o número de equações e condições associadas a estas retas, eleva-se muito e aumenta a dificuldade na determinação da localização do vetor de referência. No entanto, uma vez superada esta dificuldade, com a determinação da posição do vetor de referência sua síntese é precisa devido à diminuição relativa da área do triângulo formado pelos três vetores mais próximos da localização do vetor de referência em relação a conversores multiníveis com menores números de níveis.

4.5.1 Controlador SVPWM para um Filtro Ativo Paralelo em Grandezas de fase abc

O controle dos disparos é realizado através da técnica SVPWM em grandezas de fase *abc* proposta neste estudo considera o sistema elétrico como trifásico a três fios, com isso, a compensação harmônica não conterá a componente de seqüência zero. O chaveamento proposto foi desenvolvido inicialmente nas coordenadas $\alpha\beta$, onde a compensação harmônica é realizada na maioria das vezes utilizando os princípios da teoria de potência ativa e reativa instantânea no tempo “teoria *p-q*”[2], [3] e [51].

O controlador SVPWM em grandezas de fase *abc* foi desenvolvido para um sistema trifásico a três fios observando a ausência de seqüência zero do sistema em questão. O desenvolvimento do chaveamento SVPWM para o filtro ativo paralelo obedece à mesma lógica do controlador em coordenadas $\alpha\beta$, com isso, será descrito o princípio de funcionamento deste controlador para melhor compreensão da lógica de chaveamento do controlador SVPWM em grandezas de fase *abc*.

Controlador SVPWM em Coordenadas $\alpha\beta$

Este controlador foi desenvolvido com o objetivo reduzir a distorção harmônica total (DHT), presentes nas correntes vistas pela fonte e aumentar a eficiência na utilização do elo CC em comparação com a técnica de modulação PWM convencional [52].

Esta técnica de chaveamento é denominada de modulação em vetores espaciais por largura de pulso (SVPWM), devido ao fato de possuir oito vetores possíveis para o chaveamento de cada conversor trifásico controlado por tensão, conforme afirmado anteriormente.

O princípio básico do chaveamento SVPWM está baseado na síntese do vetor de referência fornecido pela estratégia de controle do filtro ativo paralelo em questão, através de uma combinação linear dos vetores de chaveamento, dentre as oito possibilidades existentes para cada conversor. Os vetores de chaveamento $U_0, U_1, U_2, U_3, U_4, U_5, U_6, U_7$ são representados através das combinações dos estados de chaveamento, como mostrado em Figura 4-4 [24].

Estas combinações resultam em valores instantâneos de tensões fase-fase e de tensões fase na saída dos conversores, onde V_{dc} é a tensão no barramento contínuo do elo CC. Estas tensões são mostradas na Tabela 4-1.

Para que ocorra a síntese das formas de ondas de referência, torna-se necessário o desenvolvimento de um algoritmo de chaveamento SVPWM, que está dividido nas seguintes etapas:

- Identificar as regiões do hexágono;
- Determinação dos vetores mais próximos do vetor de referência no hexágono;
- Cálculos dos ciclos de trabalho dos vetores mais próximos do vetor de referência;
- Determinação dos pulsos de disparo das chaves semicondutoras.

Geometricamente os vetores de chaveamento são obtidos através das combinações dos estados de chaveamento do conversor, sendo um total de oito vetores de chaveamento. Observa-se a formação de seis triângulos equiláteros denominados de regiões, onde cada uma das regiões é delimitada por dois vetores como mostrado na Figura 4-16 [24].

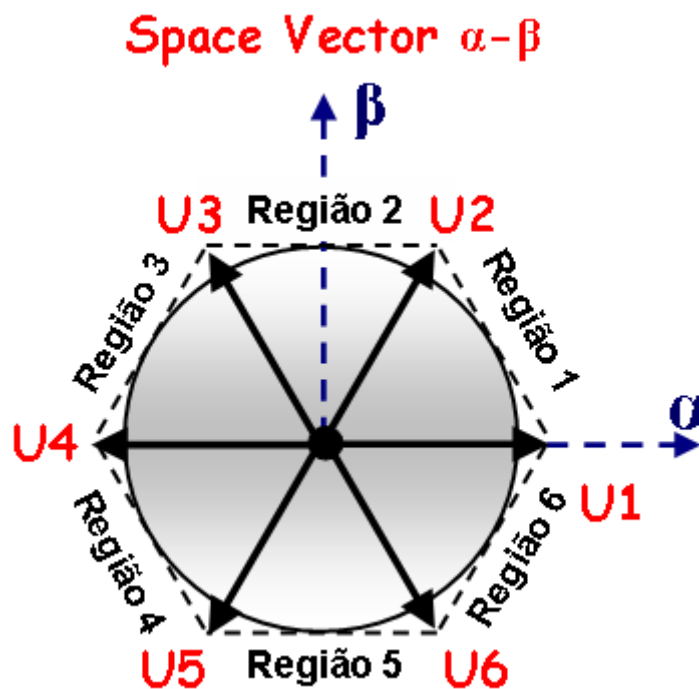


Figura 4-16: Representação das Regiões do Hexágono

O algoritmo que controla o chaveamento SVPWM em coordenadas α - β seguindo a seqüência de etapas supracitadas está descrito em [24]. Este algoritmo define os tempos de disparo das chaves semicondutoras do inversor utilizando uma combinação de chaveamento dos vetores adjacentes ao vetor de referência e os vetores nulos.

Uma das diferenças entre o PWM com amostra regular e SVM é a posição dos vetores U_0 e U_7 em cada metade do período de chaveamento. Na SVM os vetores espaciais U_0 e U_7 são deixados indefinidos, existindo assim a possibilidade de explorar os possíveis benefícios harmônicos através da manipulação destes vetores [31].

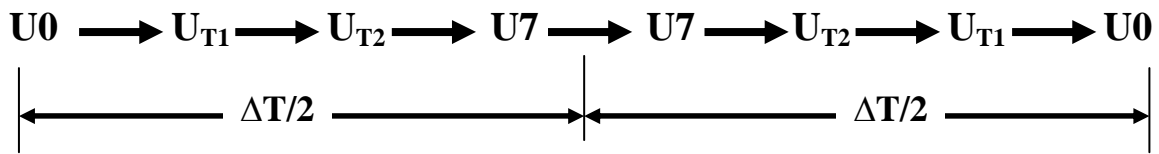


Figura 4-17: Sequência de Chaveamento dos Vetores Espaciais

A implementação da técnica SVM centraliza os vetores espaciais não nulos em cada metade do período de chaveamento, e divide o tempo restante igualmente entre os vetores U_0 e U_7 . Esta operação cria a seqüência vetorial a qual é igual à seqüência produzida pelo PWM com amostra regular, excetuando o espaçamento uniforme do vetor espacial zero.

Os disparos das chaves semicondutoras são fornecidos obedecendo aos princípios da SVM no cálculo dos ciclos de trabalhos das chaves agregando características do chaveamento PWM com amostra regular na determinação da seqüência de disparos das chaves do VSC.

A seqüência de comando do algoritmo SVPWM é ilustrada na Figura 4-18, onde se considera que a forma de onda da corrente de compensação gerado pelo circuito de controle do filtro é fornecido em grandezas de fase abc . Existe a necessidade de inserir uma etapa no início deste processo, sendo que esta etapa é responsável pela transformação dos sinais de controle em grandezas de fase abc para coordenadas $\alpha\beta$, através da transformada de Clarke.

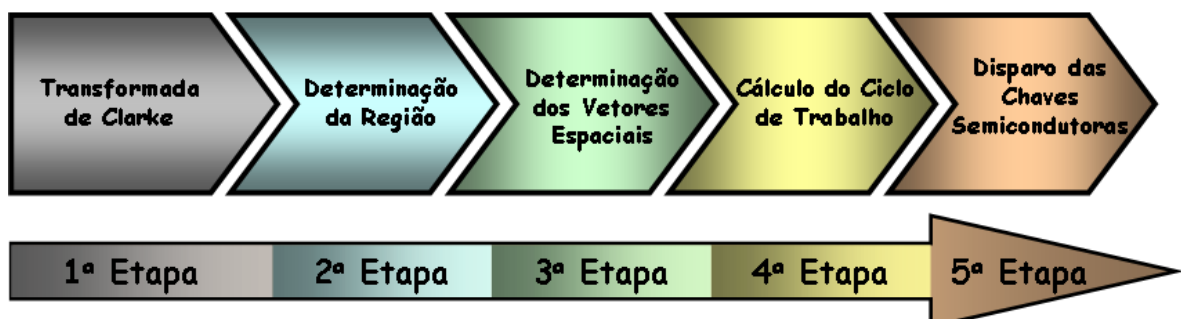


Figura 4-18: Etapas de Funcionamento do Algoritmo SVPWM

Este procedimento garante o melhor desempenho das seqüências de chaveamento possíveis, quando se opera apenas um braço do inversor por vez. A Figura

4-19 mostra as possibilidades de transição entre uma combinação e outra, respeitando a regra. Cada seta representa uma mudança de estado com a comutação de somente um braço do inversor. Por exemplo, a alteração da configuração U2 para U1 necessita de apenas uma comutação na combinação das chaves semicondutoras, no entanto a passagem do estado U2 para U0 são necessárias duas comutações.

Conforme o descrito no algoritmo apresentado, em cada uma das 6 regiões são calculados T_1 e T_2 que representam os ciclos de trabalho dos 2 vetores adjacentes mais próximos ao vetor de referência, representando os vetores dos estados que têm um ciclo de trabalho T_1 (podendo ser os vetores U1, U3 ou U5) e representando os que têm um ciclo de trabalho T_2 (podendo ser os vetores U2, U4 ou U6). Com isso, obtendo a representação da Figura 4-19, ao chavear apenas um braço do inversor por vez, somente poderá ocorrer comutação entre vetores adjacentes ou para o vetor nulo que represente apenas uma comutação por braço do inversor.

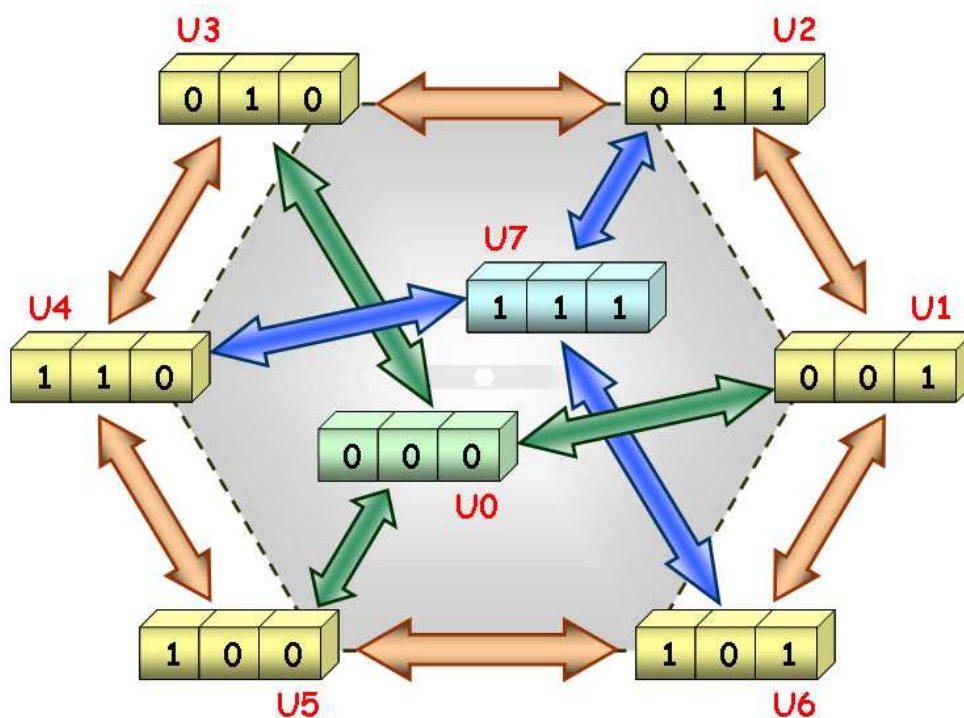


Figura 4-19: Representação Comutações Possíveis no SVPWM

Controlador SVPWM em Grandezas de Fase abc

Com objetivo de popularizar e facilitar ainda mais a utilização da técnica de chaveamento SVPWM, este algoritmo foi desenvolvido com as vantagens da modulação *Space Vector* e as facilidades de representação e familiarização a partir das grandezas de fase *abc*.

Este controlador foi desenvolvido para implementação de estratégias de controle a partir das grandezas de fase abc de compensação de reativos e/ou redução de distorções harmônicas. Esta técnica permite que os disparos das chaves semicondutoras do circuito de potência sejam efetuados sem a necessidade de uma transformação para coordenadas $\alpha\beta$.

Este tipo de chaveamento desenvolvido é possível considerando-se que o sistema elétrico de potência é trifásico a três fios, eliminando a possibilidade de seqüência zero no sistema em questão.

O princípio básico do chaveamento SVPWM em grandezas de fase abc proposto é o mesmo do controlador descrito em coordenadas $\alpha\beta$, sintetizar um vetor de referência fornecido pela estratégia de controle do filtro ativo paralelo em questão, através de uma combinação linear dos vetores de chaveamento, dentre as oito possibilidades existentes para cada conversor.

Estas combinações de forma semelhante ao controlador anterior resultam em valores instantâneos de tensões fase-fase e de tensões fase-neutro na saída dos conversores, onde V_{dc} é a tensão no barramento contínuo do elo CC. Estas tensões são mostradas na Tabela 4-1.

O algoritmo proposto obedece a mesma lógica de implementação do controlador anterior, seguindo as mesmas etapas, conforme o mostrado na Figura 4-18. No entanto, este algoritmo não utiliza a transformada inversa de Clarke para realizar os disparos das chaves semicondutoras.

O desenvolvimento do algoritmo de chaveamento SVPWM está dividido nas seguintes etapas, de forma semelhante ao proposto anteriormente:

- Identificar as regiões do hexágono;
- Determinação dos vetores mais próximos do vetor de referência no hexágono;
- Cálculos dos ciclos de trabalho dos vetores mais próximos do vetor de referência;
- Determinação dos pulsos de disparo das chaves semicondutoras.

Semelhante ao controlador anterior os vetores de chaveamento são obtidos através das combinações dos estados de chaveamento do conversor, sendo um total de oito vetores de chaveamento. Observa-se a formação de seis triângulos equiláteros denominados de regiões, onde cada uma das regiões é delimitada por dois vetores como mostrado na Figura 4-16.

Para que os dois vetores adjacentes ao vetor de referência sejam conhecidos é necessário fazer a identificação da região onde o mesmo se encontra. Esta determinação é feita através da conversão das grandezas de fase abc do vetor de referência em componentes simétricas de seqüência positiva “*cossenoidais*”. A conversão das componentes v_a , v_b e v_c em V_{ref1} , V_{ref2} e V_{ref3} são realizadas através de uma transformação algébrica desenvolvida na equação (4.13).

$$\begin{bmatrix} v_{ref1} \\ v_{ref2} \\ v_{ref3} \end{bmatrix} = \begin{bmatrix} 0 & 1/\sqrt{2} & -1/\sqrt{2} \\ 1/\sqrt{2} & -1/\sqrt{2} & 0 \\ -1/\sqrt{2} & 0 & 1/\sqrt{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (4.13)$$

Esta transformação projeta as grandezas de fase abc , adiantadas no tempo em 90° em relação às componentes v_a , v_b e v_c , sendo assim, as componentes V_{ref1} , V_{ref2} e V_{ref3} são as projeções adiantadas no tempo de v_a , v_b e v_c . Esta transformação tem o objetivo de identificar a região em que estará localizado o vetor de referência antes de calcular os tempos de chaveamento.

$$\begin{cases} v_a = \text{sen}(\omega t) \\ v_b = \text{sen}(\omega t - 120^\circ) \\ v_c = \text{sen}(\omega t + 120^\circ) \end{cases} \Rightarrow \begin{cases} v_{ref1} = \cos(\omega t) \\ v_{ref2} = \cos(\omega t - 120^\circ) \\ v_{ref3} = \cos(\omega t + 120^\circ) \end{cases} \quad (4.14)$$

A partir de (4.14), pode-se determinar a região onde o vetor de referência encontra-se. Defini-se que:

$$\begin{cases} v_{ref1} \leq 0 \rightarrow a = 0 \\ v_{ref1} > 0 \rightarrow a = 1 \end{cases} \\ \begin{cases} v_{ref2} \leq 0 \rightarrow b = 0 \\ v_{ref2} > 0 \rightarrow b = 1 \end{cases} \\ \begin{cases} v_{ref3} \leq 0 \rightarrow c = 0 \\ v_{ref3} > 0 \rightarrow c = 1 \end{cases} \\ Soma = a + 2 \cdot b + 4 \cdot c \quad (4.15)$$

Através da variável chamada *Soma*, determina-se a região onde o vetor de referência está localizado. A Figura 4-27 mostra a localização das regiões de acordo com as componentes v_{ref1} , v_{ref2} e v_{ref3} .

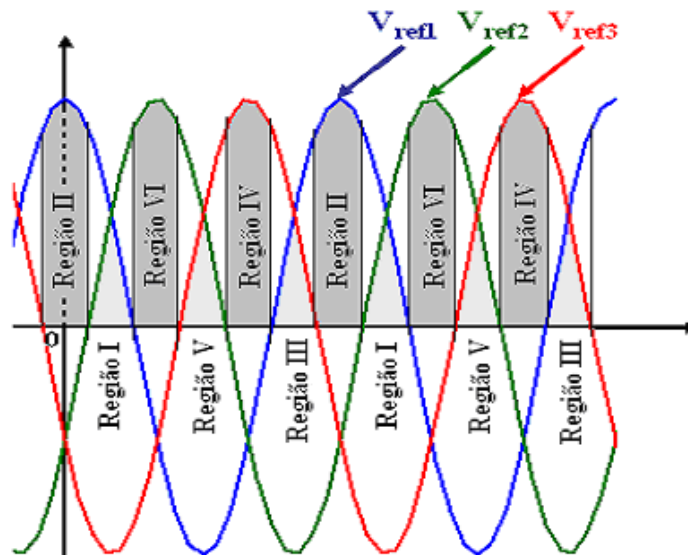


Figura 4-20: Determinação da Região

A Tabela 4-3 relaciona a variável soma com a região onde está localizado o vetor de referência.

Tabela 4-2: Relação entre a variável Soma e a Região do hexágono

| | | | | | | |
|---------------|----------|----------|----------|----------|----------|----------|
| Soma | 1 | 2 | 3 | 4 | 5 | 6 |
| Região | 2 | 6 | 1 | 4 | 3 | 5 |

Obedecendo a seqüência de eventos proposta, com a localização da região onde se encontra o vetor de referência, os vetores mais próximos são definidos automaticamente, pois cada região é delimitada por dois vetores espaciais. Com a identificação destes vetores, a síntese do vetor de referência ocorre através do chaveamento coordenado destes dois vetores associados a cada região chamados vetores de síntese com os dois vetores nulos.

Realizada a identificação dos vetores de síntese, torna-se necessário calcular o tempo em que cada vetor associado estará ativo. Com isso, é definido o ciclo de trabalho de cada chave semicondutora, sendo coordenado o chaveamento de forma regular respeitando os estados fornecidos por cada um dos vetores presentes na região onde se encontra o vetor de referência.

O cálculo dos ciclos de trabalho é realizado observando-se as projeções nos eixos abc do vetor de referência, determinando com isso as amplitudes das componentes v_a , v_b e v_c do vetor de referência e a região onde ele se encontra, conforme mostra a Figura 4-21.

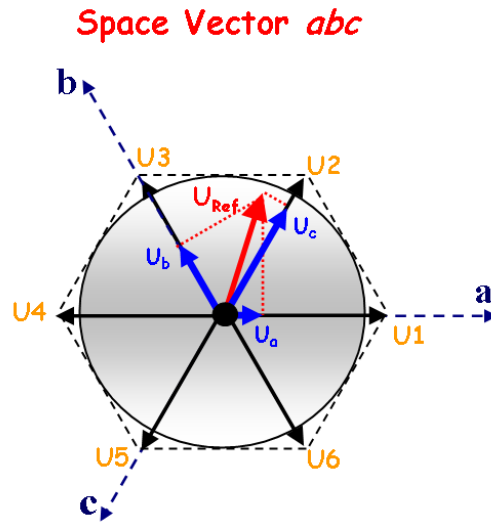


Figura 4-21: Representação do Vetor de Referência em Grandezas de fase abc

Analogamente ao controlador $\alpha\beta$, o cálculo dos ciclos de trabalho são realizados por região, definindo-se a amplitude máxima dos vetores espaciais como $2/\sqrt{3}$ e a síntese do vetor de referência é feita através do chaveamento dos vetores mais próximos U_{T1} e U_{T2} , sendo o tempo de chaveamento T_1 e T_2 destes vetores conforme mostrado em (4.16).

$$\begin{cases} T = T_1 + T_2 + T_0 + T_7 \\ U_{ref} = \frac{T_1}{T} \cdot U_{T_1} + \frac{T_2}{T} \cdot U_{T_2} + \frac{T_0}{T} \cdot U_{T_0} + \frac{T_7}{T} \cdot U_{T_7} \\ T_{nulo} = T_0 = T_7 \end{cases} \quad (4.16)$$

A partir destas definições é possível calcular os ciclos de trabalhos para cada região. Considera-se que o sistema em estudo em questão é um sistema trifásico a três fios. Semelhantemente ao controlador $\alpha\beta$, T é o período normalizado de um ciclo de chaveamento. As variáveis T_1 e T_2 correspondem aos tempos de chaveamento dos dois vetores não nulos adjacentes ao vetor de referência U_{Ref} , e T_{nulo} representa o tempo de chaveamento do vetor nulo.

O vetor de referência é decomposto em três componentes que correspondem as projeções do vetor de referência nos eixos abc . Cada eixo é representado por uma equação composta pelas projeções do vetor de referência e os tempos de chaveamento dos vetores adjacentes T_1 e T_2 .

Para cada região serão montadas equações referentes aos três eixos abc , com isso, quando o vetor de referência estiver situado em qualquer uma das regiões, será montado um sistema de três equações e duas incógnitas. A solução deste sistema serão os tempos que correspondem a atividade de cada vetor adjacente T_1 e T_2 .

REGIÃO I

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1
 \end{cases} \quad (4.17)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2 \cdot \sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -\frac{2 \cdot \sqrt{3}}{3}
 \end{cases}$$

REGIÃO II

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1
 \end{cases} \quad (4.18)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot \frac{2 \cdot \sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -\frac{2 \cdot \sqrt{3}}{3}
 \end{cases}$$

REGIÃO III

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1 \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2}
 \end{cases} \quad (4.19)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -2 \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot 2 \cdot \frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3}
 \end{cases}$$

REGIÃO IV

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1 \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2}
 \end{cases} \quad (4.20)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -2 \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot 2 \cdot \frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3}
 \end{cases}$$

REGIÃO V

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1 \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2}
 \end{cases} \quad (4.21)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -2 \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot 2 \cdot \frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3}
 \end{cases}$$

REGIÃO VI

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot |U1| \cdot \cos 0^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ \\
 v_b = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 180^\circ \\
 v_c = \frac{T_1}{T} \cdot |U1| \cdot \cos 120^\circ + \frac{T_2}{T} \cdot |U2| \cdot \cos 60^\circ
 \end{cases}$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot 1 + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2} \\
 v_b = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot -1 \\
 v_c = \frac{T_1}{T} \cdot \frac{2}{\sqrt{3}} \cdot -\frac{1}{2} + \frac{T_2}{T} \cdot \frac{2}{\sqrt{3}} \cdot \frac{1}{2}
 \end{cases} \quad (4.22)$$

$$\begin{cases}
 v_a = \frac{T_1}{T} \cdot 2 \cdot \frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3} \\
 v_b = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot -2 \cdot \frac{\sqrt{3}}{3} \\
 v_c = \frac{T_1}{T} \cdot -\frac{\sqrt{3}}{3} + \frac{T_2}{T} \cdot \frac{\sqrt{3}}{3}
 \end{cases}$$

A solução de cada sistema formado em cada região é obtida através da eliminação linear de uma equação utilizando os conceitos da álgebra linear. Esta solução está condicionada ao fato do sistema elétrico em estudo ser trifásico a três fios, com isso, a condição encontrada na eliminação de uma das equações se satisfaz.

A eliminação será desenvolvida em todas as regiões com objetivo de demonstrar como foram realizadas as eliminações, pois todas as regiões tiveram sua redução utilizando o mesmo princípio.

REGIÃO I

$$\begin{cases} 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_a \\ -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_b \\ -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} - 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_b \\ -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} - 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_c \\ 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\frac{\sqrt{3}}{3} \frac{T_1}{T} + \frac{\sqrt{3}}{3} \frac{T_2}{T} = v_b \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_c - v_b \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_a + 2 \cdot v_b \end{cases} \Rightarrow \begin{cases} -\frac{\sqrt{3}}{3} \frac{T_1}{T} + \frac{\sqrt{3}}{3} \frac{T_2}{T} = v_b \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_c - v_b \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.23)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = -(v_c + 2 \cdot v_b) / \sqrt{3} \\ \frac{T_2}{T} = (v_b - v_c) / \sqrt{3} \end{cases} \quad (\text{condição})$$

REGIÃO II

$$\begin{cases} -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_a \\ 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_b \\ -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} - 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} - 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_c \\ 2 \cdot \frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_b \\ -\frac{\sqrt{3}}{3} \cdot \frac{T_1}{T} + \frac{\sqrt{3}}{3} \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\frac{\sqrt{3}}{3} \frac{T_1}{T} - 2 \frac{\sqrt{3}}{3} \frac{T_2}{T} = v_c \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_b + 2v_c \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_a - v_c \end{cases} \Rightarrow \begin{cases} -\frac{\sqrt{3}}{3} \frac{T_1}{T} - 2 \frac{\sqrt{3}}{3} \frac{T_2}{T} = v_c \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_b + 2v_c \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.24)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = (v_c + 2 \cdot v_b) / \sqrt{3} \\ \frac{T_2}{T} = -(v_b + 2 \cdot v_c) / \sqrt{3} \end{cases} \quad (\text{condição})$$

REGIÃO III

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ 0 + \sqrt{3} \frac{T_2}{T} = v_b + 2v_c \\ 0 - \sqrt{3} \frac{T_2}{T} = v_a - v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ 0 + \sqrt{3} \frac{T_2}{T} = v_b + 2v_c \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.25)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = (v_b - v_c) / \sqrt{3} \\ \frac{T_2}{T} = (v_b + 2v_c) / \sqrt{3} \end{cases} \quad (\text{condição})$$

REGIÃO IV

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_c + 2v_b \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_a - v_b \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_c + 2v_b \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.26)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = (v_c - v_b) / \sqrt{3} \\ \frac{T_2}{T} = (v_c + 2v_b) / \sqrt{3} \end{cases} \quad (\text{condição})$$

REGIÃO V

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_c + 2v_b \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_a - v_b \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_c + 2v_b \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.27)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = (v_b + 2v_c) / \sqrt{3} \\ \frac{T_2}{T} = -(v_c + 2v_b) / \sqrt{3} \end{cases} \quad (\text{condição})$$

REGIÃO VI

$$\begin{cases} 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ -\sqrt{3}/3 \cdot \frac{T_1}{T} - 2\sqrt{3}/3 \cdot \frac{T_2}{T} = v_b \\ 2\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_a \end{cases}$$

$$\begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_b - v_c \\ 0 \quad \sqrt{3} \frac{T_2}{T} = v_a + 2v_c \end{cases} \Rightarrow \begin{cases} -\sqrt{3}/3 \cdot \frac{T_1}{T} + \sqrt{3}/3 \cdot \frac{T_2}{T} = v_c \\ 0 \quad -\sqrt{3} \frac{T_2}{T} = v_b - v_c \\ 0 \quad 0 = v_a + v_b + v_c \end{cases} \quad (4.28)$$

$$v_a + v_b + v_c = 0 \Rightarrow \begin{cases} \frac{T_1}{T} = -(v_b + 2v_c) / \sqrt{3} \\ \frac{T_2}{T} = (v_c - v_b) / \sqrt{3} \end{cases} \quad (\text{condição})$$

Com a solução das equações para cada região o problema se torna idêntico ao encontrado no controlador $\alpha\beta$, onde após a determinação de todos os tempos de chaveamento dos vetores mais próximos em cada região, observa-se que os valores para estes são repetitivos e semelhantes dependendo da região, define-se então:

$$\begin{aligned}
X &= T \cdot (v_b - v_c) / \sqrt{3} \\
Y &= T \cdot -(v_b + 2 \cdot v_c) / \sqrt{3} \\
Z &= T \cdot (2 \cdot v_b + v_c) / \sqrt{3}
\end{aligned} \tag{4.29}$$

Os tempos chaveamento calculados podem ser melhor observados na Tabela 4-6.

Tabela 4-3: Relação dos Tempos de Chaveamento com a Região

| | Região I | Região II | Região III | Região IV | Região V | Região VI |
|-------|----------|-----------|------------|-----------|----------|-----------|
| T_1 | -Z | Z | X | -X | -Y | Y |
| T_2 | X | Y | -Y | Z | -Z | -X |

Com os tempos de chaveamento dos vetores adjacentes ao vetor de referência definidos, o cálculo dos ciclos de trabalhos é obtido através das equações mostradas em (4.30).

$$\begin{cases}
t_{aon} = \frac{T - T_1 - T_2}{2} \\
t_{bon} = t_{aon} + T_1 \\
t_{con} = t_{bon} + T_2
\end{cases} \tag{4.30}$$

Estas definições são utilizadas na obtenção dos ciclos de trabalho, obedecendo a seqüência mostrada na Tabela 4-7. Esta seqüência é obtida a partir da região onde o vetor de referência está localizado.

Tabela 4-4: Ciclos de Trabalho Definidos por Região

| | Região I | Região II | Região III | Região IV | Região V | Região VI |
|-------|-----------|-----------|------------|-----------|-----------|-----------|
| T_a | t_{aon} | t_{bon} | t_{bon} | t_{con} | t_{con} | t_{aon} |
| T_b | t_{bon} | t_{aon} | t_{con} | t_{bon} | t_{aon} | t_{con} |
| T_c | t_{con} | t_{con} | t_{aon} | t_{aon} | t_{bon} | t_{bon} |

Neste tipo de controlador, todo o controle do chaveamento foi desenvolvido em grandezas de fase *abc*, retirando a necessidade da utilização da transformada de Clarke tradicional na conversão para referência ortogonal. No cálculo dos tempos de atividade dos vetores adjacentes, através de uma redução linear a determinação dos tempos T_1 e T_2 foram obtidas com informações de apenas duas coordenadas, devido às características do sistema elétrico proposto.

A seqüência de comando do algoritmo SVPWM em grandezas de fase *abc* é ilustrada na Figura 4-22, onde se considera que a forma de onda da corrente de compensação gerada pelo circuito de controle do filtro é fornecida em grandezas de fase *abc*. Com isso, não existe a necessidade de inserir uma etapa no início deste processo.



Figura 4-22: Etapas de Funcionamento do Algoritmo SVPWM em Grandezas de fase *abc*

O desenvolvimento deste controlador, permite a compreensão do controle vetorial que comanda os disparos das chaves semicondutoras, haja visto que o mesmo foi desenvolvido em grandezas de fase *abc*. O sucesso deste controlador está ligado ao tipo de sistema elétrico no qual ele estará trabalhando, devido à condição de eliminação linear obtida, este controlador deve ser utilizado em sistemas elétricos trifásicos a três fios. A Figura 4-23 mostra como é realizado o controle dos disparos das chaves semicondutoras do conversor eletrônico de potência.

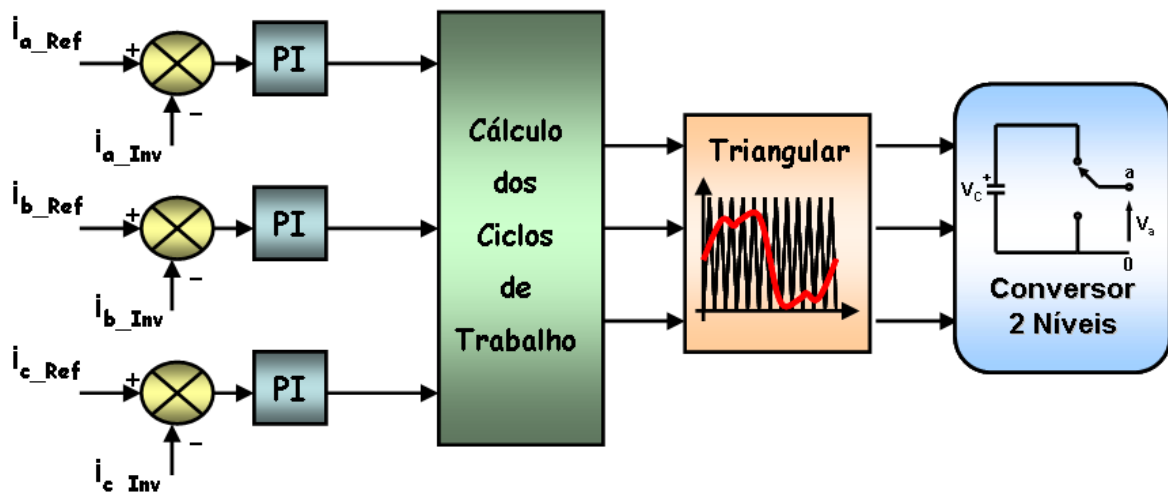


Figura 4-23: Controlador 2 Níveis SVPWM em Grandezas de fase *abc*

Este procedimento mantém as mesmas características de desempenho das seqüências de chaveamento possíveis em relação ao controlador anterior, pois opera apenas um braço do inversor por vez, de acordo com a Figura 4-19 que mostra as possibilidades de transição entre uma combinação e outra, respeitando mesma regra.

Cada seta representa uma mudança de estado com a comutação de somente um braço do inversor.

Controlador SVPWM Multinível em Grandezas de Fase abc

O desenvolvimento de um controlador SVPWM multinível a partir de grandezas de fase *abc* foi realizado observando as principais características do controlador dois níveis SVPWM desenvolvido anteriormente. O controlador proposto tem como característica principal, a transferência do aumento da complexidade do controle do chaveamento que ocorre no SVPWM multinível tradicional, acrescentando portadoras triangulares na comparação com o sinal de referência.

Com isso, o fato de usar múltiplas portadoras torna o nível de simplicidade do controlador SVPWM multinível semelhante ao controlador PWM senoidal multinível.

O acréscimo de portadoras triangulares permite o controlador SVPWM multinível mantenha o mesmo nível de simplicidade do controlador SVPWM dois níveis, pois a determinação dos tempos de chaveamento é semelhante ao aplicado no controlador SVPWM dois níveis. A amplitude do sinal de referência determina quais chaves semicondutoras serão disparadas nos tempos de chaveamento calculados pelo controle.

O princípio do controle desenvolvido está na eliminação dos vetores médios utilizados para síntese do vetor de referência nos controladores SVPWM multiníveis convencionais. Com isso, a complexidade do controlador não aumenta conforme o número de níveis dos conversores, pois, com a eliminação dos vetores médios o problema da determinação dos ciclos de trabalhos das chaves semicondutoras se mantém o mesmo do conversor dois níveis.

A Figura 4-24 demonstra de forma ilustrativa o diagrama vetorial dos vetores de chaveamento dos controladores convencionais em relação ao aumento do número de níveis. A comparação é meramente ilustrativa, pois geralmente não são utilizados conversores NPC quatro níveis, pois o chaveamento deste conversor devido a suas características construtivas não permite a equalização da tensão do elo CC. O aumento do número de níveis do conversor multinível eleva de forma significativa o número de vetores que podem ser sintetizados, tornando o algoritmo de controle mais complexo devido ao grande número de vetores associados ao chaveamento.

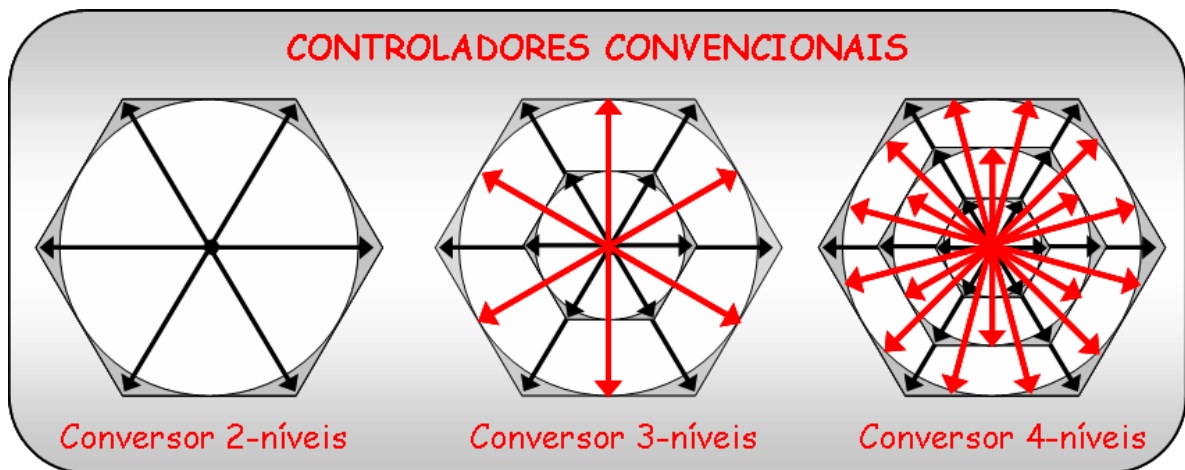


Figura 4-24: Diagramas Espaciais dos Vetores de Chaveamento SVPWM convencional

A Figura 4-25 demonstra de forma ilustrativa o diagrama vetorial dos vetores de chaveamento utilizados pelo controlador SVPWM multinível desenvolvido. Observa-se que o controlador realiza a síntese do vetor de referência utilizando apenas os vetores do vértice de cada hexágono que compõe o diagrama vetorial.

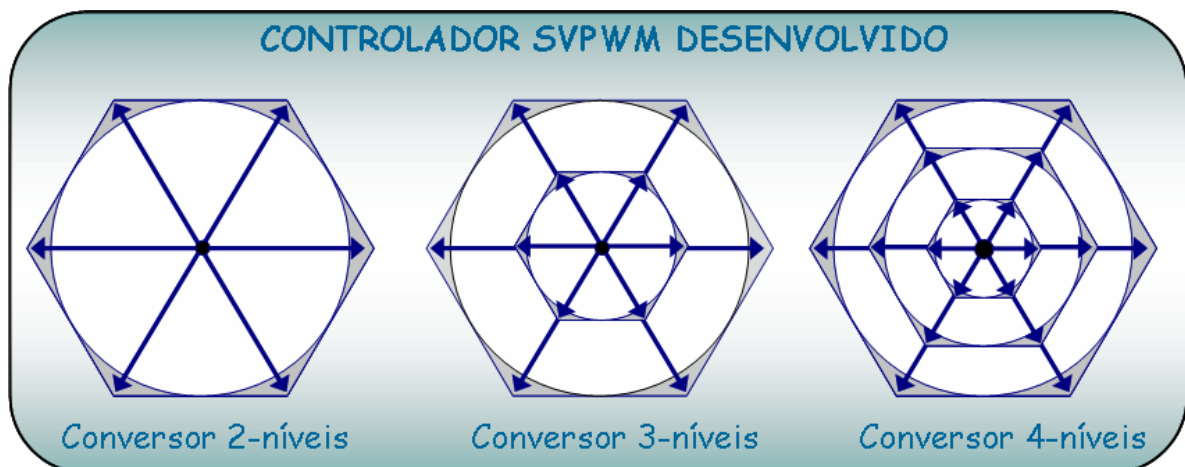


Figura 4-25: Diagramas Espaciais dos Vetores de Chaveamento SVPWM desenvolvido

A diferença entre o controle desenvolvido e os controles convencionais, está na transferência do comando de disparo das chaves semicondutoras que seria realizado por uma portadora triangular em conversores dois níveis, passando w número de portadoras em conversores multiníveis, onde w é função do número de níveis do conversor, conforme a equação.

$$w = n - 1 \tag{4.31}$$

n = número de níveis

O controlador SVPWM em grandezas de fase abc desenvolvido gera uma forma de onda de referência com injeção de terceiro harmônico, característica clássica da técnica SVPWM. Esta forma de onda gerada será comparada às portadoras triangulares

que são responsáveis pela determinação dos pulsos de disparos das chaves semicondutoras. Na Figura 4-26 o controlador supra citado é mostrado.

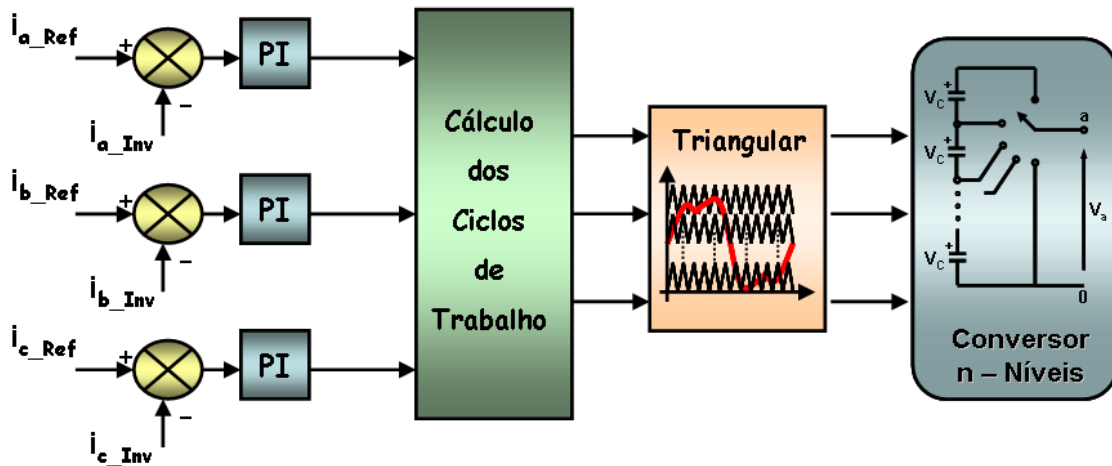


Figura 4-26: Controlador Multinível SVPWM em Grandezas de fase abc

Para realizar o controle dos disparos das chaves semicondutoras, sabe-se que no caso de um conversor três níveis as chaves superiores de cada braço são complementares às chaves inferiores. Com isso, quando as chaves superiores estão ativas, as chaves inferiores estão inativas, este princípio é utilizado na comparação entre a portadora triangular e T_a , T_b e T_c . A equação 4.32 demonstra como é realizada a comparação apenas para o braço correspondente a fase “a”.

$$\begin{aligned}
 \left. \begin{aligned} V_{tri_1} < T_a \\ V_{tri_2} < T_a \end{aligned} \right\} &\rightarrow \begin{cases} S_{a1} = \text{ativo} \\ S_{a2} = \text{ativo} \end{cases} \\
 \left. \begin{aligned} V_{tri_1} > T_a \\ V_{tri_2} < T_a \end{aligned} \right\} &\rightarrow \begin{cases} S_{a1} = \text{inativo} \\ S_{a2} = \text{ativo} \end{cases} \\
 \left. \begin{aligned} V_{tri_1} > T_a \\ V_{tri_2} > T_a \end{aligned} \right\} &\rightarrow \begin{cases} S_{a1} = \text{inativo} \\ S_{a2} = \text{inativo} \end{cases}
 \end{aligned} \tag{4.32}$$

A Figura 4-27 mostra como a condição matemática representada na equação anterior é implementada, onde a forma complementar do chaveamento entre as chaves é respeitada.

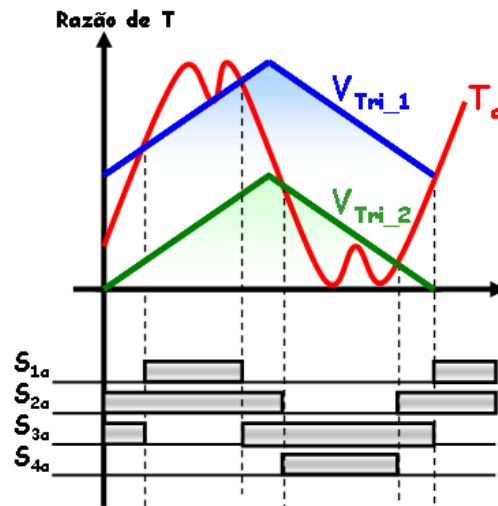


Figura 4-27: Princípio de Comparação do Chaveamento SVPWM em Grandezas de fase *abc*

Este princípio de comparação de portadoras triangulares aplicado em inversores trifásicos dois níveis, pode ser estendido para inversores multiníveis conforme mostrado na figura anterior. Estas portadoras estão dispostas de forma a dividir o nível de tensão do elo CC em bandas adjacentes com variação $-V_{dc}/w$ até V_{dc}/w .

O controlador multinível SVPWM a partir de grandezas de fase *abc* fornece a forma de onda de referência T_a , T_b e T_c , para a comparação com as portadoras triangulares para determinar os instantes do chaveamento a serem obtidos. Existem três alternativas de estratégias de comparação possíveis que utilizam a diferença de fase entre as portadoras [31].

- **Alternative Phase Opposition Disposition – APOD**: onde as portadoras em bandas adjacentes estão defasadas 180° .
- **Phase Opposition Disposition – POD**: onde as portadoras situadas abaixo da referência do ponto zero estão defasadas 180° .
- **Phase Disposition – PD**: onde todas as portadoras estão em fase.

A Figura 4-28 mostra como seria representada a defasagem entre as portadoras triangulares para uma aplicação em um inversor três níveis. Pode-se notar que para o caso de inversores três níveis as estratégias APOD e POD são equivalentes [31].

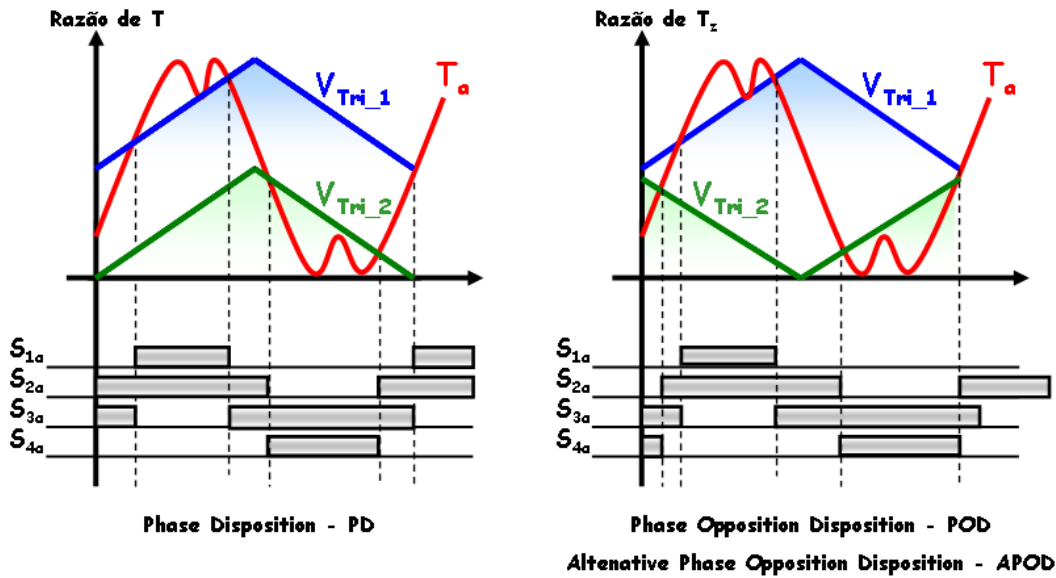


Figura 4-28: Princípio de Comparação do Chaveamento SVPWM na Técnica: a) PD; b) POD

Baseado na estratégia *Carrier PWM* o controlador multinível SVPWM utiliza a comparação com as portadoras triangulares para sintetizar a forma de onda de referência fornecida pela estratégia de controle do filtro ativo paralelo. A Figura 4-29 mostra como estão dispostas as portadoras triangulares na comparação com o sinal de referência, nas três estratégias de comparação entre portadoras.

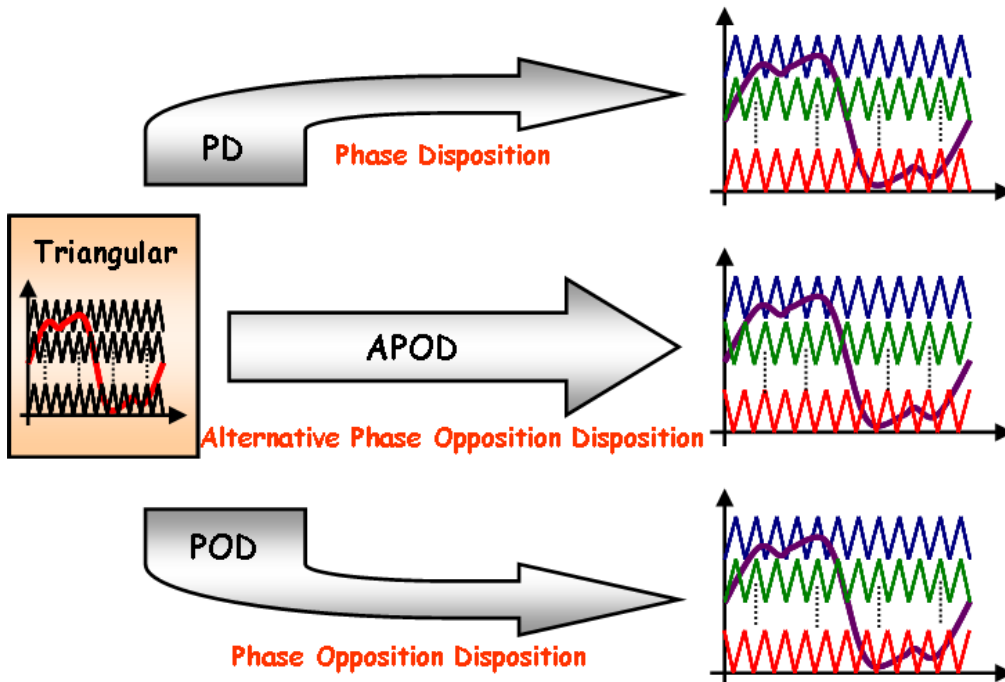


Figura 4-29: Técnicas de Defasagem das Portadoras Triangulares

A implementação destas três estratégias utilizando o controlador SVPWM em grandezas de fase *abc*, foi realizada observando as diferenças apresentadas

anteriormente. A estratégia *Phase Disposition* utiliza w portadoras triangulares em fase comparadas com a forma de onda fornecida pelo controlador SVPWM.

A estratégia *Phase Opposition Disposition* utiliza w portadoras triangulares, onde as portadoras triangulares situadas abaixo da referência do ponto zero estão defasadas 180° . A estratégia *Alternative Phase Opposition Disposition* utiliza w portadoras triangulares, onde as portadoras triangulares adjacentes estão defasadas 180° .

No entanto, observa-se a existência de outra estratégia baseada na comparação da referência SVPWM e portadoras triangulares, esta estratégia é chamada de *Alternative Phase-Shifted Disposition* - APSD. A Figura 4-30 mostra como estão dispostas as portadoras nesta estratégia de comparação entre portadoras.

- *Alternative Phase-Shifted Disposition* – APSD: onde as portadoras em bandas adjacentes estão defasadas $360^\circ/w$.

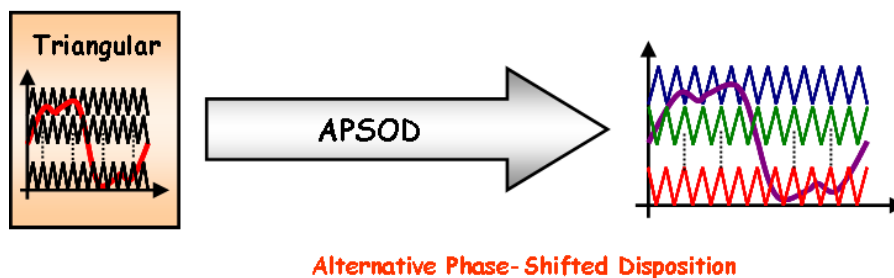


Figura 4-30: Técnica de Defasagem APSD

Pode-se notar que para o caso de inversores três níveis as estratégias APOD, POD e APSD são equivalentes, ou seja, possuem suas portadoras com amplitudes e defasagens iguais em implementações de conversores eletrônicos de potência três níveis. Este fato não ocorre em conversores multiníveis de ordem mais elevada devido à diferença no cálculo de defasagem entre cada técnica.

4.6 CONTROLADOR SVPWM MULTINÍVEL – CAPACITOR GRAMPEADO

Este controlador SVPWM foi desenvolvido para controlar o chaveamento de um inversor três níveis com capacitores grampeados para um filtro ativo paralelo, com objetivo de compensar harmônicos e corrigir fator de potência. A topologia capacitor grampeado é utilizada como inversor fonte de tensão para reduzir o estresse na tensão aplicada às chaves semicondutoras [53].

A configuração do circuito do sistema adotado pode ser observada na Figura 4-31. A carga não linear é conectada no sistema CA, onde um inversor fonte de tensão é utilizado como filtro ativo paralelo para reduzir o conteúdo harmônico das correntes na fonte e correção do fator de potência [53].

Existem três braços no inversor adotado, onde cada braço possui 4 (quatro) chaves semicondutoras (IGBT's), com um capacitor flutuante utilizado em cada braço do inversor. O inversor fonte de tensão com capacitor grampeado pode operar como três inversores monofásicos de meia onda com ponto CC comum para obter o controle independente das correntes trifásicas.

O circuito de controle apresentado no Capítulo 3 (três) é utilizado para operar o filtro ativo paralelo, controlando as correntes de compensação. O controlador SVPWM é o responsável pela síntese das correntes de compensação que tornarão as correntes na fonte senoidais e balanceadas. Existe um controle para compensar e balancear o ponto de neutro [53].

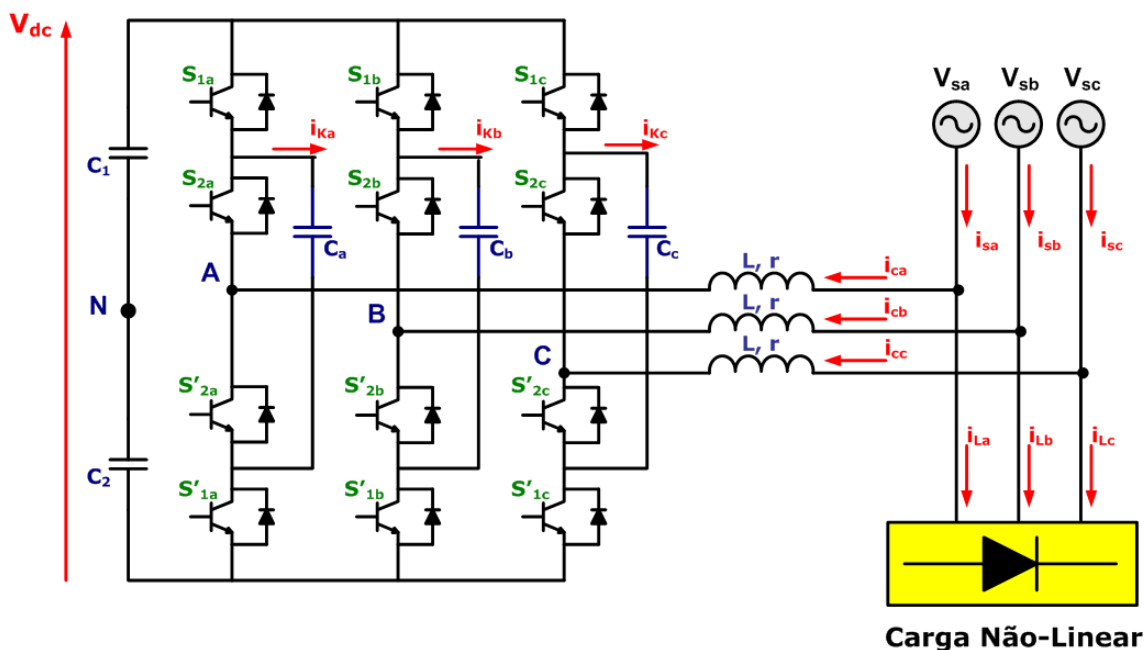


Figura 4-31: Conversor 3 Níveis Capacitor Flutuante

Existem quatro chaves semicondutoras e um capacitor flutuante em cada braço do inversor três níveis responsável por uma das fases do sistema elétrico. As chaves semicondutoras S_{xy} e S'_{xy} são complementares onde $y = a, b, c$ e $x = 1, 2$. Duas chaves independentes são utilizadas em cada braço para validar quatro estados de chaveamento [53].

A Figura 4-32 mostra os quatro estados de operação para fase “a” do inversor três níveis na fase a. A Figura 4-32 (a) mostra o primeiro estado de chaveamento descrito para o inversor três níveis na fase a. As chaves S_{1a} e S_{2a} estão ligadas para obter tensão terminal $V_{aN} = V_{C1} = V_{dc}/2$ (assumindo $V_{Ca} = V_{Cb} = V_{Cc} = V_{C1} = V_{C2} = V_{dc}/2$). O conversor considerado opera em modo elevador (*boost mode*) para que cada tensão no capacitor no lado CC seja maior que a amplitude da tensão de fase na fonte. Com isso, a corrente no conversor i_{ca} é linearmente decrescente durante o primeiro estado de chaveamento [53].

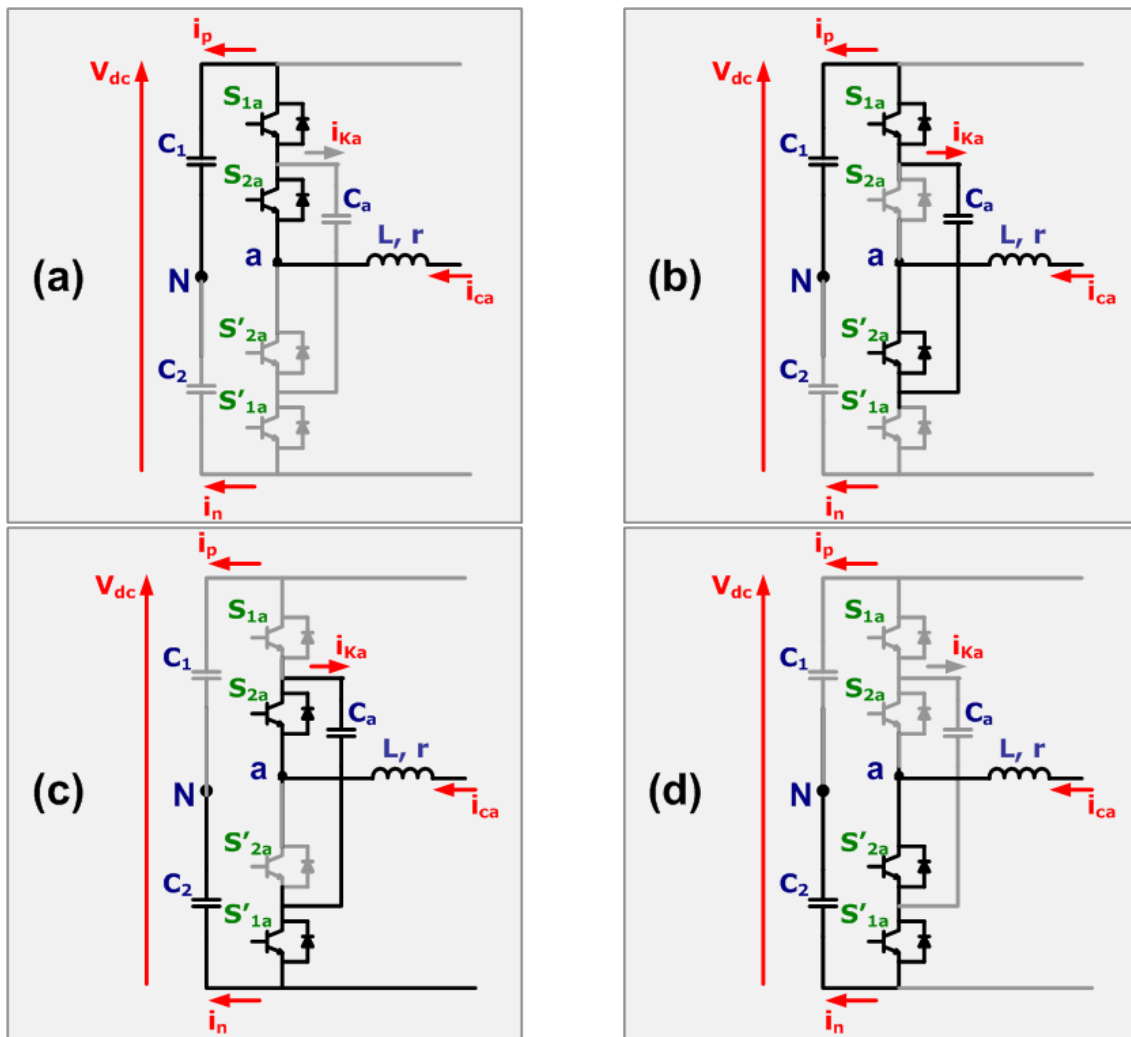


Figura 4-32: Estados de Operação do Inversor 3 Níveis Capacitor Flutuante

O dois estados de chaveamentos mostrados na Figura 4-32 (b) e (c) para o inversor três níveis na fase a, podem gerar tensão no lado CA $V_{aN} = 0$ e controlar a corrente de entrada i_{ca} . Se as chaves semicondutoras S_{1a} e S'_{2a} estão ligadas, uma corrente positiva de entrada i_{ca} descarregará o capacitor flutuante C_a . Em outra

condição, se as chaves semicondutoras S'_{1a} e S_{2a} estão ligadas, uma corrente positiva de entrada i_{ca} carregará o capacitor flutuante C_a [53].

Embora estes dois estados de chaveamento possam ser utilizados para balancear a tensão no capacitor flutuante V_{Ca} , a corrente de entrada i_{ca} pode ser linearmente crescente ou decrescente se a tensão na fonte de corrente alternada – CA for positiva ou negativa respectivamente [53].

Na Figura 4-32 (d) o último estado de chaveamento para o inversor três níveis na fase é mostrado. Se as chaves semicondutoras S'_{1a} e S'_{2a} são ligadas para obter tensão terminal $V_{aN} = -V_{C2} = -V_{dc}/2$, onde uma corrente positiva de entrada i_{ca} é linearmente crescente durante a operação neste estado de chaveamento.

Na operação nos estados 1 e 3 de chaveamento é adotada para controlar a corrente de entrada durante o ciclo positivo da tensão na fonte CA e gerar dois níveis de tensão $V_{dc}/2$ e zero, para a tensão terminal V_{aN} .

Por outro lado, a operação nos estado 2 e 4 de chaveamento é adotada para controlar a corrente de entrada durante o ciclo negativo da tensão na fonte CA e gerar outros dois níveis de tensão $-V_{dc}/2$ e zero, para a tensão terminal V_{aN} .

Como para cada braço do inversor três níveis existem quatro possíveis estados de chaveamento, os inversores três níveis trifásicos com capacitor grampeado possuem 64 (sessenta e quatro) estados diferentes de chaveamento ($4^3 = 64$). Para simplificar o sistema analisado e aproximar o controle, considera-se que o inversor três níveis trifásico com ponto de neutro dividido por capacitores pode operar como três inversores monofásicos em ponte de meia onda. Equações diferenciais podem ser expressas para cada inversor monofásico fonte de tensão, conforme as equações (4.33), (4.34), (4.35) e (4.36) [53].

$$\frac{di_{cx}}{dt} = \frac{v_{sx}}{L} - \frac{r \cdot i_{cx}}{L} - \frac{v_{x0}}{L} \quad (4.33)$$

$$\frac{dv_{Cx}}{dt} = \frac{i_{Cx}}{C_x} \quad (4.34)$$

$$\frac{dv_{C1}}{dt} = \frac{i_p}{C_1} \quad (4.35)$$

$$\frac{dv_{C2}}{dt} = \frac{i_n}{C_2} \quad (4.36)$$

Onde $x = a, b, c$ i_p e i_n são as correntes no lado CC, i_{Ka} , i_{Kb} e i_{Kc} são as correntes nos capacitores flutuantes. As tensões terminais V_{x0} e as correntes no lado CC podem

ser expressas como combinação dos estados de chaveamento e variáveis de estado do circuito [53].

$$v_{x0} = S_{x1} \cdot v_{C1} + (S'_{x1} \cdot S_{x2} - S_{x1} \cdot S'_{x2}) \cdot v_{Cx} - S'_{x1} \cdot v_{C2} \quad (4.37)$$

$$i_{Kx} = (S'_{x1} \cdot S_{x2} - S_{x1} \cdot S'_{x2}) \cdot i_{cx} \quad (4.38)$$

$$i_p = \sum_{x=a,b,c} S_{x1} \cdot i_{cx} \quad (4.39)$$

$$i_n = \sum_{x=a,b,c} S'_{x1} \cdot i_{cx} \quad (4.40)$$

A Figura 4-33 mostra o modelo do circuito equivalente adotado, baseado em (4.33) a (4.40).

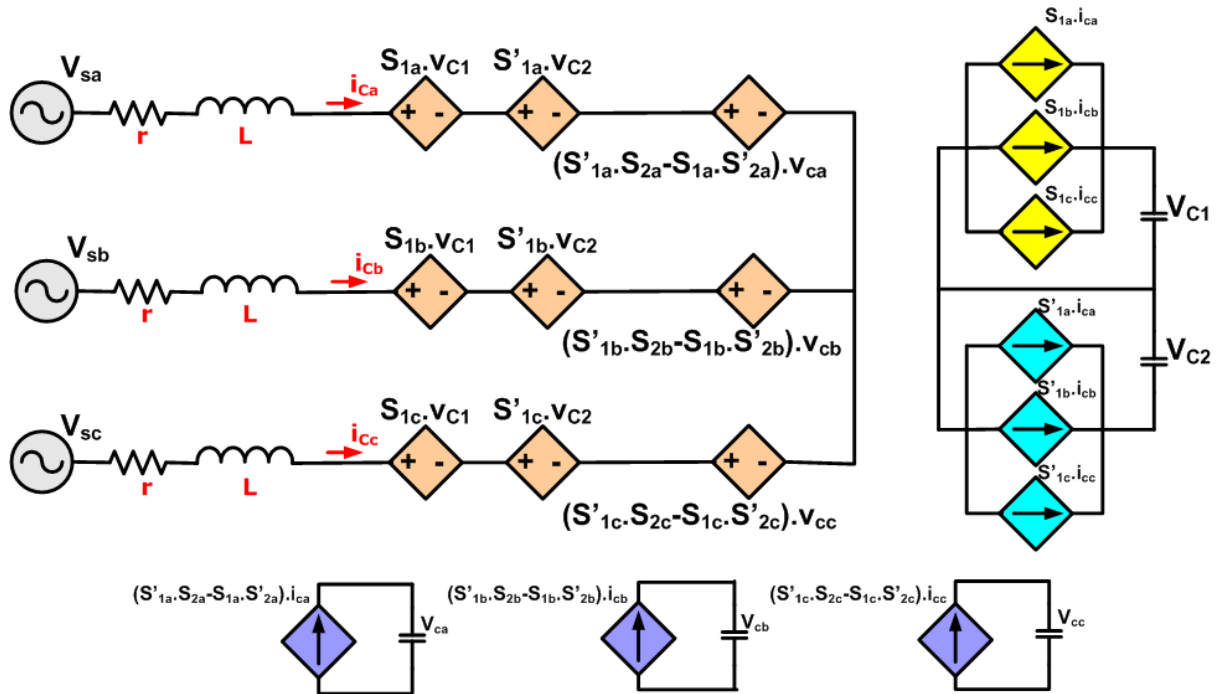


Figura 4-33: Modelo do Circuito Equivalente do Conversor 3 Níveis Capacitor Flutuante

Existe um nível de tensão alto e um nível de tensão baixo durante o ciclo positivo e negativo das tensões de fase respectivamente. Durante o ciclo positivo da tensão de fase, dois níveis de tensão zero e $V_{dc}/2$ são gerados em V_{aN} , V_{bN} e V_{cN} . O nível alto de tensão $V_{dc}/2$ é obtido para diminuir a corrente de compensação. O nível baixo de tensão zero é obtido para aumentar a corrente de compensação [53].

Os dois estados de chaveamento redundantes (estados 2 e 3) são obtidos para gerar nível zero de tensão e compensar a tensão em cada capacitor flutuante referente a cada braço do inversor [53].

Durante o ciclo negativo da tensão de fase, dois níveis de tensão zero e $-V_{dc}/2$ são gerados no lado CA. O nível baixo de tensão $-V_{dc}/2$ é obtido para aumentar a corrente de compensação. Por outro lado, o nível de tensão zero é obtido para diminuir a corrente de compensação.

Com isso, o nível baixo de tensão é obtido para aumentar a corrente de compensação e o nível alto de tensão é obtido para diminuir a corrente de compensação durante cada metade do ciclo de tensão de fase [53].

A Figura 4-34 mostra o diagrama de blocos do controle de chaveamento proposto. O controlador SVPWM é responsável por comandar o inversor para rastrear as correntes de compensação. O controlador externo do elo CC é usado para obter tensão no elo CC constante. O detector de tensão positiva descrito no capítulo 3 é utilizado para gerar formas de onda “*senoidais*” sincronizadas com as tensões trifásicas da fonte CA.

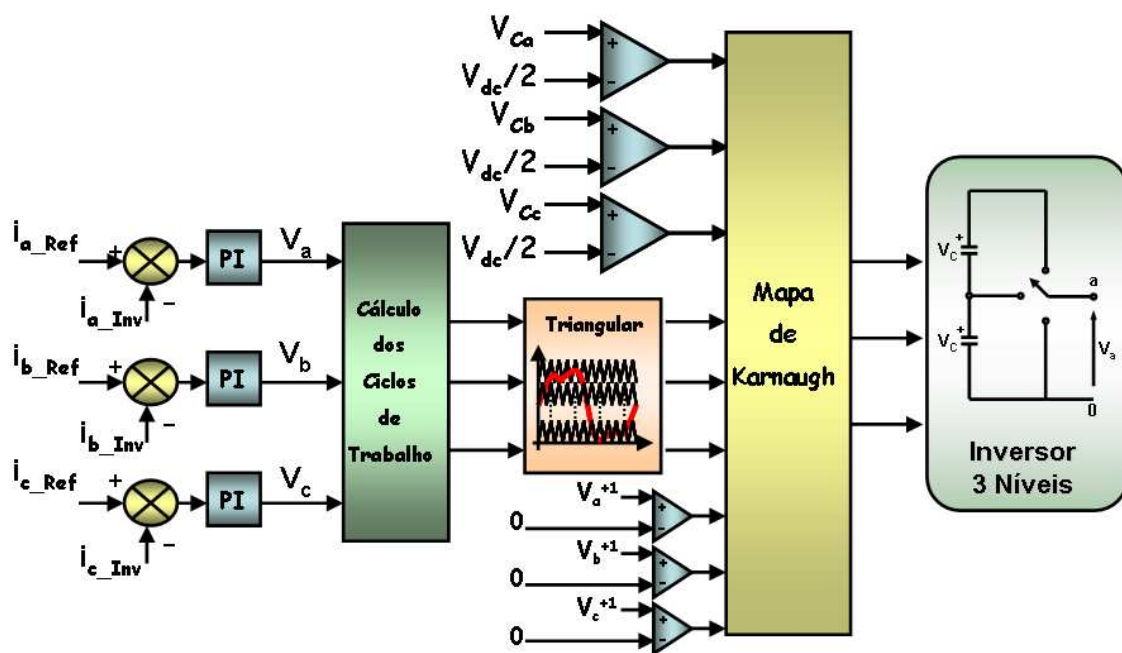


Figura 4-34: Controlador de Karnaugh 3 Níveis

Se o sinal da tensão de fase é detectado, a tensão no capacitor flutuante é medida, e a saída do controlador SVPWM é obtida, então os sinais de disparos para cada uma das chaves semicondutoras podem ser gerados. Através de um Mapa de Karnaugh ocorre a simplificação da função lógica para definição dos ciclos de trabalho. Esta simplificação é realizada pela associação de circuitos lógicos, com a relação entre os sinais de saída do controlador SVPWM, e as condições das variáveis medidas, na

Figura 4-35 são mostradas estas relações. Os sinais de chaveamento para as chaves semicondutoras são expressos nas equações a seguir:

$$S_{x1} = \text{sign}(v_{Sx}) \cdot \text{comp}\left(v_{Cx} - \frac{v_{dc}}{2}\right) + [1 - T_{xon(SVPWM)}] \cdot \left[1 - \text{comp}\left(v_{Cx} - \frac{v_{dc}}{2}\right)\right] \quad (4.41)$$

$$S_{x2} = \text{sign}(v_{Sx}) \cdot \left[1 - \text{comp}\left(v_{Cx} - \frac{v_{dc}}{2}\right)\right] + [1 - T_{xon(SVPWM)}] \cdot \text{comp}\left(v_{Cx} - \frac{v_{dc}}{2}\right) \quad (4.42)$$

Onde:

$$\text{sign}(v_{Sx}) = \begin{cases} 1, \rightarrow v_{Sx} > 0 \\ 0, \rightarrow v_{Sx} < 0 \end{cases} \quad (4.43)$$

$$\text{comp}\left(v_{Cx} - \frac{v_{dc}}{2}\right) = \begin{cases} 1, \rightarrow v_{Cx} > \frac{v_{dc}}{2} \\ 0, \rightarrow v_{Cx} < \frac{v_{dc}}{2} \end{cases} \quad (4.44)$$

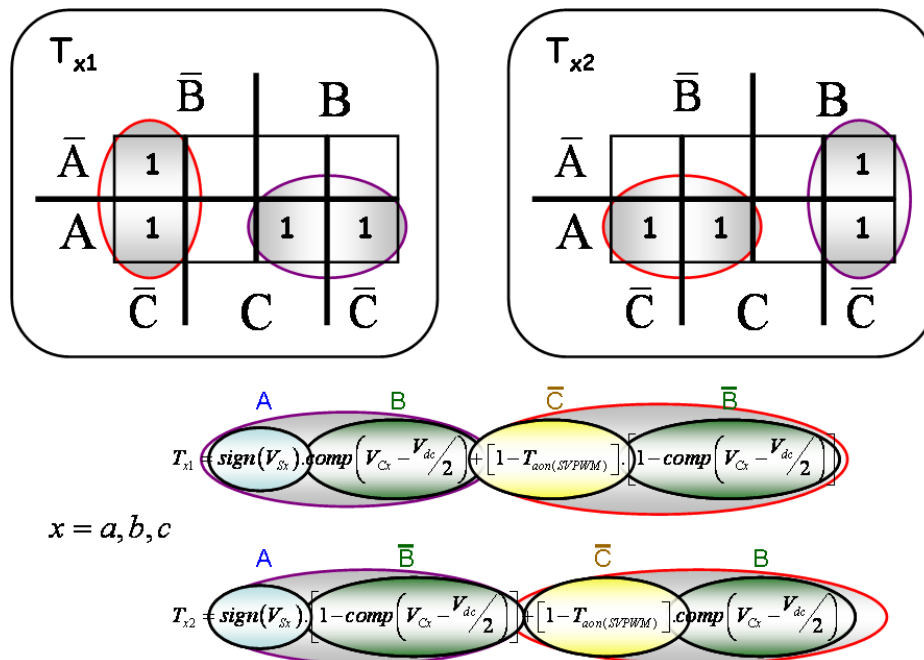


Figura 4-35: Condições do Chaveamento no Mapa de Karnaugh

A Figura 4-26 mostra como o controlador SVPWM gera os pulsos que disparam as chaves semicondutoras para cada braço do inversor três níveis. Com este controlador aplicado ao filtro ativo paralelo é possível compensar harmônicos, corrigir o fator de potência e regular a tensão do elo CC simultaneamente.

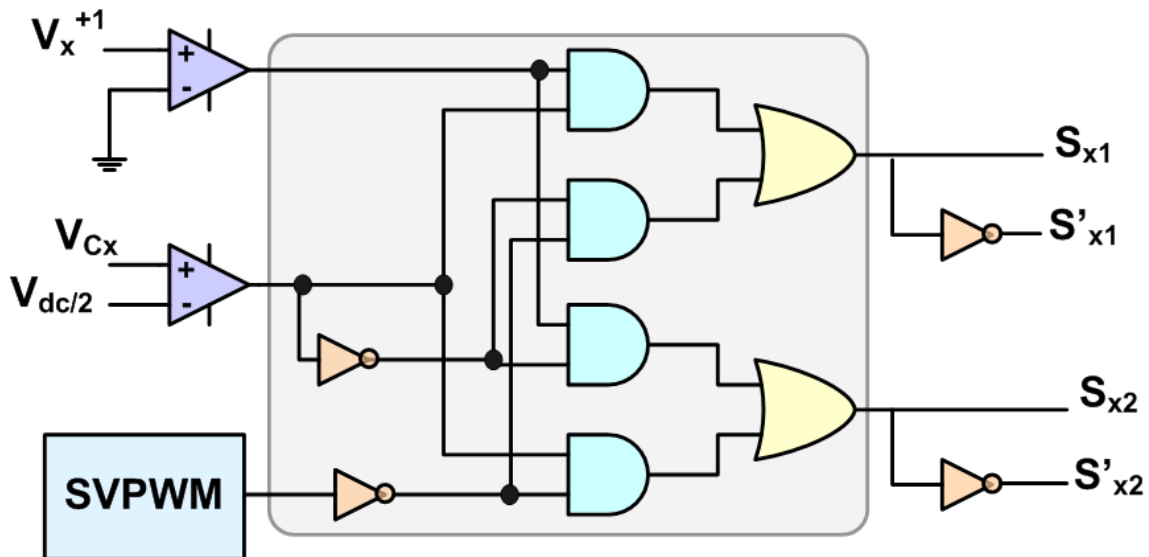


Figura 4-36: Circuitos Lógicos de Comando dos Disparos por Braço do Conversor

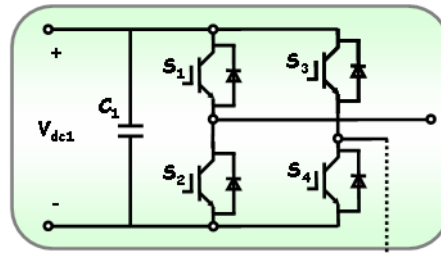
4.7 CONTROLADOR SVPWM MULTINÍVEL – CÉLULAS EM CASCATA

O último controlador a ser descrito neste capítulo é o controlador SVPWM aplicado ao inversor multinível do filtro ativo paralelo na topologia de conversores em cascata com fontes de tensão separadas, que permitem a síntese das correntes de compensação a partir de várias fontes de tensão independentes [14].

Esta topologia de inversores multiníveis evita o acréscimo de diodos de grameamento e capacitores flutuantes. Um inversor monofásico multinível genérico em cascata pode ser visto na Figura 4-37. Através de diferentes combinações das quatro chaves semicondutoras S_1 , S_2 , S_3 e S_4 , presentes em cada inversor monofásico ou célula inversora, podem gerar três níveis de tensão de saída diferentes, V_{dc} , $-V_{dc}$ e zero.

A saída CA de cada um dos diferentes níveis dos inversores é conectada em série, com isso a formação da corrente de compensação projetada pelo circuito de controle ocorre através do somatório das tensões de saída CA de cada um dos inversores monofásicos ou célula ou módulo [54][55].

Primeiro Inversor Monofásico



Último Inversor Monofásico

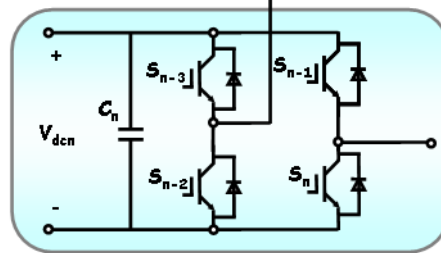


Figura 4-37: Conversor Monofásico Multinível em Cascata Genérico

Nesta topologia, o número de níveis da tensão de saída é definido em função do número n de fontes CC, conforme mostrado a seguir.

$$m = (1 + 2 \cdot n) \quad (4.45)$$

Para a topologia de inversores de células em cascata, o controlador baseado na *Phase Shift Carrier PWM - PSCPWM* é considerado como padrão [54]. Esta técnica utiliza um número de portadoras triangulares iguais ao número de inversores monofásicos, onde o período de referência T é obtido em função da frequência das portadoras triangulares utilizadas f_{tri} , sendo estas portadoras defasadas em função do número de inversores monofásicos presentes na estrutura multinível [31].

$$T = \frac{1}{(n \cdot f_{tri})} \quad (4.46)$$

Na técnica PSCPWM a frequência de modulação m_{freq} é múltipla de três para que evitar superposições harmônicas com a frequência fundamental f_0 nas tensões de saída dos inversores. A defasagem das portadoras triangulares dos inversores monofásicos θ_{tri} em série é obtida através (4.90), que fornece o ângulo de defasagem da portadora referente ao inversor monofásico controlado. Onde i representa a ordem do inversor monofásico (primeiro, segundo, etc), e n representa o número de células inversoras monofásicas por fase [31].

$$m_{freq} = \frac{f_{tri}}{f_0}, \text{ onde } \rightarrow m_{freq} = 3, 6, 9, \dots \quad (4.47)$$

$$\theta_{tri} = \frac{(i-1) \cdot \pi}{n} \quad (4.48)$$

A partir da PSCPWM considerada como estratégia de chaveamento padrão em conversores multiníveis em cascata simétricos, o controlador SVPWM para esta topologia foi desenvolvido, a Figura 4-38 mostra como é realizada a defasagem das portadoras triangulares.

O chaveamento aplicado em cada módulo é do tipo unipolar, onde um par de portadoras triangulares defasadas de 180° são comparadas com o sinal de referência. Cada ramo de um dos inversores monofásico possui seu chaveamento controlado por uma das portadoras complementares, e as duas chaves semicondutoras de cada ramo do inversor são complementares.

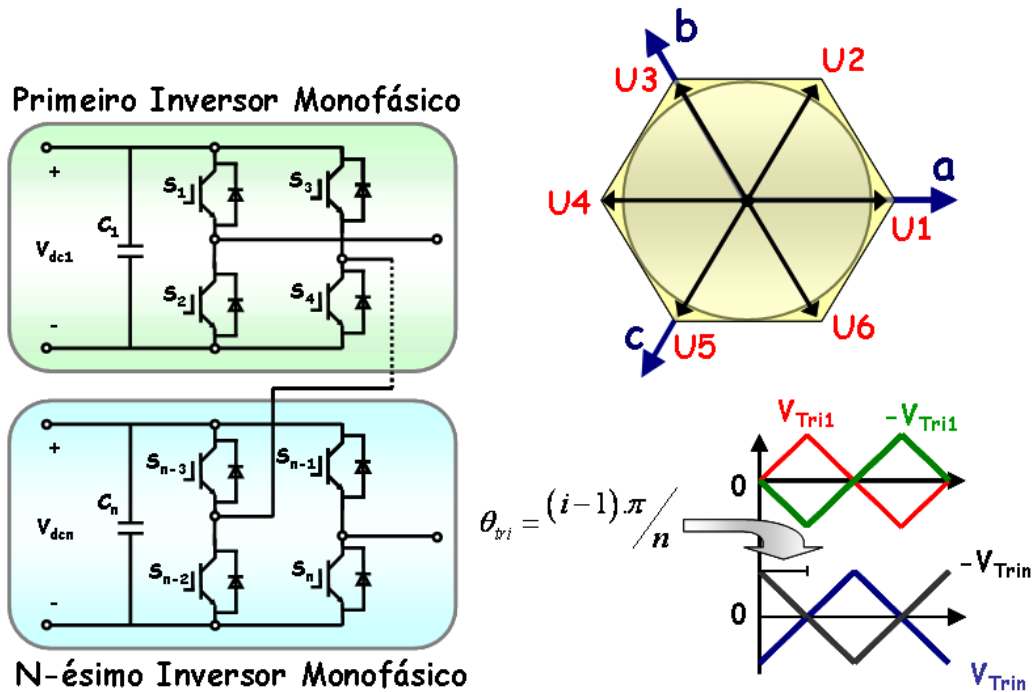


Figura 4-38: Princípio de Defasagem entre as Portadoras Triangulares

O controlador SVPWM fornece os sinais de comando para o chaveamento dos inversores, onde as portadoras triangulares que comandam os braços de cada inversor monofásico são defasadas entre si de 180° , sendo que as portadoras triangulares que comandam cada um dos inversores monofásicos por fase são defasadas seguindo a defasagem θ_{tri} . O controlador SVPWM controla cada conversor monofásico através da comparação do sinal de referência gerado no chaveamento SVPWM com um par de portadoras defasadas 180° entre si, conforme mostra a Figura 4-39.

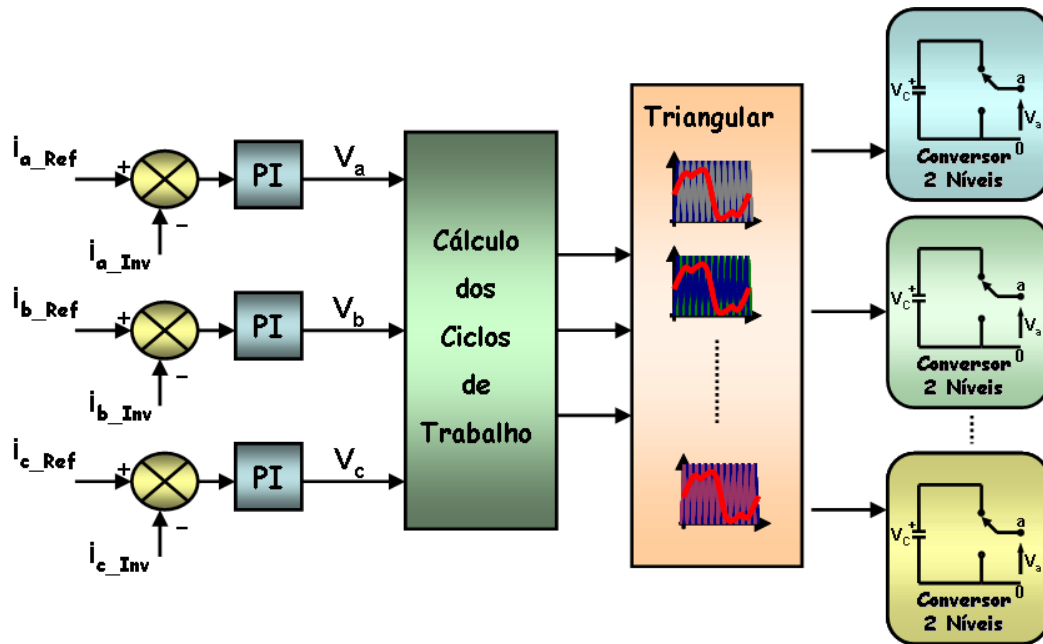


Figura 4-39: Controlador SVPWM Multinível de Módulos em Cascata em Grandezas de fase *abc*

4.8 CONCLUSÕES PARCIAIS

Neste capítulo foram desenvolvidas estratégias de chaveamento para inversores multiníveis, tendo como base no controle dos disparos das chaves semicondutoras a modulação por vetores espaciais. Os controladores SVPWM foram desenvolvidos em grandezas de fase *abc*, onde para cada topologia foi utilizado o princípio da modulação por vetores espaciais.

Na topologia NPC o controlador SVPWM desenvolvido possibilitou sua aplicação com diferentes ângulos de defasagem entre as portadoras triangulares a partir dos conceitos POD, APOD e PD. Uma nova técnica de defasagem das portadoras triangulares foi proposta, sendo nomeada de APSD.

Na topologia com capacitor grampeado o controlador SVPWM desenvolvido utilizou as características do circuito de potência do inversor com seus capacitores de grampeamento, através das combinações de controle do chaveamento.

Na topologia multinível de inversores em cascata, o controlador SVPWM se baseou na técnica PSCPWM para determinar como as chaves de cada inversor em cascata seriam disparadas.

Com isso, para cada uma das topologias supracitadas foi desenvolvido um controle de chaveamento específico, utilizando como base a modulação por vetores espaciais em grandezas de fase *abc* na compensação harmônica aplicada em um filtro ativo paralelo em topologias multiníveis de inversores.

5 RESULTADOS DAS SIMULAÇÕES

Neste capítulo será visto a implementação do Filtro Ativo Paralelo utilizando o simulador PSCAD[®]/EMTDC[™]. Este programa, apesar de ser novo se comparado ao ATP/EMTP, apresenta uma boa interface para desenvolvimento de equipamentos utilizados em Eletrônica de Potência, sendo usado por diversos centros de pesquisas reconhecidos mundialmente.

A implementação digital do Filtro Ativo Paralelo é dividida em duas partes. A primeira é a implementação digital do controlador ou estratégia de controle, responsável pela geração das correntes de compensação. A segunda parte é a implementação digital da estratégia de chaveamento SVPWM, responsável pela comutação das chaves digitais presentes em cada topologia multinível.

O tempo total de simulação especificado é de 1,0 segundo, com um passo de integração igual a 10 μ s. O filtro ativo paralelo em questão inicia a sua operação em 0,25 segundos. A tensão base adotada V_{base} é igual a 440 V, e a potência S_{base} igual a 38,1 kVA. A impedância na entrada equivale a 10% da impedância base do sistema, como mostrado na equação 5.1 para uma potência de curto-circuito (P_{cc}) igual a 10 pu. A partir destes valores, os parâmetros do filtro e da carga elétrica não-linear suprida foram especificados. O sistema opera com uma frequência de 50Hz.

$$\left\{ \begin{array}{l} P_{cc} = 10 \text{ pu} = \frac{V^2}{Z_{cc}} \\ Z_{cc} = \frac{V^2}{10 \text{ pu}} = 0,1 \text{ pu} = 0,88\Omega \end{array} \right. \Rightarrow \left\{ \begin{array}{l} z = \sqrt{(0,01x^2 + x^2)} = 1,01x = 0,88 \\ x = 0,871 \Rightarrow L_s = \frac{x}{2 \cdot \pi \cdot f} = 2,312 \text{ mH} \\ r = 0,0871\Omega \end{array} \right. \quad (5.1)$$

A carga corresponde a uma ponte retificadora trifásica de seis pulsos a tiristor, com o valor RMS da corrente medida no lado CA igual a 50 A, onde os tiristores foram programados com um ângulo de disparo igual a 30°.

Para a implementação digital é preciso calcular os valores dos componentes presentes no circuito de potência, mostrados na Figura 5-1. As indutâncias na entrada da carga foram especificadas em 1,6 mH, correspondendo a 7,0% da impedância base do sistema. O elo de tensão CC dos inversores VSI possui 500V de tensão aplicada sobre

cada capacitor presente no inversor multinível, com os indutores na saída equivalente a 0,8 mH, correspondendo a 3,5% da impedância base do sistema.

A frequência de chaveamento do inversor é diferente entre as topologias, na NPC o chaveamento ocorre em frequência igual a 5 kHz, assim como, na topologia Capacitor Flutuante. Na topologia de Módulos em Cascata Simétricos a frequência da portadora é igual a 900 Hz, mas a frequência de chaveamento na saída dos conversores em cascata depende do número de módulos implementados, onde para conversores em cascata com tensão de saída com 7 níveis, a frequência de chaveamento é 2,7 kHz.

Em todas as topologias implementadas existem pequenos filtros passa baixa do tipo RC, onde o valor do resistor é igual a 2 Ω e do capacitor igual a 10μF impede que correntes de alta frequência geradas pelo chaveamento dos inversores multiníveis contaminem o sistema elétrico.

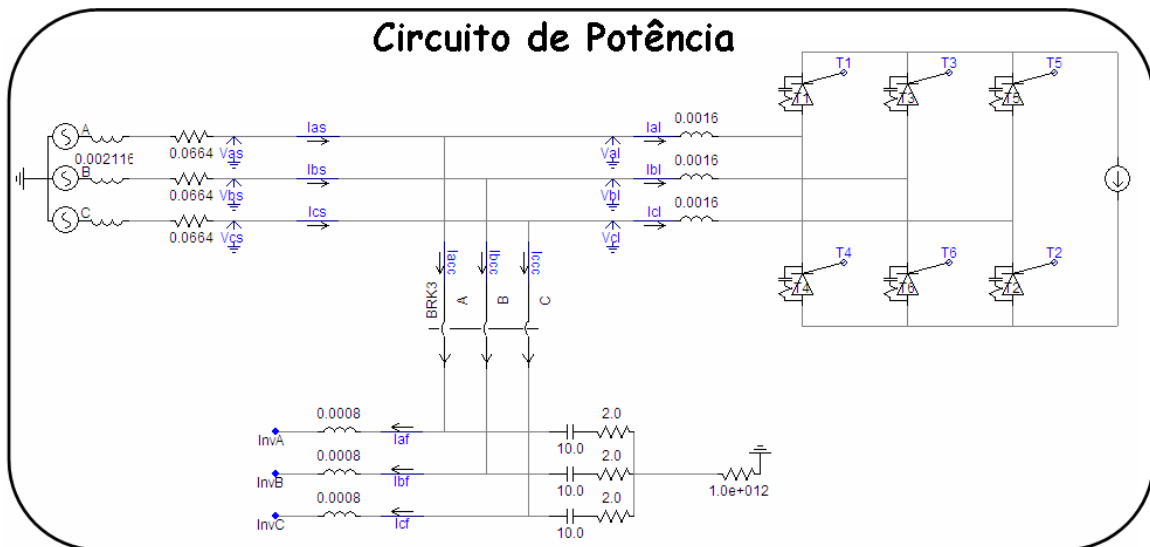


Figura 5-1: Circuito de Potência sem o Conversor Multinível

Os ganhos utilizados no controlador PI do regulador do elo de tensão CC do inversor VSI são: proporcional igual a 0,25 (1/Ω.V) e um ganho integral igual a 0,556 (1/Ω.V.s). No controlador PI utilizado no circuito de sincronismo, o ganho proporcional equivale a 70 (rad/s.w) e o ganho integral a 3000 (rad/s².w). Por fim, no controlador PI do controle SVPWM, apresenta um ganho proporcional igual a 0,07 e um ganho integral igual a 140 (1/s). O ganho proporcional é adimensional uma vez que a dimensão da entrada é igual à dimensão da saída.

5.1 CIRCUITOS DE CONTROLE IMPLEMENTADOS

5.1.1 Detector de Sequência Positiva

O detector de sequência positiva é formado pelo circuito de sincronismo conhecido por PLL mostrado na Figura 5-2, responsável por rastrear a frequência fundamental das tensões da fonte. A frequência fundamental das tensões da fonte é rastreada, em seguida são criados sinais de controle chamados de correntes senoidais, estas correntes associadas a um sinal de controle chamado *delta* baseado no método dos mínimos multiplicadores de Lagrange [25], formam as tensões de sequência positiva na frequência fundamental.

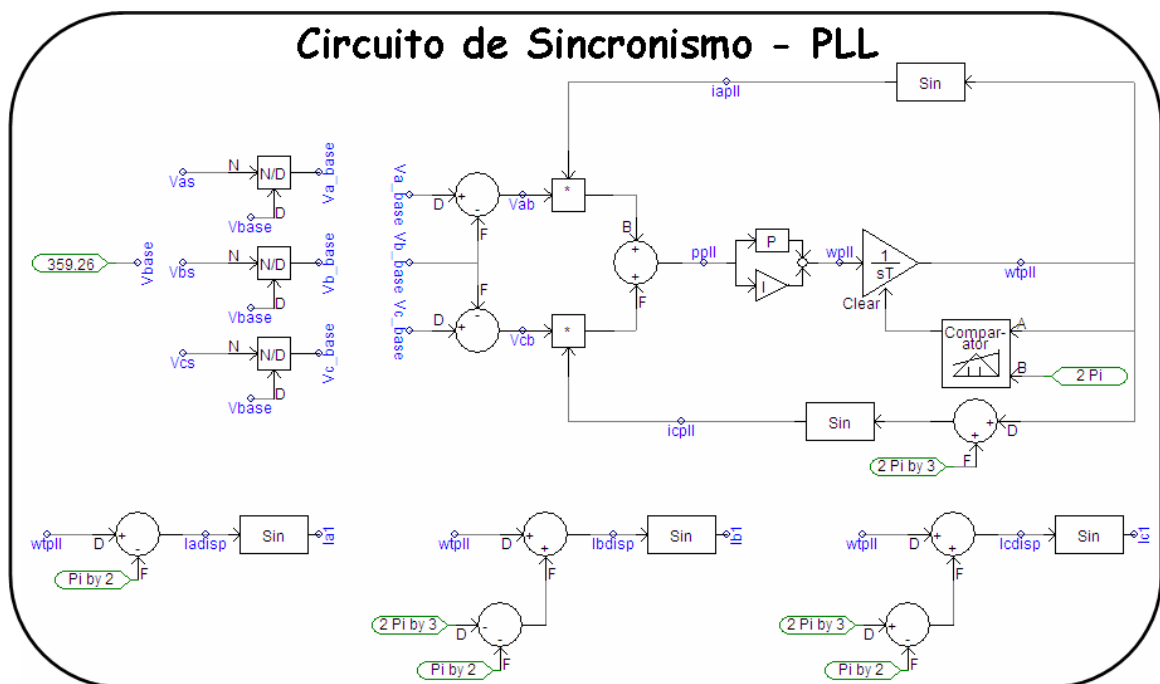


Figura 5-2: Implementação do Circuito de Sincronismo - PLL

A entrada deste circuito são as tensões na fonte em valores p.u. chamados de V_{a_base} , V_{b_base} e V_{c_base} . A frequência fundamental rastreada pelo PLL é fornecida através do sinal w_{pll} .

A implementação do algoritmo do detector de sequência positiva no PSCAD®/EMTDCTM é mostrada na Figura 5-3, os valores instantâneos da componente fundamental de sequência positiva das tensões denominadas por V_{aw} , V_{bw} , V_{cw} são determinadas a partir tensões na fonte, correntes geradas pelo circuito de sincronismo e da variável *delta*.

Circuito Detector de Seqüência Positiva

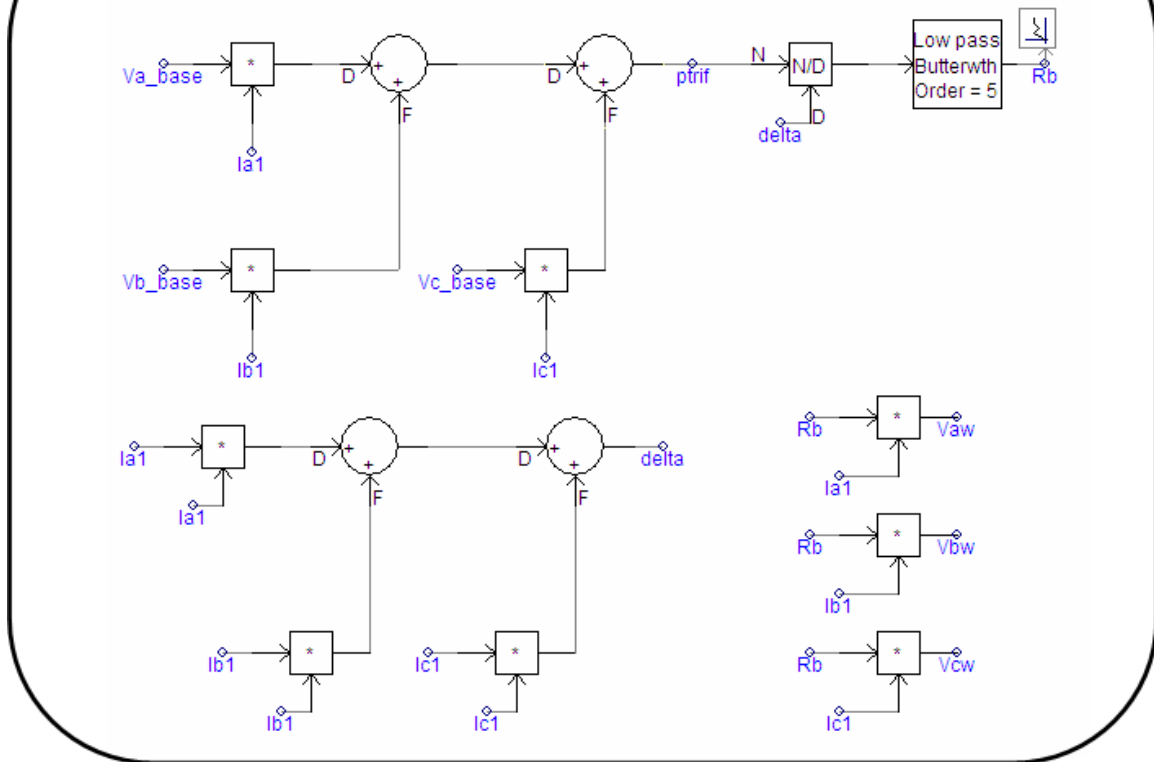


Figura 5-3: Implementação do Circuito Detector de Seqüência Positiva

5.1.2 Cálculo das Correntes de Compensação

A partir das tensões de seqüência positiva na frequência fundamental, o algoritmo do cálculo das correntes de compensação é obtido a partir das tensões fornecidas pelo detector de V^{+1} , associadas com as correntes lidas na carga através do algoritmo baseado nos mínimos multiplicadores de Lagrange [25], a variável $zeta$ representa o denominador do algoritmo. As correntes na carga utilizadas no algoritmo estão em valores p.u., estes sinais são chamados de I_{al_base} , I_{bl_base} e I_{cl_base} .

A Figura 5-4, mostra como o algoritmo para calcular as correntes de compensação do filtro ativo paralelo foi implementado, baseado na estratégia de controle descrita no Capítulo 3. As correntes de compensação calculadas pelo algoritmo são chamadas de i_{ac} , i_{bc} e i_{cc} são determinadas a partir tensões de seqüência positiva, correntes na carga e da variável $zeta$.

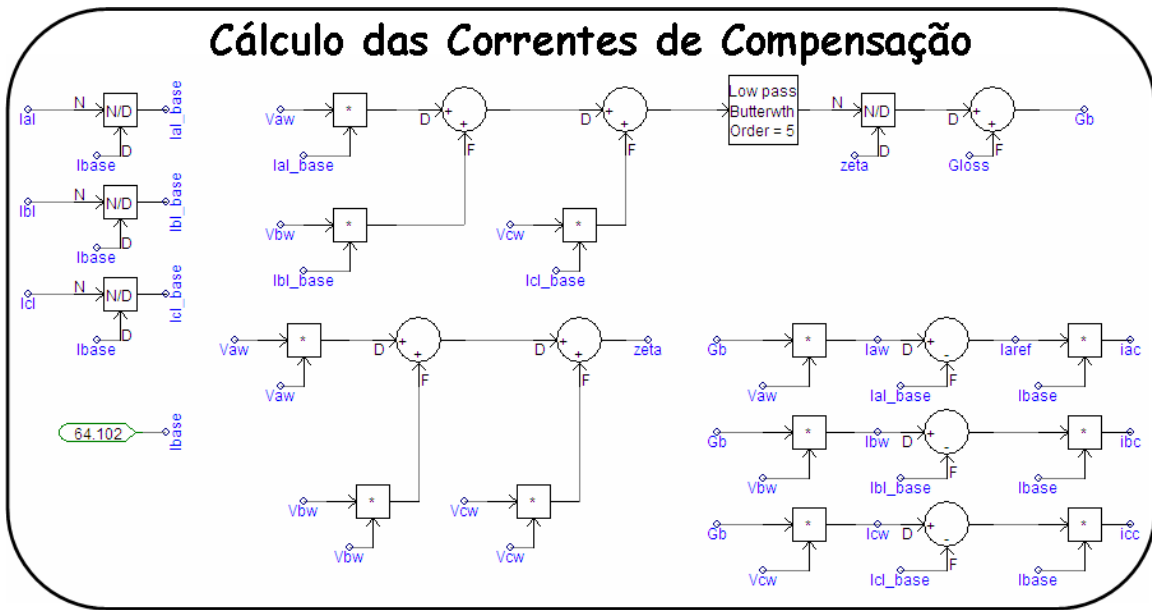


Figura 5-4: Implementação do Cálculo das Correntes de Compensação

5.2 ESTRATÉGIA DE CHAVEAMENTO SVPWM

A técnica de chaveamento implementada está baseada no descrito no Capítulo 4, onde foram desenvolvidos controladores para cada topologia de inversor multinível. Todos os controladores desenvolvidos utilizam para sintetizar as correntes de compensação o módulo SVPWM em grandezas de fase *abc*, onde as entradas deste módulo são os resultados da comparação das correntes de compensação e as correntes medidas na entrada dos inversores. A Figura 5-5 mostra como foi realizada a comparação e o módulo SVPWM em grandezas de fase *abc*. A seguir, faz um detalhamento do módulo SVPWM

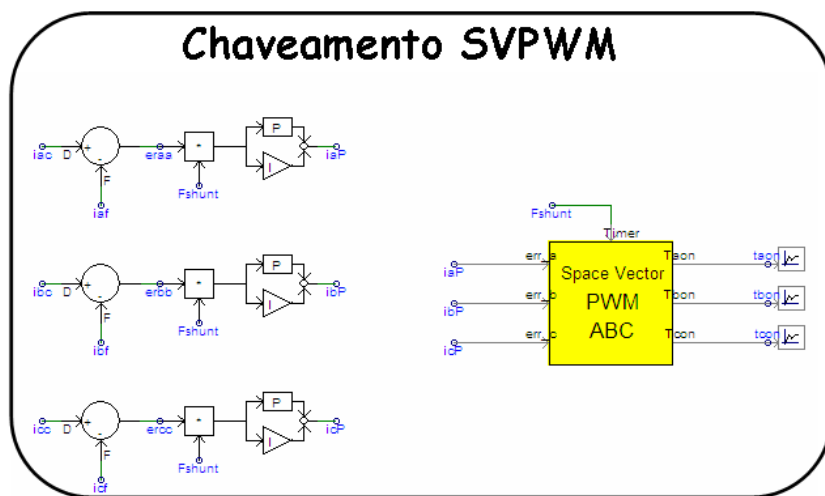


Figura 5-5: Implementação do Circuito de Chaveamento SVPWM em Grandezas de fase *abc*

5.2.1 Módulo SVPWM a partir de Grandezas de Fase abc

A primeira etapa do chaveamento SVPWM descrito é a localização da região onde o vetor de referência que representa as saídas dos três controladores PI fornecidas pelo circuito de controle está situado. Esta localização é realizada conforme descrito no capítulo 4, através de uma transformada que adianta os sinais de entrada do módulo, em seguida, estes sinais são comparados e entram no algoritmo que determina em que região está localizado o vetor de referência.

A Figura 5-6, mostra como foi implementado o algoritmo e as variáveis envolvidas na determinação da região. Observa-se que a entrada do módulo e todas as operações são realizadas em grandezas de fase *abc*.

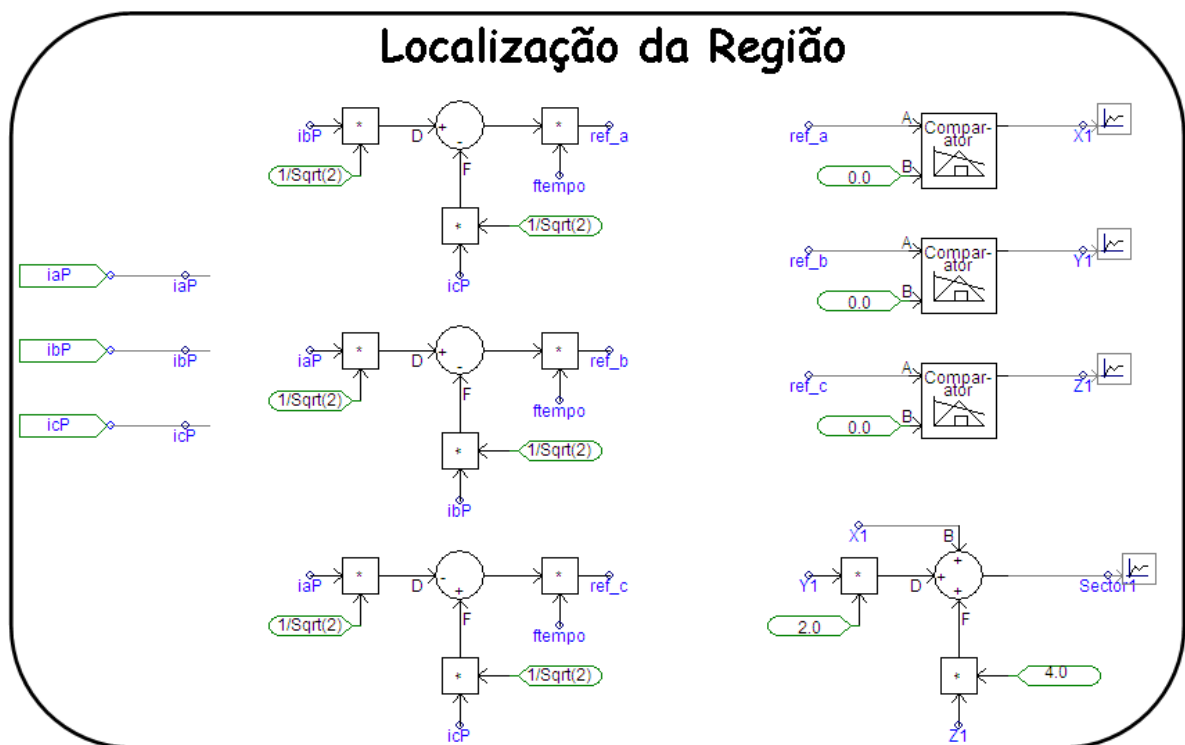


Figura 5-6: Implementação do Algoritmo da Determinação da Região

A Figura 5-7, mostra como foi determinada a região onde está situado o vetor de referência a partir da variável sector obtida no algoritmo supracitado. A variável *Sector1* representa a variável *soma* descrita no Capítulo 4, esta variável localiza o instante de tempo em que o vetor de compensação está situado em cada região do hexágono.

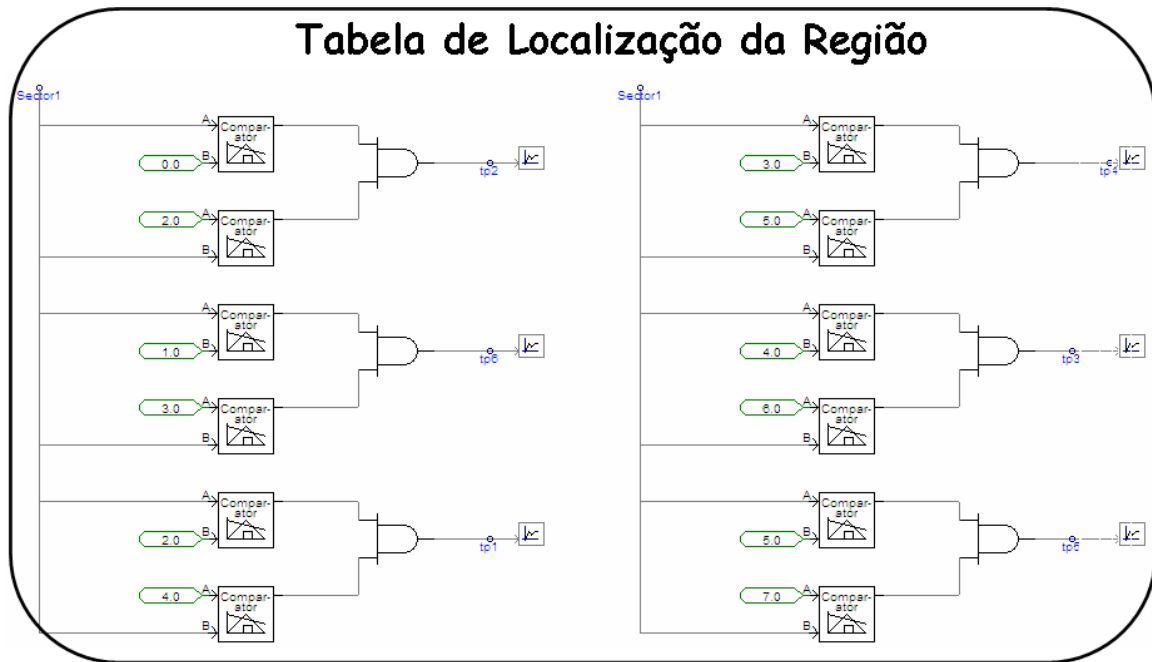


Figura 5-7: Implementação da Tabela de Localização da Região

A partir das definições dos tempos chaveamento calculados, estes podem ser observados na Tabela 4-6, onde a implementação desta tabela determina os tempos de chaveamento dos vetores mais próximos ao vetor de referência. A Figura 5-8 mostra como são implementados e obtidos os valores das variáveis na determinação dos ciclos de trabalho dos vetores adjacentes referente a cada região.

As variáveis V_x , V_y e V_z implementadas na simulação representam as variáveis X , Y e Z da Tabela 4-6, a associação destas variáveis com a localização da região do hexágono onde está localizado o vetor de referência determina os tempos de chaveamento dos vetores espaciais.

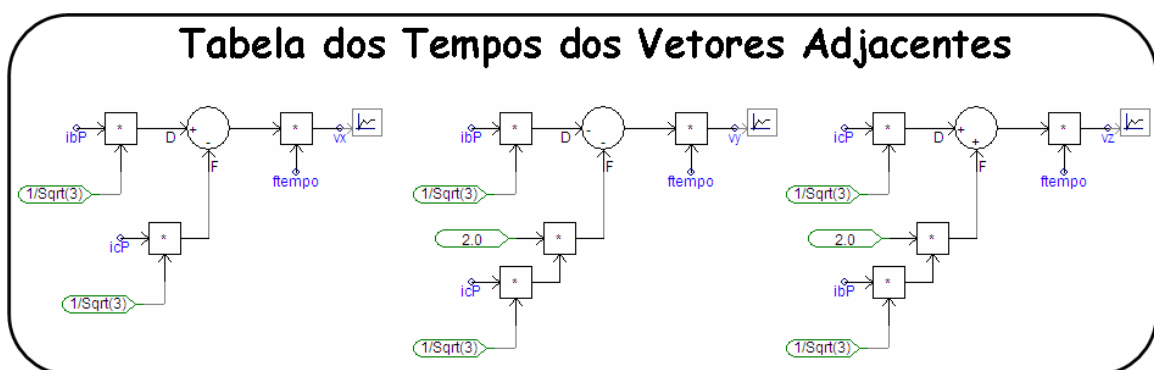


Figura 5-8: Implementação da Tabela dos Tempos de Chaveamento

Com os tempos de chaveamento dos vetores mais próximos ao vetor de referência definidos, o cálculo dos ciclos de trabalhos é obtido através das equações mostradas em (4.30), conforme descrito no Capítulo 4.

Com isso, para cada região existe uma variação na definição dos ciclos de trabalho por região, e a implementação dos tempos de chaveamento para região I é mostrada na Figura 5-9. A implementação do algoritmo que calcula os tempos de chaveamento para as outras regiões é semelhante ao referente à região I, seguindo o descrito na Tabela 4-7.

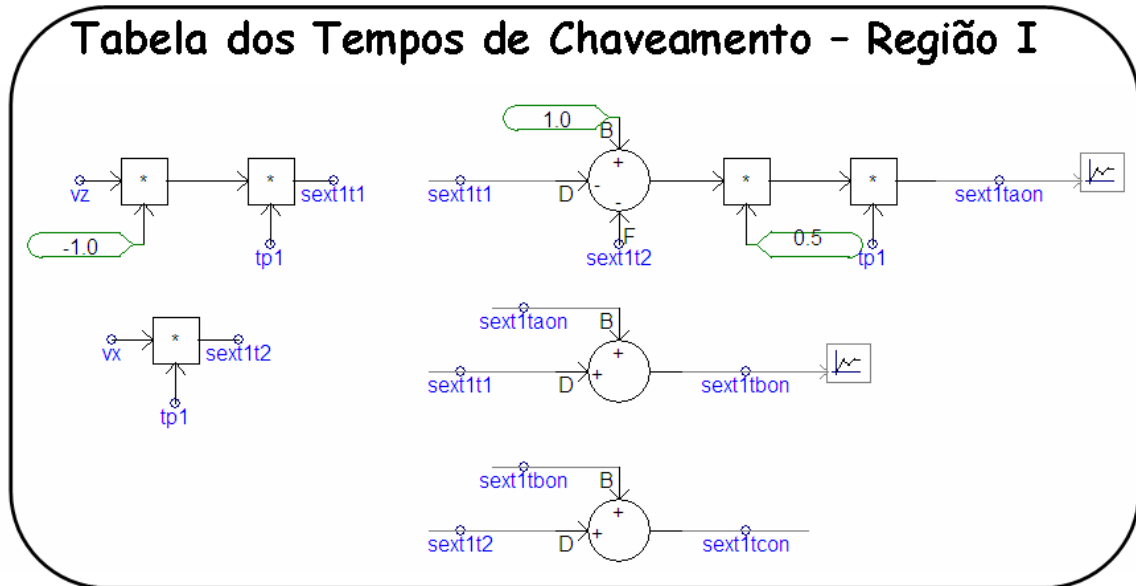


Figura 5-9: Determinação do Ciclo de Trabalho dos Vetores para Região I

5.3 SIMULAÇÃO CONVERSORES 3-NÍVEIS NPC

O procedimento de início da simulação obedece a uma seqüência de acionamento de chaves, onde a chave BRK1 e BRK2 são responsáveis pelo carregamento dos capacitores do elo CC. A chave BRK3 conecta o filtro ativo paralelo ao sistema elétrico, conforme mostra a Figura 5-10.

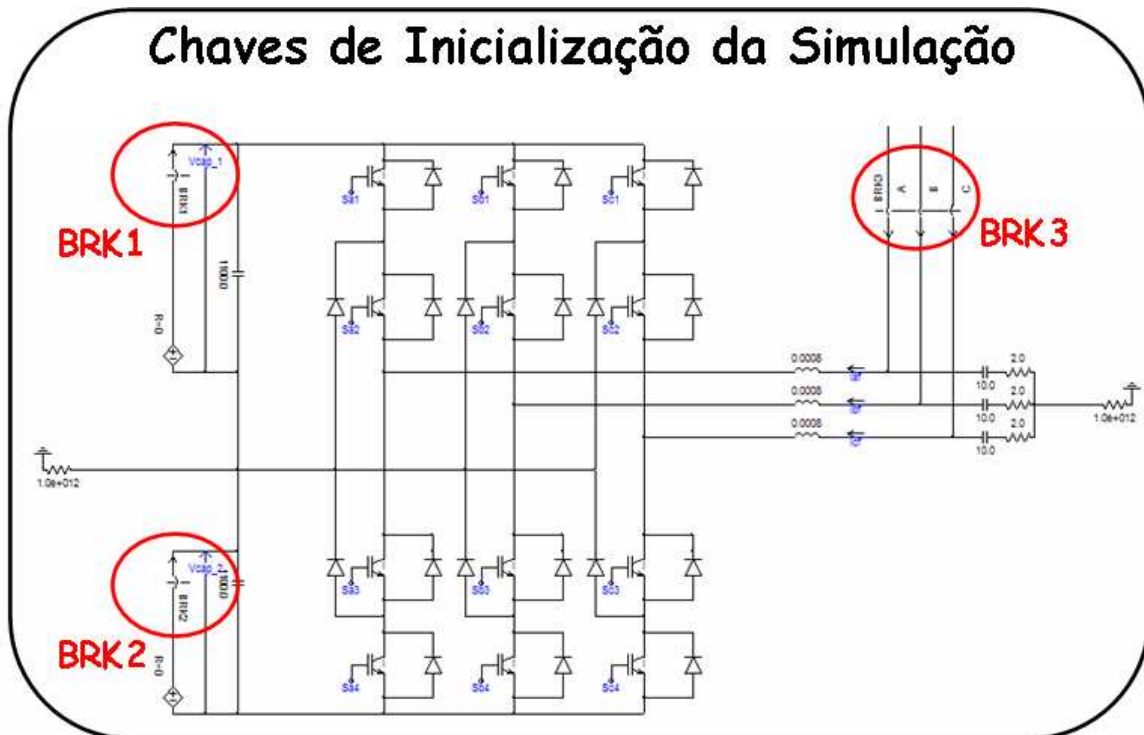


Figura 5-10: Inicialização da Simulação do Conversor 3 Níveis NPC

As chaves BRK1 e BRK2 são utilizadas para a energização do capacitor do elo de tensão CC, está programada para operar, ao início da simulação, em condução. A mudança de estado de condução para aberto ocorre em 0,05 segundos após o início da simulação.

A chave BRK3 está localizada na saída do inversor paralelo, está programada para permanecer aberta até 0,25 segundos do início da simulação. A partir deste instante, esta chave entra em condução, permanecendo neste estado até o término da simulação. Este estágio é denominado, neste trabalho, como conexão do filtro paralelo.

5.3.1 Comparador SVPWM

O comparador SVPWM em grandezas de fase *abc* implementado foi descrito no Capítulo 4, sendo que este algoritmo gera os sinais de controle conforme foi mostrado no capítulo anterior. Na Figura 5-11, são mostradas as correntes na fonte e as tensões na carga antes da entrada em operação do filtro ativo paralelo e depois da entrada em operação que acontece em 0,25s.

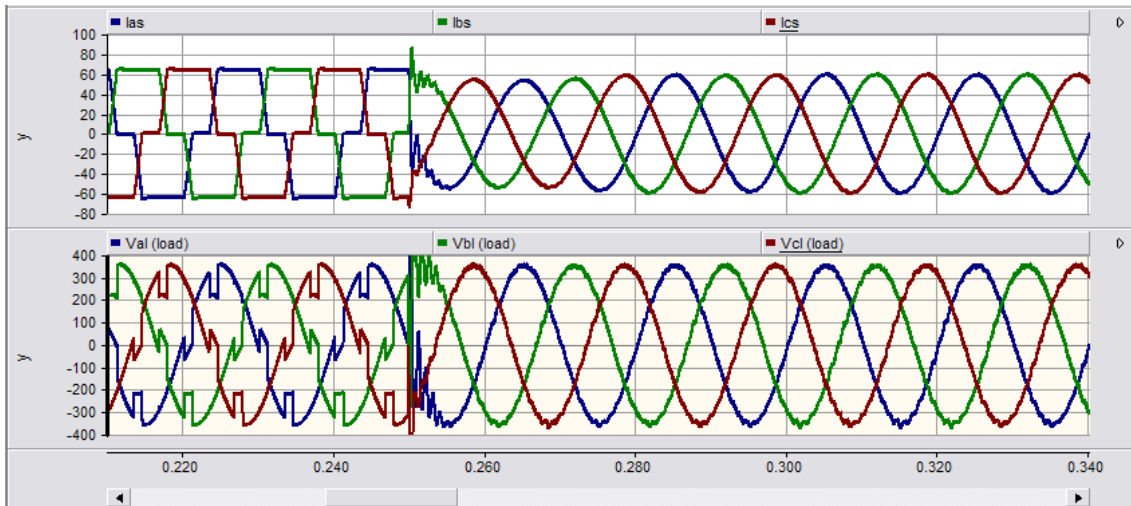


Figura 5-11: Correntes na Fonte e Tensões na Carga – Comparador SVPWM

Com o início de operação do filtro ativo paralelo, observa-se que as correntes na fonte tornaram-se “senoidais” devido à síntese das correntes de compensação pelo inversor.

Na Figura 5-12 são mostradas as correntes de entrada do filtro ativo paralelo e as correntes de referência geradas pelo circuito de controle. Estas correntes na entrada do filtro são responsáveis pela compensação harmônica das correntes da fonte.

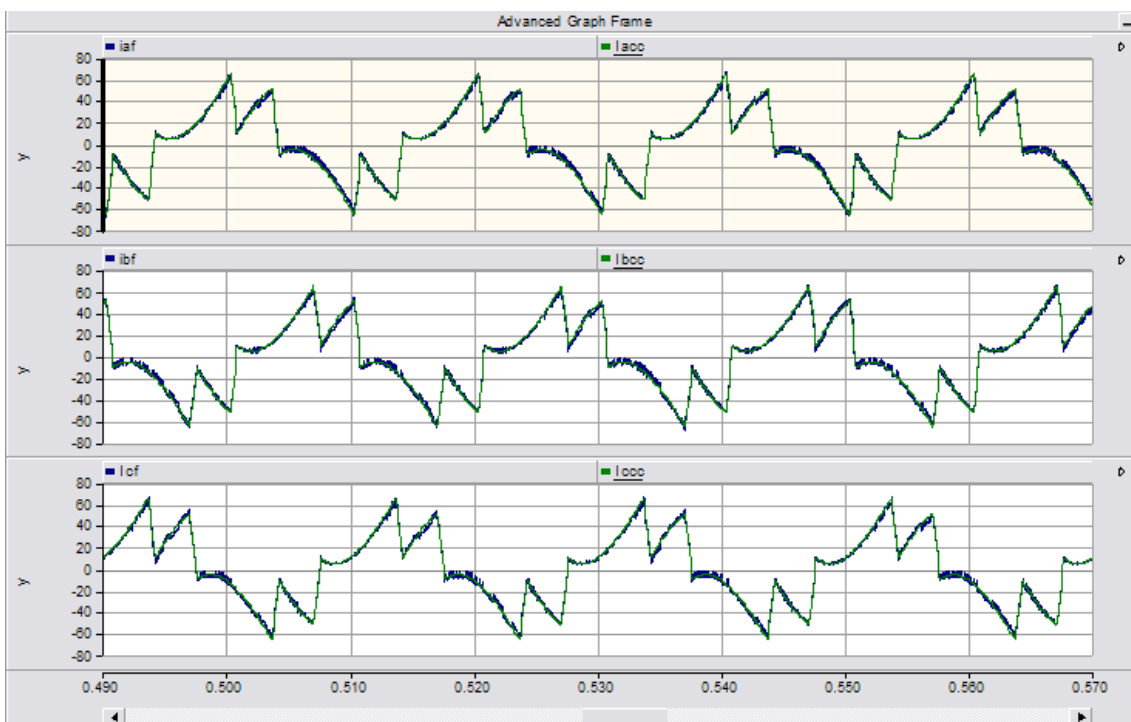


Figura 5-12: Correntes de Compensação (ideais x reais) – Comparador SVPWM

Este comparador implementado não possui frequência de chaveamento fixa, visto que a frequência de chaveamento é definida pelo circuito, a banda de comparação

estabelece quando o estado de chaveamento das chaves semicondutoras deve ser comutado.

A Figura 5-13 mostra a corrente na carga I_{al} com elevado conteúdo harmônico, a corrente de compensação I_{acc} que compensa o conteúdo harmônico demandado pela carga não-linear. A corrente na fonte I_{as} também é mostrada, observa-se que a partir da entrada em funcionamento do filtro ativo paralelo esta corrente deixa de ser igual a corrente da carga e torna-se senoidal e em fase com a tensão da fonte.

A Figura 5-14 mostra que o controle do filtro ativo paralelo além de realizar a compensação harmônica, também realiza a correção do fator de potência na fonte. A corrente na fonte e a tensão na carga na fase a são mostradas nesta figura, quando o filtro ativo paralelo começa a funcionar.

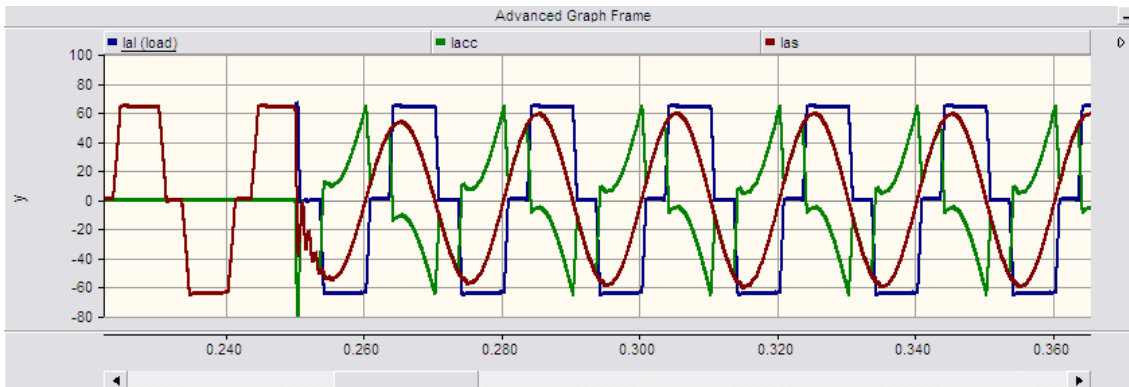


Figura 5-13: Correntes na Fonte, Carga e Filtro na fase “a”

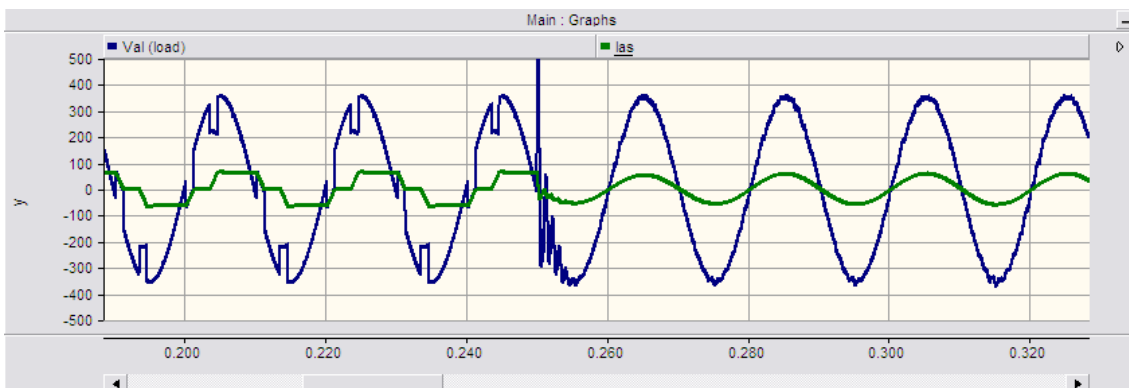


Figura 5-14: Tensão na Carga e Corrente na Fonte

Na Figura 5-15 mostra a tensão no elo CC na qual as chaves semicondutoras são submetidas para permitir as correntes de compensação possam ser geradas através dos comandos de comutação.

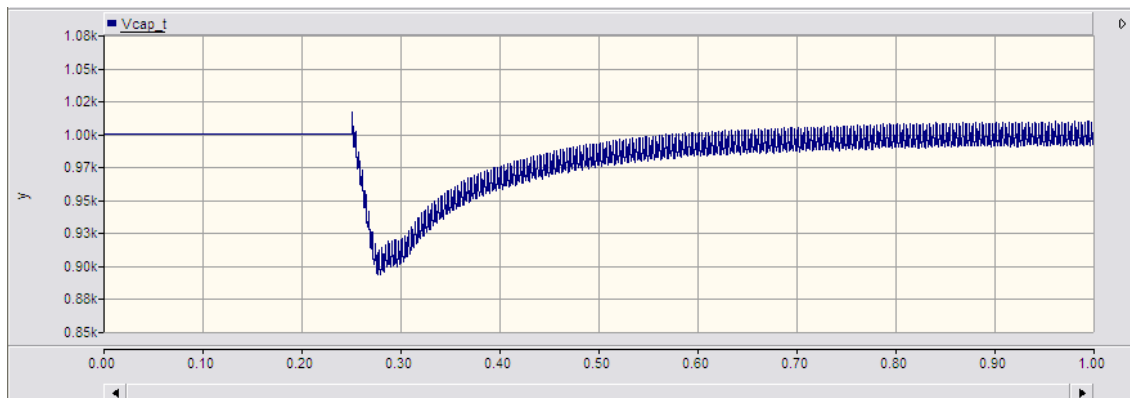


Figura 5-15: Tensão no Elo CC – Comparador SVPWM

5.3.2 Controlador SVPWM

O controlador SVPWM multinível que controla os inversores três e cinco níveis que são objeto de análise possuem implementações semelhantes. A diferença nos números de níveis é refletida para o controlador SVPWM através do número de portadoras triangulares que comandarão os disparos das chaves semicondutoras presentes nos conversores multinível.

Conforme descrito no capítulo anterior existem quatro técnicas de defasagem de portadoras triangulares diferentes para realizar a implementação do controlador SVPWM apresentado: APOD, POD, PD e APSD.

As técnicas APOD, POD e APSD para o um conversor três níveis são idênticas, conforme já mencionado no capítulo anterior, com isso, as simulações do filtro ativo paralelo de potência três níveis foram realizadas considerando-se esta característica.

A Figura 5-16 mostra como é feita a interpolação do chaveamento SVPWM multinível. O método de cálculo do chaveamento dos IGBT's com interpolação foi utilizado, pois a simulação sem este método implica na utilização de valores de tempos de passo de integração muito pequenos. Empregando o método da interpolação na simulação o passo de integração foi fixado em $10\mu\text{s}$.

Como as diferenças entre as técnicas de defasagem estão apenas nas portadoras triangulares, a implementação digital da interpolação mostrada é igual para as três simulações realizadas para o filtro ativo paralelo três níveis. Com isso, somente a configuração de cada portadora será diferente em cada técnica de defasagem implementada.

Os blocos de interpolação são apenas comparadores que definem os instantes de tempo em os sinais T_a , T_b e T_c possuem suas amplitudes maiores que as portadoras triangulares nos quais estes sinais são comparados. A saída do bloco de interpolação

fornece os sinais de disparo para as chaves semicondutoras do inversor, cada bloco de interpolação possui no máximo seis (6) sinais de saída. Devido à limitação do número de saídas do bloco de interpolação, para o inversor três níveis são utilizados dois blocos de interpolação.

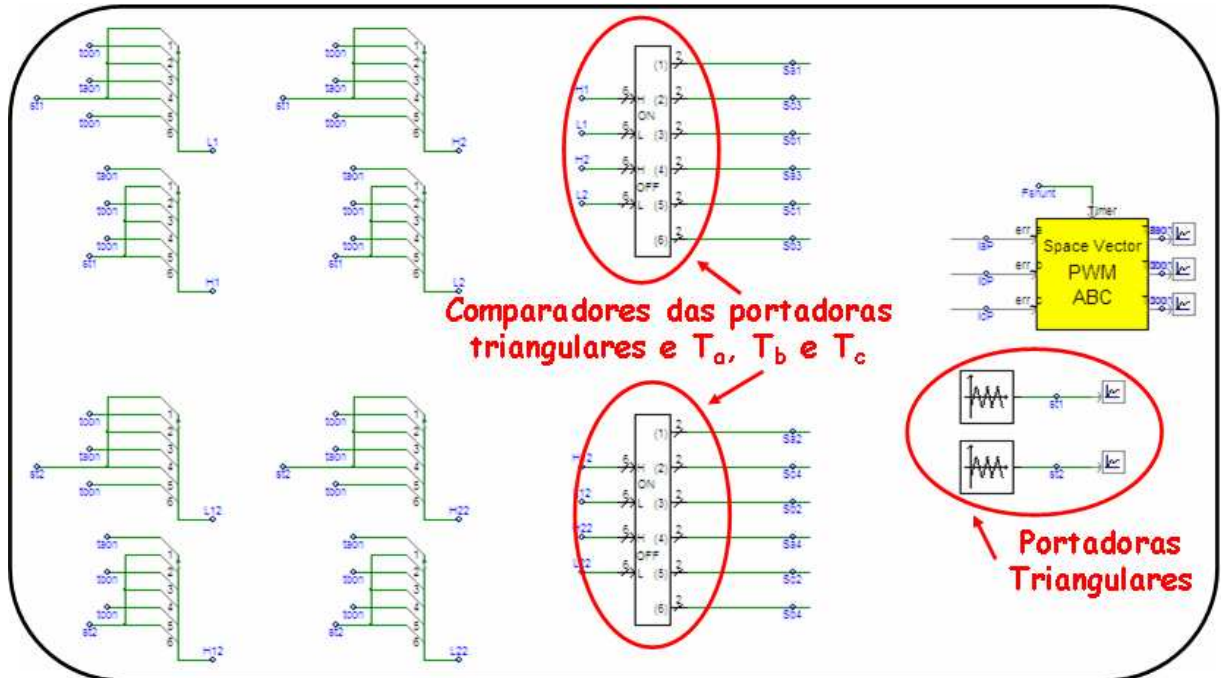
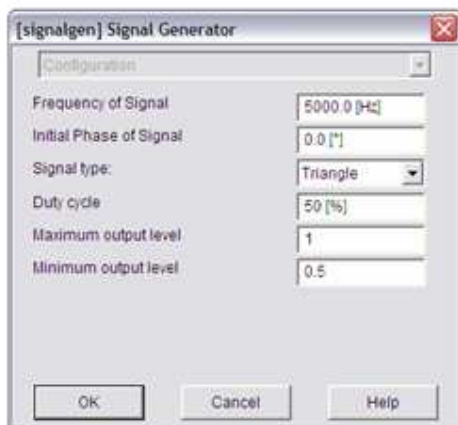


Figura 5-16: Implementação do Chaveamento Interpolado SVPWM

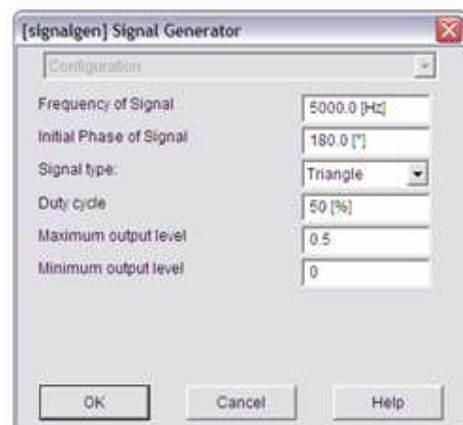
Na Figura 5-17 (a) e (b) e Figura 5-18 (a) e (b); são mostradas as caixas de configuração das portadoras triangulares inferiores e superiores para as técnicas: APOD e PD respectivamente.

Triangular Superior



(a)

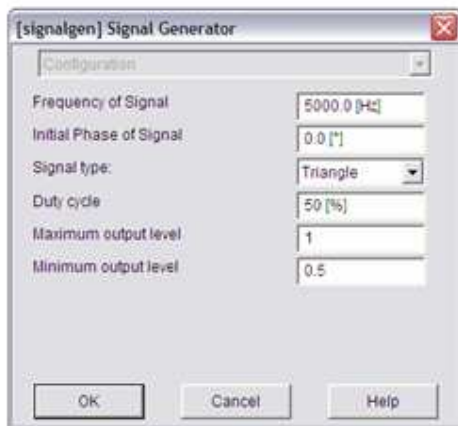
Triangular Inferior



(b)

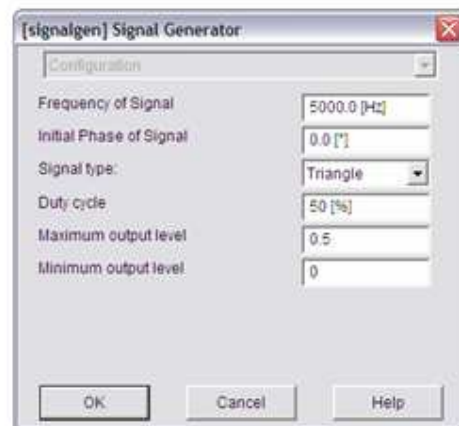
Figura 5-17: Configuração das Defasagens das Portadoras na Técnica APOD

Triangular Superior



(a)

Triangular Inferior



(b)

Figura 5-18: Configuração das Defasagens das Portadoras na Técnica PD

Na Figura 5-19 e Figura 5-20; são mostrados os gráficos das tensões nos capacitores do elo CC, as correntes na fonte durante todo o período simulado antes e depois da entrada em operação do filtro ativo paralelo e as tensões na carga não-linear para as técnicas APOD e PD, respectivamente, dos filtros ativo paralelo três níveis.

Na simulação do filtro ativo paralelo aplicando-se técnica APOD, observa-se na Figura 5-19 que a tensão no elo CC converge para o valor de referência após a entrada em operação do filtro ativo paralelo, permitindo ao controlador SVPWM sintetizar as correntes de compensação. As correntes na fonte tornam-se senoidais quando ocorre a síntese das correntes de compensação pelo inversor três níveis.

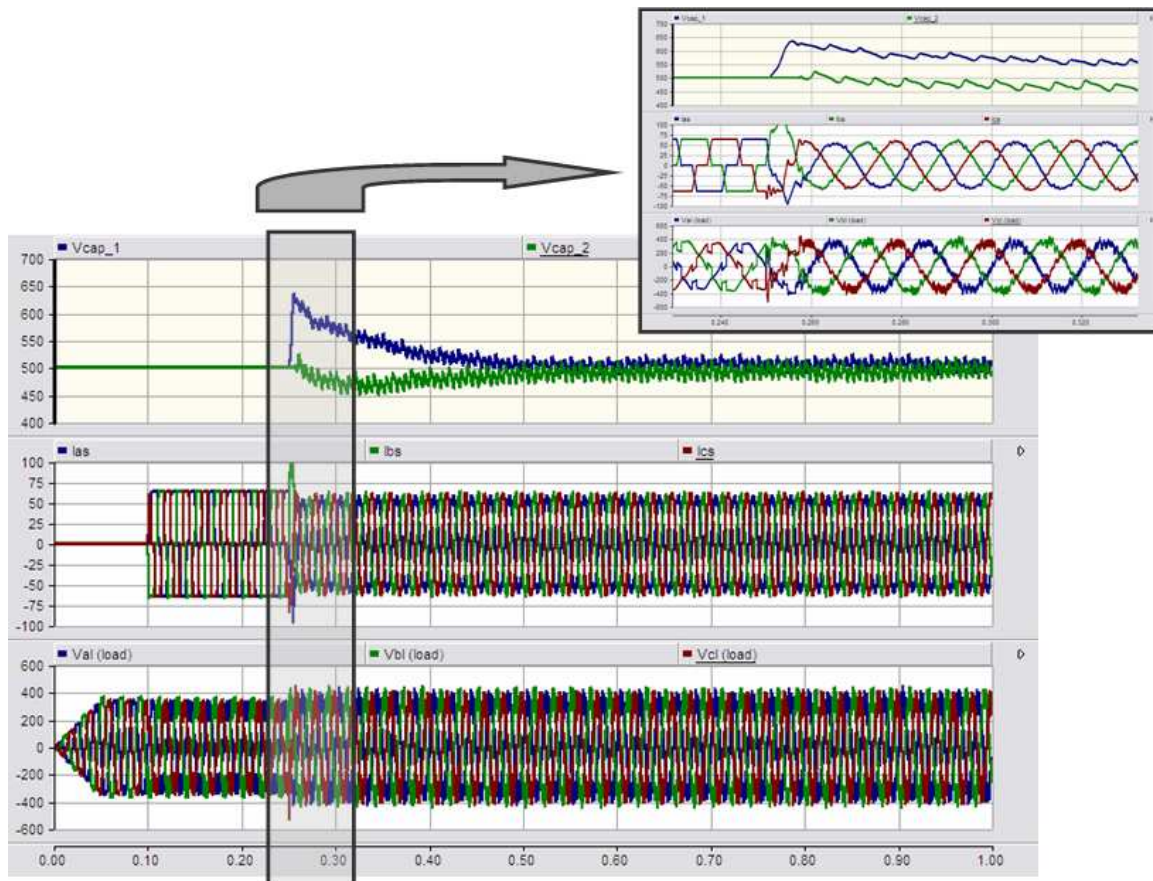


Figura 5-19: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APOD

Na simulação do filtro ativo paralelo aplicando-se técnica PD, observa-se na Figura 5-20 que de forma semelhante ao ocorrido na simulação da técnica APOD, a tensão no elo CC converge para o valor de referência após a entrada em operação do filtro ativo paralelo. As correntes na fonte tornam-se senoidais quando ocorre a síntese das correntes de compensação pelo inversor três níveis, ocorrendo também a redução dos “notches” existentes nas tensões na carga causadas pela não-linearidade da carga.

No final deste capítulo serão apresentados os valores de THD obtidos em cada simulação, para cada topologia e nível de conversor multinível através de uma tabela, que permitirá comparar a compensação harmônica realizada em cada implementação de forma mais clara.

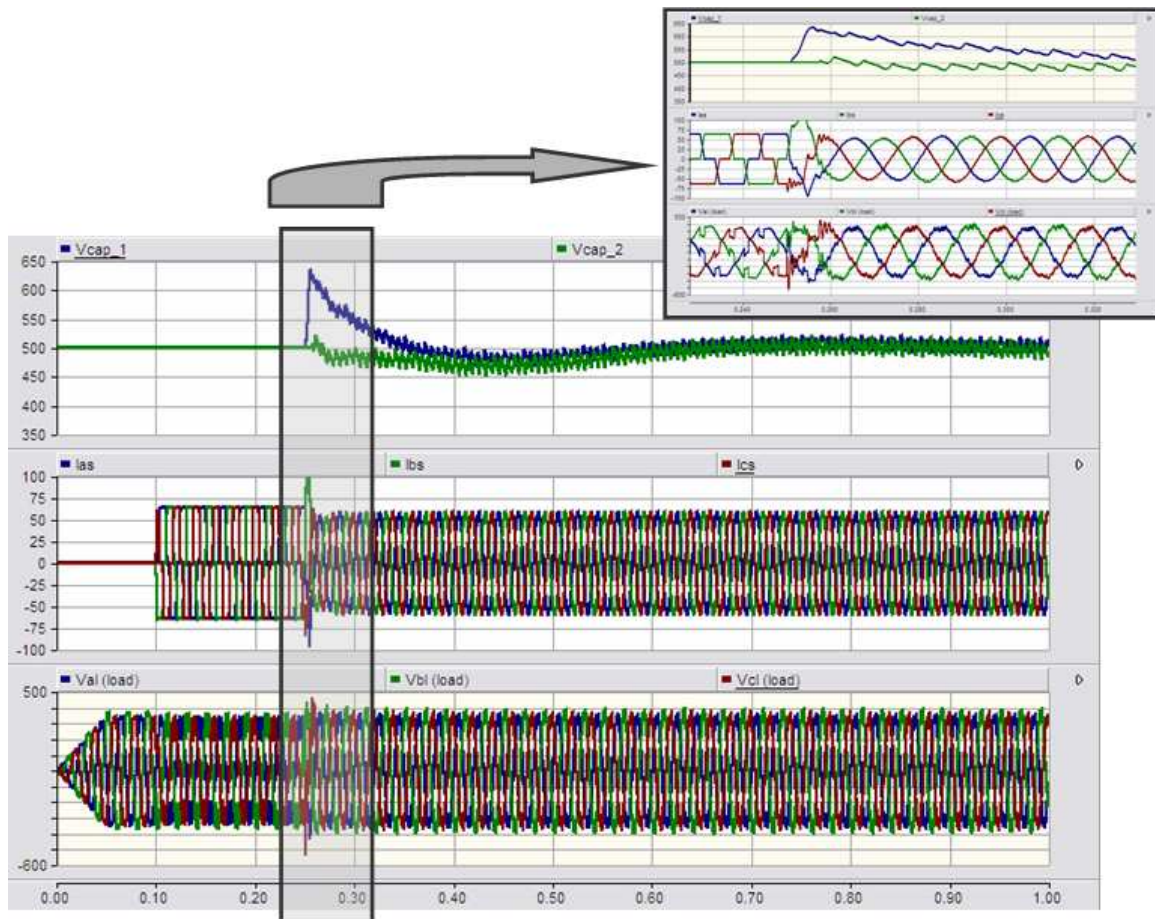


Figura 5-20: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – PD

5.4 SIMULAÇÃO CONVERSORES 5-NÍVEIS NPC

O procedimento de início da simulação obedece a uma seqüência de acionamento de chaves, onde as chaves BRK1, BRK2, BRK4 e BRK5 são responsáveis pelo carregamento dos capacitores do elo CC. A chave BRK3 conecta o filtro ativo paralelo ao sistema elétrico, conforme mostra a Figura 5-21.

Chaves de Inicialização da Simulação

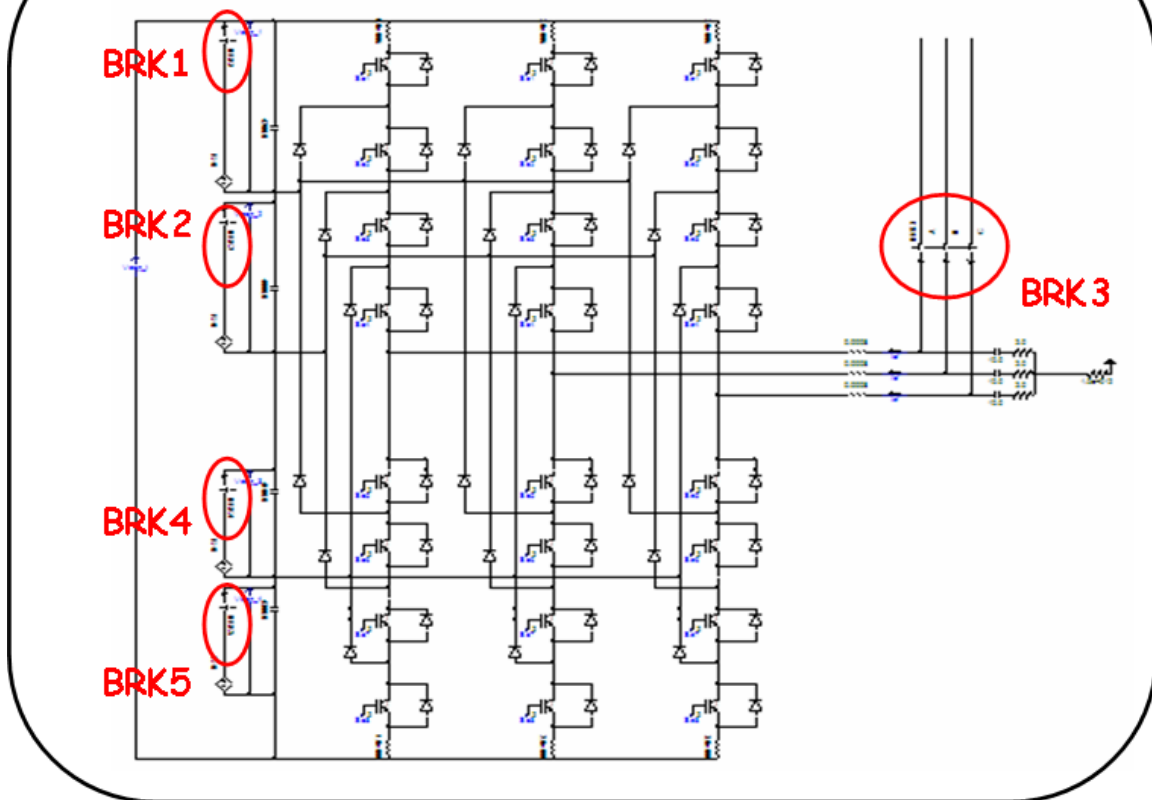


Figura 5-21: Inicialização da Simulação do Conversor 5 Níveis NPC

As chaves BRK1, BRK2, BRK4 e BRK5, estão programadas para operar, ao início da simulação. A mudança de estado de condução para aberto ocorre em 0,05 segundos após o início da simulação.

A chave BRK3 está localizada na saída do inversor paralelo, está programada para permanecerem abertas até 0,25 segundos após o início da simulação. A partir deste instante, estas chaves entram em condução, permanecendo neste estado até o término da simulação.

5.4.1 Controlador SVPWM

Seguindo o mesmo raciocínio do controlador anterior, existem quatro técnicas de defasagem de portadoras triangulares diferentes para realizar a implementação do controlador SVPWM apresentado: APOD, POD, PD e APSD.

Para este número de níveis, as técnicas APOD, POD e APSD para o um conversor cinco níveis NPC não são mais idênticas, devido ao número de níveis do conversor influenciar na defasagem das portadoras triangulares, conforme já mencionado no capítulo anterior.

A Figura 5-22 mostra como é feita a interpolação do chaveamento SVPWM cinco nível. Como as diferenças entre as técnicas de defasagem estão apenas nas portadoras triangulares, a implementação digital da interpolação mostrada é igual para as quatro simulações realizadas para o filtro ativo paralelo cinco níveis. Com isso, somente a configuração de cada portadora será diferente em cada técnica de defasagem implementada.

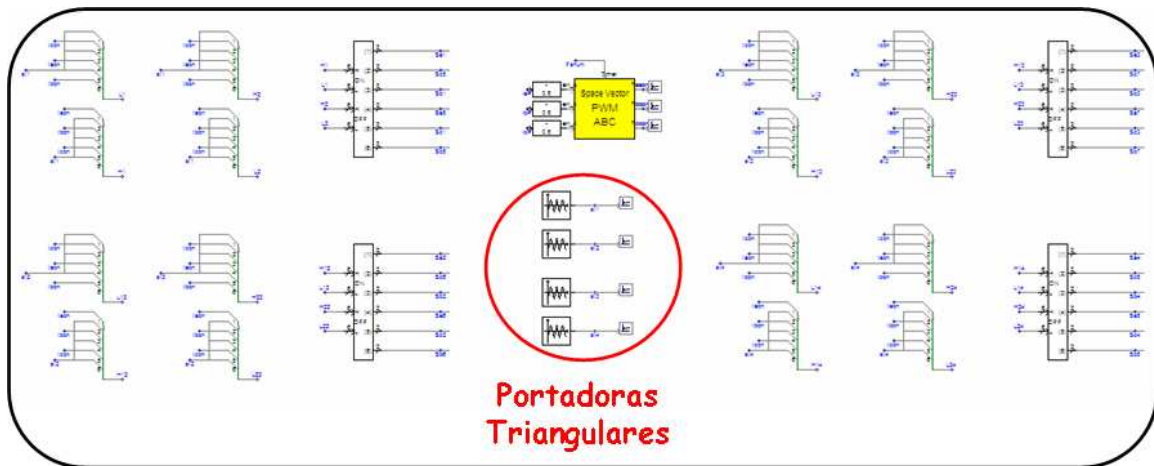


Figura 5-22: Implementação da Interpolação do Chaveamento 5 Níveis SVPWM

Na Figura 5-23 (a), (b), (c) e (d), Figura 5-24 (a), (b), (c) e (d), Figura 5-25 (a), (b), (c) e (d) e Figura 5-26 (a), (b), (c) e (d); são mostradas as caixas de configuração das portadoras triangulares inferiores e superiores para as técnicas: APOD, POD, APSD e PD respectivamente.

A configuração da defasagem das portadoras triangulares da técnica APOD é mostrada na Figura 5-23, onde se observa que as portadoras adjacentes são defasadas de 180° no tempo. A amplitude das portadoras são as mesmas, como o sinal de controle gerado pelo controlador está normalizado, a máxima amplitude de uma portadora é 0,25.

Com isso a portadora superior se localiza entre as amplitudes 1 e 0,75; a portadora central superior se localiza entre as amplitudes 0,75 e 0,5; a portadora central inferior se localiza entre as amplitudes 0,5 e 0,25; e a portadora inferior se localiza entre as amplitudes 0,25 e 0.

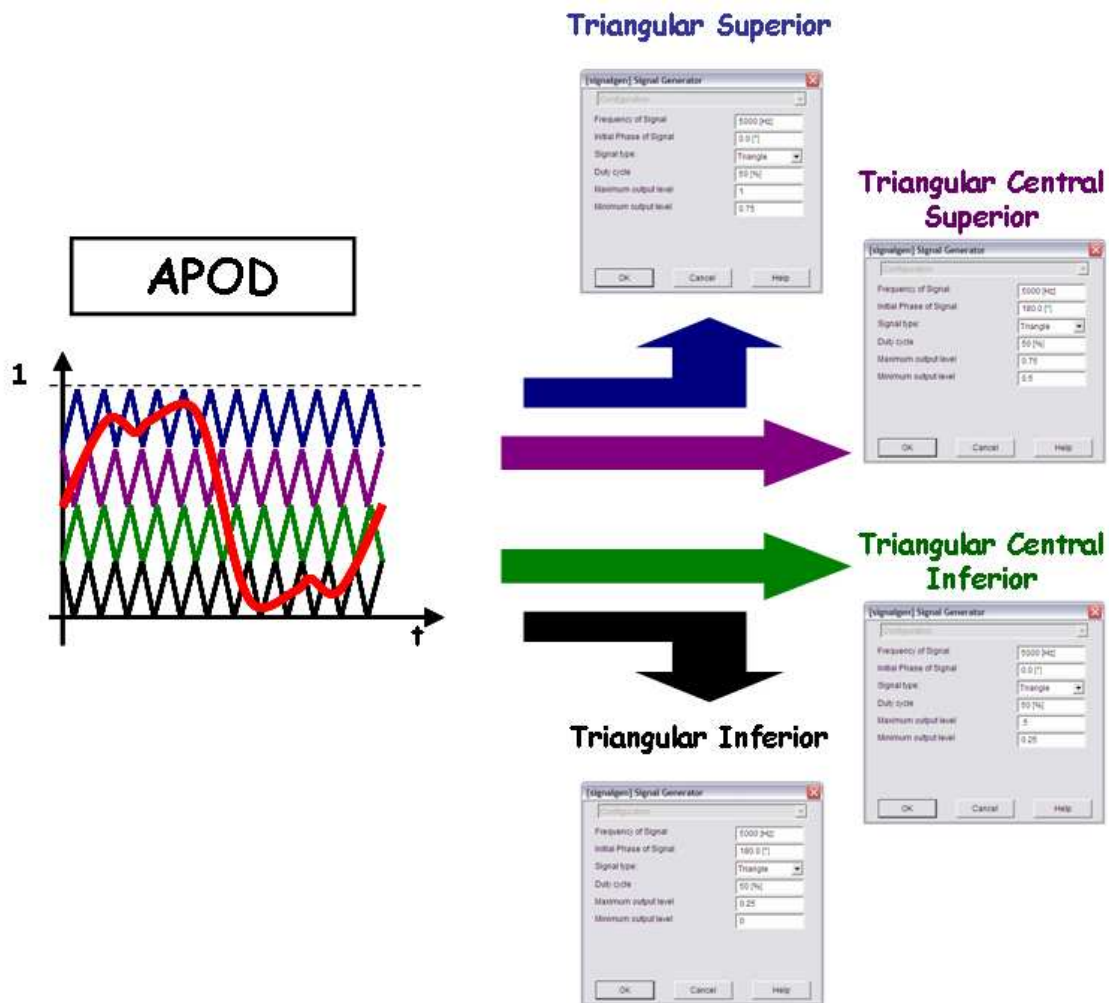


Figura 5-23: Configuração das Defasagens das Portadoras na Técnica APOD

A configuração da defasagem das portadoras triangulares da técnica POD é mostrada na Figura 5-24, onde as portadoras superiores possuem a mesma defasagem, diferentemente do que ocorre com as portadoras inferiores que embora defasadas em relação as portadoras superiores de 180° estão na mesma fase entre si.

Com isso, para um conversor cinco níveis a técnica APOD se difere da POD, conforme descrito no capítulo anterior. As amplitudes das portadoras semelhantemente a técnica APOD são as mesmas, no entanto, a portadora superior e central superior possuem ângulo de fase igual a zero e as portadoras inferior e central inferior possuem ângulo fase 180° .

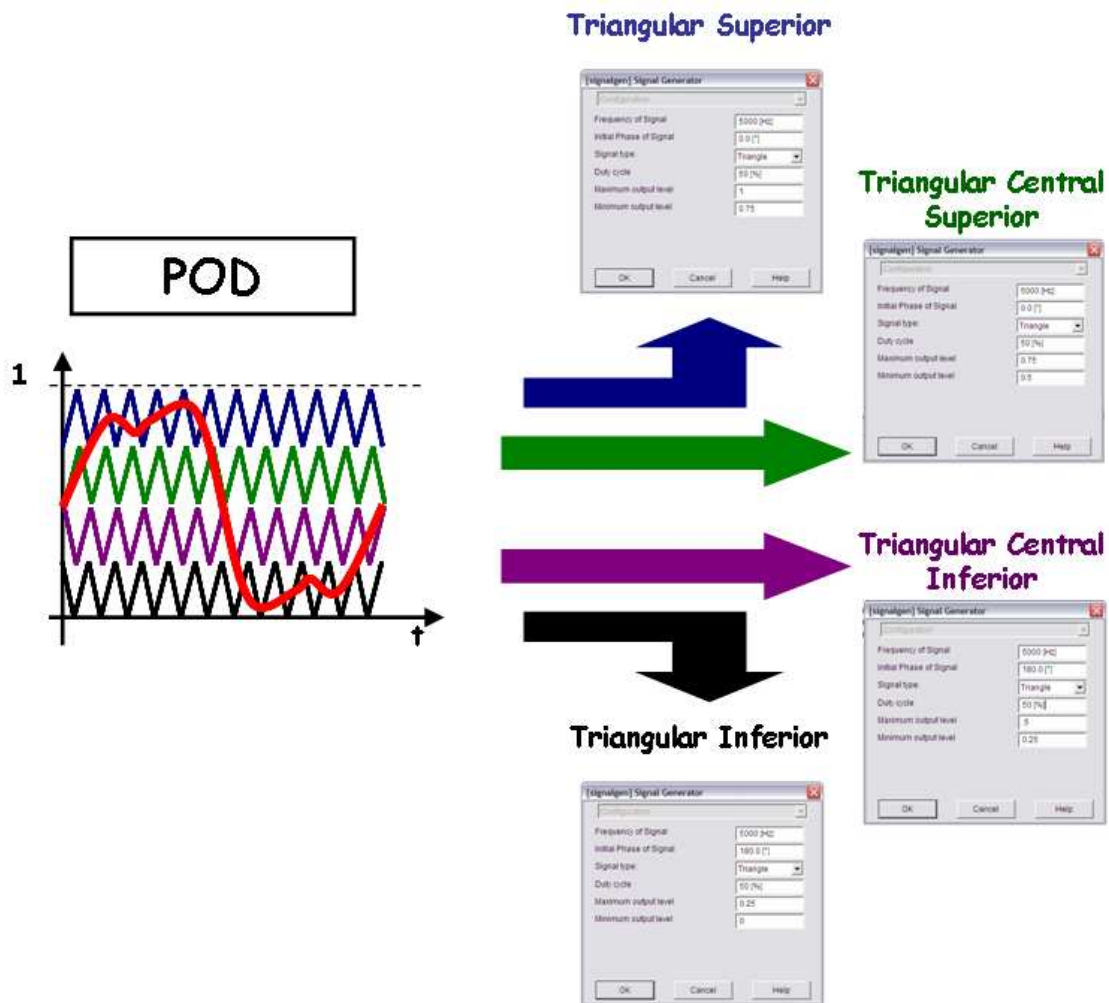


Figura 5-24: Configuração das Defasagens das Portadoras na Técnica POD

A configuração da defasagem das portadoras triangulares da técnica APSD é mostrada na Figura 5-25, onde todas as portadoras possuem ângulos de fase diferentes baseados no apresentado no capítulo anterior. Com isso, para um conversor cinco níveis a técnica APSD se difere da APOD e POD, conforme descrito no capítulo anterior.

As amplitudes das portadoras semelhantemente as outras técnicas descritas são as mesmas. No entanto, todas as portadoras possuem ângulo de fase diferente e defasagens iguais a 90^0 entre si.

Com isso a portadora superior que se localiza entre as amplitudes 1 e 0,75 possui ângulo de fase igual a zero; a portadora central superior que se localiza entre as amplitudes 0,75 e 0,5 possui ângulo de fase igual a 90^0 ; a portadora central inferior que se localiza entre as amplitudes 0,5 e 0,25 possui ângulo de fase igual a 180^0 ; e a portadora inferior que se localiza entre as amplitudes 0,25 e 0 possui ângulo de fase igual a 270^0 .

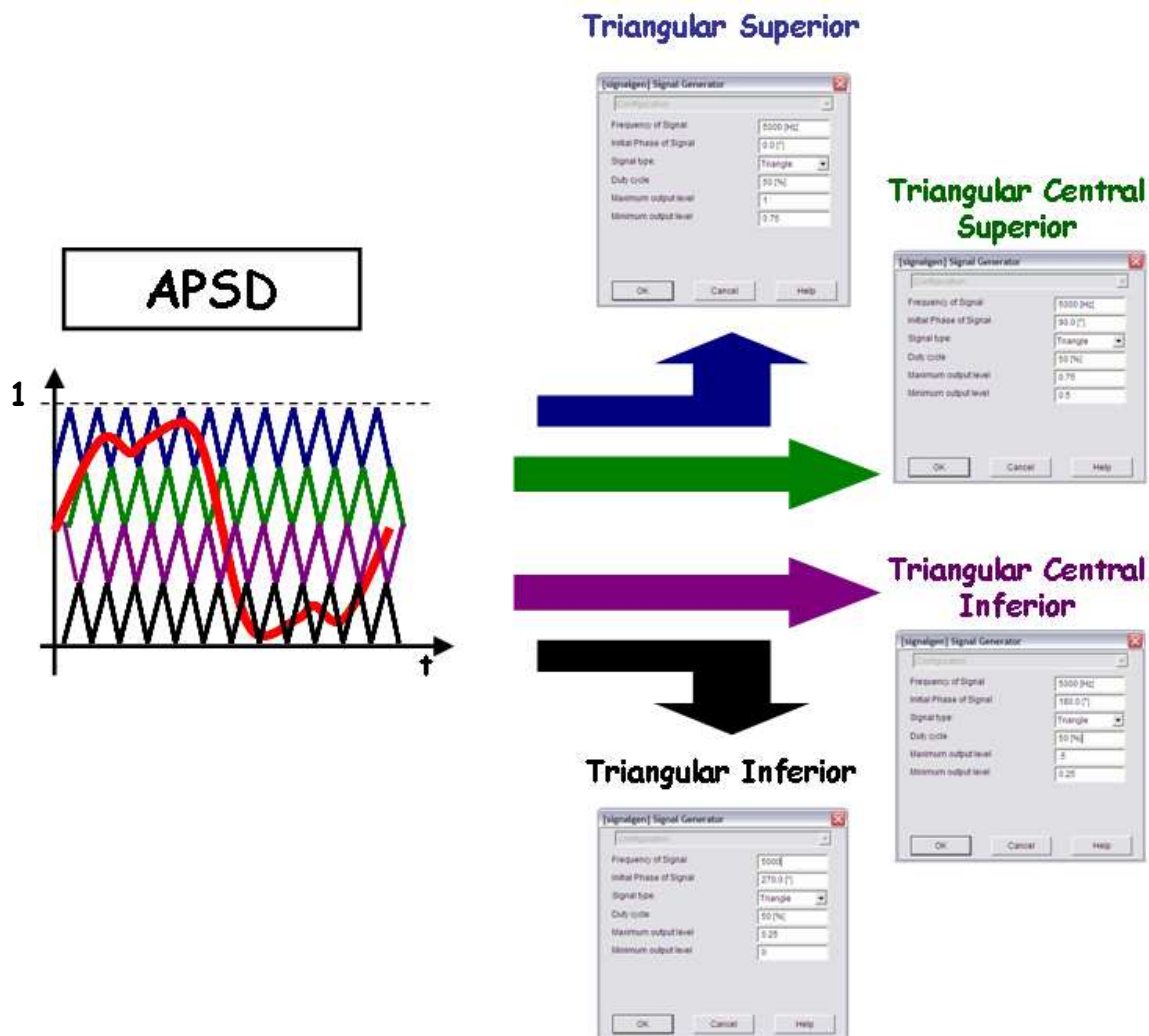


Figura 5-25: Configuração das Defasagens das Portadoras na Técnica APSD

A configuração da defasagem das portadoras triangulares da técnica PD é mostrada na Figura 5-26, onde todas as portadoras possuem o mesmo ângulo de fase. Com isso, para um conversor cinco níveis a técnica PD se difere da APOD, POD e APSD conforme descrito no capítulo anterior.

As amplitudes das portadoras semelhantemente as outras técnicas descritas são as mesmas. No entanto, todas as portadoras possuem ângulo de fase igual a zero.

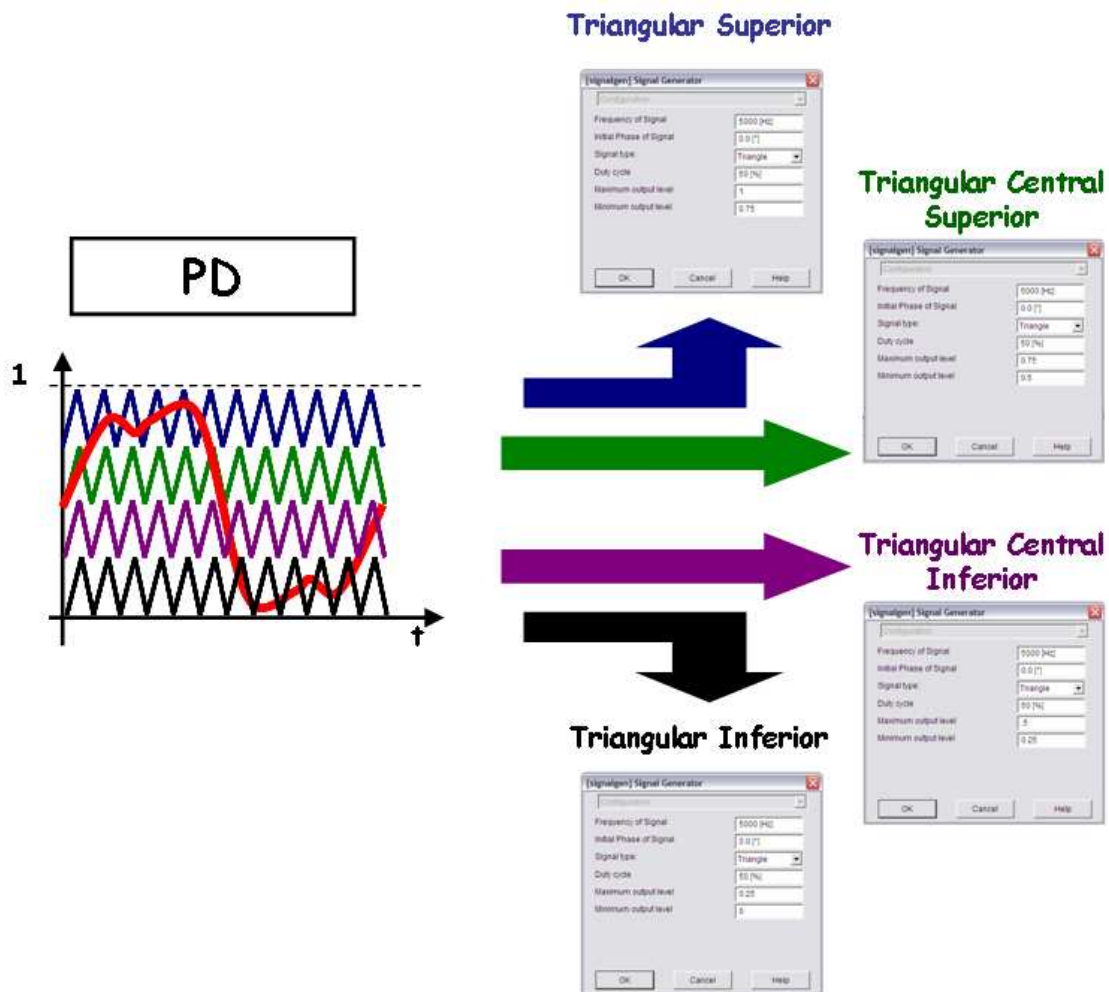


Figura 5-26: Configuração das Defasagens das Portadoras na Técnica PD

Na Figura 5-27, Figura 5-28, Figura 5-29 e Figura 5-30; são mostrados os gráficos da tensão no elo CC, as correntes na fonte durante todo o período simulado antes e depois da entrada em operação do filtro ativo paralelo e as tensões na carga não-linear para as técnicas: APOD, POD, APSD e PD respectivamente dos filtros ativo paralelo cinco níveis.

Observa-se nas figuras a seguir que a tensão no elo CC foi controlada, permitindo ao controlador SVPWM sintetizar as correntes de compensação, tornando as correntes na fonte senoidais e reduzindo os *notches* existentes nas tensões na carga causadas pela não-linearidade da carga.

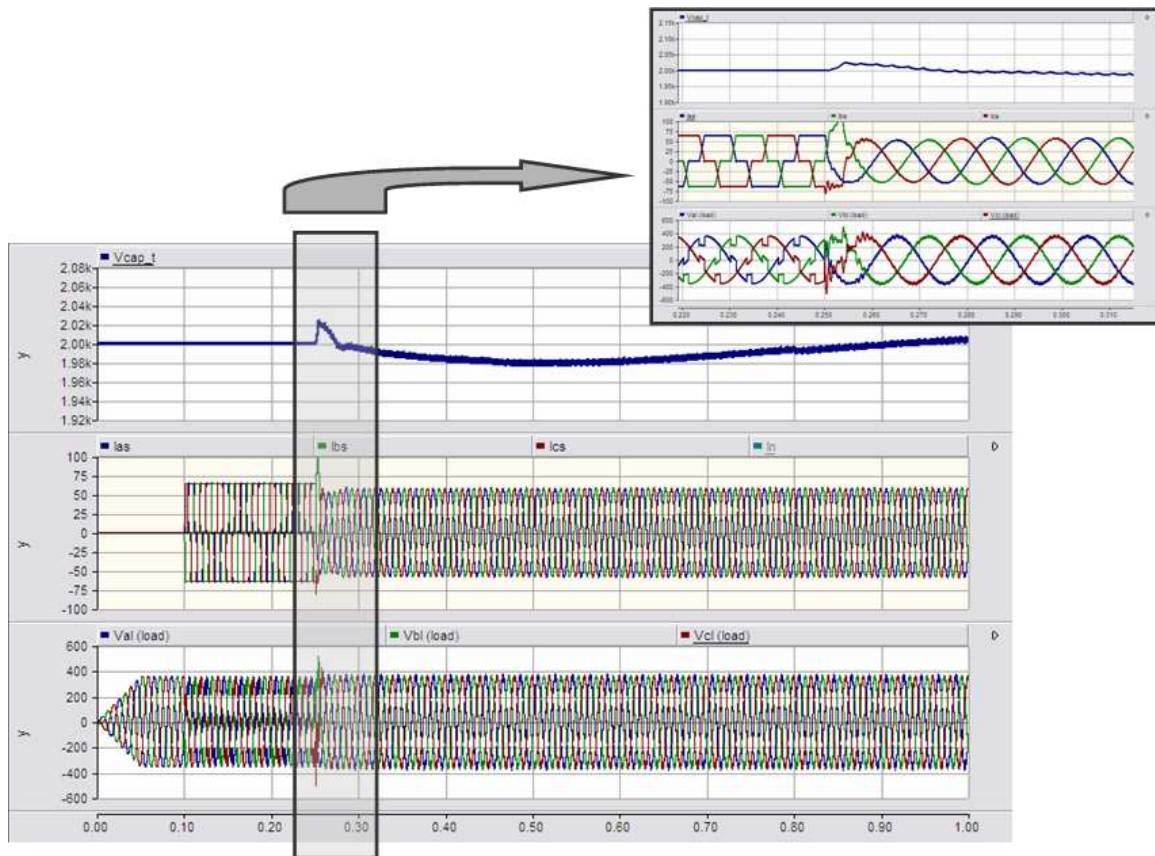


Figura 5-27: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APOD

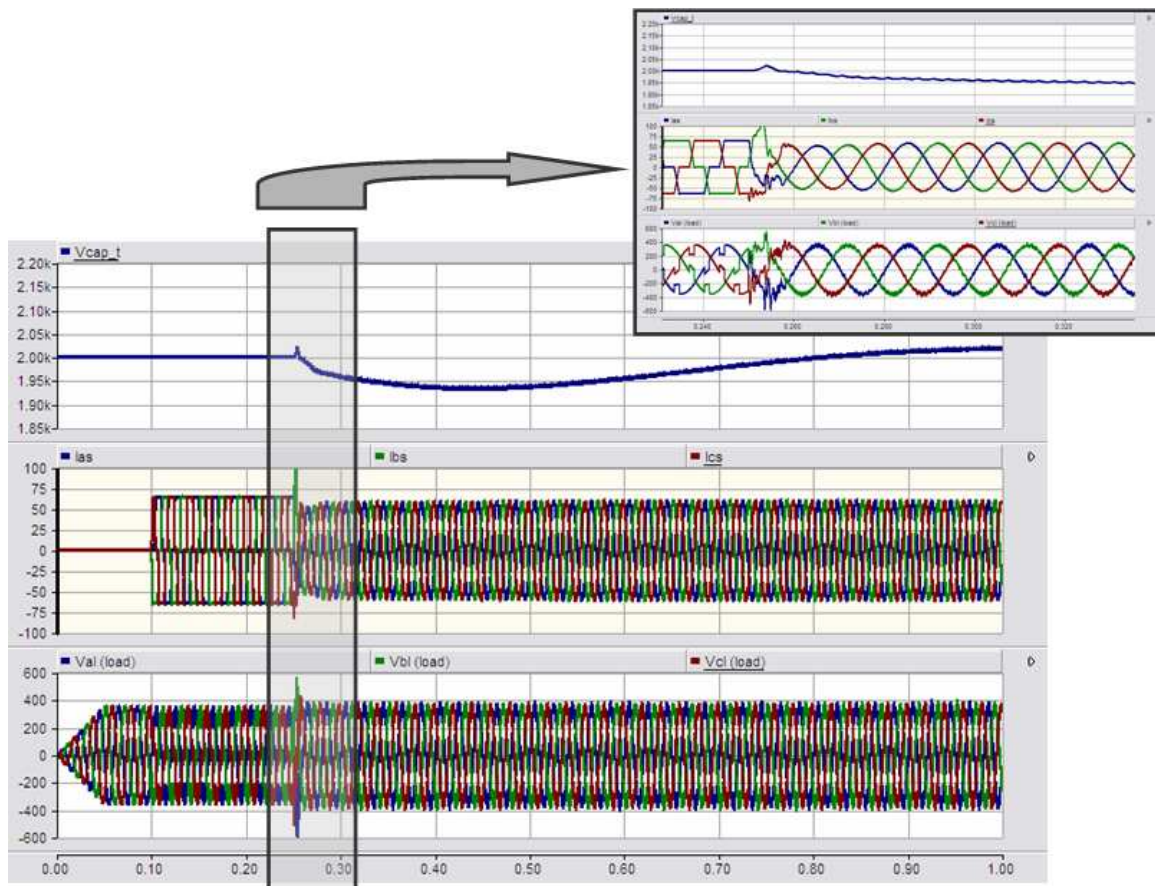


Figura 5-28: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – POD

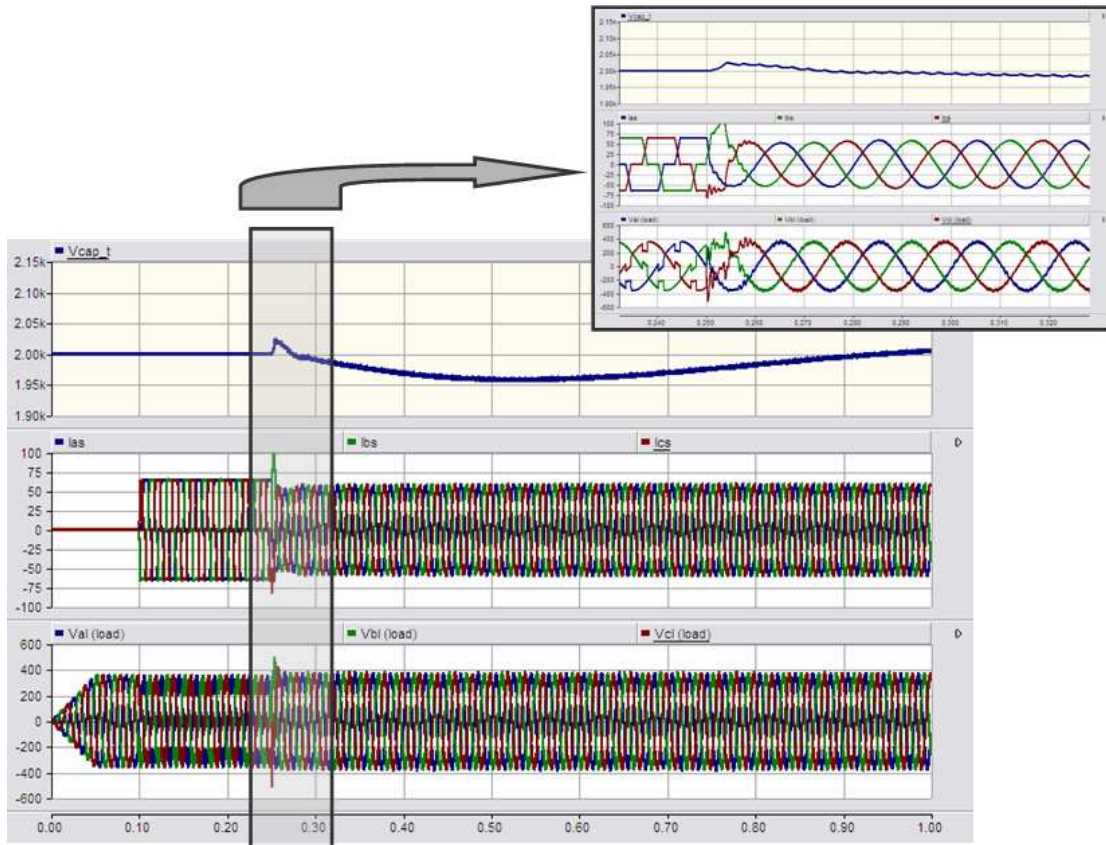


Figura 5-29: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – APSD

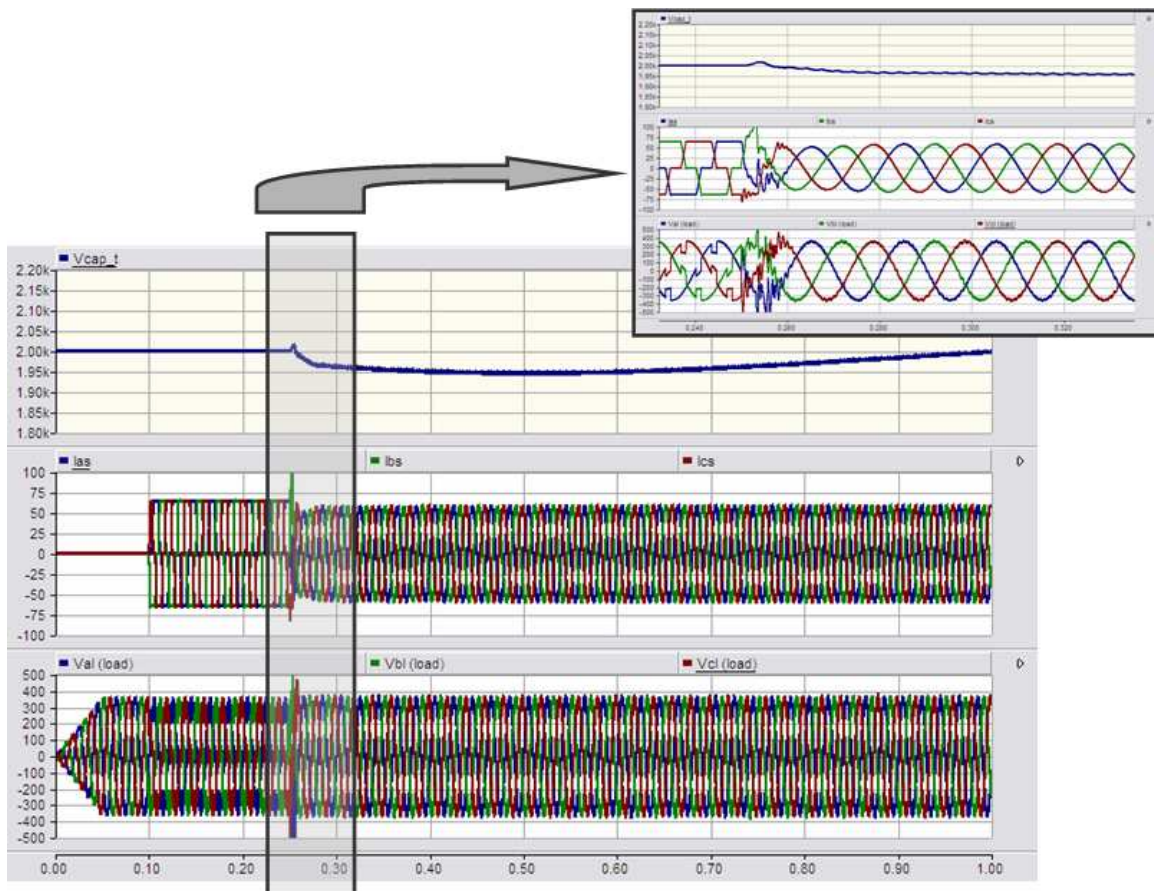


Figura 5-30: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – SVPWM – PD

5.5 SIMULAÇÃO CONVERSORES 3-NÍVEIS CAPACITOR FLUTUANTE

Para esta topologia de conversor multinível, o controlador desenvolvido conforme descrito no capítulo anterior depende de três variáveis para determinar quanto tempo cada chave semicondutora estará ativa. A primeira variável está associada a tensão do sistema elétrico, a segunda variável está relacionada ao nível de tensão do elo CC, e a terceira variável é fornecida pelo controlador SVPWM.

O procedimento de início da simulação obedece a uma seqüência de acionamento de chaves, onde as chaves BRK1, BRK2, BRK7, BRK8 e BRK9 são responsáveis pelo carregamento dos capacitores do elo CC e dos capacitores flutuantes respectivamente. A chave BRK3 conecta o filtro ativo paralelo ao sistema elétrico, conforme mostra a Figura 5-31.

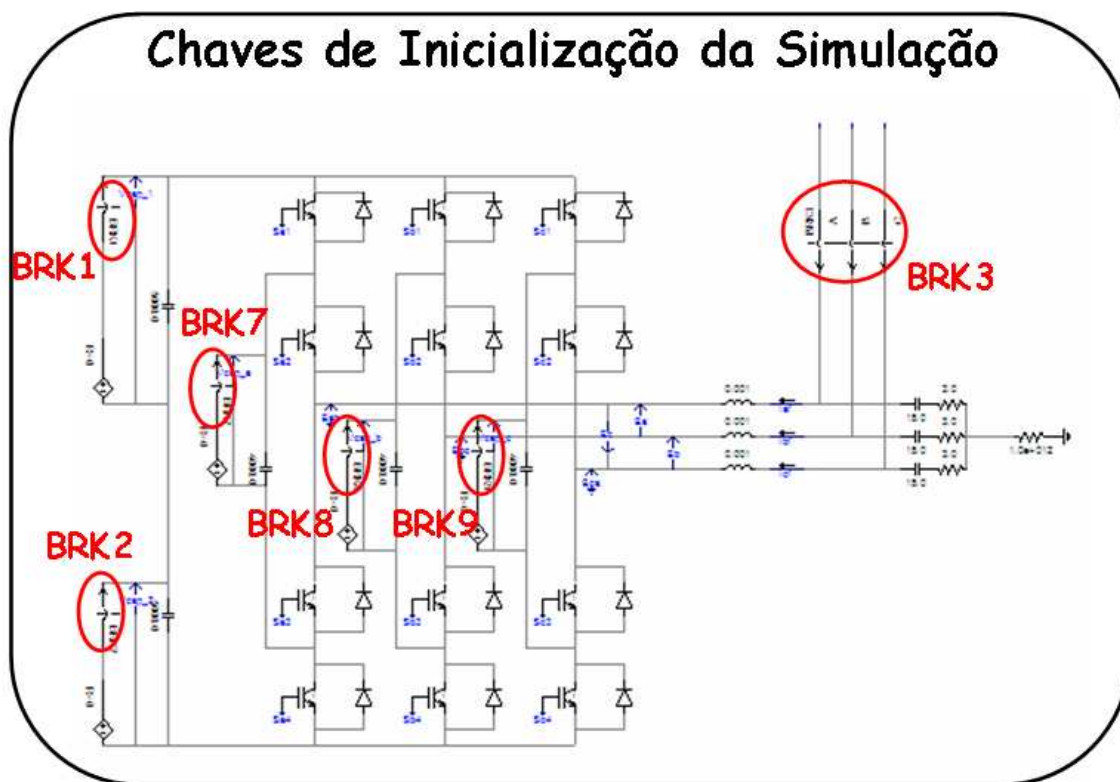


Figura 5-31: Inicialização da Simulação do Conversor 3 Níveis Capacitor Flutuante

A Figura 5-32 mostra o diagrama de blocos do algoritmo que determina o padrão de chaveamento do filtro ativo paralelo na topologia capacitor flutuante. A variável de controle do chaveamento "A" é obtida através da comparação das tensões de seqüência positiva geradas pela estratégia de controle e a referência zero. A variável de controle do chaveamento "B" é obtida pela comparação das tensões nos capacitores do elo CC e uma referência de 500 V. A variável de controle do chaveamento "C" é obtida

através do controlador SVPWM, onde os sinais T_{aon} , T_{bon} e T_{con} são comparados com uma portadora triangular com frequência de 5kHz.

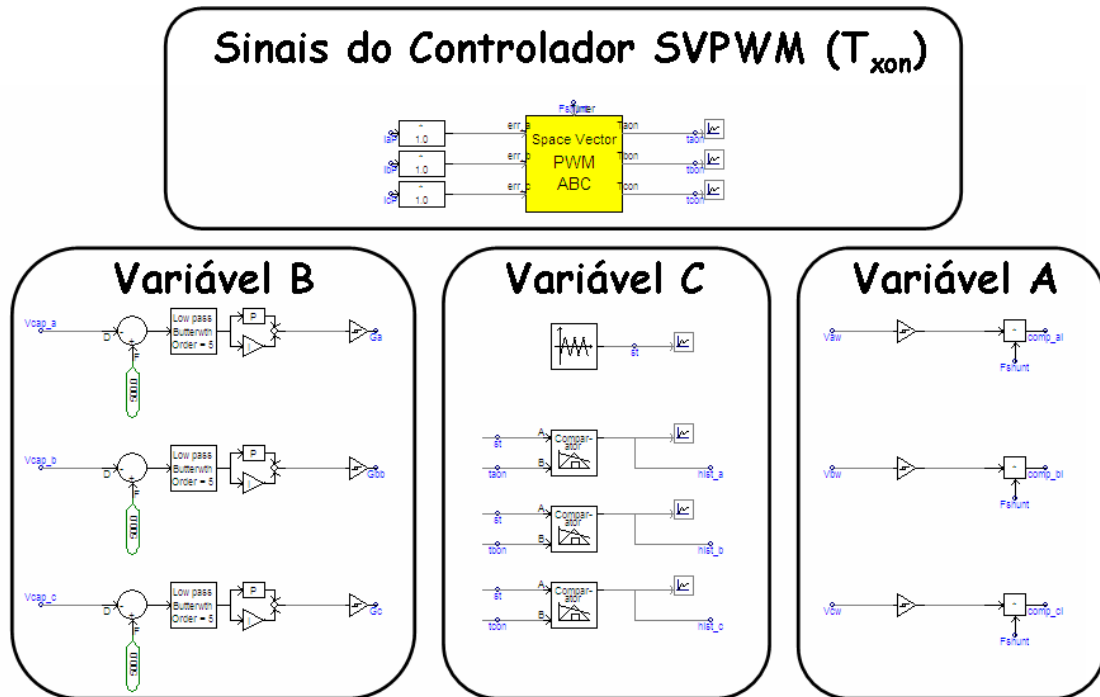


Figura 5-32: Sinais de Controle do Chaveamento Karnaugh SVPWM

A Figura 5-33 mostra como é feita na fase “a” a determinação dos comandos de disparos das chaves semicondutoras através das condições obtidas no mapa de Karnaugh mostrado no capítulo anterior.

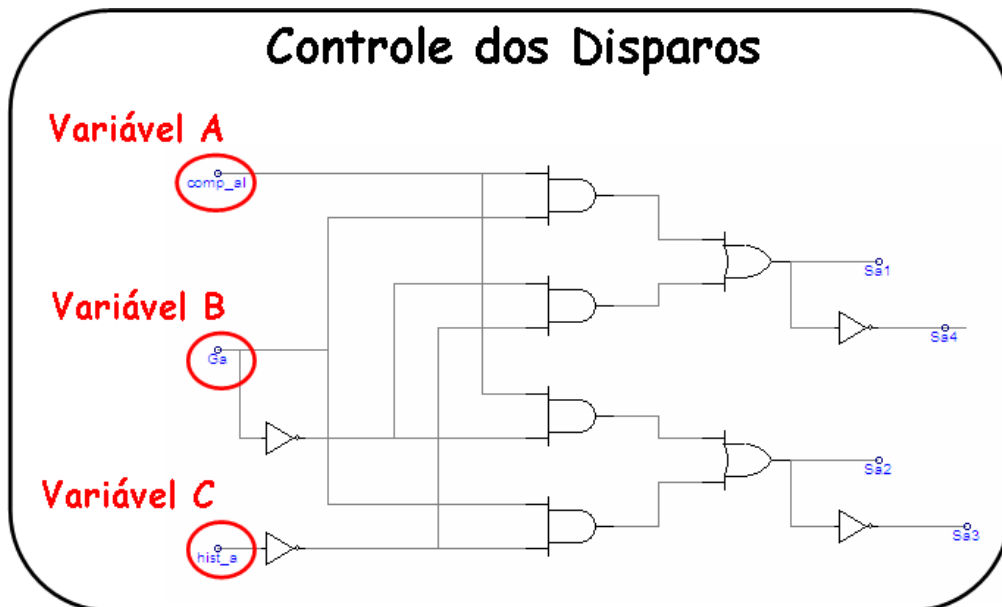


Figura 5-33: Implementação do Controle dos Disparos do Controlador

Na Figura 5-34, são mostrados os gráficos da tensão no elo CC, as correntes na fonte durante todo o período simulado antes e depois da entrada em operação do filtro ativo paralelo e as tensões na carga não-linear.

Observa-se na figura a seguir que a tensão no elo CC foi controlada, permitindo ao controlador SVPWM sintetizar as correntes de compensação, tornando as correntes na fonte senoidais e reduzindo os “notches” existentes nas tensões na carga causadas pela não-linearidade da carga.

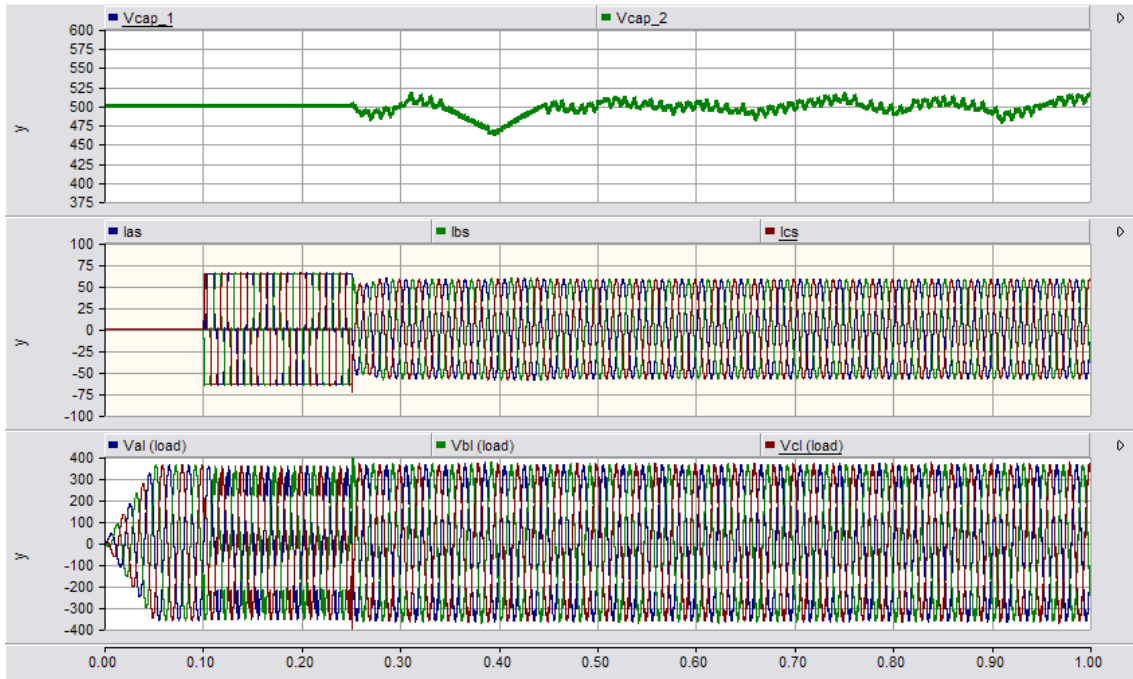


Figura 5-34: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Karnaugh SVPWM

Na Figura 5-35 a corrente de compensação gerada no comando de disparo das chaves semicondutoras é mostrada. Observa-se que com a entrada em operação do Filtro Ativo Paralelo, a corrente na fonte torna-se senoidal quando esta corrente antes possuía mesma forma da corrente da carga.

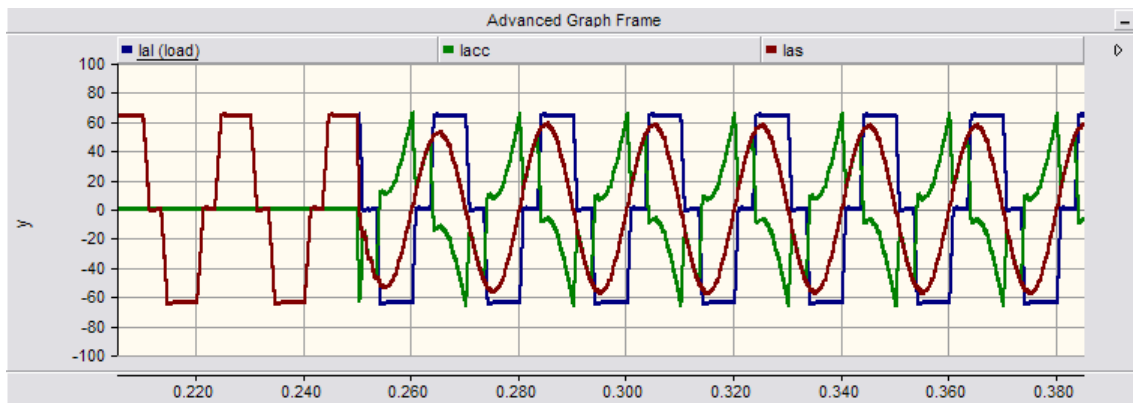


Figura 5-35: Correntes na Carga, Fonte e Filro na fase “a” – Karnaugh SVPWM

Nesta topologia existem capacitores de grampeamento de $4000 \mu\text{F}$, onde na Figura 5-36 são mostradas as tensões nestes capacitores. Observa-se que as tensões nos capacitores grampeados estão controladas, apresentando uma variação de $\pm 5\%$.

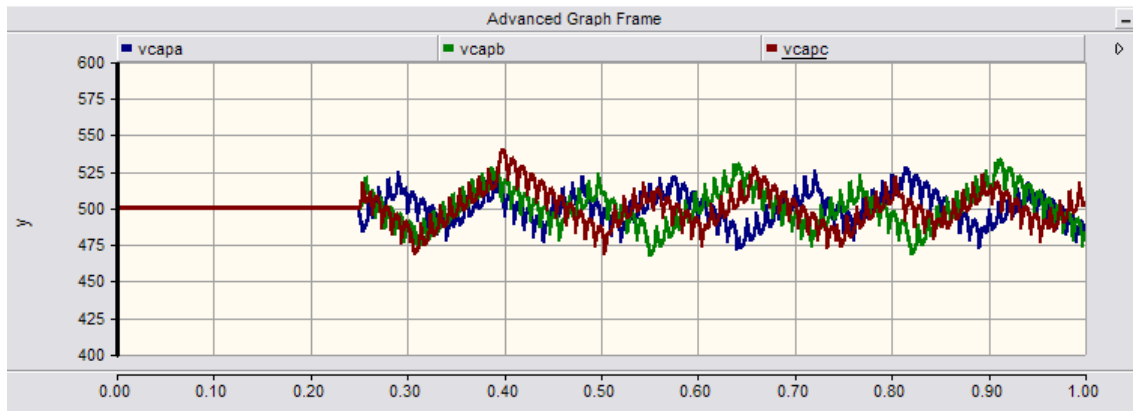


Figura 5-36: Tensões nos Capacitores de Grampeamento

5.6 SIMULAÇÃO CONVERSORES 7-NÍVEIS MÓDULOS EM CASCATA

Para esta topologia de conversor multinível, o controlador desenvolvido conforme descrito no capítulo anterior possui como característica principal, o fato da estratégia de chaveamento SVPWM ser comparada com portadoras triangulares defasadas somente no eixo do tempo. Com isso, os hexágonos que caracterizam os vetores de chaveamento “*space vector*” são rotacionados de acordo com a defasagem angular entre as portadoras triangulares.

O procedimento de início da simulação obedece a uma seqüência de acionamento de chaves, onde a chave BRK1 é responsável pelo carregamento dos capacitores do elo CC, conforme a Figura 5-37. A chave BRK3 conecta o filtro ativo paralelo ao sistema elétrico.

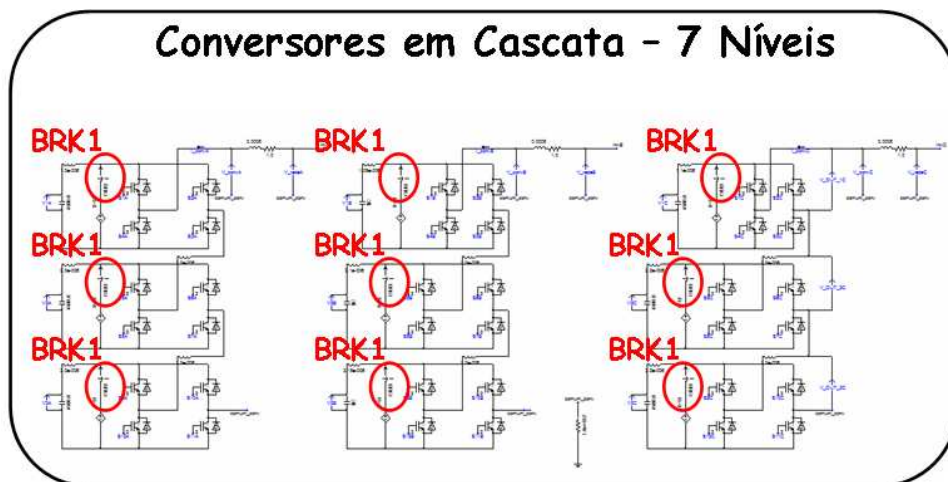


Figura 5-37: Implementação dos Conversores 7 Níveis em Cascata

A chave BRK3 está localizada na saída do inversor paralelo, está programada para permanecerem abertas até 0,25 segundos após o início da simulação. A partir deste instante, estas chaves entram em condução, permanecendo neste estado até o término da simulação.

Como esta topologia tem a característica modular em seus conversores multiníveis, o controle das tensões do elo CC é realizado por fase, controlando-se o sinal de referência gerado pelo circuito de controle em cada fase, como mostra a Figura 5-38.

A tensão dos capacitores de apenas um conversor modular em cascata por fase é comparada com um valor de tensão de referência, em seguida um controlador PI fornece o sinal de controle que associado as tensões de seqüência positiva V_{aw} , V_{bw} e V_{cw} por fase geram os sinais de corrente de controle.

Estes sinais de corrente somados aos sinais de correntes formados pela associação das tensões de seqüência positiva e o sinal de controle G_b oriundo do algoritmo das correntes de compensação descrito no capítulo 3, formam as correntes de referência que serão comparadas com as correntes medidas na saída do filtro ativo paralelo.

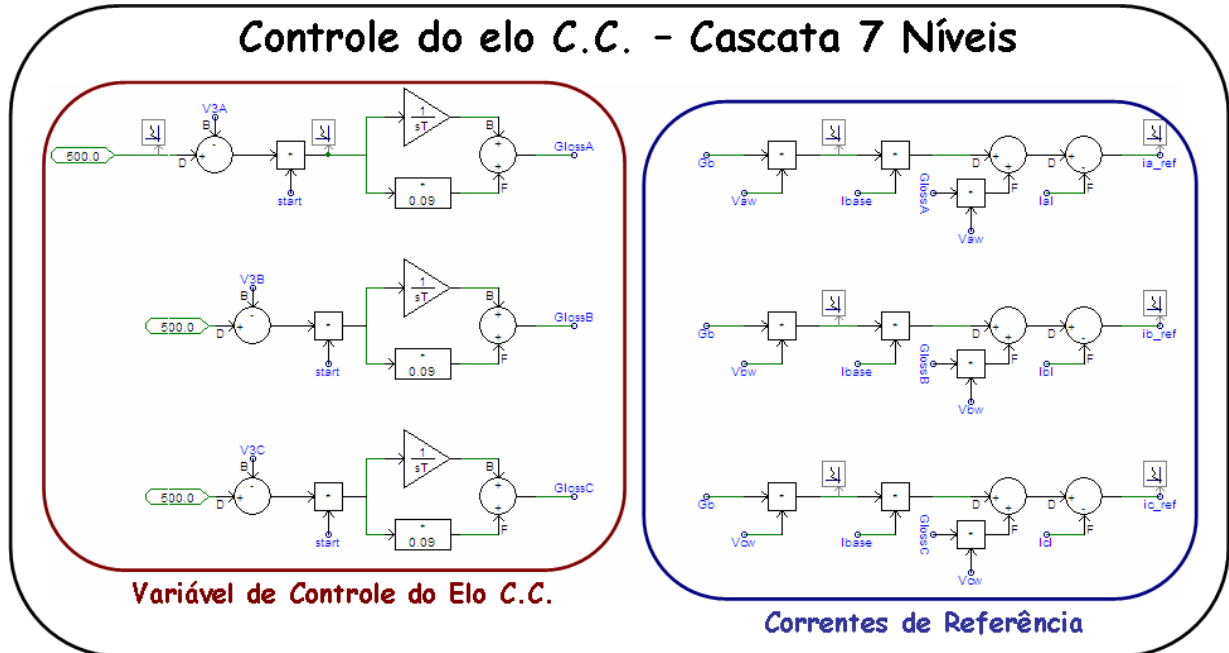


Figura 5-38: Controle dos Sinais de Referência e Elo C.C.

Conforme mencionado anteriormente, as portadoras triangulares para este controlador estão defasadas apenas no eixo do tempo, onde espacialmente como existe somente uma referência por fase, há apenas um hexágono representado. Em cada

instante de tempo são realizadas comparações com as portadoras defasadas, o efeito de defasagem destas portadoras triangulares é semelhante proporcionado quando espacialmente existe a rotação dos vetores de chaveamento característico na técnica *space vector*.

Na Figura 5-39, é mostrado como é realizada a implementação do controlador SVPWM para topologia do filtro ativo paralelo sete níveis em cascata simétrico no primeiro dos módulos em cada fase.

Observa-se que as portadoras triangulares C_1 e C_2 são defasadas de 180° entre si, e em cada módulo existem dois pares de chaves semicondutoras complementares (S1, S4) e (S2 e S3, S1 e S4). A Figura 5-39 mostra somente os blocos de interpolação utilizados para disparar as chaves do primeiro módulo de cada fase do filtro ativo, os outros módulos implementados seguem o mesmo princípio, utilizando nos segundos e terceiros módulos por fase os pares de portadoras (C_3, C_4) e (C_5, C_6) respectivamente, defasadas de 60° cada par de portadoras seguindo o definido na equação (4.90).

Chaveamento SVPWM - Cascata 7 Níveis

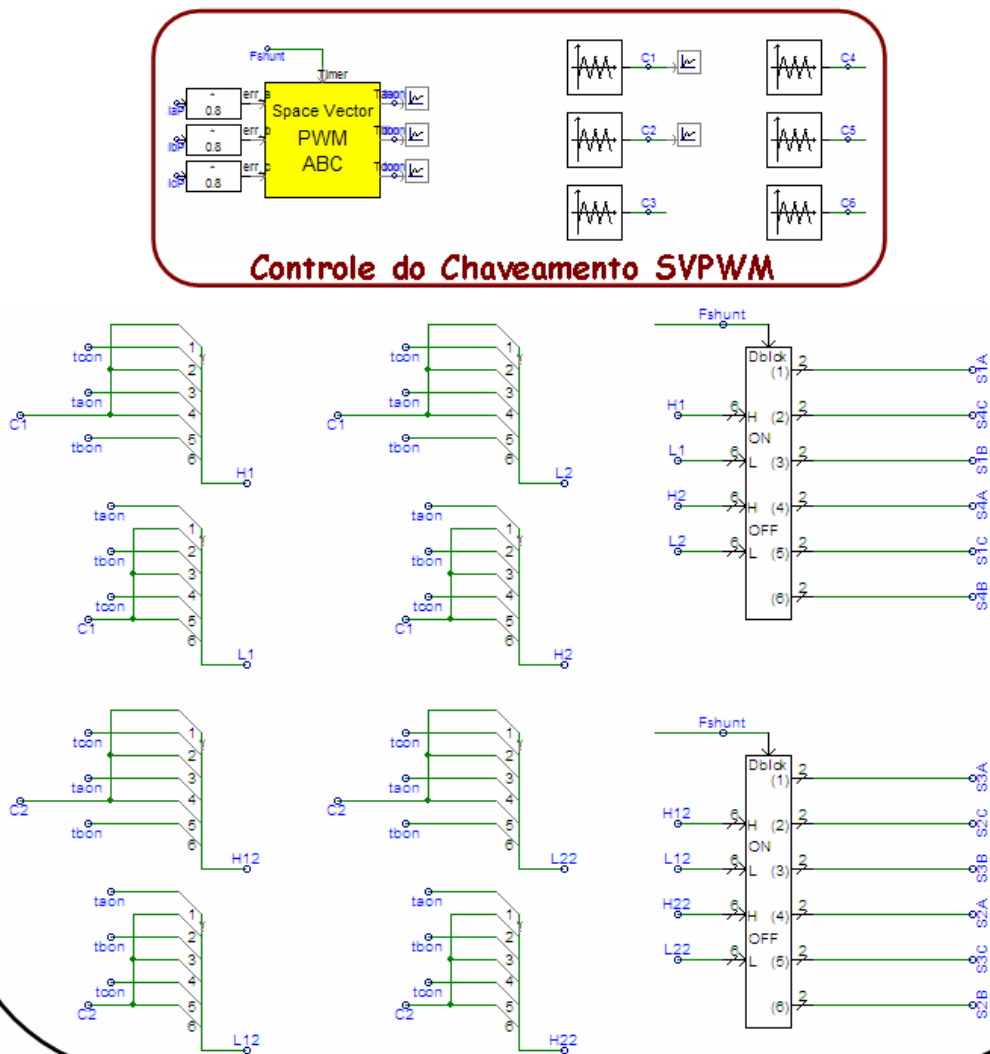


Figura 5-39: Implementação da Interpolação do Chaveamento 7 Níveis em Cascata

Na Figura 5-40; são mostrados os gráficos da tensão no elo CC, as correntes na fonte durante todo o período simulado antes e depois da entrada em operação do filtro ativo paralelo e as tensões na carga não-linear do filtro ativo paralelo na topologia sete níveis em cascata.

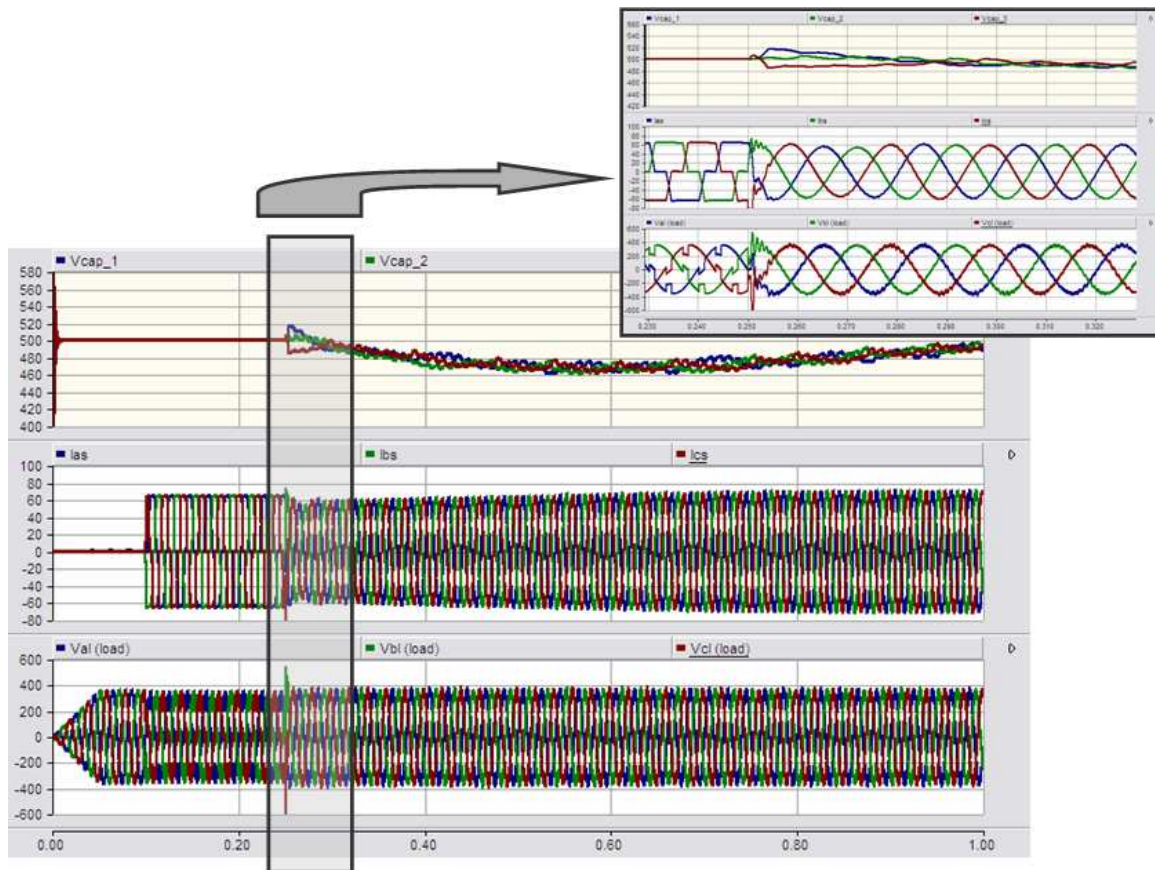


Figura 5-40: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Controlador 7 Níveis em Cascata SVPWM

Na Figura 5-41, são mostradas as correntes na fonte, as correntes na carga e as correntes de referência da fase *a* gerada pelo comando de chaveamento SVPWM nos conversores em cascata do filtro ativo paralelo.

Observa-se que as correntes na carga e na fonte antes da entrada em operação do filtro eram as mesmas. Com a entrada em operação do filtro ativo as correntes na fonte tornaram-se senoidais, com a síntese das correntes de compensação geradas pelos conversores em cascata do filtro ativo paralelo.

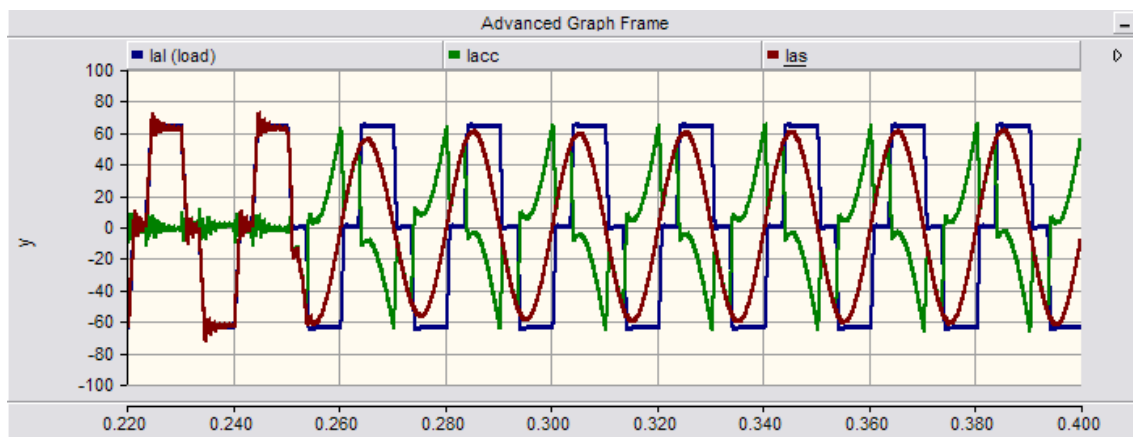


Figura 5-41: Correntes na Carga, Fonte e Filtro na fase “a” – Cascata 7 Níveis

5.7 SIMULAÇÃO CONVERSORES 9-NÍVEIS MÓDULOS EM CASCATA

De acordo com o apresentado no controlador anterior, para esta topologia de conversor multinível, o controlador desenvolvido conforme descrito no capítulo anterior possui como característica principal, o fato da estratégia de chaveamento SVPWM ser comparada com portadoras triangulares defasadas somente no eixo do tempo.

O procedimento de início da simulação obedece a uma seqüência de acionamento de chaves, onde a chave BRK1 é responsável pelo carregamento dos capacitores do elo CC, conforme a Figura 5-42. A chave BRK3 conecta o filtro ativo paralelo ao sistema elétrico.

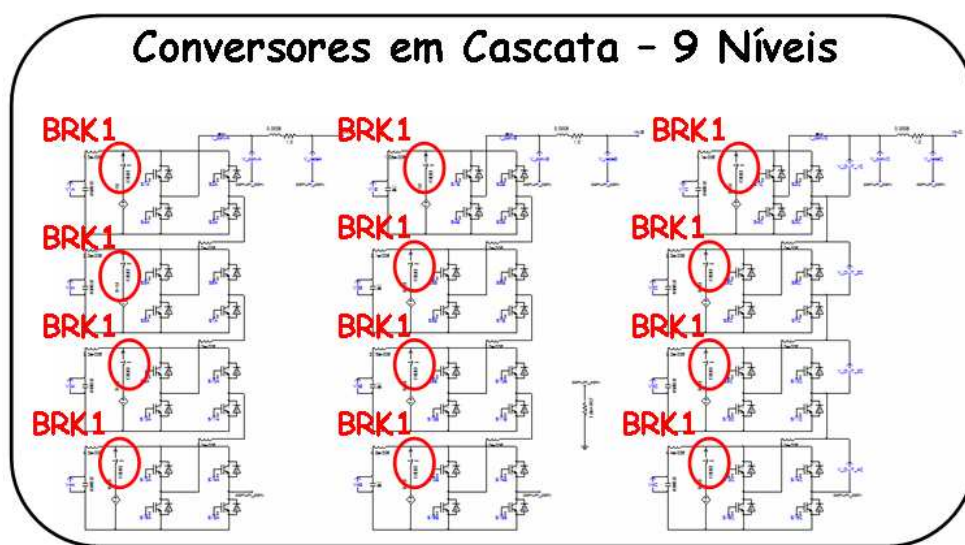


Figura 5-42: Implementação do Conversor 9 Níveis em Cascata

A chave BRK3 está localizada na saída do inversor paralelo, está programada para permanecerem abertas até 0,25 segundos após o início da simulação. A partir deste instante, estas chaves entram em condução, permanecendo neste estado até o término da simulação.

Como esta topologia tem a característica modular em seus conversores, de forma semelhante ao controlador anterior, o controle das tensões do elo CC é realizado por fase, controlando-se o sinal de referência gerado pelo circuito de controle em cada fase, como mostra a Figura 5-43.

O controle da tensão do elo CC é idêntico ao controle implementado para o conversor sete níveis em cascata simétrico. A tensão dos capacitores de apenas um conversor modular em cascata por fase é comparada com um valor de tensão de referência, em seguida um controlador PI fornece o sinal de controle que associado às

tensões de seqüência positiva V_{aw} , V_{bw} e V_{cw} por fase geram os sinais de corrente de controle.

Estes sinais de corrente somados aos sinais de correntes formados pela associação das tensões de seqüência positiva e o sinal de controle G_b oriundo do algoritmo das correntes de compensação descrito no capítulo 3, formam as correntes de referência que serão comparadas com as correntes medidas na saída do filtro ativo paralelo.

A diferença da implementação do conversor nove níveis em relação ao conversor anterior está no número de módulos por fase, no número e fase das portadoras triangulares utilizadas. Nesta simulação cada par de portadoras triangulares está defasado entre si de 45^0 , diferente da defasagem de 60^0 aplicadas as portadoras do conversor 7 níveis em cascata simétrico anterior.

A Figura 5-43 mostra as portadoras triangulares utilizadas na comparação com os sinais T_a , T_b e T_c , a interpolação realizada nesta simulação segue o mesmo raciocínio demonstrado na Figura 5-39 para disparar as chaves do primeiro módulo de cada fase do filtro ativo, os outros módulos implementados seguem este mesmo princípio, utilizando nos segundos, terceiros e quartos módulos por fase os pares de portadoras (C_3, C_4) , (C_5, C_6) e (C_7, C_8) respectivamente, defasadas de 45^0 cada par de portadoras seguindo o definido na equação (4.90).

Para cada conversor dois níveis por fase, o controle do chaveamento é realizado por duas portadoras triangulares defasadas entre si de 180^0 , ou seja, duas portadoras controlam o chaveamento de três conversores dois níveis. Com um conversor modular por fase, totalizando oito portadoras triangulares que comandam o chaveamento SVPWM para o filtro ativo paralelo nove níveis.

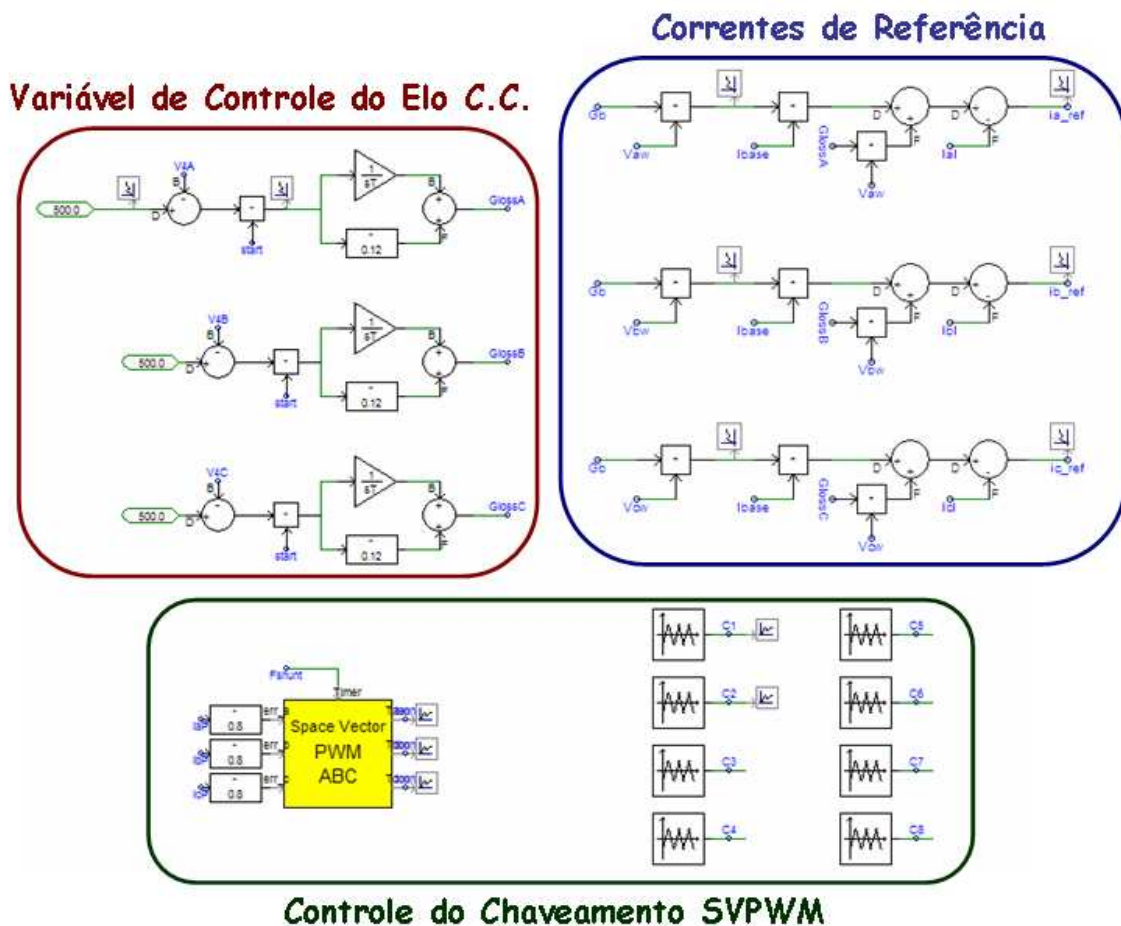


Figura 5-43: Controle dos Sinais de Referência, Elo C.C. e Chaveamento 9 Níveis

Na Figura 5-44; são mostrados os gráficos da tensão no elo CC, as correntes na fonte durante todo o período simulado antes e depois da entrada em operação do filtro ativo paralelo e as tensões na carga não-linear do filtro ativo paralelo na topologia nove níveis em cascata.

Observa-se nas duas implementações dos conversores multiníveis em cascata simétrico com sete níveis e com nove níveis, que a tensão no elo CC foi controlada, permitindo ao controlador SVPWM sintetizar as correntes de compensação, tornando as correntes na fonte senoidais e reduzindo os *notches* existentes nas tensões na carga causadas pela não-linearidade da carga.

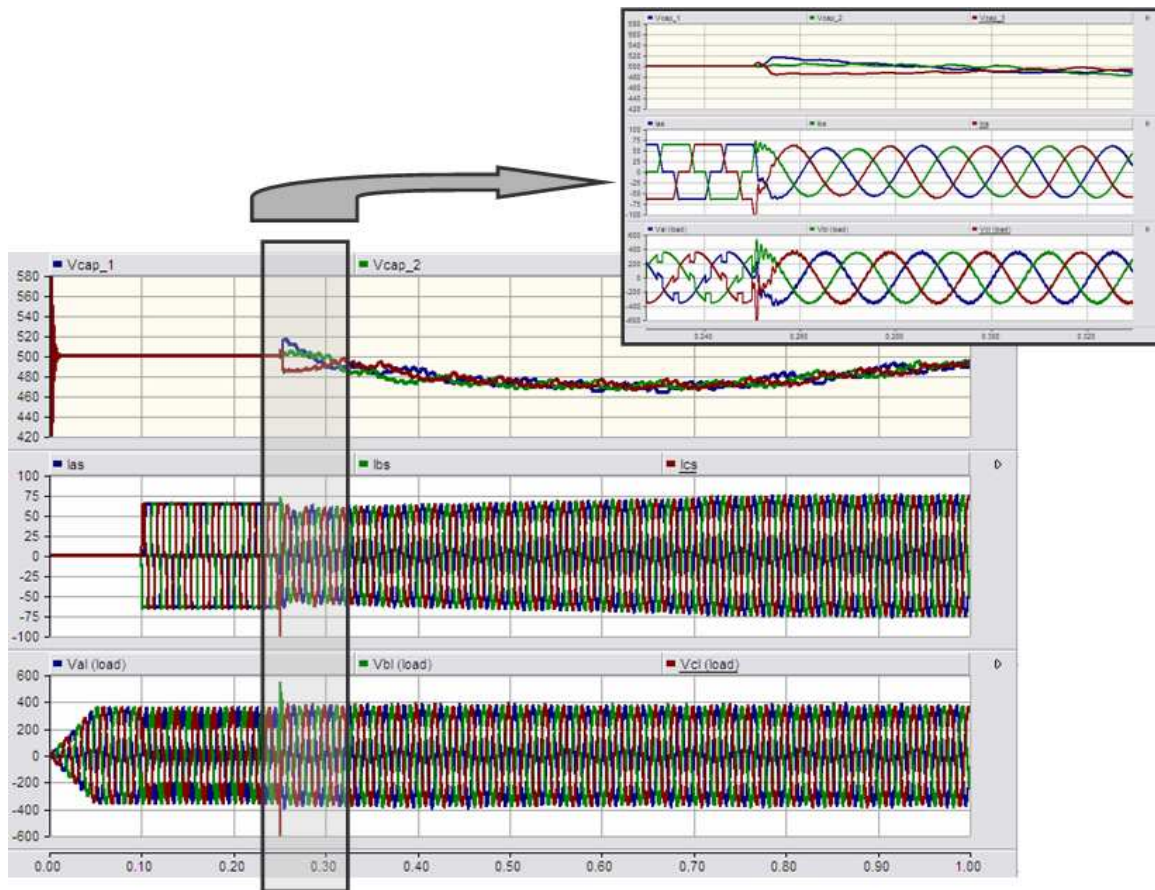


Figura 5-44: Tensão no Elo CC, Correntes na Fonte e Tensão na Carga – Controlador 9 Níveis em Cascata SVPWM

Observa-se na Figura 5-45 que de forma semelhante ao ocorrido na simulação anterior, as correntes na carga e na fonte antes da entrada em operação do filtro eram as mesmas. Com a entrada em operação do filtro as correntes na fonte tornaram-se senoidais, com a injeção das correntes de compensação geradas pelos conversores em cascata do filtro ativo paralelo.

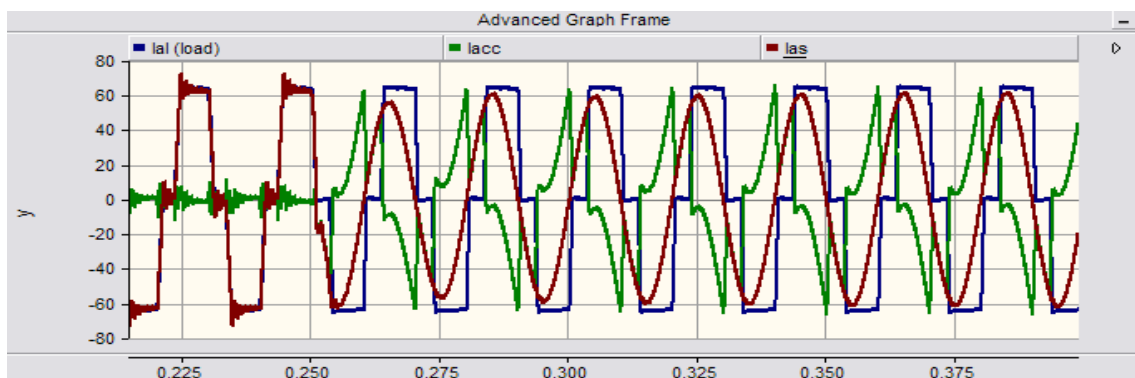


Figura 5-45: Corrente na Carga, Fonte e Filtro na fase “a” – Cascata 9 Níveis

5.8 CONCLUSÕES PARCIAIS

Este capítulo tem como objetivo demonstrar através de simulações os controladores SVPWM em grandezas de fase abc propostos no capítulo anterior. Estes controladores têm a função de comandar os disparos das chaves semicondutoras presentes no circuito de potência de um filtro ativo paralelo multinível.

Os controladores são capazes de sintetizar correntes de compensação que corrigem o fator de potência no ponto de conexão do FAP, assim como, realizam a compensação harmônica nas correntes da fonte.

Através deste capítulo foram demonstradas as implementações de cada controlador SVPWM em grandezas de fase abc para cada topologia citada na formulação do capítulo anterior. Inicialmente foi mostrada a lógica de definição dos vetores de chaveamento característicos na técnica *space vector*, onde cada etapa do cálculo dos ciclos de trabalho para síntese do vetor de chaveamento foi demonstrada.

Após a demonstração da lógica de chaveamento SVPWM em grandezas de fase abc , cada controlador foi implementado referente sua topologia e seu respectivo número de níveis na tensão de saída. Todos os controladores propostos foram desenvolvidos a partir da técnica de chaveamento SVPWM propostos em eixos abc para facilitar a compreensão por maior parte dos interessados que desconhecem este tipo de chaveamento.

Com objetivo de permitir maior visibilidade do chaveamento vetorial no meio acadêmico, não se restringindo apenas a implementações em coordenadas ortogonais $\alpha\beta$ para controladores SVPWM, cada um destes controladores foi implementado. No entanto, conforme demonstrado no capítulo anterior existe uma condição de restrição para a síntese dos sinais de controle pelos controladores proposto, sendo necessário que o sistema elétrico possua como característica $V_a + V_b + V_c = 0$. Com isso, caracteriza-se um sistema elétrico trifásico a três fios, como condição necessária para implementação.

Em cada topologia multinível implementada foram adicionadas indutâncias diferentes de 1 μH , 2 μH , 3 μH e 4 μH , em cada braço dos conversores NPC Multinível e Capacitor Grampeado Multinível, e em cada módulo adjacente dos conversores em Cascata Multinível. Os valores destas indutâncias foram empíricos, apenas para aproximar da realidade os conversores implementados.

Nas topologias NPC e Capacitor Flutuante foram implementados conversores onde os capacitores ligados ao elo CC possuem valores diferentes com diferença de $\pm 2,5\%$ em suas capacitâncias. Para a topologia NPC multinível utilizaram-se capacitores com valores iguais a 4000 μF , 4100 μF , 4200 μF e 4300 μF ; e para topologia Capacitor Grampeado os valores dos capacitores foram 5000 μF e 4500 μF . Na topologia em Cascata os valores dos capacitores implementados foram semelhantes ao da topologia NPC.

A Tabela 5-1, mostra os valores de distorção harmônica total - DHT obtidos nas simulações das topologias multiníveis, onde foram medido DHT por fase nas correntes da fonte durante 10 ciclos, entre 0,7s e 0,9s. Calculou-se o valor de DHT médio obtido nas correntes da fonte para facilitar a comparação entre o desempenho na compensação harmônica de topologia multinível com seus respectivos controladores SVPWM em grandezas de fase *abc*.

Tabela 5-1: Comparação entre as Simulações da Distorção Harmônica Total

| Distorção Harmônica Total - DHT | | | | | | |
|--|---------------------|----------------------|-------------------|-------------------|-------------------|------------------|
| Número de Níveis | Topologia | Técnica SVPWM | Fase A [%] | Fase B [%] | Fase C [%] | Médio [%] |
| 3 Níveis | NPC | Comparador 3D | 0,61 | 0,63 | 0,62 | 0,62 |
| | | APSD | 6,45 | 4,93 | 4,91 | 5,43 |
| | | PD | 1,87 | 2,13 | 1,77 | 1,92 |
| 5 Níveis | Capacitor Grampeado | Karnaugh SV | 1,53 | 1,6 | 1,68 | 1,60 |
| | | APOD | 1,07 | 1,15 | 1,11 | 1,11 |
| 5 Níveis | NPC | POD | 0,77 | 0,87 | 0,95 | 0,86 |
| | | APSD | 0,73 | 0,65 | 0,72 | 0,70 |
| | | PD | 0,72 | 0,8 | 0,73 | 0,75 |
| 7 Níveis | Cascata | PSC | 0,66 | 0,65 | 0,65 | 0,65 |
| 9 Níveis | Cascata | PSC | 0,6 | 0,55 | 0,55 | 0,57 |

Na Figura 5-46, é mostrado em forma de um gráfico os valores médios obtidos de DHT para cada topologia de conversor multinível simulado, em relação ao seu número de níveis e técnica de chaveamento implementada. Observa-se que à medida que o número de níveis dos conversores multinível aumenta, a distorção harmônica diminui, quando são mantidas constantes a frequência de chaveamento dos conversores simulados.

DHT - Multinível

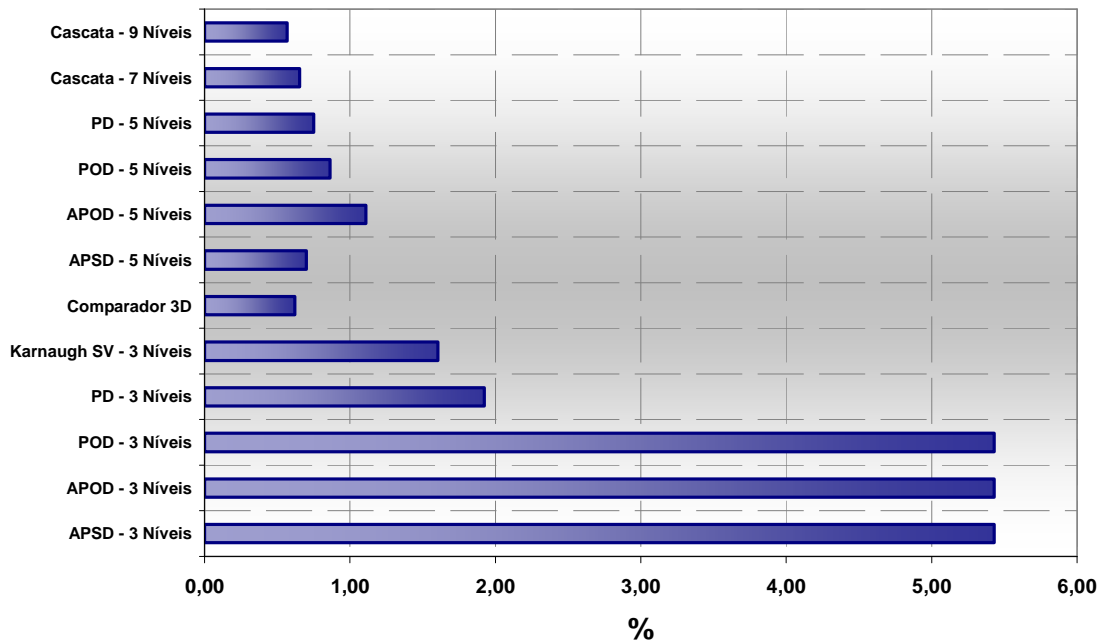


Figura 5-46: Gráfico do DHT entre as Simulações

Na Figura 5-47, é mostrado um gráfico de comparação entre as simulações dos conversores três níveis implementados. Observa-se que embora o comparador SVPWM ou comparador 3D tenha obtido menor conteúdo harmônico em suas correntes da fonte, este tipo de controlador não é o mais indicado, pois não existe controle da frequência de chaveamento implementada, que depende da banda de comparação, semelhantemente a um controlador por banda de histerese.

Na topologia três níveis NPC o controlador SVPWM do tipo PD obteve melhor resultado de DHT, no entanto, o controlador três níveis da topologia Capacitor Grampeado demonstrou menor DHT em comparação com os conversores três níveis NPC com frequência de chaveamento fixa em 5 kHz.

Distorção Harmônica Total - DHT

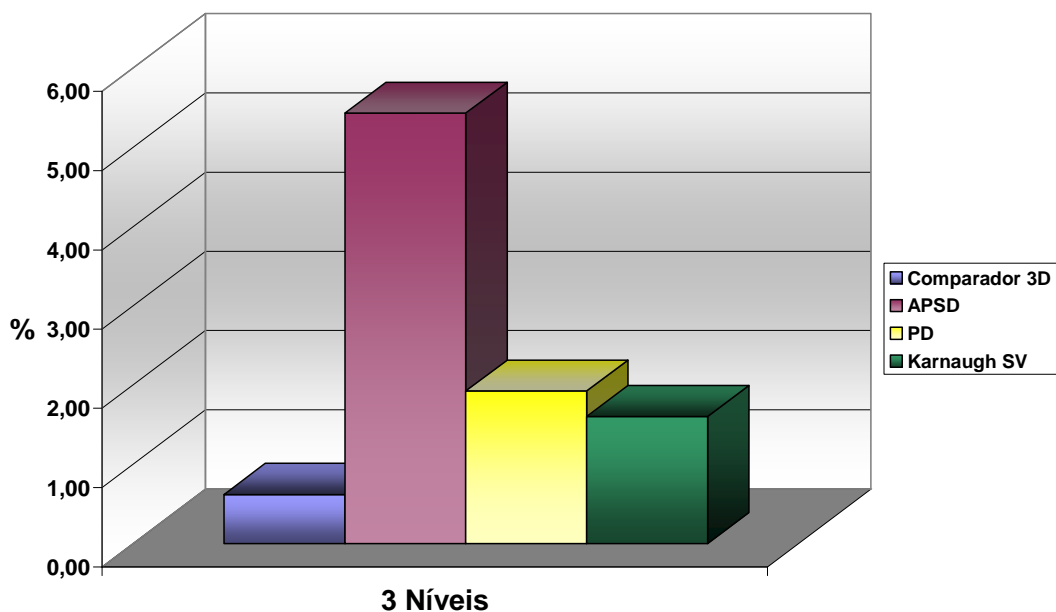


Figura 5-47: Gráfico de Comparação do DHT das Simulações 3 Níveis

Realizando o mesmo princípio de comparação entre as técnicas aplicadas aos controladores SVPWM dos conversores cinco níveis NPC, a Figura 5-48 mostra que a técnica APSD obteve o melhor DHT, seguida pela técnica PD como segundo melhor desempenho. O pior desempenho entre as quatro técnicas comparadas em conversores cinco níveis NPC foi da técnica APOD.

Distorção Harmônica Total - DHT

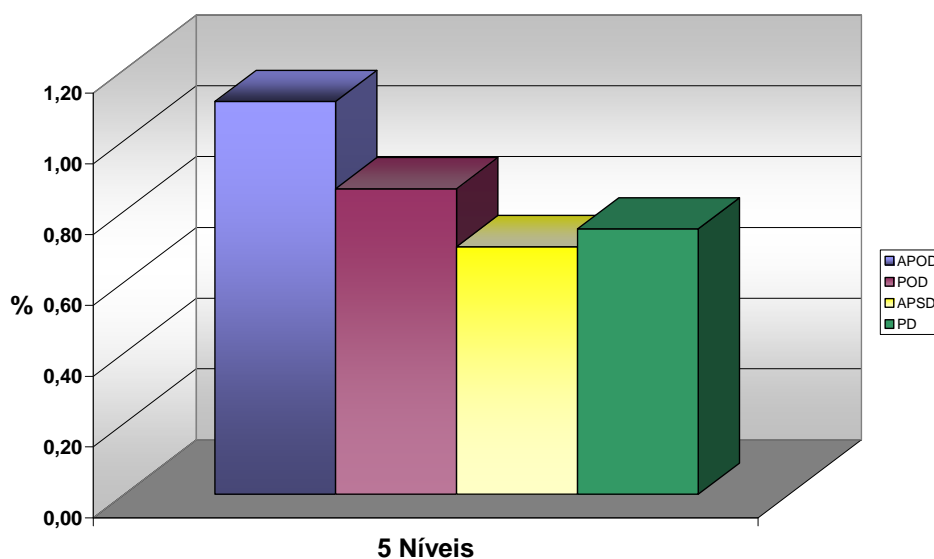


Figura 5-48: Gráfico de Comparação do DHT das Simulações 5 Níveis

Para facilitar a visualização da comparação entre a aplicação das mesmas técnicas de chaveamento em conversores NPC multiníveis, a Figura 5-49 mostra a evolução da redução do DHT com o aumento do número de níveis dos conversores NPC.

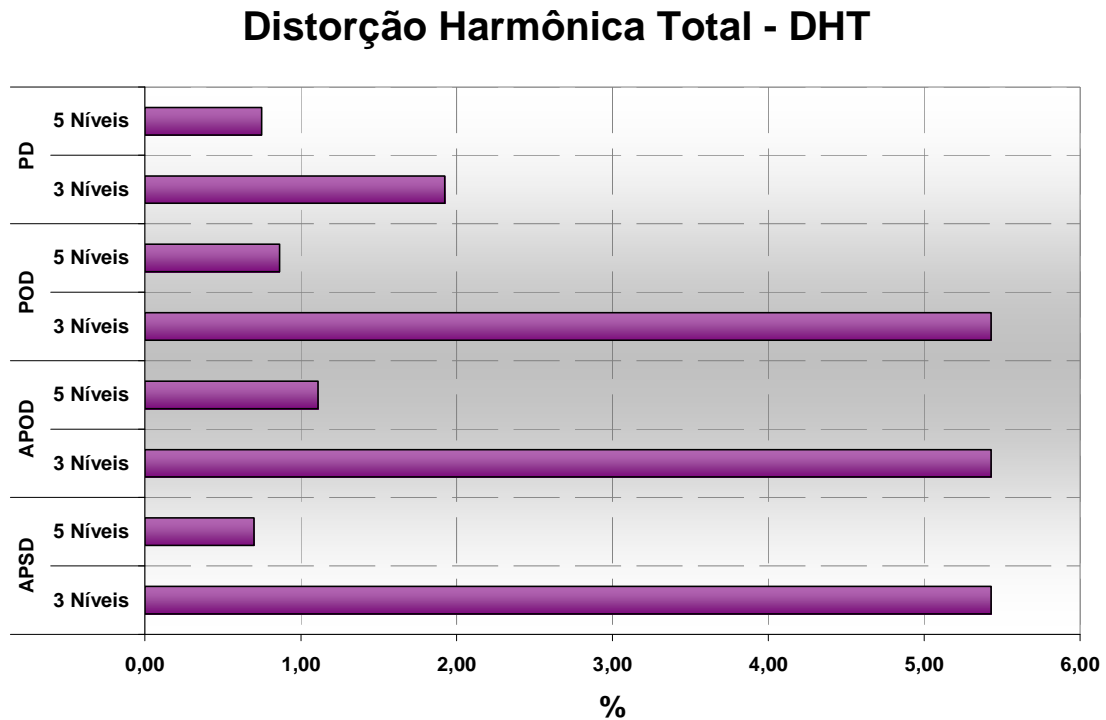


Figura 5-49: Comparação do DHT entre as Técnicas APOD, POD, APSD e PD

Com isso, os todos os controladores SVPWM em grandezas de fase *abc* propostos foram simulados com sucesso, e tiveram demonstradas suas implementações no PSCAD/EMTDC®. As frequências de chaveamento foram fixadas pelas portadoras triangulares em 5 kHz para as topologias NPC e Capacitor Grampeado, sendo estas frequências de chaveamento consideradas aceitáveis para evolução destes controladores da fase de implementação digital para fase experimental em bancada.

Nos conversores multiníveis em cascata a frequência de chaveamento por módulo é de 900 Hz, demonstrando maior flexibilidade deste tipo de topologia multinível em relação à frequência de chaveamento dos conversores e conseqüentemente a integridade das características construtivas das chaves semicondutoras.

6 CONCLUSÃO GERAL

6.1 CONCLUSÕES

Este trabalho baseou-se na necessidade crescente de energia elétrica para o consumo da sociedade, aumentando o nível de potência e tensão das instalações elétricas em geral, conseqüentemente elevando a percepção da qualidade da energia disponível. Conforme mencionado no início deste trabalho, tem sido adicionado ao sistema elétrico um número cada vez maior de cargas com características não-lineares.

Para acompanhar o aumento do nível de potência das plantas industriais, conversores eletrônicos de potência multiníveis têm sido propostos para estes tipos de aplicação. Filtros Ativos de Potência tem sido utilizados para maximizar a qualidade da energia elétrica entregue. Para acompanhar o aumento dos níveis de potência estes filtros ativo estão sendo desenvolvidos com conversores eletrônicos de potência multiníveis que permitam sua operação para estes níveis de potência e tensão.

O trabalho propôs a implementação de controladores multiníveis com algumas das principais topologias multiníveis de conversores eletrônicos de potência, utilizando como base a estratégia de chaveamento SVPWM em grandezas de fase *abc* em filtro ativo de potência paralelo.

O trabalho demonstrou em grandezas de fase *abc* o chaveamento vetorial dos conversores multiníveis, sem a necessidade de transformação para coordenadas ortogonais dos cálculos dos vetores de chaveamento. Este tipo de chaveamento mostrou-se mais amigável, pois com apenas os conhecimentos de sistemas elétricos convencionais em grandezas de fase *abc* tornou-se possível à compreensão do chaveamento vetorial proposto.

O chaveamento SVPWM proposto em grandezas de fase *abc* foi implementado na operação de um filtro ativo paralelo de potência, com a utilização de três topologias diferentes de conversores multiníveis. Controladores SVPWM foram desenvolvidos para compensação harmônica para cada uma das topologias estudadas.

O tipo de chaveamento vetorial proposto eliminou os vetores que poderiam causar desequilíbrios, no entanto, com a redução do número de vetores de chaveamento a precisão na síntese do vetor de referência é menor que no chaveamento SVPWM convencional. Embora exista uma perda na precisão no comando de disparo neste tipo de controlador; com o aumento do número de níveis do conversor multinível a ser comandado, não ocorre aumento significativo na complexidade do controlador, que transfere a responsabilidade na decisão do disparo para o número de portadoras triangulares nos quais os sinais de controle serão comparados.

Conforme estudado neste trabalho, mostrou-se não existir uma topologia de conversores multiníveis melhor. Apenas existem situações e características nas quais favorecem a utilização de uma determinada topologia de conversor multinível.

Os conversores em cascata possuem boa relação número de componentes e número de níveis, mas não podem ser aplicados na configuração *Back-to-Back*. Os conversores NPC são mais populares e possuem a limitação do número de diodos aumentarem muito com o aumento do número de níveis. Os conversores com Capacitores Grampeados não possuem a limitação do número de diodos, mas com o aumento do número de níveis o número de capacitores aumenta, assim como, a complexidade do controlador que comanda os disparos das chaves semicondutoras.

Este trabalho implementou controladores SVPWM em grandezas de fase *abc*, para compensação harmônica das correntes na fonte através de um filtro ativo paralelo multinível. Para estas implementações foram desenvolvidos quatro tipos de estratégias para realizar o comando dos disparos das chaves semicondutoras presentes nos conversores multiníveis, onde em cada topologia estudada existe pelo menos um controlador SVPWM implementado.

6.2 TRABALHOS FUTUROS

Com a realização deste trabalho foram observadas algumas vantagens dos controladores apresentados, no que tange menor complexidade na implementação do algoritmo de chaveamento. Uma possibilidade para a continuação do trabalho está na implementação experimental dos controladores estudados, para a verificação em escala experimental das vantagens mencionadas ao longo do estudo.

A implementação em bancada dos algoritmos poderá confirmar a menor complexidade no controle do chaveamento, quando estes algoritmos estiverem escritos em forma de rotinas em linguagem de programação C, dentro de um processador de sinais digitais – DSP.

Os controladores SVPWM propostos tem como princípio de funcionamento a retirada dos vetores médios que podem gerar desequilíbrios no chaveamento. A consideração destes vetores médios de chaveamento, e sua utilização para reduzir ou eliminar desequilíbrios existentes no chaveamento, pode ser considerado como uma nova linha de pesquisa nesta área, utilizando um vetor que causa um desequilíbrio contrário para equilibrar as condições de chaveamento.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Hingorani, N.G.; Gyugyi L.; “Understanding FACTS: Concepts and Technology of Flexible AC Transmission Systems”, IEEE press, New York, 2000.
- [2] Watanabe, E. H.; Aredes, M., "Power Quality Considerations on Shunt/Series Current and Voltage Conditioners". In: *Proceedings of the 10th IEEE International Conference on Harmonics and Quality of Power*, v. 2, pp. 595-600, Rio de Janeiro, Brazil, 6-9 October 2002.
- [3] Aredes, M., “Active Power Line Conditioners,” *Doktor Ing. Thesis*, Techischen Universität Berlim, Março 1996.
- [4] Mohan, H., Undeland, T. e Robins, W. P., “Power Electronics, Converters, Applications and Design”, J. Wiley & Sons, New York, 1989.
- [5] Bose, B. K., “Power Electronics and Variable Frequency Drives”, IEEE Press – Piscataway, N.J. 1997.
- [6] Nabae, A., Takahashi, I., Akagi, H., “A New Neutral-Point Clamped PWM Inverter,” *IEEE Transactions on Industry Applications*, vol. 19-C, no. 5, September/October 1981, pp. 518-523.
- [7] Gyugyi, L. e Strycula, E. C., “Active ac Power Filters,” in *Proc. IEEE Ind. Appl. Ann. Meeting*, vol. 19-C, 1976, pp. 529-535.
- [8] J. S. Lai and F. Z. Peng, “Multilevel converters—A new breed of power converters,” *IEEE Trans. Ind. Applicat.*, vol. 32, pp. 509–517, May/June 1996.
- [9] L. Tolbert, F.-Z. Peng, and T. Habetler, “Multilevel converters for large electric drives,” *IEEE Trans. Ind. Applicat.*, vol. 35, pp. 36–44, Jan./Feb. 1999.
- [10] C. Rech, H. A. Grundling, H. L. Hey, H. Pinheiro; “Uma metodologia de Projeto Generalizada para Inversores Multiníveis Híbridos”, *Revista Controle e Automação*, vol. 15-2, Abril Maio e Junho 2004.
- [11] Damiano, A., Marchesoni, M., Marongiu, I., Taffone, A. “Optimization of Harmonic Performances in Multilevel Converter Structures”. *ISIE Conf. Proc.*: pp. 341–346, 1997.
- [12] Manjrekar, M. D., Lipo, T. A. “A Hybrid Multilevel Inverter Topology for Drive Applications” *Proc. IEEE APEC'98*: 523–529, 1998.
- [13] E. Cengelci, S. U. Sulistijo, B. O. Woom, P. Enjeti, R. Teodorescu, and F. Blaabjerge, “A new medium voltage PWM inverter topology for adjustable speed drives,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, St. Louis, MO, Oct. 1998, pp. 1416–1423.

- [14] J. Rodriguez, J.-S. Lai, F. Z. Peng; "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Transactions on Industrial Electronics*, vol. 49, no. 4, August 2002.
- [15] R. H. Baker, "Bridge converter circuit," *U.S. Patent 4 270 163*, May 1981.
- [16] A. G. Merçon, "Filtros Ativos para Estações Conversoras de Corrente Contínua em Alta" Dissertação de Mestrado, Programa de Engenharia Elétrica - COPPE/UFRJ, Março de 2007.
- [17] T. A. Meynard, H. Foch; "Multilevel Conversion: High Voltage Choppers and Voltage Source Inverter", *IEEE PESC conf. Rec.:* 397-403, 1992.
- [18] R. H. Baker and L. H. Bannister, "Electric power converter," *U.S. Patent 3 867 643*, Feb. 1975.
- [19] G. Joos, X. Huang, B.-T. Ooi; "Direct Coupled Multilevel Cascaded Series Var Compensators", *IEEE Trans. Ind. Applicat.*, vol. 34, pp. 509–517, Jan./Feb. 1998.
- [20] F. Z. Peng, "A generalized multilevel inverter topology with self voltage balancing," *IEEE Trans. Ind. Applicat.*, vol. 37, pp. 611–618, Mar./Apr. 2001.
- [21] V. M. Pinto, "Um Estudo Comparativo de Técnicas de Chaveamento de Conversores Três Níveis" *Dissertação de Mestrado, Programa de Engenharia Elétrica - COPPE/UFRJ*, Julho de 2005.
- [22] M. D. Manjrekar, P. K. Steimer, and T. A. Lipo, "Hybrid multilevel power conversion system: a competitive solution for high-power applications," *IEEE Trans. Ind. Applicat.*, vol. 36, pp. 834–841, May/June 2000.
- [23] R. Lund, M. Manjrekar, P. Steimer, and T. Lipo, "Control strategy for a hybrid seven-level inverter," in *Proc. European Power Electronics Conf.*, Lausanne, Switzerland, 1999, CD-ROM.
- [24] F. J. Giffoni, "Uma Análise Comparativa entre Diferentes Estratégias de Controle Aplicadas em Filtros Ativos Paralelo"; *Projeto Final DEE/UFRJ*, Maio de 2005.
- [25] Monteiro, L. F. C., "Uma Análise Comparativa entre Diferentes Estratégias de Controle Aplicadas em Filtros Ativos Paralelo" *Projeto Final DEE/UFRJ*, Junho de 2002.
- [26] A. G. Merçon; L. F. Encarnação; L. F. C. Monteiro; et al., "A Comparative Analysis of Cascaded-Multilevel Hybrid Filters Applied in Power Transmission Systems". In: *Anais do XVI Congresso Brasileiro de Automática*, pp. 2736-2741, Salvador, BA, Brasil, 3 a 6 de Outubro de 2006.
- [27] Satoh, K.; Yamamoto, M. G., "The Present State of the Art in High-Power Semiconductor Devices", *Proceedings of the IEEE*, v. 89, n. 6, pp. 813-821, June 2001.

- [28] Costa Jr., D.R., Rolim, L. G. B. e Aredes, M. “Analysis and Software Implementation of a Robust Synchronizing Circuit – PLL Circuit” *IEEE International Symposium on Industrial Electronics*, ISIE 2003.
- [29] Costa Jr., D.R., Moor Neto, J.A. e Aredes, M. “Análise de uma Estratégia de Controle para Restauradores Dinâmicos de Tensão” *Proc. (CDROM) XV CBA – Congresso Brasileiro de Automática*, Gramado, Brasil, Setembro 2004.
- [30] Costa Jr., D.R., “Síntese e Implementação de um Restaurador Dinâmico de Tensão” *Dissertação de Mestrado, Programa de Engenharia Elétrica - COPPE/UFRJ*, Março de 2006.
- [31] Holmes, D. G. e Lipo, T.A., “Pulse Width Modulation for Power Converters Principles and Practice”, *IEEE Press - J. Wiley & Sons*, Piscataway, N.J. 2003.
- [32] Espinoza, J. R., Joós, G. e Jin, H., “Modelling and Implementation of Space Vector PWM Techniques in Active Filter Applications” *Computers in Power Electronics*, IEEE Workshop, 11-14 Agosto 1996.
- [33] Holtz, J. “Pulsewidth modulation – A survey”. *IEEE Trans. Ind. Electr.*, 39(5): 410–419, 1992.
- [34] Enjeti, P. N., Ziogas, P. D., Lindsay, J. F. “Programmed PWM techniques to eliminate harmonics: A critical evaluation”. *IEEE Trans. Ind. Applicat.*, 26(2): 302–316, 1990.
- [35] Patel, H. S., Hoft, R. G. “Generalized techniques of harmonic elimination and voltage control in thyristor inverters: Part I – Harmonic Elimination”. *IEEE Trans. Ind. Applicat.*, 9(3): 110–117, 1973.
- [36] Ziogas, P. D. “The delta modulation techniques in static PWM inverters.” *IEEE Trans. Ind. Applicat.*, 17(2): 199–204, 1981.
- [37] Boost, M. A., Ziogas, P. D. “State-of-the-art carrier techniques: A critical evaluation.” *IEEE Trans. Ind. Applicat.*, 24(2): pp. 271–279, 1988.
- [38] Ryan, M. J., De Doncker, R. W., Lorenz, R. D. “Decoupled control of a four-leg inverter via a new 4x4 transformation matrix.” *IEEE PESC Conf. Rec.*: 187–192, 1999.
- [39] Ranganathan, V. T. “Space vector pulsewidth modulation – A status review.” *Sādhanā*, 22(6): pp. 675–688, 1997.
- [40] Van Der Broeck, H. W., Skudelny, H. C., Stanke, G. V. “Analysis and realization of a pulsewidth modulator based on voltage space vectors.” *IEEE Trans. Ind. Applicat.*, 24(1): pp. 142–150, 1988.
- [41] Wang, F. “Sine-triangle vs. space vector modulation for three-level PWM voltage source inverters.” *IAS Annual Meet.*: 2482–2488, 2000.

- [42] Botterón, F., Pinheiro, H., Gründling, H. A., Pinheiro, J. R., Hey, H. L. “Digital voltage and current controllers for three-phase PWM inverter for UPS applications.” *IEEE IAS Annual Meeting*: CD-ROM, 2001.
- [43] Celanovic, N., Boroyevich, D. “A fast space-vector modulation algorithm for multilevel three-phase converters.” *IEEE Trans. Ind. Applicat.*, 37(2): 637–641, 2001.
- [44] Pinheiro, H., Blume, R., Jain, P. “Space vector modulation method for single-phase on-line threeleg UPS.” *INTELEC Conf. Proc.*: 679–686, 2000.
- [45] Rojas, R., Ohnishi, T., Suzuki, T. “An improved voltage vector control method for neutral-point clamped inverters.” *IEEE Trans. Power Electr.*, 10(6): 666–672, 1995.
- [46] Zhang, R., Boroyevich, D., Prasad, V. H. “A threephase inverter with a neutral leg with space vector modulation.” *IEEE APEC Proc.*, (2): 864–870, 1997.
- [47] H. W. V. D. Brocker, H. C. Skudenly, and G. Stanke, “Analysis and realization of a pulse width modulator based on the voltage space vectors”, in *Conf. Rec. IEEE-IAS Annu. Meeting, Denver, CO*, pp. 244–251, 1986.
- [48] R. S. Kanchan, M. R. Baiju, K. K. Mohapatra, P. P. Ouseph and K. Gopakumar, “Space Vector PWM signal generation for multilevel inverters using only the sample amplitudes of reference phase voltages”. *IEEE Trans. Power Electr.*, vol. 152(2): pp. 297-309, 2005.
- [49] Texas Instruments, “Digital Motor Control Digital Control Systems (DCS) Group – Agosto 2001”, revisado em Outubro de 2003.
- [50] L. Li, D. Czarkowski, Y. Liu, and P. Pillay, “Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters,” in *Conf. Rec. IEEE-IAS Annu. Meeting*, Oct. 1998, pp.1454–1461.
- [51] H. Akagi, E. H. Watanabe, and M. Aredes, “Instantaneous Active and Reactive Power Theory and Applications”, I. of Electrical and E. Engineers, Eds. John Wiley & Sons, Inc., 2007.
- [52] McGrath, B. P., Holmes, D. G., Lipo, T. A. “Optimized space vector switching sequences for multilevel inverters.” *IEEE PESC Conf. Rec.*: 1123–1129, 2001.
- [53] B. B. Lin, C. H. Huang, “Three-Phase Active Power Filter Based on Capacitor-Clamped Inverter for Harmonic and Reactive Power Compensation”. *IEEE Trans. Power Eletron.* pág. 2275-2279, 2002.
- [54] D. G. Holmes and B. P. McGrath, “Opportunities for harmonic cancellation with carrier-based PWM for two-level and multilevel cascaded inverters,” *IEEE Trans. Ind. Applicat.*, vol. 37, pp. 574–582, Mar./Apr. 2001.
- [55] Manjrekar, M. D., Lipo, T. A. “A Hybrid Multilevel Inverter Topology for Drive Applications”. *Proc. IEEE APEC’98*: pp. 523–529, 1998.

APÊNDICE A

TEORIA P-Q

Com objetivo de esclarecer a origem do chaveamento citado, a teoria p-q será abordada de forma resumida e explicativa. Existem várias diferenças entre a teoria convencional e a de potência ativa e reativa instantânea, sendo que a principal diferença deve-se ao fato da teoria convencional estar baseada no domínio da frequência e a teoria p-q estar baseada no domínio do tempo [2][3][51].

Para sistemas com distorções harmônicas e desequilíbrios entre fases a teoria convencional mostra-se bem menos eficiente. Os sistemas com conteúdo harmônico elevado devido a cargas não lineares são mais facilmente analisados com a utilização da Teoria p-q [3].

A teoria descrita propõe a existência de três eixos ortogonais entre si, sendo o conjunto destes eixos conhecidos como coordenadas $\alpha\beta 0$, diferente da teoria convencional onde as grandezas de fase abc possuem seus eixos defasados de 120° .

As tensões V_α, V_β e V_0 são obtidas através da transformação de Clarke mostrada na Equação 4.37, onde a transformação descrita também pode ser realizada para as correntes existentes no sistema elétrico a ser analisado.

$$V_{\alpha\beta 0} = \mathbf{C} \cdot V_{abc}$$
$$\begin{bmatrix} v_\alpha \\ v_\beta \\ v_0 \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \\ 1/\sqrt{2} & 1/\sqrt{2} & 1/\sqrt{2} \end{bmatrix} \cdot \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (\text{A.1})$$

Estando o sistema elétrico representado em coordenadas $\alpha\beta 0$, através da transformada inversa de Clarke é possível retornar para representação em grandezas de fase abc , conforme a Equação 4.38 [3].

$$V_{abc} = \mathbf{C}^{-1} \cdot V_{\alpha\beta 0}$$

$$\begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} = \sqrt{\frac{2}{3}} \cdot \begin{bmatrix} 1 & 0 & 1/\sqrt{2} \\ -1/2 & \sqrt{3}/2 & 1/\sqrt{2} \\ -1/2 & -\sqrt{3}/2 & 1/\sqrt{2} \end{bmatrix} \cdot \begin{bmatrix} v_\alpha \\ v_\beta \\ v_0 \end{bmatrix} \quad (\text{A.2})$$

Na teoria p-q as potências definidas podem ser obtidas através do produto vetorial da tensão pelo conjugado da corrente, de forma semelhante à teoria convencional. Esta característica pode ser vista na Equação 4.39 [3].

$$\begin{aligned} \vec{V} &= v_\alpha + j \cdot v_\beta \\ \vec{I}^* &= i_\alpha - j \cdot i_\beta \\ \vec{S} = \vec{V} \cdot \vec{I}^* &= (v_\alpha \cdot i_\alpha + v_\beta \cdot i_\beta) + j \cdot (v_\beta \cdot i_\alpha - v_\alpha \cdot i_\beta) \end{aligned} \quad (\text{A.3})$$

Nesta teoria são definidas a potência instantânea de seqüência zero p_0 , a potência ativa (real) p e a potência reativa (imaginária) q . Estas definições podem ser vista na Equação 4.40 [3].

$$\begin{bmatrix} p_0 \\ p \\ q \end{bmatrix} = \begin{bmatrix} v_0 & 0 & 0 \\ 0 & v_\alpha & v_\beta \\ 0 & v_\beta & -v_\alpha \end{bmatrix} \cdot \begin{bmatrix} i_0 \\ i_\alpha \\ i_\beta \end{bmatrix} \quad (\text{A.4})$$

$$p_{3\phi} = p_0 + p = v_0 \cdot i_0 + v_\alpha \cdot i_\alpha + v_\beta \cdot i_\beta$$

$$q_{3\phi} = q = v_\beta \cdot i_\alpha - v_\alpha \cdot i_\beta$$

No caso do sistema descrito ser considerado como um sistema a três fios, considerando-se o objetivo de realizar uma compensação de correntes, a teoria p-q assume que as potências do sistema são as descritas na Equação 4.41 e as correntes de compensação podem ser obtidas através destas potências conforme a Equação 4.42 [3].

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ v_\beta & -v_\alpha \end{bmatrix} \cdot \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (\text{A.5})$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \frac{1}{\Delta} \cdot \begin{bmatrix} v_\alpha & v_\beta \\ v_\beta & -v_\alpha \end{bmatrix} \cdot \begin{bmatrix} p \\ q \end{bmatrix}$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \frac{p}{\Delta} \cdot \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} + \frac{q}{\Delta} \cdot \begin{bmatrix} v_\beta \\ -v_\alpha \end{bmatrix} \quad (\text{A.6})$$

$$\Delta = v_\alpha^2 + v_\beta^2$$

APÊNDICE B

FUNÇÃO DHT

Esta função foi utilizada para fornecer os valores das distorções harmônicas totais nas correntes na fonte, possibilitando a comparação dos controladores SVPWM multinível estudados através dos valores fornecidos pela função. As formas de ondas analisadas foram exportadas e coladas no Matlab®, onde a função DHT realiza a análise harmônica do sinal desejado.

DHT = plotfft(t,y,DBtrue,Nper,nharm) retorna o valor em porcentagem do DHT baseado na Fast Fourier Transformer – FFT do sinal y amostrado pelos tempos do vetor t , caso seja fornecido o $Nper > 0$, que é o número de períodos da frequência fundamental existentes no vetor y . Além disso ele traça um gráfico de barra com o número dos harmônicos no eixo x e a amplitude do sinal para o harmônico em questão.

Caso não seja fornecido o valor de $Nper$ ele apenas exibe o gráfico da fft com a frequência no eixo x e a amplitude do sinal no eixo y . O gráfico pode ser traçado com valores em db , bastando para isso fornecer 1 no parâmetro $DBtrue$. O parâmetro $nharm$ especifica o número máximo de frequências múltiplas da fundamental para a análise da fft .

Function DHT = plotfft(t,y,DBtrue,Nper,nharm)

```
DHT=-1;
N=length(y);
T=t(length(t))-t(1);
dt=T/N;
tx=dt*[0:1:N-1];
fmaxinfo=0.5/dt;
fmininfo=1/(dt*N);
freq=[0:fmininfo:fmaxinfo];
maxharm=max(size(freq))-1;
harm=[0:1:maxharm];
vcn=2.*abs(fft(y)')/N;
vcn(1)=vcn(1)/2;
if(DBtrue)
    vcndb=20*log10(vcn);
    plot(freq,vcndb(1:length(harm)),'r');
    grid;
```

```

ylabel('Amplitude do sinal (DB)');
xlabel('Frequencia (Hz)');
else
end;
if(Nper>0)
    T1=T/Nper;
    maxh=round(freq(length(freq))*T1);
    h=[0:1:maxh];
    freqind=round(h/(T1*fminimainfo))+1;
    amp=vcn(freqind);
    figure;
    if(nharm<=0 | (nharm+1)>length(amp))
        nharm=length(amp);
    else
        nharm=nharm+1;
    end;
    bar(h(1:nharm),amp(1:nharm)/amp(2)), colormap(cool);
    axis([0 nharm 0 max(amp/amp(2))*1.2]);
    grid;
    DHT=(sqrt(sum(amp(3:length(amp)-1).^2))/amp(2))*100;
    DHT
    ampliV1 = max(amp)
end;

```