



**COPPE/UFRJ**

## CONVERSORES A/D PARA IMAGEADORES CMOS

Suzana Domingues

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Antonio Carneiro de Mesquita Filho

Rio de Janeiro

Agosto de 2009

CONVERSORES A/D PARA IMAGEADORES CMOS

Suzana Domingues

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

---

Prof. Antonio Carneiro de Mesquita Filho, Dr. d'État

---

Prof. José Gabriel Rodriguez Carneiro Gomes, Ph.D.

---

Dr. Leonardo Bruno de Sá, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

AGOSTO DE 2009

Domingues, Suzana

Conversores A/D para Imageadores CMOS / Suzana Domingues. – Rio de Janeiro: UFRJ/COPPE, 2009.

XII, 71 p.: il.; 29,7 cm.

Orientador: Antonio Carneiro de Mesquita Filho

Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2009.

Referencias Bibliográficas: p. 62-64.

1. Conversão A/D. 2. Tecnologia CMOS. 3. Sensor de Imagem. I. Mesquita Filho, Antonio Carneiro de. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

Aos meus pais, pelo seu carinho, amor e dedicação.

## AGRADECIMENTOS

À minha família pelo apoio e incentivo, sem os quais eu não teria concluído esta dissertação e o curso de mestrado.

Aos meus amigos pelo companheirismo.

Aos professores do programa de Engenharia Elétrica da COPPE/UFRJ pelos conhecimentos que adquiri com eles, essenciais à minha formação.

Aos pesquisadores do Laboratório de Projeto de Circuitos Integrados, em especial ao meu orientador Prof. Antonio Carneiro de Mesquita Filho pelos ensinamentos transmitidos.

Aos membros da banca examinadora, Prof. José Gabriel Rodriguez Carneiro Gomes e Dr. Leonardo Bruno de Sá, pelo tempo dedicado em avaliar esta dissertação.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

## CONVERSORES A/D PARA IMAGEADORES CMOS

Suzana Domingues

Agosto/2009

Orientador: Antonio Carneiro de Mesquita Filho

Programa: Engenharia Elétrica

Este trabalho apresenta um estudo sobre conversores A/D para imageadores CMOS. Imageadores são dispositivos capazes de transformar uma imagem do ambiente externo em grandezas elétricas que podem ser manipuladas e interpretadas pelos circuitos eletrônicos. A escolha da tecnologia CMOS foi motivada pela possibilidade de se projetar um imageador compacto, integrando a matriz de sensores e os blocos de controle, de processamento de sinais e de conversão A/D em um mesmo circuito integrado. Nesta integração, um dos projetos mais críticos é o do conversor A/D, pois a sua inclusão afeta o consumo de potência, o tamanho e o custo total do sistema, além do ruído adicionado à saída.

Esta dissertação apresenta a implementação de uma arquitetura de conversão A/D por coluna e outra de conversão A/D por *pixel*, empregando o tradicional método de conversão *single-slope*, na tecnologia CMOS 0,35 $\mu$ m. Cada implementação possui um projeto elétrico detalhado, com os circuitos utilizados e os parâmetros dos seus elementos, realizado de acordo com as especificações do sistema. Técnicas de *layout* foram empregadas a fim de minimizar o descasamento entre determinados grupos de transistores nos circuitos e entre os blocos conversores, reduzindo erros de leitura. Simulações pós-*layout* estimaram os efeitos das capacitâncias parasitas no funcionamento dos conversores A/D.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

## A/D CONVERTERS FOR CMOS IMAGERS

Suzana Domingues

August/2009

Advisor: Antonio Carneiro de Mesquita Filho

Department: Electrical Engineering

This work presents a study about A/D converters for CMOS imagers. Imagers are devices capable of transforming an image of the external environment into electrical quantities that can be manipulated and interpreted by electronic circuits. The choice of the CMOS technology was motivated by the possibility of designing a compact imager that integrates the sensor array and the control, signal processing and A/D conversion blocks in the same chip. In this integrated circuit, one of the most critical designs is the A/D converter as its inclusion affects the power consumption, the size and the cost of the system, besides the noise that is added to the output.

This thesis presents a column-level and a pixel-level A/D converter design in 0.35 $\mu\text{m}$  CMOS technology, both using the traditional single-slope method. Each implementation presents the detailed electrical design, with the circuits employed and the component parameters. These designs were made in accordance with the system specifications. Layout techniques were employed to minimize the mismatch between groups of transistors and between the converter blocks, reducing read errors. Post-layout simulations have estimated the effects of parasitic capacitances in the A/D converters operation.

## ÍNDICE

1.	Introdução .....	1
2.	Metodologia .....	3
3.	Arquiteturas de Conversão A/D .....	4
4.	Conversão A/D por Coluna .....	8
4.1.	Especificações .....	8
4.2.	Conversor D/A .....	9
4.2.1.	Projeto Elétrico .....	11
4.2.1.1.	Rede R-2R CMOS .....	11
4.2.1.2.	Conversor Corrente-Tensão .....	17
4.2.2.	Projeto Físico .....	27
4.2.2.1.	Rede R-2R CMOS .....	27
4.2.2.2.	Conversor Corrente-Tensão .....	29
4.2.2.3.	<i>Layout</i> Completo do Conversor D/A .....	31
4.2.3.	Simulações Pós- <i>Layout</i> .....	32
4.3.	Circuito Amostrador ( <i>Sample &amp; Hold</i> ) .....	33
4.3.1.	Projeto Elétrico .....	33
4.3.2.	Projeto Físico .....	38
4.4.	Comparador Analógico .....	40
4.4.1.	Projeto Elétrico .....	40
4.4.2.	Projeto Físico .....	41
4.5.	Conversão A/D .....	42
4.5.1.	<i>Layout</i> do Circuito de Coluna .....	42
4.5.2.	Simulações Pós- <i>Layout</i> .....	43
5.	Conversão A/D por <i>Pixel</i> .....	44
5.1.	Especificações .....	44
5.2.	Projeto Elétrico .....	46
5.2.1.	Fotodiodo e Circuito de Leitura .....	46
5.2.2.	Comparador Analógico .....	47
5.2.3.	Memória Dinâmica NMOS .....	49



5.2.4.	Circuito de Coluna .....	51
5.3.	Projeto Físico .....	53
5.3.1.	<i>Pixel</i> .....	53
5.3.2.	Circuito de Coluna .....	56
5.4.	Simulações Pós- <i>Layout</i> .....	57
6.	Conclusão.....	60
7.	Referências Bibliográficas .....	62
	Apêndice.....	65

## ÍNDICE DE FIGURAS

Figura 1 – Técnica de conversão A/D <i>single-slope</i> .....	8
Figura 2 – Arquitetura do conversor D/A.....	10
Figura 3 – Princípio da divisão de corrente em uma rede R-2R resistiva de 3 bits.....	11
Figura 4 – Princípio da divisão de corrente em uma rede R-2R CMOS .....	12
Figura 5 – Rede R-2R CMOS de 8 bits .....	13
Figura 6 – Chave complementar com transistores <i>dummy</i> .....	13
Figura 7 – Simulação da corrente nos ramos com chaves e sem chaves no ramo 2R.....	15
Figura 8 – Simulação de DNL da corrente $I_{out}$ com chaves de tamanho mínimo .....	15
Figura 9 – Simulação de INL da corrente $I_{out}$ com chaves de tamanho mínimo .....	15
Figura 10 – Arquitetura do conversor I/V .....	18
Figura 11 – Amplificador empregado no conversor I/V .....	19
Figura 12 – Simulação DC do amplificador empregado no conversor I/V .....	20
Figura 13 – Simulação AC do amplificador empregado no conversor I/V .....	21
Figura 14 – Simulação DC do amplificador empregado no <i>buffer</i> .....	22
Figura 15 – Simulação AC do amplificador empregado no <i>buffer</i> .....	22
Figura 16 – Simulação DC do <i>buffer</i> .....	22
Figura 17 – Arquitetura do estágio de saída.....	23
Figura 18 – Simulação AC do amplificador empregado no estágio de saída.....	24
Figura 19 – Diferença entre $V_{ramp}$ e a rampa ideal de saída na simulação DC <i>sweep</i> .....	25
Figura 20 – Sinal de saída do conversor I/V obtido na simulação transiente.....	25
Figura 21 – Sinal de saída do estágio de saída obtido na simulação transiente .....	26
Figura 22 – Simulação de DNL da tensão $V_{ramp}$ .....	26
Figura 23 – Simulação de INL da tensão $V_{ramp}$ .....	27
Figura 24 – <i>Layout</i> da rede R-2R .....	28
Figura 25 – <i>Layout</i> do amplificador empregado no conversor I/V e no estágio de saída ....	30
Figura 26 – <i>Layout</i> do amplificador empregado como <i>buffer</i> .....	31
Figura 27 – <i>Layout</i> completo do conversor D/A .....	32
Figura 28 – Simulação pós- <i>layout</i> de DNL da tensão $V_{ramp}$ .....	33
Figura 29 – Simulação pós- <i>layout</i> de INL da tensão $V_{ramp}$ .....	33

Figura 30 – Arquitetura do circuito amostrador .....	35
Figura 31 – Amplificador empregado no circuito amostrador .....	36
Figura 32 – Simulação DC do amplificador empregado no circuito amostrador .....	36
Figura 33 – Simulação AC do amplificador empregado no circuito amostrador .....	37
Figura 34 – Simulação transiente do circuito amostrador .....	38
Figura 35 – <i>Layout</i> completo do circuito amostrador .....	39
Figura 36 – Simulação transiente do comparador analógico .....	41
Figura 37 – <i>Layout</i> do comparador .....	41
Figura 38 – <i>Layout</i> do circuito de coluna do conversor A/D .....	42
Figura 39 – Simulação transiente pós- <i>layout</i> da conversão A/D .....	43
Figura 40 – Arquitetura de conversão A/D por <i>pixel</i> .....	45
Figura 41 – Simulação transiente do fotodiodo e do circuito de leitura .....	47
Figura 42 – Amplificador empregado como comparador .....	48
Figura 43 – Simulação transiente do comparador .....	49
Figura 44 – Memória dinâmica NMOS de 1 bit .....	50
Figura 45 – Simulação transiente da memória dinâmica NMOS de 1 bit .....	51
Figura 46 – Inversor CMOS .....	52
Figura 47 – Simulação transiente do inversor CMOS com a memória dinâmica de 1 bit ...	53
Figura 48 – <i>Layout</i> do <i>pixel</i> .....	55
Figura 49 – <i>Layout</i> da matriz 2x2 de <i>pixels</i> .....	55
Figura 50 – <i>Layout</i> do amplificador de coluna .....	56
Figura 51 – <i>Layout</i> dos oito amplificadores de coluna juntamente com dois <i>pixels</i> .....	57
Figura 52 – Simulação transiente pós- <i>layout</i> da conversão A/D por <i>pixel</i> .....	58
Figura 53 – Detalhe da simulação transiente pós- <i>layout</i> da conversão A/D por <i>pixel</i> .....	59

## ABREVIATURAS

$\Sigma\Delta$	Sigma-Delta
AC	<i>Alternating Current</i>
APS	<i>Active Pixel Sensor</i>
CCD	<i>Charged-Coupled Device</i>
Conversão A/D	Conversão Analógico-Digital
Conversão D/A	Conversão Digital-Analógico
Conversão I/V	Conversão Corrente-Tensão
CMOS	<i>Complementary Metal Oxide Semiconductor</i>
DC	<i>Direct Current</i>
DNL	<i>Differential Nonlinearity</i>
DPS	<i>Digital Pixel Sensor</i>
FPN	<i>Fixed-Pattern Noise</i>
INL	<i>Integral Nonlinearity</i>
LPC	Laboratório de Projeto de Circuitos
LSB	<i>Least Significant Bit</i>
LVS	<i>Layout Versus Schematic</i>
MCBS	<i>Multichannel Bit-Serial</i>
MRMS	<i>Multiple-Ramp Multiple-Slope</i>
MRSS	<i>Multiple-Ramp Single-Slope</i>
MSB	<i>Most Significant Bit</i>
<i>Pixel</i>	<i>Picture Element</i>
UFRJ	Universidade Federal do Rio de Janeiro

# 1. Introdução

Imageadores são dispositivos capazes de transformar uma imagem do ambiente externo em grandezas elétricas que podem ser manipuladas e interpretadas pelos circuitos eletrônicos.

A captação da radiação eletromagnética na faixa da luz visível e a sua tradução em um sinal elétrico são realizadas por um elemento fotodetector. Este elemento fotodetector, juntamente com seu circuito de leitura, forma o chamado *picture element (pixel)*, sendo a razão entre a área do fotodetector e a área total do *pixel* denominada *fill factor*.

As principais tecnologias empregadas no processo de imageamento são a *Charged-Coupled Device (CCD)* e a *Complementary Metal Oxide Semiconductor (CMOS)*. A escolha da tecnologia CMOS como tema de pesquisa foi motivada pela possibilidade de se projetar um imageador compacto, integrando a matriz de sensores e os blocos de controle, de processamento de sinais e de conversão analógico-digital (A/D) em um mesmo circuito integrado, o que não é viável na tecnologia CCD [1]. Esta integração reduz o consumo de energia, o tamanho total do sistema e, conseqüentemente, o custo de fabricação.

A integração dos fotodetectores com os circuitos eletrônicos em um mesmo substrato leva ao desenvolvimento do chamado *camera-on-chip*, um sensor que possui interface totalmente digital. Neste dispositivo, um dos projetos mais críticos é o do conversor A/D, pois a sua inclusão afeta o consumo de potência, o tamanho e o custo total do sistema, além do ruído adicionado à saída.

Na tecnologia CMOS, o fotodetector pode ser um fotocondutor, um fotodiodo PN ou PIN, um fototransistor ou um fotogate e o *fill factor* é sempre menor do que 100%, pois o circuito de leitura emprega pelo menos um transistor por *pixel* [2].

As duas arquiteturas CMOS comumente utilizadas são a *active pixel sensor (APS)* e a *digital pixel sensor (DPS)* [3], que se diferenciam basicamente pelo sinal de saída do *pixel*. Na APS, a saída de cada *pixel* é um sinal analógico de tensão, enquanto na DPS, por incluir um conversor A/D em cada *pixel* ou em blocos de *pixels*, a saída é um sinal digital. Para que o imageador APS tenha saída digital, conversores A/D podem ser adicionados no circuito integrado, porém externamente à matriz de *pixels*.

Esta dissertação sobre conversores A/D para imageadores CMOS está dividida em sete capítulos. Após o capítulo de introdução, o capítulo de metodologia descreve o método de pesquisa utilizado e as etapas necessárias para o desenvolvimento do trabalho. O terceiro capítulo contém uma revisão bibliográfica sobre arquiteturas de conversão A/D para imageadores CMOS. Já os capítulos quatro e cinco descrevem o projeto dos circuitos elétricos e os resultados obtidos nas simulações e na edição da máscara de fabricação de métodos de conversão A/D por coluna e por *pixel*, respectivamente. Por fim, o capítulo seis apresenta as conclusões do trabalho e o capítulo sete, as referências bibliográficas. O apêndice contém os resultados da verificação do *layout* com o esquemático, o denominado *Layout Versus Schematic (LVS)*.

## 2. Metodologia

A metodologia de projeto consiste na realização de uma pesquisa bibliográfica sobre conversores A/D empregados em sensores de imagem CMOS, seguida do estudo detalhado das arquiteturas (APS e DPS) a serem abordadas na dissertação. Com as informações obtidas na literatura disponível, pode-se definir quais métodos de conversão A/D serão incluídos no trabalho.

Para todo conversor A/D analisado, deve ser feito um projeto detalhado de cada bloco que o compõe, definindo os circuitos elétricos utilizados e os parâmetros dos seus elementos de acordo com as especificações do sistema.

Através da simulação dos circuitos e da leitura de livros sobre o tema [4] – [7], mudanças podem ser realizadas nas arquiteturas ou nos circuitos visando melhor atender aos requisitos de cada aplicação. Por exemplo, através de modificações nos tamanhos e nos tipos de transistores empregados, a velocidade de leitura e a área utilizada no *layout* do bloco conversor podem ser otimizadas.

Além disso, técnicas de *layout* devem ser empregadas na elaboração da máscara de fabricação a fim de minimizar o descasamento entre determinados grupos de transistores nos circuitos, o que comprometeria o seu funcionamento. Estas técnicas também devem minimizar o descasamento entre os blocos conversores e, com isso, reduzir erros de leitura. Além disso, na arquitetura APS, a largura do *layout* do circuito de coluna deve ser ajustada de acordo com o número de colunas que irão compartilhá-lo. Na arquitetura DPS, para que a quantidade de *pixels* na matriz e o *fill factor* sejam maximizados, a área ocupada pelos circuitos de leitura e de conversão A/D em cada *pixel* deve ser minimizada.

Para que todas as etapas sejam realizadas corretamente, a documentação do processo de fabricação escolhido também deve ser estudada. Paralelamente, a documentação do trabalho deve ser elaborada, descrevendo todo o processo de pesquisa e de projeto dos conversores A/D e incluindo os circuitos, as simulações e as máscaras de fabricação.

### 3. Arquiteturas de Conversão A/D

Em imageadores CMOS, a conversão A/D pode ser realizada com apenas um bloco conversor para todo o circuito integrado (*chip-level*) [8], [9]; com um bloco por coluna da matriz de sensores ou por um determinado número de colunas (*column-level*) [10] – [14]; ou com um bloco por *pixel* ou por um determinado número de *pixels* (*pixel-level*) [15] – [18].

A arquitetura *chip-level* requer um conversor A/D de alta velocidade, principalmente em sensores com um grande número de *pixels*, pois apenas o sinal de um *pixel* é convertido por vez. Na *column-level*, todos os conversores operam em paralelo e, dependendo do tamanho da matriz, conversores de média ou de baixa velocidade podem ser empregados. Já na *pixel-level*, a conversão é feita paralelamente em todos os *pixels*, tornando possível o uso de conversores de baixa velocidade.

Nas arquiteturas em que mais de um conversor é utilizado (*column-level* e *pixel-level*), técnicas de projeto devem ser empregadas para reduzir erros de leitura decorrentes do descasamento (*mismatch*) entre eles. Dentre elas, estão técnicas de *layout* [19] e técnicas de circuito para compensação de *offset* [10] e redução do *fixed-pattern noise* (FPN) [11].

Com a evolução das tecnologias de fabricação, a área ocupada pelos conversores A/D diminuiu, tornando viável o uso de mais de um bloco conversor por circuito integrado. Dessa forma, as arquiteturas *column-level* e *pixel-level* passaram a ser mais utilizadas.

Para aplicação aeroespacial, como *star-tracker* [20], um dos principais requisitos do sistema é que o sensor tenha a fotosensibilidade necessária para capturar a baixa luminosidade das estrelas. Além disso, o sensor está exposto à radiação ionizante, capaz de criar pares elétron-lacuna e alterar diversos parâmetros dos transistores CMOS, o que requer o uso de técnicas de resistência à radiação.

De acordo com [21], a tecnologia CMOS 0,35  $\mu\text{m}$  já é intrinsecamente resistente aos níveis de radiação que o sensor está exposto no espaço, tornando desnecessária a implementação de técnicas de resistência à radiação na arquitetura do circuito ou no *layout* dos componentes. Por ser uma tecnologia padrão de fabricação de circuitos integrados, amplamente disponível no mercado internacional e à qual os centros de pesquisa brasileiros têm acesso, a CMOS 0,35  $\mu\text{m}$  foi empregada nos projetos de aplicação aeroespacial [13],



[14] realizados no Laboratório de Projeto de Circuitos Integrados (LPC) da Universidade Federal do Rio de Janeiro (UFRJ).

Nestes trabalhos, a arquitetura APS com conversão A/D por coluna foi empregada por apresentar um *fill-factor* maior e um baixo ruído, em comparação com outras arquiteturas CMOS, sendo, dessa forma, capaz de captar o baixo nível de luz incidente. O método de conversão A/D utilizado foi o *single-slope*, em que são realizadas sucessivas comparações entre o valor lido no *pixel* e o sinal de referência, uma rampa de tensão com  $2^n$  níveis, sendo  $n$  o número de bits. A codificação binária é gravada seqüencialmente até o momento em que os dois sinais de entrada são iguais. Quando isto acontece, o comparador desativa a gravação da codificação binária e o último valor gravado corresponde ao sinal digital de saída. O método *single-slope* também foi empregado em [10], [11].

Já em [12], o método de conversão A/D utilizado foi o *multiple-ramp single-slope* (MRSS), em que a conversão A/D é dividida em duas fases: na primeira, o já mencionado método *single-slope* é realizado com  $p$  bits; na segunda, o sinal de referência empregado na primeira etapa é dividido em  $m$  rampas de tensão, sendo  $m = 2^p$ , e cada sub-rampa excursiona  $1/m$  do total do sinal. Novamente, a conversão A/D pelo método *single-slope* é realizada, mas com cada comparador conectado ao sinal de referência (sub-rampa implementada com  $q$  bits) determinado pela primeira fase. Dessa forma, através dos valores de  $p$  e de  $q$ , a velocidade de conversão, o consumo de potência e a resolução do conversor ( $n = p + q$ ) podem ser definidos. Este trabalho também apresenta o método de conversão denominado *multiple-ramp multiple-slope* (MRMS), em que o passo de quantização varia com as diferentes inclinações (*slope*) das rampas de referência, proporcionando uma maior velocidade de conversão ou um menor consumo de potência.

Em aplicações cuja prioridade é a alta velocidade de imageamento, a conversão A/D *pixel-level* é comumente empregada, pois esta arquitetura possibilita uma alta velocidade de leitura de cada quadro, uma vez que a saída do *pixel* é digital.

A primeira técnica de conversão A/D por *pixel* foi descrita em [15]. Nesta arquitetura, foi utilizado um fototransistor como elemento sensor e um modulador sigma-delta ( $\Sigma\Delta$ ) juntamente com um conversor digital-analógico (D/A) de 1 bit para a conversão A/D. Para diminuir o erro de quantização do modulador, o conversor opera no modo *oversampled*, ou seja, com uma frequência de *clock* ( $F_s$ ) muito maior do que a taxa de Nyquist ( $2F_d$ ) da

imagem.

De acordo com [16], este circuito apresenta limitações, como *pixel* de tamanho muito grande, baixo *fill factor* e alto FPN, devido à variação do parâmetro beta do fototransistor e ao descasamento entre os transistores do conversor.

Visando melhorar tais aspectos, foram propostas algumas modificações em [16]: para reduzir o tamanho do *pixel* e aumentar o *fill factor*, o bloco conversor passou a ser compartilhado por quatro *pixels* adjacentes através de multiplexação e o conversor D/A foi implementado com menos transistores; para diminuir o FPN, o fototransistor foi substituído por um fotodiodo. Entretanto, o conversor continuou a operar no modo *oversampled*, pois as técnicas de conversão que empregam a taxa de Nyquist requerem uma grande quantidade de área de silício, incompatível com o processo de fabricação empregado.

Posteriormente, com a evolução das tecnologias de fabricação, foi apresentada em [17] uma nova arquitetura, já que o circuito em [16] continuava com limitações, como o excesso de dados, devido ao uso do modo *oversampled*, e a presença de borrões pela persistência da imagem (*lag*), devido à falta de *reset* após cada amostragem. Neste novo trabalho, o primeiro conversor A/D *pixel-level* com operação viável na taxa de Nyquist foi implementado, o que reduziu a quantidade de dados na saída. O conversor é compartilhado a cada bloco de quatro *pixels* e o *reset* passou a ocorrer após cada amostragem, eliminando o *lag* da imagem.

A técnica de conversão empregada, denominada *multichannel bit-serial* (MCBS), realiza sucessivas comparações entre o valor lido no *pixel* e um determinado sinal de referência para gerar 1 bit por vez simultaneamente para todos os blocos de *pixels* da matriz. Essa operação é repetida de acordo com o número de bits empregado na codificação e utilizando diferentes sinais de referência. Como no método *single-slope*, esses sinais são rampas de tensão, cujos níveis dependem da codificação escolhida.

Em seguida, outro método de conversão A/D foi descrito em [18], com a conversão sendo realizada por *pixel*, no denominado DPS, através do método *single-slope*. Apesar de empregar um número maior de transistores, este método tornou-se viável com a crescente diminuição do tamanho mínimo do transistor CMOS nos processos de fabricação. Os testes realizados a uma taxa de operação de 10000 quadros/s demonstraram a capacidade de imageamento à alta velocidade do DPS e o seu baixo consumo de potência.

Nos próximos capítulos, uma arquitetura de conversão A/D por coluna e outra de conversão A/D por *pixel* serão implementadas na tecnologia CMOS 0,35  $\mu\text{m}$ . A arquitetura de conversão A/D por coluna terá como base os trabalhos de aplicação aeroespacial realizados anteriormente no LPC [13], [14]. Já a arquitetura de conversão A/D por *pixel* será baseada no trabalho realizado em [18]. As duas arquiteturas empregam o tradicional método de conversão *single-slope*. O projeto dos circuitos elétricos e os resultados obtidos nas simulações e na edição da máscara de fabricação de cada arquitetura serão detalhados a seguir.

## 4. Conversão A/D por Coluna

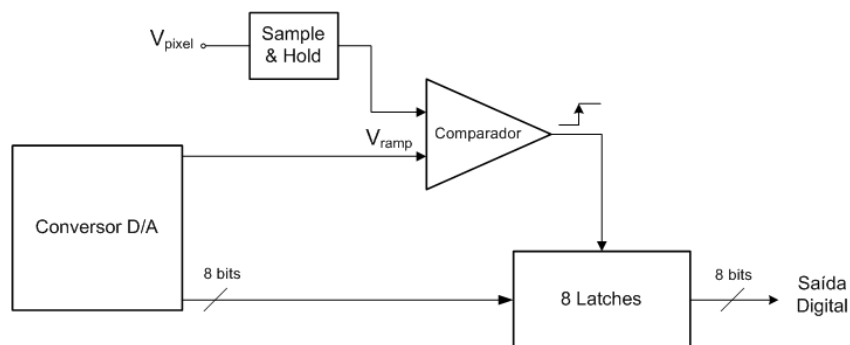
### 4.1. Especificações

Nos projetos de aplicação aeroespacial realizados anteriormente no LPC [13], [14], a arquitetura empregada foi a *column-level* com o método de conversão *single-slope*. Continuando nesta mesma linha de pesquisa, o conversor A/D apresentado a seguir também emprega a arquitetura *column-level* com a técnica *single-slope*.

Nesta técnica de conversão, mostrada na Figura 1, o sinal proveniente do *pixel* ( $V_{pixel}$ ) é armazenado em um circuito amostrador (*Sample & Hold*) e o sinal de referência ( $V_{ramp}$ ) é gerado pelo conversor D/A. Este sinal é uma rampa de tensão com  $2^n$  níveis, sendo  $n$  o número de bits, e foi implementado neste trabalho com 8 bits. A codificação binária, proveniente do conversor D/A, é gravada seqüencialmente nos *latches* até o momento em que os dois sinais  $V_{pixel}$  e  $V_{ramp}$  são iguais. Quando isto acontece, a saída do comparador analógico muda de nível lógico e desabilita a gravação da codificação binária. Dessa forma, o último valor gravado nos *latches* corresponde à saída digital de 8 bits.

O conversor D/A é único para todo o sistema e, portanto, todas as conversões A/D utilizam o mesmo sinal de referência. Cada coluna da matriz de sensores, ou um determinado número de colunas, possui um *Sample & Hold*, um comparador analógico e *latches* de saída, que formam o chamado circuito de coluna.

Como a frequência de operação do sistema é 8 MHz, cada nível da rampa de tensão tem a duração de  $1/8 \text{ MHz} = 125 \text{ ns}$  e o tempo total de conversão A/D é  $256 \times 125 \text{ ns}$ , totalizando  $32 \mu\text{s}$ .



**Figura 1 – Técnica de conversão A/D *single-slope***

Nas próximas subseções, o projeto elétrico e físico do conversor D/A, do circuito amostrador e do comparador analógico de tensão serão detalhados. Os *latches* foram implementados com células padrão (*standard cell*) da biblioteca digital do processo de fabricação escolhido, CMOS 0,35  $\mu\text{m}$ . A partir do *layout* completo do conversor D/A e do circuito de coluna, serão apresentados os resultados da simulação pós-*layout* para um ciclo completo de conversão A/D.

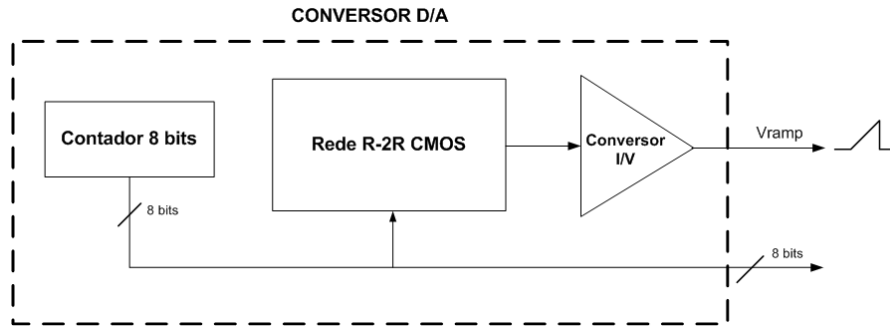
## 4.2. Conversor D/A

Os conversores D/A podem ser divididos em três classes, de acordo com o tipo de sinal gerado: tensão, carga ou corrente. Na primeira classe, são empregadas arquiteturas com resistores para gerar tensão; na segunda, arquiteturas com capacitores são utilizadas para gerar carga; na terceira, arquiteturas de direcionamento de corrente (*current steering*) através de transistores geram corrente. Na maioria das aplicações, os conversores baseados em resistores e em direcionamento de corrente são os mais usados [5].

Entre as arquiteturas que empregam resistores, a denominada R-2R oferece alta precisão com baixo consumo de área, não tendo, entretanto, garantia de monotonicidade (quando o sinal de saída do conversor nunca decresce para um código binário de entrada crescente) e sendo suscetível à ocorrência de pulsos ruidosos no sinal de saída (*glitches*) [22]. Já os conversores de direcionamento de corrente ocupam, em geral, uma pequena área de silício e apresentam alta taxa de amostragem. A maioria dos trabalhos sobre *current steering* [23] – [26] emprega uma arquitetura segmentada, que combina a arquitetura binária e a unária, com o objetivo de se obter o equilíbrio entre as especificações de performance do conversor e o consumo de potência, a área ocupada e a complexidade de projeto envolvida.

O conversor D/A apresentado nesta dissertação emprega a estrutura R-2R com apenas transistores CMOS como elementos resistivos, combinando a alta precisão da ponderação binária de corrente (*current binary weighting*) da arquitetura R-2R com a pequena área ocupada pelo uso de transistores na arquitetura de direcionamento de corrente. Esta arquitetura, formada por um contador binário de 8 bits, uma rede R-2R CMOS e um conversor corrente-tensão (I/V), é mostrada na Figura 2.

A conversão D/A é realizada da seguinte forma: a cada pulso de *clock*, o contador avança um estado e ativa seqüencialmente os ramos da rede R-2R, gerando uma rampa de corrente. A rampa de corrente é, então, convertida em uma rampa de tensão ( $V_{ramp}$ ) no conversor I/V, possibilitando que esse sinal seja usado como referência na conversão A/D do sinal de saída do *pixel* ( $V_{pixel}$ ). O sinal de saída de 8 bits do contador é a codificação binária a ser gravada nos *latches* quando  $V_{pixel}$  e  $V_{ramp}$  forem iguais.



**Figura 2 – Arquitetura do conversor D/A**

Esta arquitetura, considerada de alta-resolução [7], é simples de ser implementada em circuitos integrados. Os maiores desafios de implementação são alcançar um bom nível de linearidade, mantendo a monotonicidade, e uma baixa ocorrência de *glitches*, resultando em um pequeno consumo de potência. Especificamente, para que o conversor D/A tenha um comportamento monotônico, o valor máximo da não-linearidade diferencial, denominada *differential nonlinearity* (DNL), deve ser  $\pm 1$  bit menos significativo (*least significant bit* – LSB). O erro de DNL descreve a diferença entre dois sinais analógicos adjacentes (valor real do LSB) em relação ao valor ideal do LSB e pode ser calculado por (1) [7], onde  $C_{m+1}$  e  $C_m$  são dois códigos binários de entrada adjacentes e  $S_{out}(C_m)$  é o sinal de saída do conversor para um código de entrada  $C_m$ .

$$DNL = S_{out}(C_{m+1}) - S_{out}(C_m) - 1LSB \quad (1)$$

O comportamento monotônico também pode ser garantido com um valor máximo de não-linearidade integral, denominada *integral nonlinearity* (INL), de  $\pm 0,5$  LSB. O erro de INL descreve o desvio do sinal de saída em relação ao seu valor ideal, definido por uma linha reta entre os pontos de zero e de escala completa (*full scale*) do conversor, e pode ser

calculado por (2), onde  $S_{out}(C_m)$  é o sinal de saída do conversor para um código de entrada  $C_m$ .

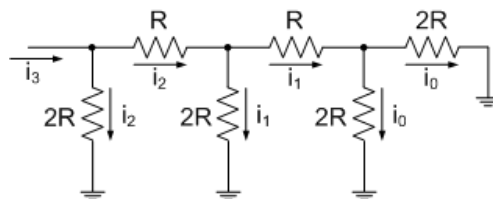
$$INL = S_{out}(C_m) - C_m \cdot LSB \quad (2)$$

Nas próximas subseções, o projeto elétrico e físico da rede R-2R CMOS e do conversor IV e simulações pós-*layout* do conversor D/A completo serão apresentados. O contador binário de 8 bits foi implementado em uma arquitetura síncrona com células padrão da biblioteca digital do processo de fabricação escolhido.

## 4.2.1. Projeto Elétrico

### 4.2.1.1. Rede R-2R CMOS

A rede R-2R tem como objetivo gerar uma rampa de corrente com 256 níveis. O seu funcionamento se baseia no princípio da divisão de corrente entre resistores em série e em paralelo. Este princípio é exemplificado na Figura 3, com uma rede R-2R resistiva de 3 bits. Nesta arquitetura, a corrente de entrada em cada nó é dividida igualmente em duas correntes de acordo com (3).

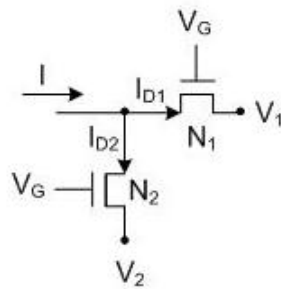


**Figura 3 – Princípio da divisão de corrente em uma rede R-2R resistiva de 3 bits**

$$i_k = \frac{i_{k+1}}{2}, \text{ para } k \geq 0 \quad (3)$$

O mesmo princípio de divisão de corrente pode ser aplicado em uma rede R-2R formada apenas por transistores CMOS, apesar da relação corrente-tensão não-linear no transistor. Neste caso, a divisão de corrente é baseada na simetria entre os terminais dreno e

fonte do transistor CMOS. Para o circuito mostrado na Figura 4, esta simetria resulta na divisão da corrente de entrada ( $I$ ) em duas correntes de dreno ( $I_{D1}$  e  $I_{D2}$ ) cuja razão é definida em (4) [27], onde  $W$  é a largura e  $L$  é o comprimento do transistor. Dessa forma, a razão  $I_{D1} / I_{D2}$  é constante e independente da corrente de entrada e das tensões nos terminais. Para que a corrente de entrada seja igualmente dividida entre  $I_{D1}$  e  $I_{D2}$ , basta que os transistores  $N1$  e  $N2$  tenham o mesmo tamanho.



**Figura 4 – Princípio da divisão de corrente em uma rede R-2R CMOS**

$$\frac{I_{D1}}{I_{D2}} = \frac{W_1/L_1}{W_2/L_2} \quad (4)$$

Baseado neste princípio, uma rede R-2R CMOS de 8 bits pode ser construída como mostra a Figura 5. Transistores PMOS foram empregados como resistores da rede devido à blindagem oferecida pelo poço contra cargas injetadas no substrato. Além disso, o ramo 2R foi implementado com dois transistores PMOS em série para que todos os transistores da rede tenham o mesmo tamanho, o que melhora o casamento (*matching*) entre eles no *layout*. Todos os transistores operam na região linear, com a tensão de gate em zero, para redução dos erros relacionados ao dreno [27].

Em cada ramo 2R da rede, duas chaves com sinais de controle complementares foram adicionadas para gerar duas saídas:  $I_{out}$  e  $I_{dump}$ . Geralmente, o segundo transistor do ramo 2R é duplicado e os dois transistores são utilizados como chaves, porém isto gera uma grande injeção de carga no substrato e, conseqüentemente, *glitches* no sinal de saída da rede. Para reduzir esses efeitos, chaves complementares com transistores *dummy* foram empregadas, como mostra a Figura 6.



A utilização tanto de transistores PMOS como de NMOS faz com que a resistência de fechamento da chave permaneça aproximadamente constante, permitindo um melhor desempenho em relação à chave CMOS simples [28]. Os transistores *dummy* (P1, P3, N1 e N3) têm como finalidade compensar a injeção de carga proveniente de capacitâncias parasitas e de P2 e N2, quando estes não estão conduzindo. Enquanto P2 e N2 conduzem, P1, P3, N1 e N3 estão em aberto. Já quando P2 e N2 não estão conduzindo, P1, P3, N1 e N3 retiram cargas para estabelecer o seu canal de condução, realizando um balanceamento com as cargas injetadas por P2 e N2. Para a completa compensação de carga, P1, P3, N1 e N3 devem ter a razão W/L igual à metade da utilizada em P2 e N2, pois metade das cargas de P2 e N2 é direcionada para a entrada e a outra metade, para a saída [29].

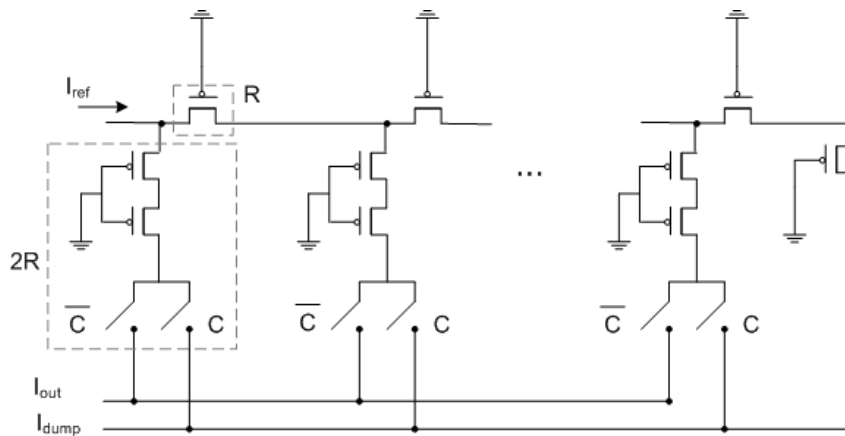


Figura 5 – Rede R-2R CMOS de 8 bits

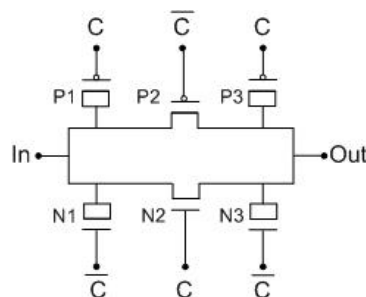


Figura 6 – Chave complementar com transistores *dummy*

Os sinais de controle das chaves são gerados pelo contador binário, de forma que  $I_{out}$  tenha um valor de corrente proporcional ao código binário de entrada. As correntes dos ramos não selecionados pelo contador são ligadas ao terra (*ground*) do circuito pelo nó  $I_{dump}$ . Dessa forma,  $I_{out}$  e  $I_{dump}$  são rampas simétricas de corrente que variam de zero a  $I_{ref}$ .

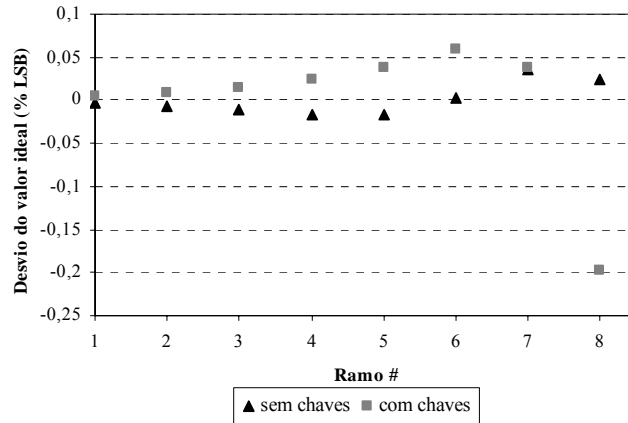
Devido ao princípio de funcionamento do conversor I/V, explicado na próxima subseção, as chaves conectadas em  $I_{out}$  são controladas pelos sinais complementares do contador.

Para se estabelecer o valor da corrente de entrada ( $I_{ref}$ ), primeiramente o valor mínimo de corrente (LSB) da rede deve ser escolhido como sendo no mínimo uma ordem de grandeza maior do que a corrente de fuga (*leakage*) do transistor. Após isso, a corrente de referência  $I_{ref}$  pode ser determinada como 256 vezes o valor da corrente LSB da rede. Neste trabalho,  $I_{ref}$  foi definida como 10  $\mu$ A.

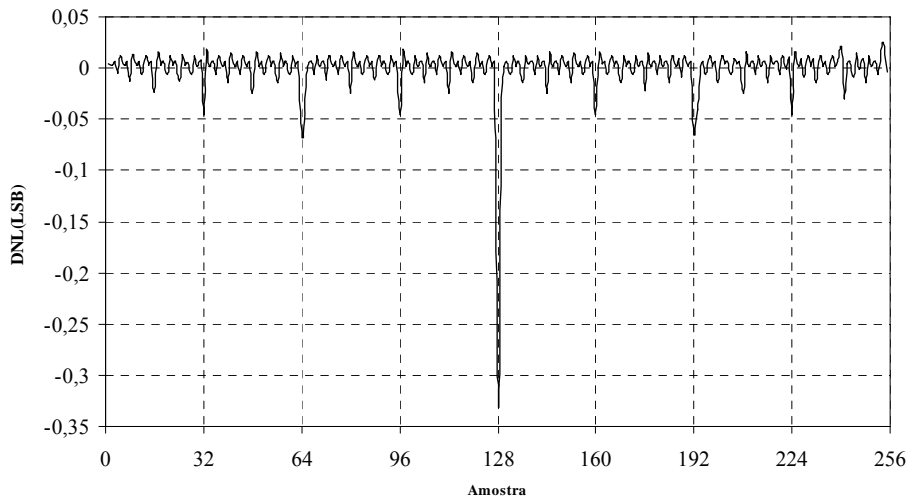
O tamanho dos transistores da rede R-2R foi definido considerando a corrente  $I_{ref}$  e as tensões nos nós de entrada e de saída. Além disso, como será explicado posteriormente nesta seção, transistores com grande comprimento de canal devem ser empregados, pois isto possibilita um melhor casamento entre eles. A partir disso, foi realizada uma simulação com apenas o ramo 2R, reproduzindo as condições de operação deste ramo: tensões de entrada e de saída constantes e os transistores polarizados na região linear. O tamanho destes transistores foi determinado de forma que metade da corrente  $I_{ref}$  passasse por eles, o que levou a  $W = 2 \mu\text{m}$  e  $L = 20 \mu\text{m}$ . Como todos os transistores devem ter o mesmo tamanho, o transistor do ramo R também possui  $W = 2 \mu\text{m}$  e  $L = 20 \mu\text{m}$ .

As chaves possuem tamanho mínimo (P1, P3, N1 e N3 com  $W = 0,5 \mu\text{m}$  e  $L = 0,35 \mu\text{m}$  e P2 e N2 com  $W = 1 \mu\text{m}$  e  $L = 0,35 \mu\text{m}$ ) para que a sua resistência seja muito menor do que a dos transistores da rede R-2R. Apesar disso, a resistência das chaves contribui para a resistência total do ramo 2R, resultando em uma pequena diferença de resistência entre o ramo R e o 2R e, conseqüentemente, aumento dos erros de DNL e de INL.

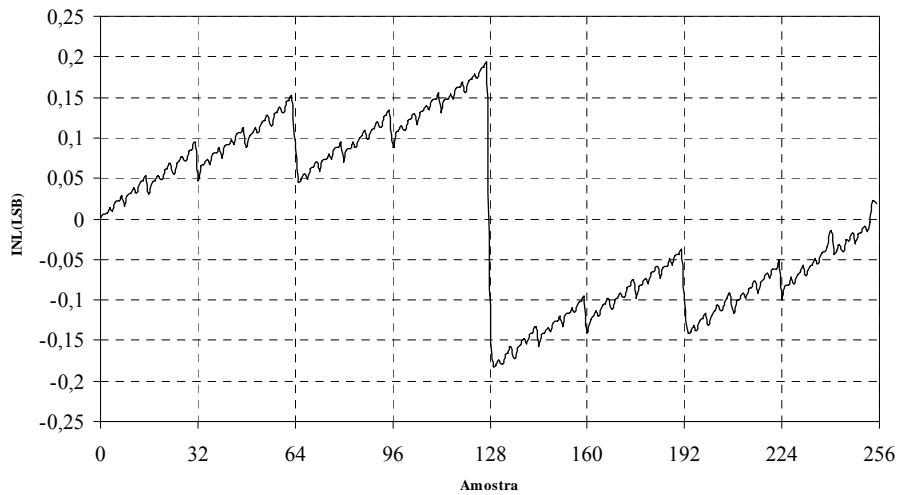
Para estimar estes erros, foi realizada uma simulação das correntes nos ramos com chaves de tamanho mínimo e sem chaves no ramo 2R. Também foi realizada a simulação de DNL e de INL da corrente de saída  $I_{out}$  com chaves de tamanho mínimo. Os resultados, apresentados na Figura 7, na Figura 8 e na Figura 9 em função do LSB, mostram que, apesar da inclusão das chaves causar um aumento do desvio do valor ideal das correntes, isto não afeta a monotonicidade da rede. O maior valor de DNL ocorreu na mudança de valor do bit mais significativo (*most significant bit* – MSB), ou seja, no código binário 128, como mostra a Figura 8. Este valor ficou em torno de -0,33 LSB, o que está dentro da faixa de monotonicidade de  $\pm 1$  LSB. O gráfico de INL mostrado na Figura 9 também ficou dentro da faixa requerida para a monotonicidade ( $\pm 0,5$  LSB).



**Figura 7 – Simulação da corrente nos ramos com chaves e sem chaves no ramo 2R**



**Figura 8 – Simulação de DNL da corrente  $I_{out}$  com chaves de tamanho mínimo**



**Figura 9 – Simulação de INL da corrente  $I_{out}$  com chaves de tamanho mínimo**

A rede R-2R também foi simulada empregando uma chave com o dobro do tamanho da chave mínima conectada ao ramo R e sempre fechada. Dessa forma, a pequena diferença de resistência entre o ramo R e o 2R poderia ser compensada com esta nova chave de metade do valor de resistência da chave mínima. Entretanto, as simulações de DNL e de INL mostraram que esta inclusão não equilibra a rede R-2R e, além disso, adiciona mais não-linearidades ao sinal de saída.

A maior preocupação no projeto de conversores D/A baseados no princípio de divisão de corrente é o descasamento entre os transistores da rede causado por pequenas variações no processo de fabricação. Em uma rede R-2R CMOS, o descasamento entre os transistores pode gerar erros de DNL e de INL que comprometam o seu comportamento monotônico.

Para estimar a variação no sinal de saída da rede devido ao descasamento entre os transistores, as análises DCmatch e Monte Carlo do simulador de circuitos HSpice foram realizadas. Os parâmetros de descasamento do processo de fabricação CMOS 0,35  $\mu\text{m}$  empregam o modelo Pelgrom [30] descrito em (5), onde  $\Delta P$  representa a variação do parâmetro e  $A_P$  é o parâmetro de processo que descreve a dependência do casamento dos transistores em relação à área. Foi assumido que todos os parâmetros possuem uma distribuição Gaussiana com variância  $\sigma^2$ . A tensão de limiar (*threshold*) e o fator de ganho de corrente do transistor foram os dois parâmetros utilizados na simulação.

$$\sigma(\Delta P) = \frac{A_P}{\sqrt{W \cdot L}} \quad (5)$$

Como mostrado em (5), o desvio-padrão (sigma) de um parâmetro do transistor cresce com a diminuição da área, tornando importante a verificação dos efeitos do descasamento nas chaves de tamanho mínimo na corrente de saída  $I_{\text{out}}$ . Para isso, a simulação DCmatch, que determina os efeitos combinados das variações de todos os componentes de um circuito em um nó de tensão específico ou em um ramo de corrente na resposta DC, foi empregada.

Esta simulação foi realizada com todos os ramos conectados em  $I_{\text{out}}$ , pois este é o pior caso de contribuição do descasamento na saída, já que as variações em todos os ramos são somadas em  $I_{\text{out}}$ . O resultado da simulação mostrou que as chaves contribuem com menos de 0,5% do desvio-padrão total da corrente de saída, o que pode ser explicado pelo fato da

resistência das chaves ser muito menor que a dos transistores da rede R-2R. Dessa forma, mesmo com uma variação relativa maior, a contribuição do descasamento das chaves no sinal de saída é muito pequena.

Em seguida, uma estimativa da probabilidade do valor máximo de DNL da corrente  $I_{out}$  estar em  $\pm 1$  LSB foi realizada. Como foi mostrado anteriormente na Figura 8, o pior caso de DNL sistemático ocorreu na mudança de valor do MSB, quando o DNL atingiu aproximadamente  $-0,33$  LSB. Para medir esta situação levando em consideração o descasamento entre os transistores da rede, a simulação de Monte Carlo foi realizada com 50 iterações. Cada iteração realiza uma análise transiente de um ciclo completo de conversão, com o código binário de entrada variando de 0 a 255. Em cada análise transiente, o valor do pior caso de DNL foi calculado de acordo com (6).

$$DNL_{128} = \frac{I_{128} - I_{127}}{LSB} - 1 \quad (6)$$

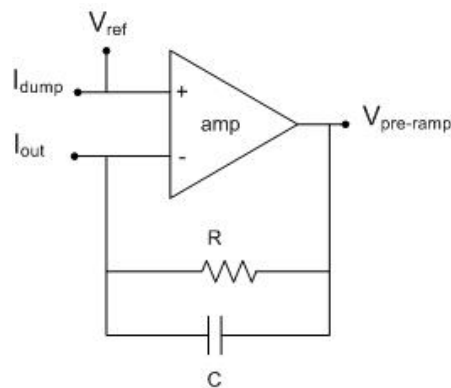
O resultado obtido após todas as iterações foi uma variável aleatória  $DNL_{128}$  com média  $-0,36$  LSB, o que é consistente com o valor obtido anteriormente de  $-0,33$  LSB, e desvio-padrão  $0,24$  LSB. A probabilidade do valor máximo de DNL da corrente  $I_{out}$  estar em  $\pm 1$  LSB pode ser calculada por (7) [31], onde  $F(\cdot)$  é a função de distribuição Gaussiana normalizada com média zero e desvio-padrão unitário. O valor encontrado de 99,5% mostra que a monotonicidade do circuito é praticamente insensível ao descasamento entre os transistores da rede. Este valor pode ser interpretado como o rendimento (*yield*) do projeto em relação ao descasamento dos transistores.

$$P\{-1 < DNL_{128} < 1\} = F\left(\frac{1+0.36}{0.24}\right) - F\left(\frac{-1+0.36}{0.24}\right) \approx 99,5\% \quad (7)$$

#### 4.2.1.2. Conversor Corrente-Tensão

O conversor I/V emprega a tradicional arquitetura mostrada na Figura 10, em que um amplificador de transresistência é usado para converter  $I_{out}$  em  $V_{pre-ramp}$ . O terminal positivo

do amplificador e  $I_{\text{dump}}$  estão conectados a uma tensão de referência ( $V_{\text{ref}}$ ) de 1,65 V. Como o amplificador copia esta tensão para o terminal negativo,  $I_{\text{out}}$  também está conectado em  $V_{\text{ref}}$ . O sentido da corrente  $I_{\text{out}}$  é do terminal negativo para a saída ( $V_{\text{pre-ramp}}$ ), passando pelo par RC. Deste modo, para que  $V_{\text{pre-ramp}}$  varie de zero a  $V_{\text{ref}}$  (1,65 V), a corrente  $I_{\text{out}}$  deve ser uma rampa decrescente com valor inicial  $I_{\text{ref}}$  (10  $\mu\text{A}$ ) e o resistor (externo para possibilitar futuros ajustes) deve ser de 165 k $\Omega$ . Assim, quando  $I_{\text{out}}$  for 10  $\mu\text{A}$ , a queda de tensão no resistor é de 1,65 V e a saída  $V_{\text{pre-ramp}}$  começa em zero. Quando  $I_{\text{out}}$  for zero, não há queda de tensão no resistor e  $V_{\text{pre-ramp}}$  termina com o valor de  $V_{\text{ref}}$ , 1,65 V. O capacitor (600 fF) tem como função aumentar a estabilidade e reduzir a banda do circuito para que os *glitches* em alta frequência sejam evitados.



**Figura 10 – Arquitetura do conversor I/V**

O amplificador empregado no conversor I/V utiliza a arquitetura mostrada na Figura 11. Esta arquitetura é de um amplificador de transcondutância, composto de dois estágios: o primeiro, um amplificador diferencial com entrada PMOS e carga cascode (*cascode load*); o segundo, um estágio de ganho formado por um inversor com entrada NMOS.

Todos os transistores foram projetados para operação na região de saturação, com a corrente de dreno  $I_D$  definida por (8), onde  $\mu$  é a mobilidade dos elétrons,  $C_{\text{ox}}$  é a capacitância do óxido,  $V_{\text{GS}}$  é a tensão entre os terminais gate e source, e  $V_{\text{Th}}$  é a tensão de limiar (*threshold*). Com os valores de  $\mu$ ,  $C_{\text{ox}}$  e  $V_{\text{Th}}$  fornecidos pela documentação do processo de fabricação, a razão  $W/L$  de cada transistor pode ser determinada para a corrente de dreno  $I_D$  e a tensão  $V_{\text{GS}}$  escolhidas.

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (V_{GS} - V_{Th})^2 \quad (8)$$

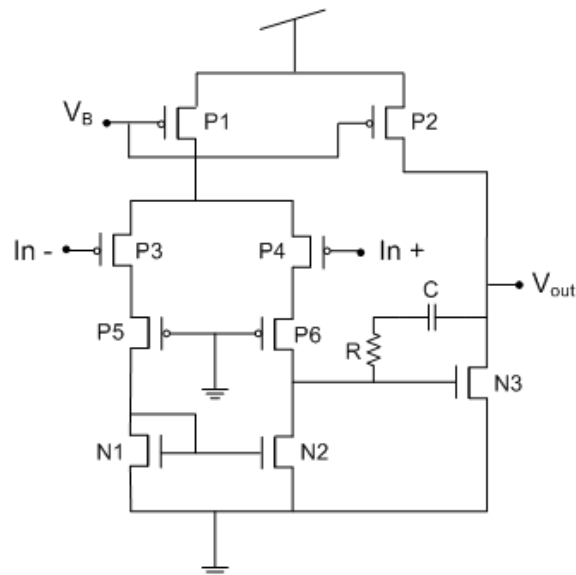
O ganho do circuito  $A_v$  é definido por (9) [29], onde  $g_m$  é a transcondutância e  $g_{ds}$  é a condutância de saída. A transcondutância  $g_m$  pode ser calculada por (10) e a condutância de saída  $g_{ds}$  por (11), onde  $\lambda$  é o parâmetro de modulação de canal. Para que os efeitos de *offset* sejam reduzidos, a relação entre os tamanhos dos transistores P1, P2, N1 e N3 deve obedecer (12) [29].

$$A_v = \frac{g_{mP3} g_{mN3}}{(g_{dsN2} + g_{dsP6})(g_{dsN3} + g_{dsP2})} \quad (9)$$

$$g_m = \sqrt{2 \mu C_{ox} \frac{W}{L} I_D} \quad (10)$$

$$g_{ds} = \lambda I_D \quad (11)$$

$$\left(\frac{W}{L}\right)_{N1} \cdot \left(\frac{W}{L}\right)_{P2} = \frac{1}{2} \left(\frac{W}{L}\right)_{P1} \cdot \left(\frac{W}{L}\right)_{N3} \quad (12)$$



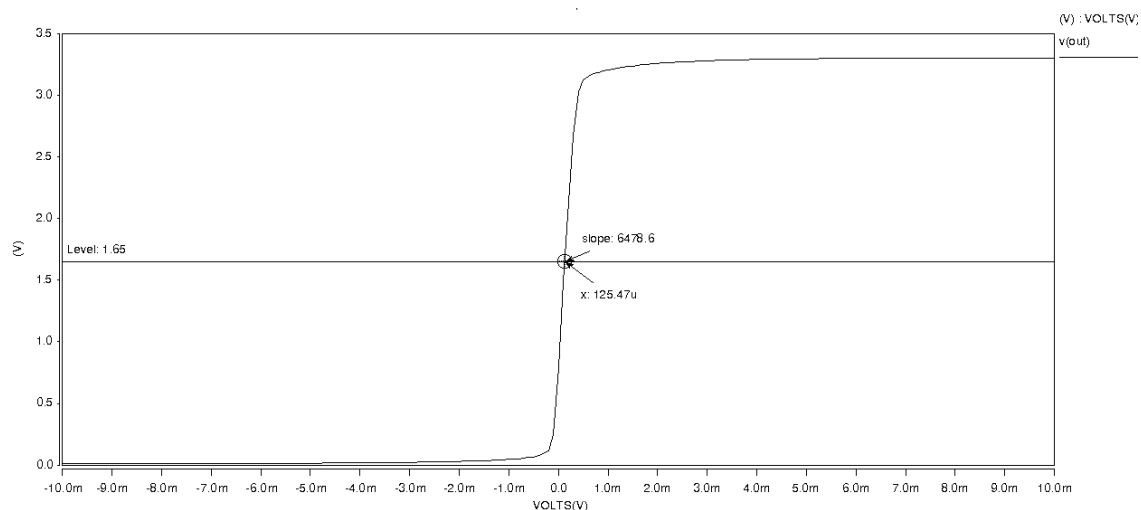
**Figura 11 – Amplificador empregado no conversor I/V**

No primeiro estágio, a polarização é feita através do transistor P1 ( $W = 8 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 2$ , sendo  $M$  a multiplicidade) de modo que a sua corrente de dreno seja  $10 \mu\text{A}$ .

Os transistores da entrada diferencial (P3 e P4) possuem  $I_D = 5 \mu\text{A}$  e  $W = 12 \mu\text{m}$ ,  $L = 0.4 \mu\text{m}$  e  $M = 4$  para aumento do ganho. Os transistores do par cascode (P5 e P6) também possuem  $I_D = 5 \mu\text{A}$  e  $W = 12 \mu\text{m}$ ,  $L = 0.4 \mu\text{m}$  e  $M = 4$  e têm como objetivo isolar a entrada da saída, reduzindo o efeito Miller nas capacitâncias de junção gate dreno dos transistores de entrada. Os transistores N1 e N2 possuem  $I_D = 5 \mu\text{A}$  e  $W = 7,5 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 2$ . Eles formam um espelho de corrente, responsável por converter a saída diferencial em uma saída única, que é a entrada do segundo estágio.

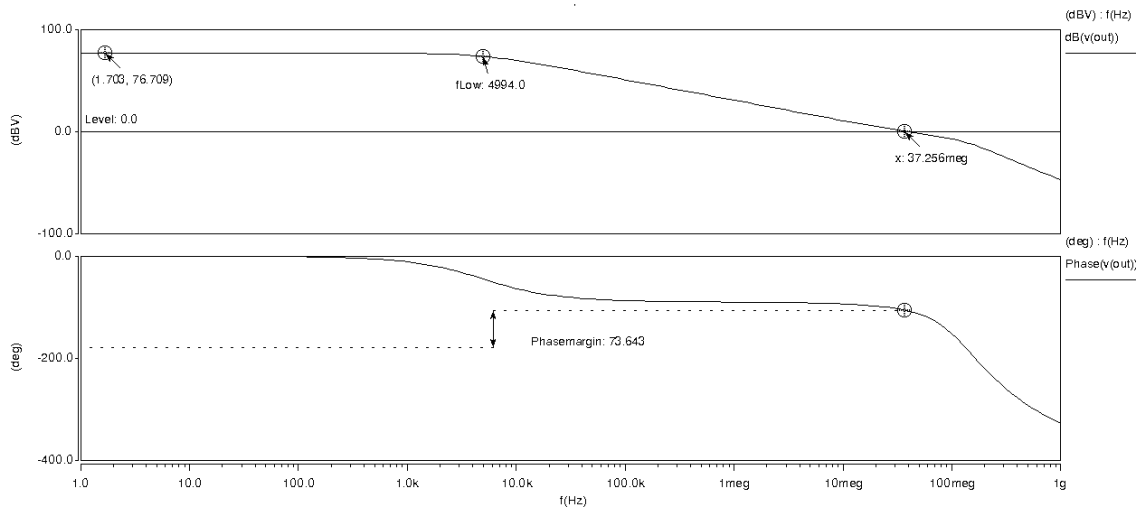
O segundo estágio é polarizado pelo transistor P2 ( $W = 8 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 4$ ) de modo que a sua corrente de dreno seja  $20 \mu\text{A}$ . O transistor N3 possui  $I_D = 20 \mu\text{A}$  e  $W = 7,5 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 8$  para aumento do ganho. O resistor ( $13 \text{ k}\Omega$ ) em série com o capacitor de compensação ( $200 \text{ fF}$ ) ajusta a resposta em frequência.

A caracterização do amplificador empregado no conversor I/V foi realizada com simulações de corrente contínua (*direct current* – DC) e de corrente alternada (*alternating current* – AC). Na análise DC, mostrada na Figura 12, o ganho obtido foi de 6478,6 com *offset* de  $125,47 \mu\text{V}$ , o que está de acordo com as necessidades da aplicação. Na análise AC, mostrada na Figura 13, o ganho foi de 76,709 dB, com frequência de corte de 4,994 kHz, produto ganho-banda passante de 37,256 MHz e margem de fase de  $73,643^\circ$ , o que garante a estabilidade do circuito.



**Figura 12 – Simulação DC do amplificador empregado no conversor I/V**

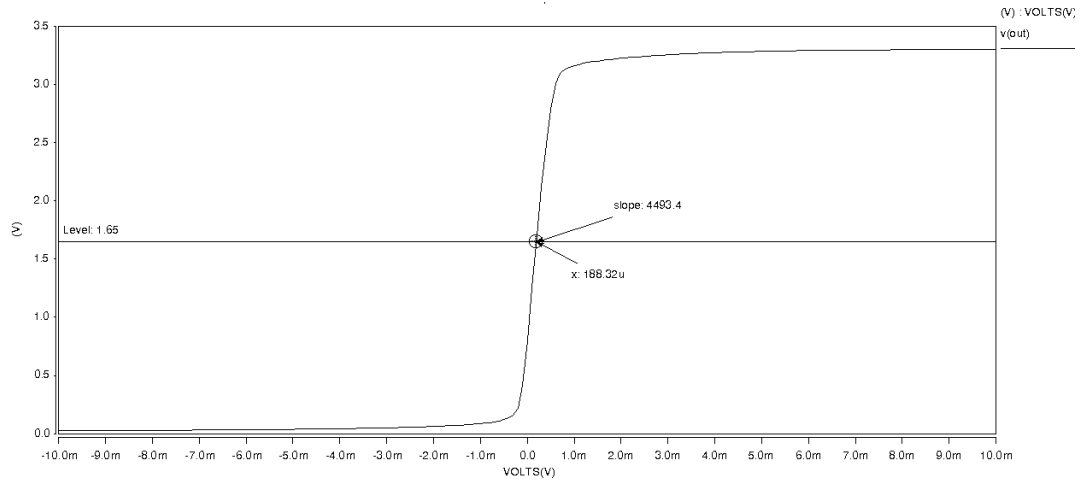




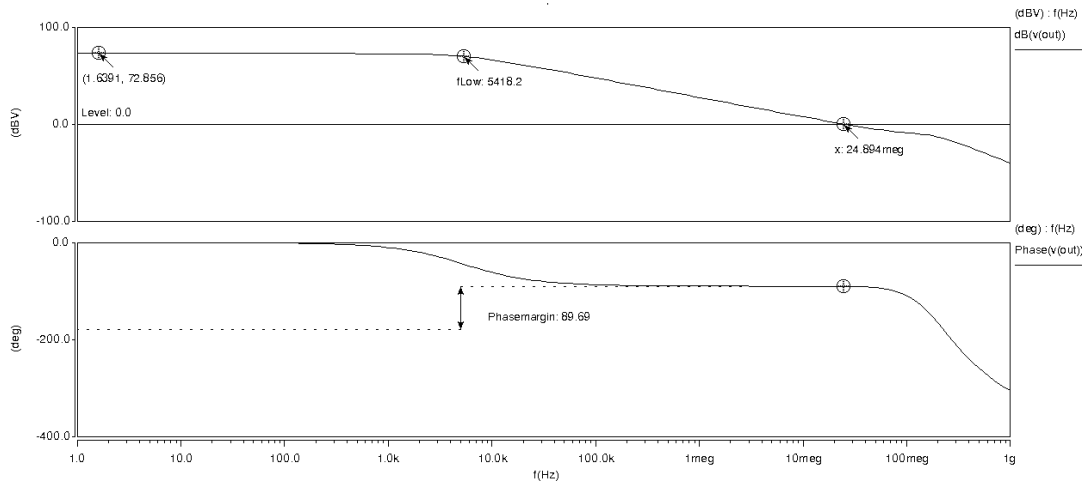
**Figura 13 – Simulação AC do amplificador empregado no conversor I/V**

Um amplificador isolador (*buffer*) foi utilizado para gerar a tensão de referência ( $V_{\text{ref}}$ ) de 1,65 V. O mesmo amplificador de transcondutância descrito anteriormente foi empregado, mas com valores menores de P3, P4, P5 e P6 ( $W = 8 \mu\text{m}$ ,  $L = 0.4 \mu\text{m}$  e  $M = 2$ ), N1 e N2 ( $W = 5 \mu\text{m}$ ,  $L = 1 \mu\text{m}$ ) e N3 ( $W = 5 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 4$ ). Todos os transistores continuam operando na região de saturação e obedecendo (12).

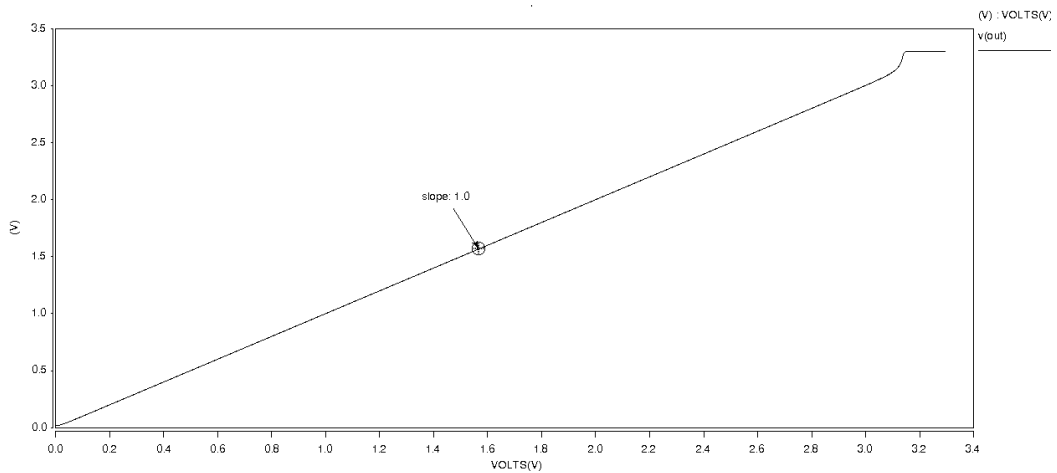
A caracterização deste amplificador é mostrada na Figura 14 e na Figura 15. Na análise DC, o ganho obtido foi de 4493,4 com *offset* de 188,32  $\mu\text{V}$ . Na análise AC, o ganho foi de 72,856 dB, com frequência de corte de 5,4182 kHz, produto ganho-banda passante de 24,894 MHz e margem de fase de 89,69°. Por fim, a Figura 16 apresenta a análise DC do amplificador realimentado para ganho 1 (*buffer*). Este gráfico apresentou uma transferência linear com ganho 1 para a faixa de 0 a 2,5 V, o que é suficiente para a aplicação.



**Figura 14 – Simulação DC do amplificador empregado no *buffer***

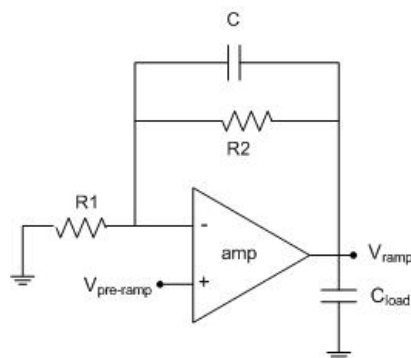


**Figura 15 – Simulação AC do amplificador empregado no *buffer***



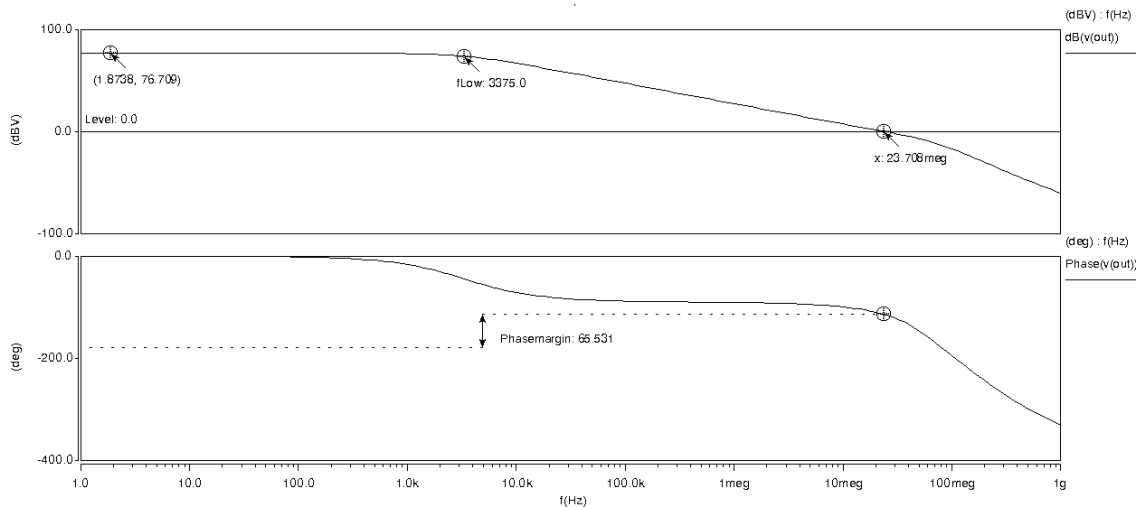
**Figura 16 – Simulação DC do *buffer***

Como o sinal de saída do conversor I/V ( $V_{pre-ramp}$ ) tem o valor máximo de 1,65 V, um estágio de ganho foi adicionado para aumentar a faixa de excursão da rampa de tensão. Este estágio de saída, mostrado na Figura 17, é um amplificador operacional em configuração não-inversora, com o sinal  $V_{pre-ramp}$  conectado ao terminal positivo. O ganho é ajustado pelos resistores externos R1 e R2 de modo que  $V_{ramp}$  fique na faixa requerida para a aplicação em sensores de imagem, em torno de 2,5 V. Neste caso, para um ganho de 1,5,  $R1 = 200 \text{ k}\Omega$  e  $R2 = 100 \text{ k}\Omega$ , gerando um valor máximo de 2,475 V em  $V_{ramp}$ . Isto leva a um LSB de  $2,475\text{V}/255 = 9,7 \text{ mV}$ . O capacitor C (200 fF) ajusta a banda e aumenta a estabilidade do circuito e o capacitor  $C_{load}$  representa uma carga de 800 fF na saída.



**Figura 17 – Arquitetura do estágio de saída**

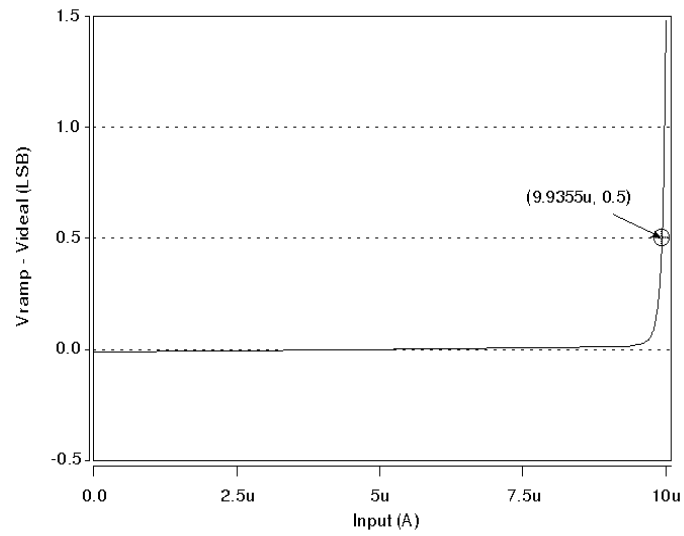
O mesmo amplificador de transcondutância descrito anteriormente foi utilizado no estágio de saída. Neste estágio, o amplificador possui uma capacitância de carga maior, representada por  $C_{load}$ , pois a sua saída está ligada em todos os comparadores empregados na conversão A/D do sistema. Para que a margem de fase não fosse reduzida a um valor inferior ao requerido para estabilidade ( $45^\circ$ ), o capacitor de compensação foi aumentado para 300 fF. A sua caracterização AC, mostrada na Figura 18, apresentou uma pequena diferença em relação ao resultado do conversor I/V: frequência de corte de 3,375 kHz, produto ganho-banda passante de 23,708 MHz e margem de fase de  $65,531^\circ$ .



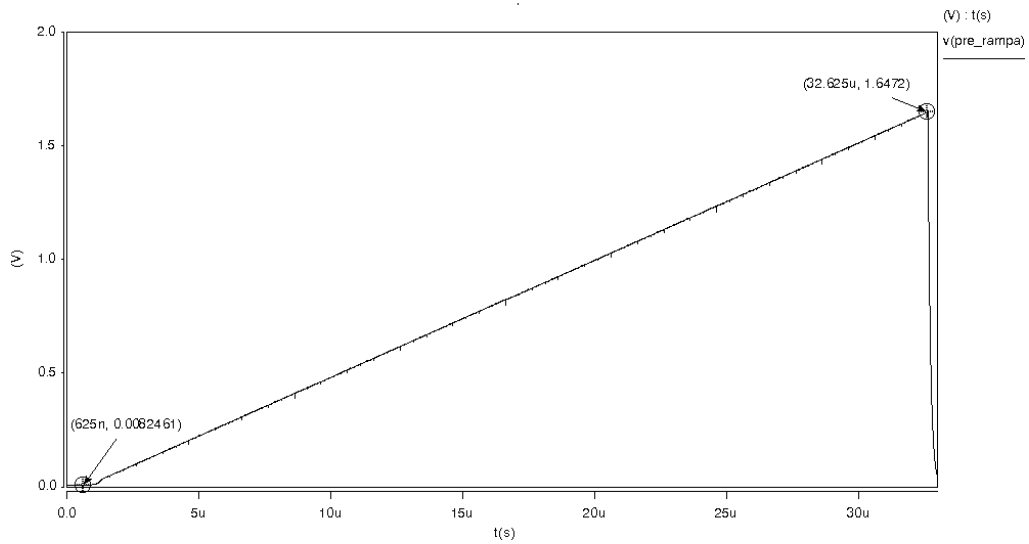
**Figura 18 – Simulação AC do amplificador empregado no estágio de saída**

Para medir a linearidade do conversor I/V, juntamente com o estágio de saída, uma simulação DC de varredura (*DC sweep*) foi realizada com uma fonte ideal de corrente conectada em  $I_{out}$ . Esta fonte variou de zero a  $10\ \mu\text{A}$  e a diferença entre  $V_{ramp}$  e a rampa ideal de saída foi medida, como mostrado na Figura 19. Pode-se observar que  $V_{ramp}$  está muito próximo do seu valor ideal, exceto quando  $I_{out}$  se aproxima do seu valor máximo (e  $V_{ramp}$  se aproxima de zero). Para esta faixa do sinal de entrada, o circuito corta (*clip*) o sinal de saída  $V_{ramp}$ , criando a subida acentuada mostrada no final do gráfico. O sinal de saída permanece em 0,5 LSB do seu valor ideal até  $9,9355\ \mu\text{A}$ , o que corresponde, na rampa decrescente  $I_{out}$ , a aproximadamente 2 LSB.

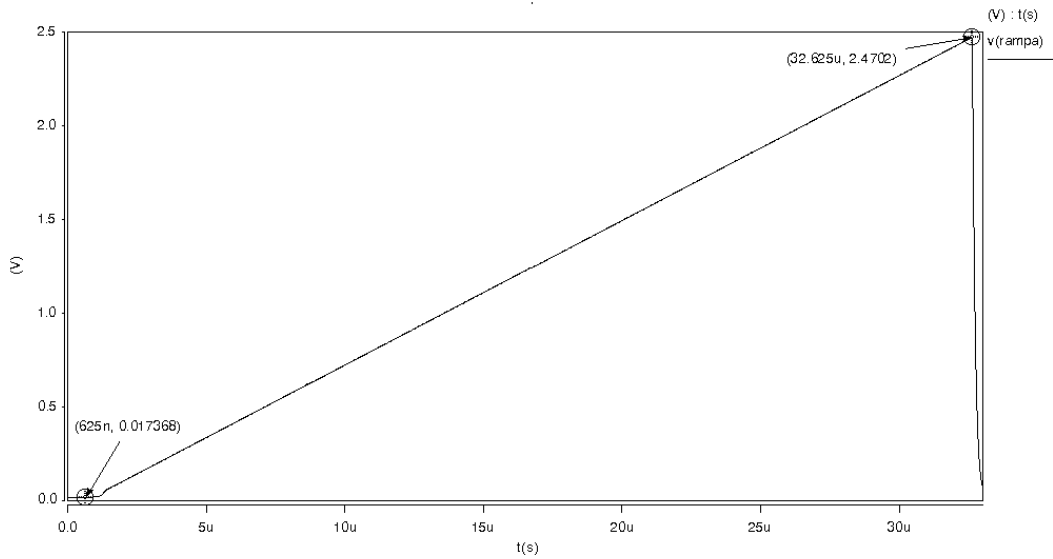
A Figura 20 e a Figura 21 mostram o resultado da simulação transiente do conversor I/V e do estágio de saída, juntamente com a rede R-2R e o contador binário. Como o sinal de saída  $I_{out}$  da rede R-2R ficou um pouco abaixo de  $10\ \mu\text{A}$ , o resistor externo de realimentação do conversor I/V teve que ser ajustado para  $169\ \text{k}\Omega$ , de modo que  $V_{pre-ramp}$  começasse o mais perto possível de zero. Nos dois gráficos apresentados, após o *reset* do contador até  $625\ \text{ns}$ , têm-se duas rampas de tensão crescentes durante  $32\ \mu\text{s}$ : a primeira  $V_{pre-ramp}$  (variando de  $8,2461\ \text{mV}$  a  $1,6472\ \text{V}$ ) e a segunda  $V_{ramp}$  (variando de  $17,368\ \text{mV}$  a  $2,4702\ \text{V}$ ). Como era esperado, o circuito não responde corretamente aos valores iniciais de  $I_{out}$  e, com isso,  $V_{pre-ramp}$  e  $V_{ramp}$  não começam em zero.



**Figura 19 – Diferença entre  $V_{\text{ramp}}$  e a rampa ideal de saída na simulação DC *sweep***

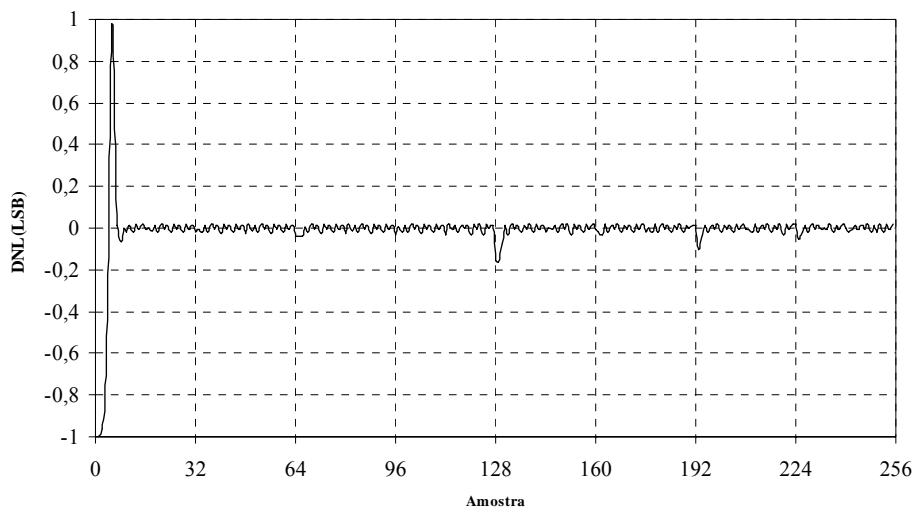


**Figura 20 – Sinal de saída do conversor I/V obtido na simulação transiente**

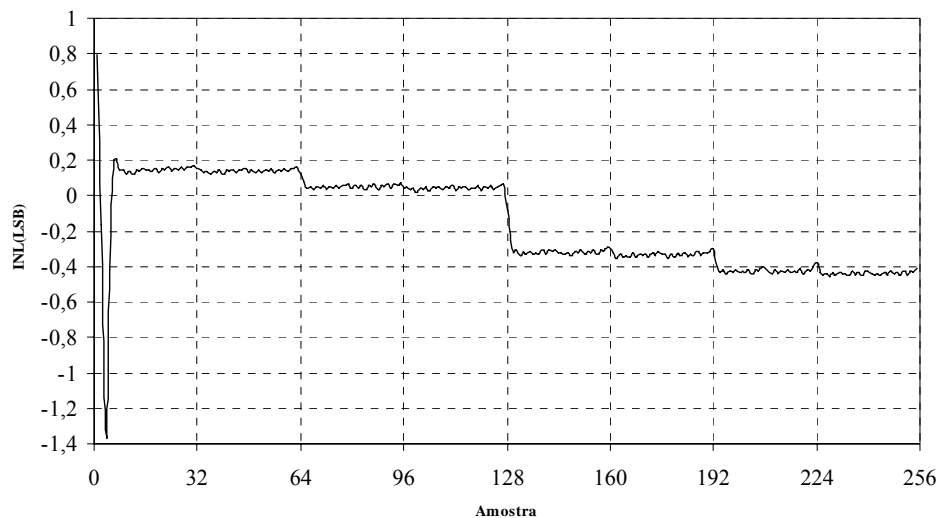


**Figura 21 – Sinal de saída do estágio de saída obtido na simulação transiente**

Também foi realizada a simulação de DNL e de INL da tensão  $V_{\text{ramp}}$ , cujo resultado é mostrado na Figura 22 e na Figura 23. As duas curvas apresentaram valores altos nas primeiras amostras devido ao corte do sinal de saída pelos amplificadores do conversor I/V e do estágio de saída. Na mudança de valor do MSB (amostra 128), também ocorreu um erro relativamente maior. Apesar disso e dos altos valores iniciais, o gráfico de DNL não ultrapassou a faixa de  $\pm 1$  LSB requerida para a monotonicidade. O gráfico de INL permaneceu na faixa de  $\pm 0,5$  LSB a partir da quinta amostra.



**Figura 22 – Simulação de DNL da tensão  $V_{\text{ramp}}$**



**Figura 23 – Simulação de INL da tensão  $V_{ramp}$**

## 4.2.2. Projeto Físico

### 4.2.2.1. Rede R-2R CMOS

Um dos principais objetivos do projeto físico da rede R-2R CMOS foi minimizar o descasamento entre os transistores que a compõem, para que as sucessivas divisões de corrente tenham a maior precisão possível. Para isto, foram implementadas as técnicas de *layout* descritas a seguir, que reduzem o descasamento entre os transistores e isolam o circuito de ruídos provenientes do substrato.

Primeiramente, como o silício não conduz igualmente em todas as direções, os transistores devem ser posicionados de forma que as suas correntes circulem no mesmo sentido ou que exista um mesmo número de transistores com corrente em um sentido e no sentido inverso, para que os seus efeitos sejam cancelados. No *layout* apresentado na Figura 24, os transistores PMOS foram orientados na mesma direção, com as correntes circulando no mesmo sentido. Como a mudança de estado do MSB apresentou um valor alto na simulação de DNL da corrente  $I_{out}$ , os transistores que formam este bit foram posicionados no centro da rede a fim de reduzir os erros decorrentes da sua transição. Os transistores das chaves foram orientados na mesma direção da rede, mas com metade das correntes em um sentido e metade no outro.

Além disso, transistores *dummy* foram incluídos nas duas extremidades da rede para que todos os transistores tenham a mesma periferia. Os transistores *dummy* são iguais aos transistores usados na rede R-2R, com a única diferença de terem todos os seus terminais conectados ao  $V_{DD}$  para não haver condução.

Também é importante que na área ativa do gate dos transistores não sejam colocados contatos e não passe o metal de roteamento do circuito, pois essas são fontes de descasamento.

Por fim, anéis de guarda foram utilizados para circundar a rede de transistores e as chaves, a fim de isolar e proteger a rede do ruído no substrato proveniente do chaveamento. Foram empregados dois tipos de anel: de aterramento, que conecta ao substrato (tipo P); de drenagem, que conecta ao poço N e possibilita o uso de uma tensão positiva para atrair e coletar os elétrons livres no substrato.

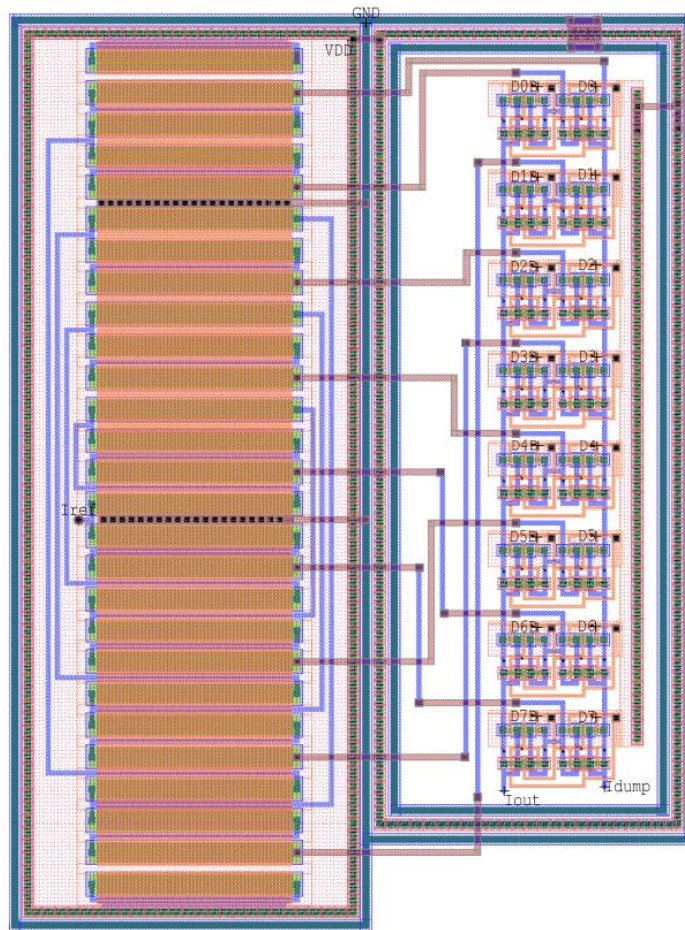


Figura 24 – *Layout* da rede R-2R



#### 4.2.2.2. Conversor Corrente-Tensão

No conversor I/V, o projeto físico do amplificador de transcondutância também teve como objetivo minimizar o descasamento entre os transistores. Primeiramente, foram identificados os grupos de transistores que requerem casamento entre eles. Neste amplificador, os grupos de transistores são: P1 e P2 (polarização), P3 e P4 (par diferencial de entrada), P5 e P6 (par cascode), N1, N2 (espelho de corrente) juntamente com N3 (equação de *offset*).

Para reduzir o descasamento causado por variações do processo, os transistores em cada um destes grupos foram distribuídos em uma estrutura centróide em uma dimensão, na denominada técnica *one-dimensional common-centroid layout*. Esta técnica consiste em posicionar os transistores interdigitados (divididos em um determinado número de segmentos, indicado pelo fator de multiplicidade M) em um padrão que garante o alinhamento dos seus eixos de simetria, o que minimiza o descasamento causado por variações no gradiente de processo. A partir de alguns exemplos apresentados em [19], o padrão ABAABA, onde letras iguais representam segmentos de um mesmo transistor, foi utilizado nos transistores de polarização. O padrão ABABBABA foi empregado nos transistores do par diferencial de entrada e nos transistores do par cascode e o AABAACCAABAA, nos transistores NMOS.

Além disso, transistores *dummy* foram incluídos nas duas extremidades de cada grupo para que todos os segmentos dos transistores interdigitados tenham a mesma periferia. Cada transistor *dummy* é igual aos transistores do seu grupo, com a única diferença de que os seus terminais estão conectados ao  $V_{DD}$  (PMOS) ou ao terra (NMOS) para não haver condução.

Todos os transistores também foram orientados na mesma direção, com as correntes circulando no mesmo sentido, e nenhum contato ou metal de roteamento foi colocado na área ativa do gate dos transistores.

O resistor foi construído em polisilício (POLY2) e o capacitor em duas camadas de polisilício (placa inferior em POLY1 e placa superior em POLY2). Ambos foram implementados em um poço N, devido a sua blindagem contra cargas injetadas no substrato.

Por fim, os transistores PMOS, o resistor e o capacitor foram envoltos por anéis de drenagem e todo o circuito do amplificador foi isolado dos ruídos externos através de um anel de aterramento, como mostra a Figura 25.

O amplificador de transcondutância do estágio de saída emprega este mesmo *layout*, apenas com o capacitor um pouco maior. Os capacitores de realimentação do conversor I/V e do estágio de saída também foram implementados com duas camadas de polisilício em um poço N e envoltos por anéis de drenagem, o que será mostrado no *layout* completo da próxima seção.

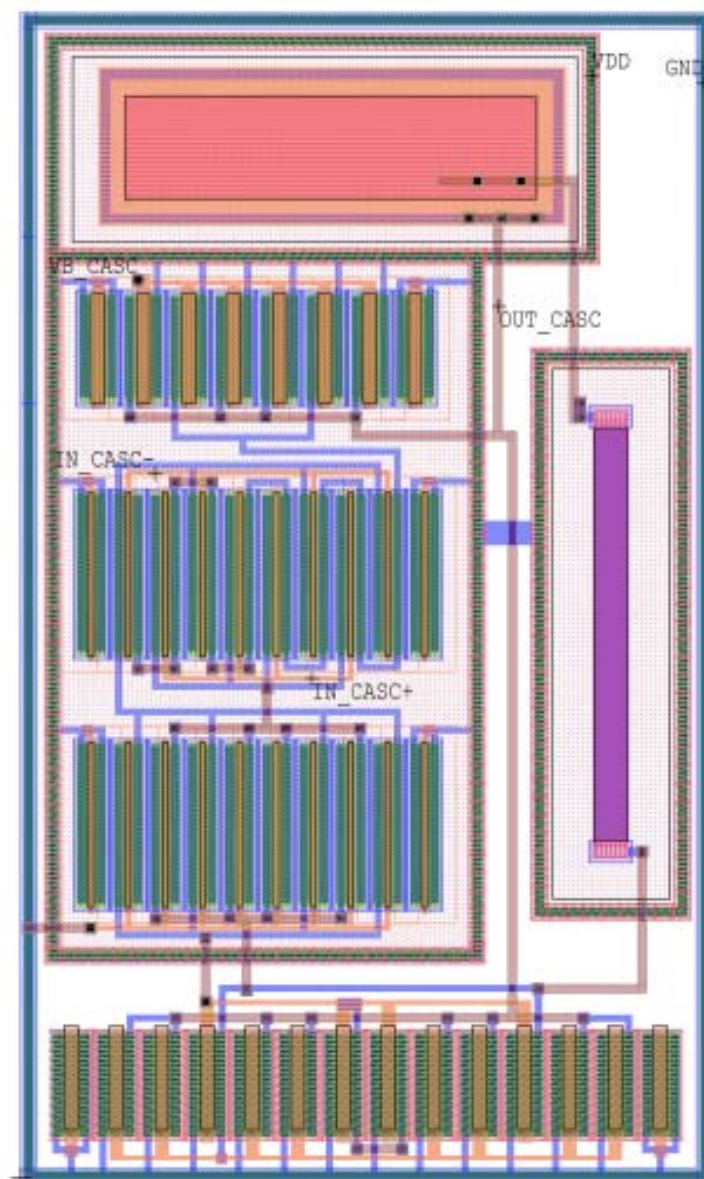


Figura 25 – *Layout* do amplificador empregado no conversor I/V e no estágio de saída

O *layout* do amplificador de transcondutância de tamanho reduzido, empregado como *buffer* na geração da tensão de referência, é mostrado na Figura 26. Este *layout* emprega as mesmas técnicas descritas anteriormente para redução do descasamento entre os transistores e isolamento dos ruídos provenientes do substrato.

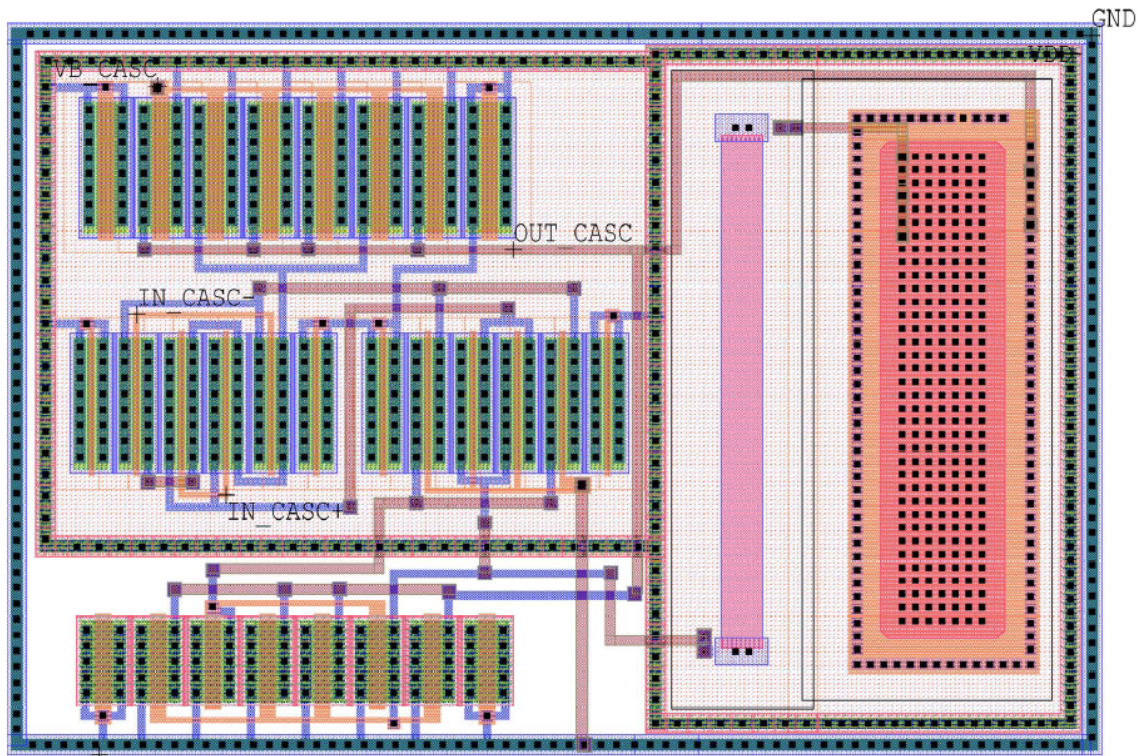


Figura 26 – *Layout* do amplificador empregado como *buffer*

#### 4.2.2.3. *Layout* Completo do Conversor D/A

O *layout* completo do conversor D/A é mostrado na Figura 27. Este *layout* inclui o contador binário, a rede R-2R CMOS, o conversor I/V, o estágio de saída e o amplificador isolador (*buffer*) para gerar a tensão de referência ( $V_{ref}$ ). A área total ocupada é de 0,03 mm<sup>2</sup>.

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.



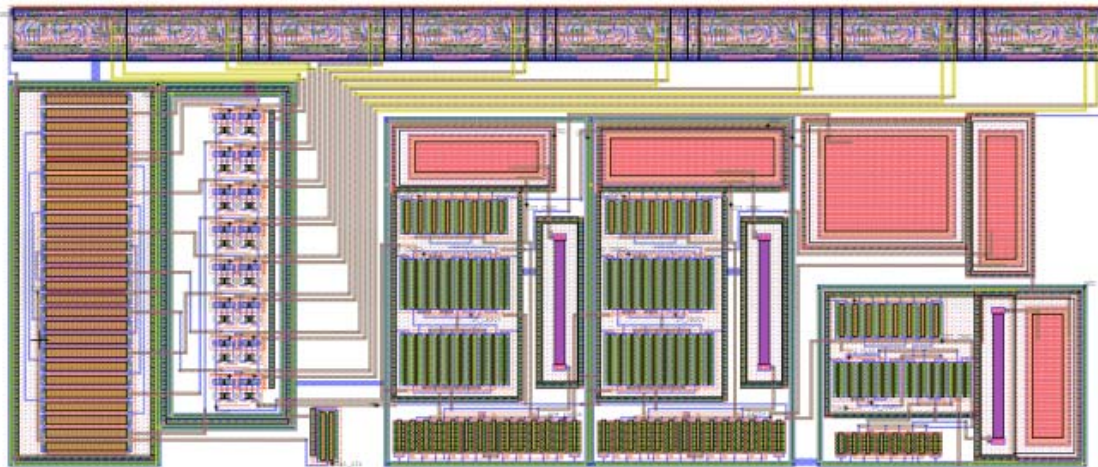


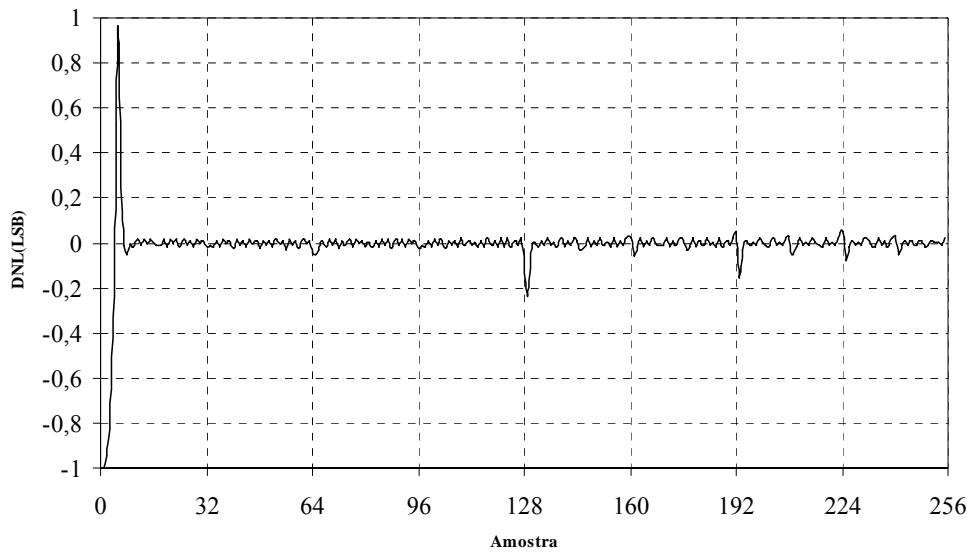
Figura 27 – *Layout* completo do conversor D/A

### 4.2.3. Simulações Pós-*Layout*

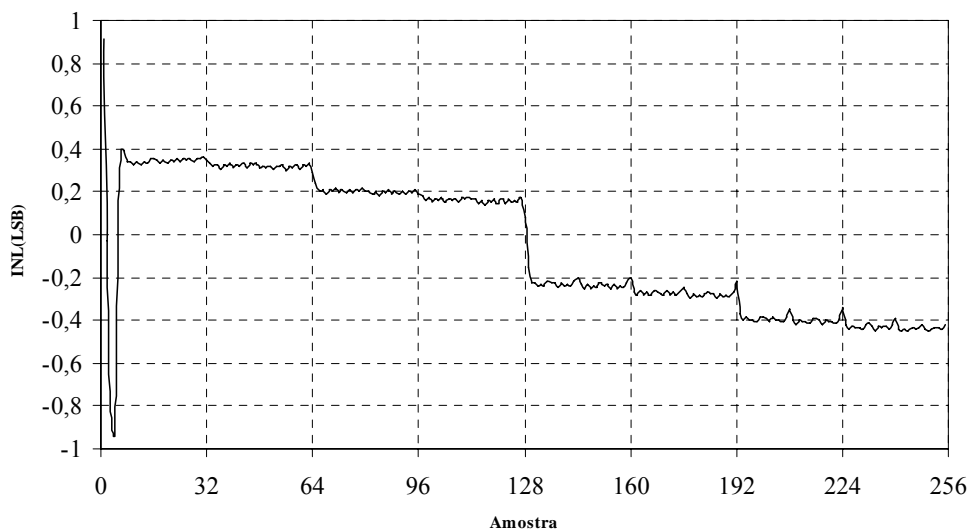
No editor de *layout*, a *netlist* do circuito implementado foi extraída incluindo as capacitâncias parasitas em cada nó, para que os seus efeitos fossem avaliados no sinal de saída do conversor D/A. Esta *netlist* foi utilizada para as simulações pós-*layout* de DNL e de INL da tensão  $V_{\text{ramp}}$ , mostradas na Figura 28 e na Figura 29.

Como esperado, as duas curvas apresentaram valores altos nas primeiras amostras devido ao mencionado corte do sinal de saída pelos amplificadores do conversor I/V e do estágio de saída. A mudança de valor do MSB (amostra 128) apresentou um erro um pouco maior do que o obtido na simulação anterior, sem capacitâncias parasitas. Apesar disso e dos altos valores iniciais, o gráfico de DNL continua não ultrapassando a faixa de  $\pm 1$  LSB, o que indica o comportamento monotônico do conversor D/A. Novamente, o gráfico de INL permaneceu na faixa de  $\pm 0,5$  LSB a partir da quinta amostra.

As simulações pós-*layout* também incluíram a medida do consumo de potência durante um ciclo completo de conversão D/A, com o código binário gerado pelo contador variando de 0 a 255 em um intervalo de 32  $\mu\text{s}$ . Esta medida resultou em um consumo médio de potência de 0,55 mW, levando em consideração a energia desperdiçada nos *glitches* gerados pelo chaveamento.



**Figura 28 – Simulação pós-layout de DNL da tensão  $V_{ramp}$**



**Figura 29 – Simulação pós-layout de INL da tensão  $V_{ramp}$**

### 4.3. Circuito Amostrador (*Sample & Hold*)

#### 4.3.1. Projeto Elétrico

O circuito amostrador é responsável por armazenar o sinal proveniente do *pixel* ( $V_{pixel}$ ) durante um ciclo completo de conversão ( $32 \mu s$ ). Este circuito foi implementado

com a arquitetura *Miller-Hold Capacitance* [32], que apresenta uma técnica para aumentar a precisão em circuitos amostradores do tipo *open loop*, sem reduzir significativamente a velocidade de amostragem. Esta técnica consiste em atenuar o erro de amostragem, resultante da injeção de cargas da entrada pela chave de amostragem, através do uso de uma capacitância pequena nesta fase, que é aumentada pelo efeito Miller durante a fase de retenção.

Esta arquitetura, mostrada na Figura 30, é composta por duas chaves CMOS (S1 e S2), um amplificador de ganho  $A$ , um *buffer* e dois capacitores ( $C_1$  e  $C_2$ ). Os capacitores  $C_{1B}$  e  $C_{2B}$  representam as capacitâncias parasitas de substrato associadas a  $C_1$  e a  $C_2$ , respectivamente. A capacitância equivalente de retenção é formada pela combinação dos capacitores  $C_1$  e  $C_2$ , pelas capacitâncias da chave S2 e pela capacitância de entrada do amplificador.

Durante a fase de amostragem, as chaves S1 e S2 conduzem. A chave S2 fecha a realimentação negativa do amplificador e, com isso, os capacitores  $C_1$  e  $C_2$  estão ambos conectados à saída de baixa impedância do amplificador. A chave S1 conecta o sinal de entrada ao nó N, fazendo com que esta tensão seja amostrada nos capacitores  $C_1$  e  $C_2$ .

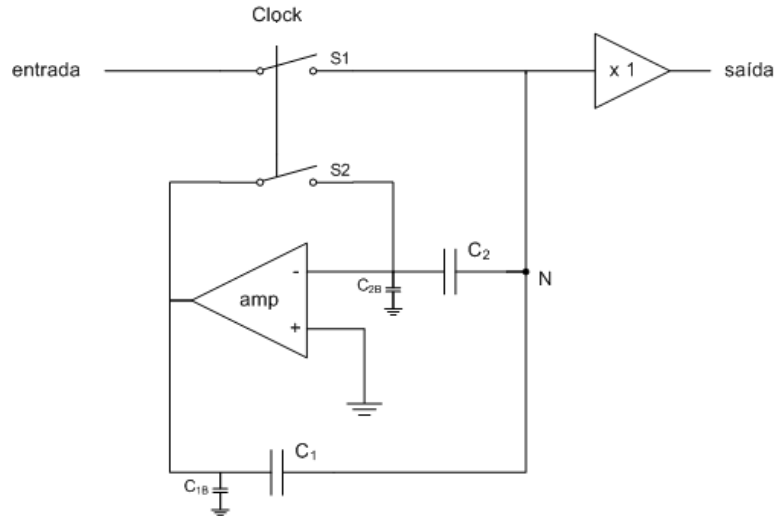
Durante a transição da fase de amostragem para a fase de retenção, o rápido desligamento das chaves S1 e S2 resulta na injeção de carga ( $\Delta Q$ ) e, conseqüentemente, na variação de tensão no nó N ( $\Delta V_N$ ) descrita por (13), para a chave S1, e por (14), para a chave S2.

$$\Delta V_N^{S1} = \frac{\Delta Q_1(C_2 + C_{2B})}{C_{2B}(C_1 + C_2) + C_1 C_2(A+1)} \quad (13)$$

$$\Delta V_N^{S2} = \frac{\Delta Q_2}{C_2} \quad (14)$$

Pode-se perceber que a variação de tensão causada pela injeção de carga através de S1 ( $\Delta V_N^{S1}$ ) foi reduzida significativamente pelo efeito Miller, que incluiu o fator  $(A+1)$  no seu denominador. Como a injeção de carga  $\Delta Q_2$  é constante e independente do sinal de entrada, a variação de tensão causada por S2 ( $\Delta V_N^{S2}$ ) representa um *offset* fixo.

O amplificador isolador (*buffer*) foi utilizado para gerar uma saída de baixa impedância e isolar a capacitância de retenção, impedindo que esta seja descarregada pela impedância de entrada do bloco seguinte.



**Figura 30 – Arquitetura do circuito amostrador**

O amplificador de ganho  $A$  empregado no circuito amostrador utiliza a arquitetura *folded-cascode*, como mostra a Figura 31. Esta arquitetura tem como vantagem uma maior faixa de excursão no sinal de saída e na entrada em modo comum (*common-mode input range*). Além disso, a capacitância de carga já realiza a compensação do circuito, tornando desnecessário o uso de uma capacitância adicional para esta finalidade.

Todos os transistores foram projetados para operação na região de saturação, com o seu tamanho calculado por (8). O ganho do circuito  $A_v$  é definido por (15) [33], com a transcondutância  $G_m$  dada por (16) e a resistência de saída  $R_o$  por (17).

$$A_v = G_m R_o \quad (15)$$

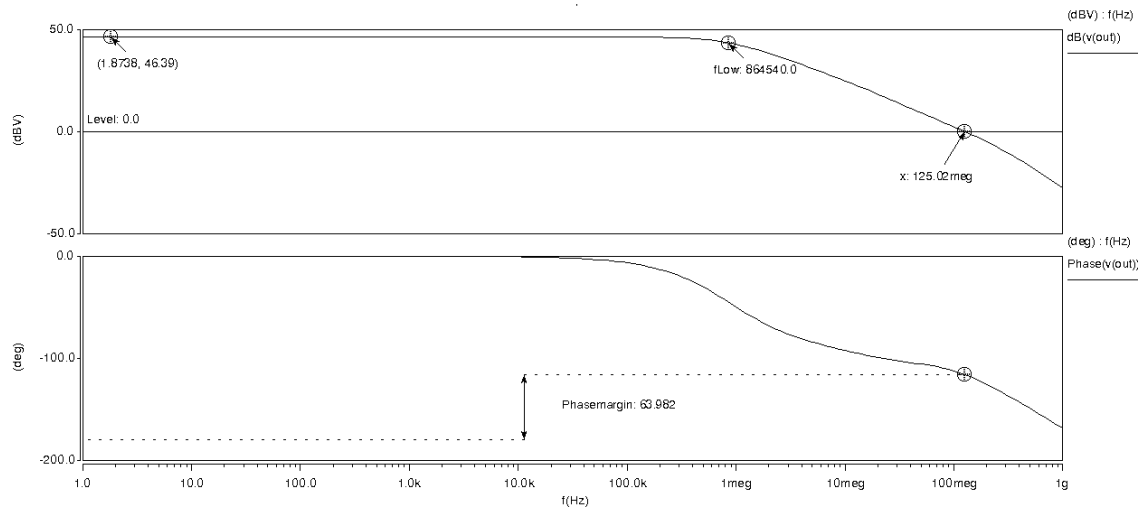
$$G_m = g_{mP2} = g_{mP3} \quad (16)$$

$$R_o = [g_{mN2}(r_{oP3} \parallel r_{oN4})r_{oN2}] \parallel (g_{mP7}r_{oP5}r_{oP7}) \quad (17)$$

A polarização é feita através dos transistores P1 ( $W = 8 \mu\text{m}$ ,  $L = 1 \mu\text{m}$  e  $M = 2$ ) e N3 e N4 ( $W = 2,5 \mu\text{m}$ ,  $L = 1,5 \mu\text{m}$  e  $M = 4$ ) de modo que as suas correntes de dreno sejam  $20 \mu\text{A}$ . Os transistores da entrada diferencial (P2 e P3) possuem  $I_D = 10 \mu\text{A}$  e  $W = 8 \mu\text{m}$ ,  $L = 1$







**Figura 33 – Simulação AC do amplificador empregado no circuito amostrador**

As chaves foram implementadas com transistores NMOS ( $W = 1 \mu\text{m}$  e  $L = 0,35 \mu\text{m}$ ). Os capacitores  $C_1$  e  $C_2$  são de 450 fF e 300 fF, respectivamente. O *buffer* emprega o mesmo amplificador descrito anteriormente para gerar a tensão de referência ( $V_{\text{ref}}$ ).

A simulação transiente do circuito amostrador, mostrada na Figura 34, apresenta três ciclos de amostragem e de retenção, com diferentes sinais de entrada. No primeiro, após 500 ns de amostragem, o valor final do sinal amostrado foi 2,4334 V e o *sample & hold* reteve, após 32  $\mu\text{s}$ , o valor 2,4049 V, apresentando uma diferença de 28,5 mV. No segundo, o valor final do sinal amostrado foi 0,70008 V e o circuito reteve o valor 0,6998 V, apresentando um erro menor de 0,28 mV. Já no terceiro, o valor final do sinal amostrado foi 1,75 V e o *sample & hold* reteve o valor 1,7497 V, apresentando uma diferença de 0,3 mV. Realizando essas medidas para diversos valores de entrada, foi possível estimar um erro máximo de 1,5 mV para sinais de entrada entre 300 mV e 2,3 V.

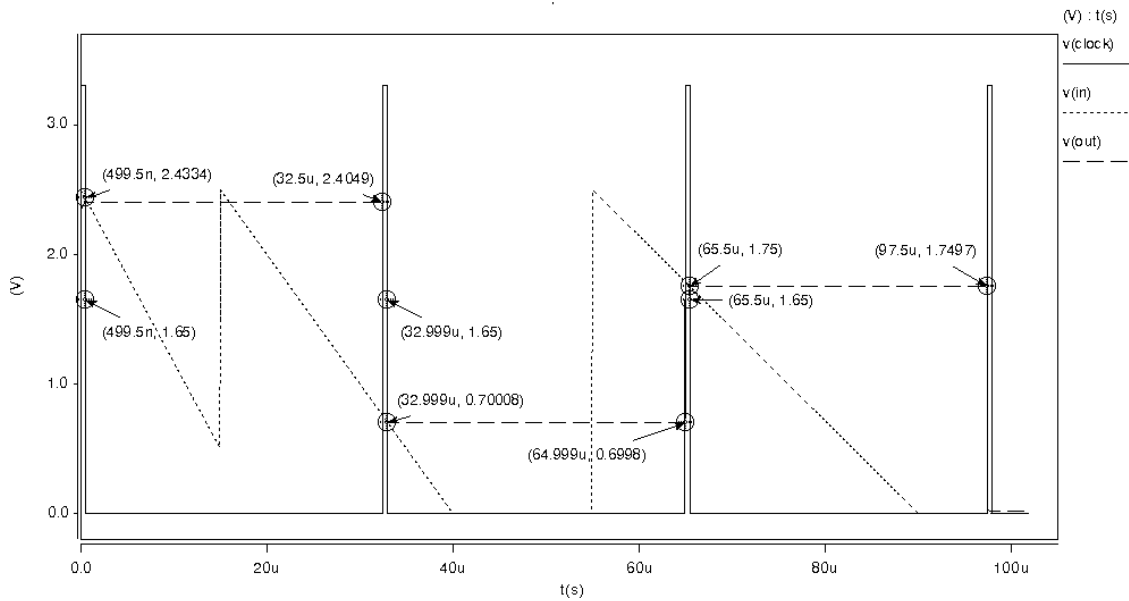


Figura 34 – Simulação transiente do circuito amostrador

### 4.3.2. Projeto Físico

No circuito amostrador, o projeto físico se concentrou no amplificador *folded-cascode*, já que o *buffer* emprega o mesmo *layout* do amplificador isolador do conversor I/V. No *folded-cascode*, o descasamento deve ser minimizado entre os segmentos do transistor de polarização (P1), do par diferencial de entrada (P2 e P3), do espelho de corrente PMOS (P4, P5, P6 e P7), do par cascode (N1 e N2) e do par de polarização NMOS (N3 e N4).

Os transistores de cada grupo de casamento do *folded-cascode* foram interdigitados e distribuídos de acordo com a já mencionada técnica *one-dimensional common-centroid layout*. O padrão de posicionamento dos segmentos empregado no transistor P1 foi o AA, o que garante o alinhamento dos eixos de simetria dos segmentos. No par diferencial de entrada, foi utilizado o padrão ABBA, no espelho de corrente PMOS foi o ABCDDCBA e nos transistores NMOS (par cascode e polarização) foi o ABCDABCDDCBADCBA.

Transistores *dummy* também foram incluídos nas duas extremidades de cada grupo de casamento para que todos os segmentos dos transistores interdigitados tenham a mesma periferia. Da mesma forma anterior, todos os transistores foram orientados na mesma

direção, com as correntes circulando no mesmo sentido, e nenhum contato ou metal de roteamento foi colocado na área ativa do gate dos transistores.

Os transistores PMOS foram envoltos por anéis de drenagem e todo o circuito do amplificador *folded-cascode* foi isolado dos ruídos externos através de um anel de aterramento. As chaves NMOS foram envoltas por um anel triplo (aterramento, drenagem, aterramento) para que o restante do circuito fosse protegido do ruído proveniente do chaveamento. Os capacitores foram implementados com duas camadas de polisilício (placa inferior em POLY1 e placa superior em POLY2) em um poço N e envoltos por anéis de drenagem e de aterramento.

O *layout* completo do circuito amostrador é mostrado na Figura 35. Este *layout* inclui o amplificador *folded-cascode*, o *buffer*, as chaves NMOS e os capacitores. A área total ocupada é de 0,009 mm<sup>2</sup>.

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.

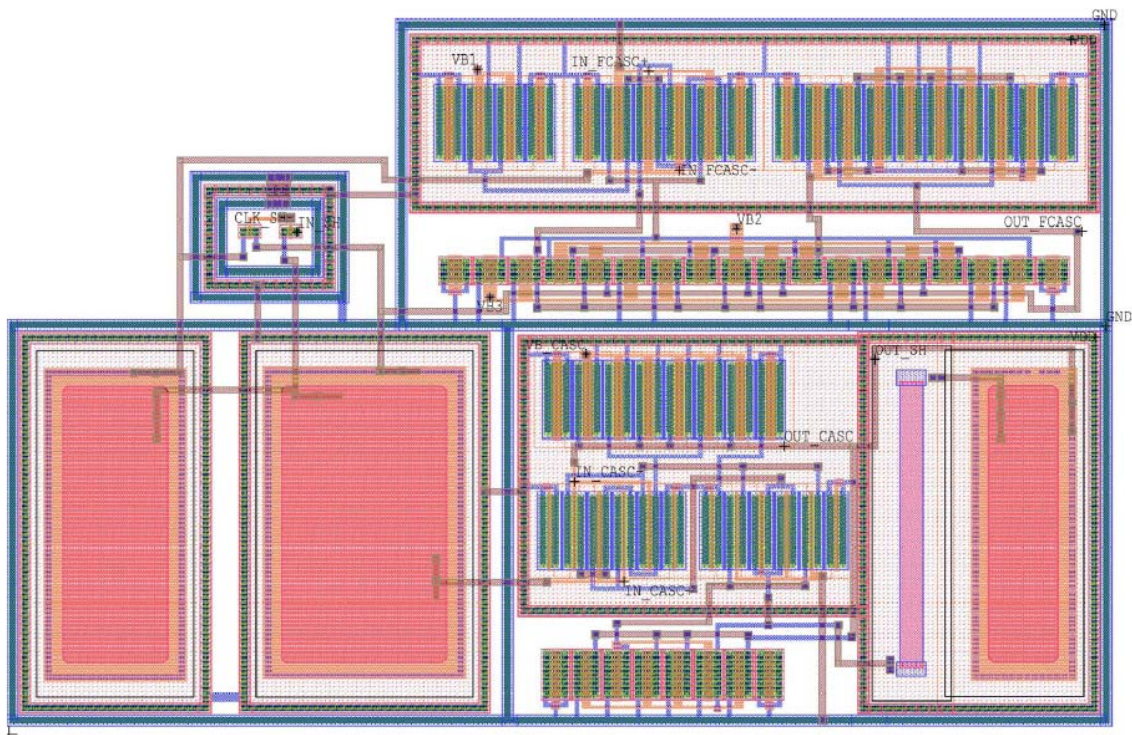


Figura 35 – *Layout* completo do circuito amostrador

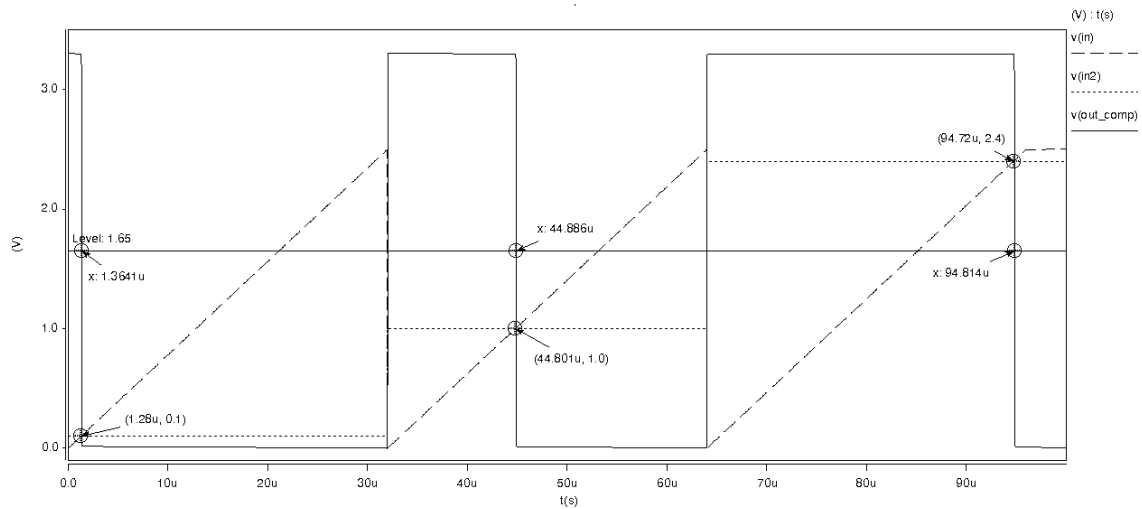
## 4.4. Comparador Analógico

### 4.4.1. Projeto Elétrico

O comparador é um dos principais componentes do conversor A/D. Na arquitetura *single-slope*, o comparador é responsável por realizar sucessivas comparações entre dois sinais analógicos de tensão: o sinal proveniente do *pixel* e o sinal de referência. A sua operação é de forma contínua, com a mudança de nível lógico do sinal de saída ocorrendo assim que os sinais de entrada ficam iguais. O atraso do comparador deve ser menor do que um período de *clock*, ou seja, menor do que 125 ns, para que o valor digital correto seja gravado nos *latches*.

O comparador emprega o mesmo amplificador de transcondutância de tamanho reduzido, utilizado anteriormente para a geração da tensão de referência do conversor I/V, mas sem o resistor e o capacitor de compensação. A retirada destes elementos aumenta a velocidade de comparação, pois o sinal de saída do amplificador irá cortar e saturar mais rapidamente. Como o amplificador é empregado em malha aberta, ou seja, sem realimentação, a sua margem de fase abaixo do mínimo requerido para estabilidade não irá causar oscilação.

A simulação transiente do comparador analógico de tensão é mostrada na Figura 36. O sinal que simula o proveniente do *pixel*  $V(in2)$  foi conectado ao terminal negativo e o sinal de referência  $V(in)$ , ao terminal positivo. Nesta simulação, três comparações são mostradas: para um sinal proveniente do *pixel* de 0,1 V, o comparador apresentou um atraso de 84,1 ns; para 1 V, um atraso de 85 ns; para 2,4 V, um atraso de 94 ns. Realizando esta medida para diferentes valores de leitura do *pixel*, foi possível estimar um atraso máximo de 94 ns para sinais na faixa de 100 mV a 2,4 V, o que está abaixo do valor máximo de atraso permitido nesta aplicação (125 ns).

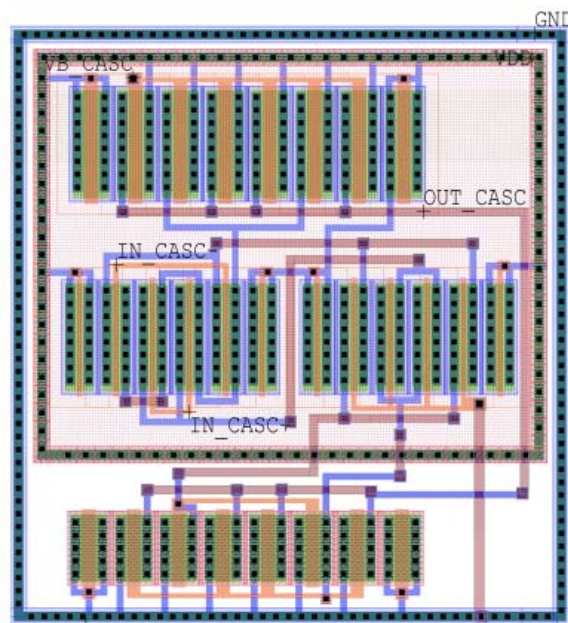


**Figura 36 – Simulação transiente do comparador analógico**

#### 4.4.2. Projeto Físico

O comparador emprega o mesmo *layout* do amplificador de transcondutância de tamanho reduzido, apenas com uma modificação: a retirada do resistor e do capacitor de compensação. O *layout* é mostrado na Figura 37 e a área total ocupada é de 0,0018 mm<sup>2</sup>.

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.



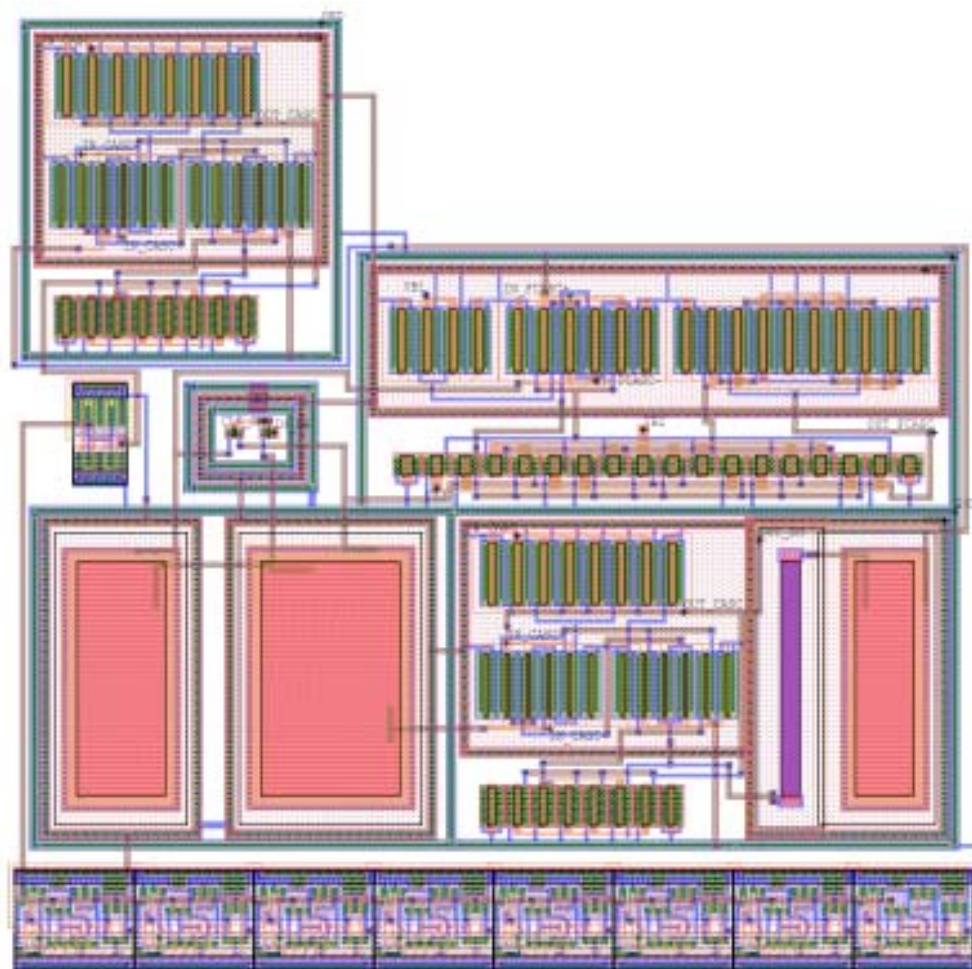
**Figura 37 – Layout do comparador**

## 4.5. Conversão A/D

### 4.5.1. *Layout* do Circuito de Coluna

O circuito de coluna do conversor A/D engloba o circuito amostrador, o comparador analógico de tensão e os *latches*. O *layout* completo do circuito de coluna, empregando os *layouts* já descritos anteriormente, é mostrado na Figura 38. A largura deste *layout* é de 125  $\mu\text{m}$  e, considerando um *pixel* de 25  $\mu\text{m}$  x 25  $\mu\text{m}$ , deve ser compartilhado por, no mínimo, cinco colunas da matriz. A área total ocupada é de 0,013  $\text{mm}^2$ .

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.



**Figura 38 – *Layout* do circuito de coluna do conversor A/D**

## 4.5.2. Simulações Pós-Layout

Para uma simulação pós-*layout* conjunta do conversor D/A com o circuito de coluna, os dois *layouts* foram agrupados para a extração da *netlist* incluindo as capacitâncias parasitas em cada nó. Dessa forma, o funcionamento da conversão A/D pode ser analisado considerando os efeitos destas capacitâncias.

A simulação transiente empregando esta *netlist* é mostrada na Figura 39. O sinal V(in) representa o descarregamento de tensão no *pixel*, com o valor de 1 V sendo amostrado pelo *sample & hold*. Para determinar o valor digital correspondente ao valor analógico de 1 V, o valor máximo do sinal de referência (2,475 V) deve ser dividido pelo valor máximo do sinal digital (255), gerando o valor analógico correspondente a 1 LSB. O valor do *pixel* deve, então, ser dividido pelo valor analógico correspondente a 1 LSB, gerando o seu valor digital. Nesta implementação, para um valor analógico entre dois níveis consecutivos do sinal de referência, o valor digital equivalente é o do nível superior. Para 1 V, o valor digital é 104, pois  $1/(2,475/255) = 103,3$ .

Na simulação transiente, o sinal de saída do *sample & hold* V(out\_sh) reteve o valor de 1,0023 V durante 32  $\mu$ s, apresentando uma diferença de 2,3 mV, maior do que a estimada devido às capacitâncias parasitas. O comparador teve um atraso de 76 ns, menor do que um período de *clock*, e o valor digital gravado nos *latches* foi 104, comprovando o funcionamento da conversão A/D. O consumo de potência também foi medido durante um ciclo completo de conversão, resultando em um valor médio de 1,1877 mW.

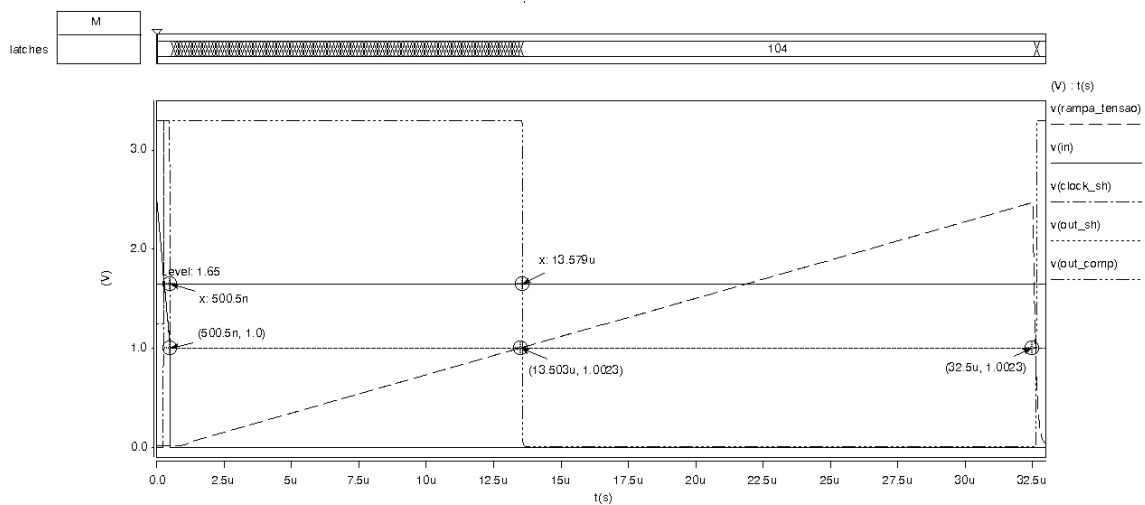


Figura 39 – Simulação transiente pós-*layout* da conversão A/D



## 5. Conversão A/D por *Pixel*

### 5.1. Especificações

A arquitetura de conversão A/D por *pixel* implementada nesta dissertação teve como base o trabalho realizado em [18], que demonstrou a alta velocidade de imageamento do *digital pixel sensor*. Além disso, este trabalho comprovou que a conversão A/D paralela em todos os *pixels* possibilita uma alta taxa de digitalização, independente do tamanho da matriz, o que é uma vantagem sobre a arquitetura APS com conversão A/D por coluna ou por *chip*. Por possibilitar uma elevada velocidade de leitura de cada quadro, o DPS é empregado em sensores que requerem uma grande taxa de quadros/s, como em aplicações para aumento da faixa dinâmica e para estimativa de movimento (*motion estimation*).

Esta arquitetura, mostrada na Figura 40, emprega o método de conversão *single-slope* em cada *pixel*. Para isso, cada *pixel* possui, além do fotodiodo e dos transistores do circuito de leitura, um comparador analógico e uma memória dinâmica. A conversão A/D é realizada através de sucessivas comparações entre o sinal de saída do circuito de leitura ( $V_{out}$ ) e o sinal de referência externo ( $V_{ramp}$ ), uma rampa de tensão. A codificação binária, gerada por um contador binário, único para todos os *pixels* e implementado com 8 bits, é gravada seqüencialmente na memória dinâmica até o momento em que os dois sinais  $V_{out}$  e  $V_{ramp}$  são iguais. Quando isto acontece, a saída do comparador analógico ( $V_{write}$ ) muda de nível lógico e desabilita a gravação na memória dinâmica. Dessa forma, o último valor gravado corresponde ao valor digital do sinal de saída do circuito de leitura.

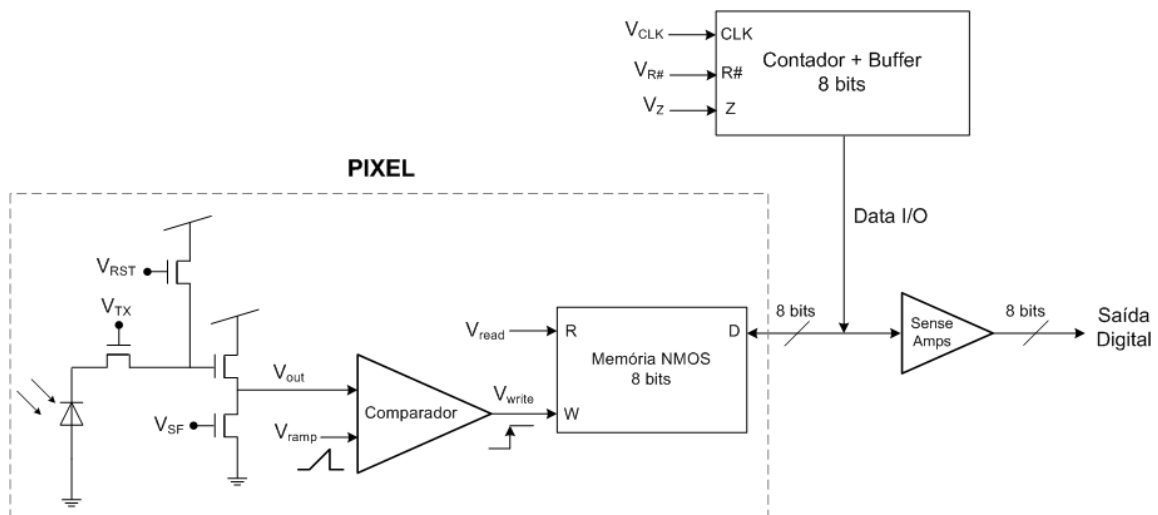
Como o barramento de entrada da memória é empregado também para a saída de dados (Data I/O), um *buffer* foi adicionado ao contador para que o seu sinal de saída fique em alta impedância durante a leitura da memória. Além disso, como a leitura da matriz de *pixels* é feita por linha, cada coluna possui oito amplificadores (*sense amplifiers*), um para cada bit, para a geração da saída digital.

Para que a quantidade de *pixels* na matriz e o *fill factor* sejam maximizados, o circuito de leitura, o comparador e a memória devem utilizar um pequeno número de transistores, com o menor tamanho possível, de forma que a área ocupada por eles seja minimizada. O *fill factor* também pode ser elevado com o uso de microlentes no processo de fabricação, o



que permite um aumento para até 100%. As microlentes fazem com que toda a luz incidente no *pixel* seja direcionada para a área sensível, o fotodiodo, de forma a aumentar a quantidade de fótons capturados.

A operação do DPS consiste em quatro fases: *reset* do fotodiodo, integração, conversão A/D e leitura. Nesta implementação, o *reset* tem duração de 500 ns, sendo seguido pela integração do fotodiodo em 74,5  $\mu$ s e pela conversão A/D em 25  $\mu$ s, totalizando 100  $\mu$ s. A leitura do sinal gravado na memória de todos os *pixels* da matriz ocorre nos 75  $\mu$ s seguintes, ao mesmo tempo em que as fases de *reset* e de integração do próximo quadro são realizadas. Dessa forma, cada nível do sinal de referência tem a duração de  $25 \mu\text{s} / 256 = 97,66 \text{ ns}$  e a frequência de operação do conversor A/D é  $1 / 97,66 \text{ ns} = 10,24 \text{ MHz}$ .



**Figura 40 – Arquitetura de conversão A/D por *pixel***

Nas próximas subseções, o projeto elétrico e físico do *pixel* (fotodiodo, circuito de leitura, comparador analógico de tensão e memória dinâmica NMOS) e do circuito de coluna (*sense amplifiers*) serão detalhados. O contador e o *buffer* foram implementados com células padrão (*standard cell*) da biblioteca digital do processo de fabricação escolhido, CMOS 0,35  $\mu$ m. A partir do *layout* completo de todos estes blocos, serão apresentados os resultados da simulação pós-*layout* para um ciclo completo de conversão A/D.

## 5.2. Projeto Elétrico

### 5.2.1. Fotodiodo e Circuito de Leitura

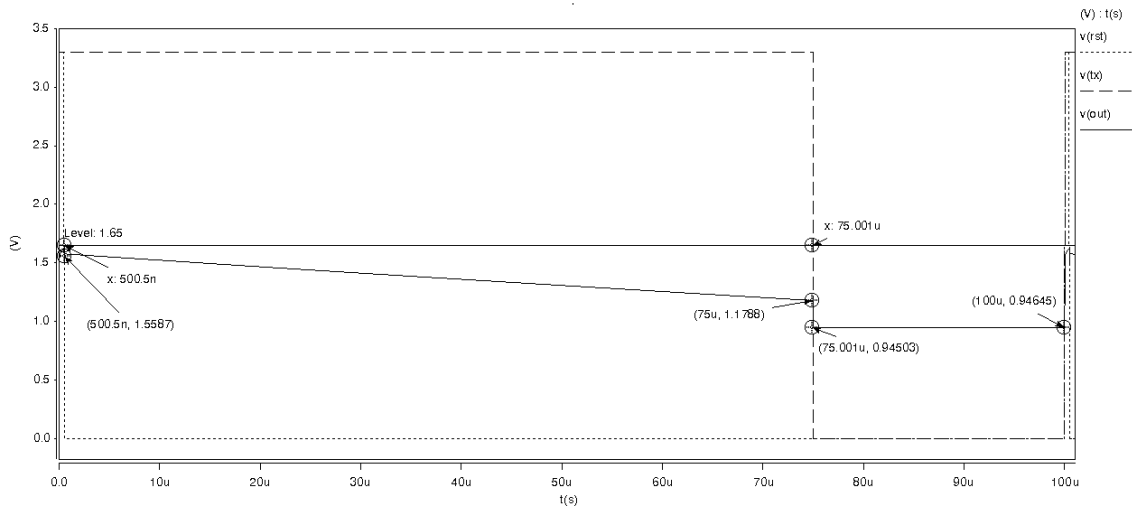
O fotodetector é responsável pela captação da radiação eletromagnética na faixa da luz visível e a sua tradução em um sinal elétrico. No DPS apresentado neste trabalho, foi empregado um fotodiodo PN como elemento fotodetector, constituído de uma junção do tipo poço N com substrato P, que coleta os fotoportadores gerados no substrato pela incidência luminosa.

O circuito de leitura é composto por quatro transistores NMOS: um de controle do tempo de integração (*transfer gate*), um de *reset*, um de isolamento (*source follower*) e um de polarização. Os três primeiros possuem  $W = 0,7 \mu\text{m}$  e  $L = 0,35 \mu\text{m}$  e o de polarização possui  $W = 0,7 \mu\text{m}$  e  $L = 1,4 \mu\text{m}$ .

A operação desse circuito consiste em três etapas: *reset*, integração da fotocorrente e retenção do sinal do fotodiodo, para uso durante a conversão A/D. Durante o *reset*, as tensões de gate  $V_{TX}$  e  $V_{RST}$  estão em VDD, fazendo com que a tensão do catodo do fotodiodo aumente para  $VDD - 2 V_{Th}$ , onde  $V_{Th}$  é a tensão de limiar do transistor NMOS. Após o *reset*, a integração da fotocorrente tem início, com  $V_{RST}$  em zero e  $V_{TX}$  em VDD, resultando em um decaimento da tensão do catodo do fotodiodo. Ao término do tempo de integração desejado, o transistor *transfer gate* é desativado ( $V_{TX} = 0 \text{ V}$ ) e a tensão no catodo do fotodiodo é amostrada na capacitância de gate do transistor *source follower*. Este transistor é polarizado pelo último transistor do circuito de leitura, que possui  $V_{SF} = 0,75 \text{ V}$ , e tem como função isolar o nó onde o sinal do fotodiodo é amostrado do nó de saída ( $V_{out}$ ), conectado ao comparador. Dessa forma, há uma menor variação da tensão no nó de saída durante a etapa de retenção do sinal do fotodiodo.

A simulação transiente do fotodiodo juntamente com o seu circuito de leitura é mostrada na Figura 41. Após o *reset*, a tensão no nó de saída foi de 1,5587 V, que corresponde à tensão do nó onde o sinal do fotodiodo é amostrado ( $VDD - 2 V_{Th}$ ) multiplicada pelo ganho do *source follower*, em torno de 0,85. Com a integração da fotocorrente durante 74,5  $\mu\text{s}$ , o valor de tensão do nó de saída decaiu para 1,1788 V. Quando o transistor *transfer gate* foi desativado, houve uma injeção de cargas no gate do

*source follower* que provocou a queda da tensão do nó de saída para 0,94503 V, gerando uma diferença de 233,77 mV que deve ser compensada posteriormente no processamento da imagem. Após 25  $\mu$ s de retenção do sinal proveniente do fotodiodo, o valor obtido foi de 0,94645 V, apresentando uma variação de 1,42 mV.



**Figura 41 – Simulação transiente do fotodiodo e do circuito de leitura**

### 5.2.2. Comparador Analógico

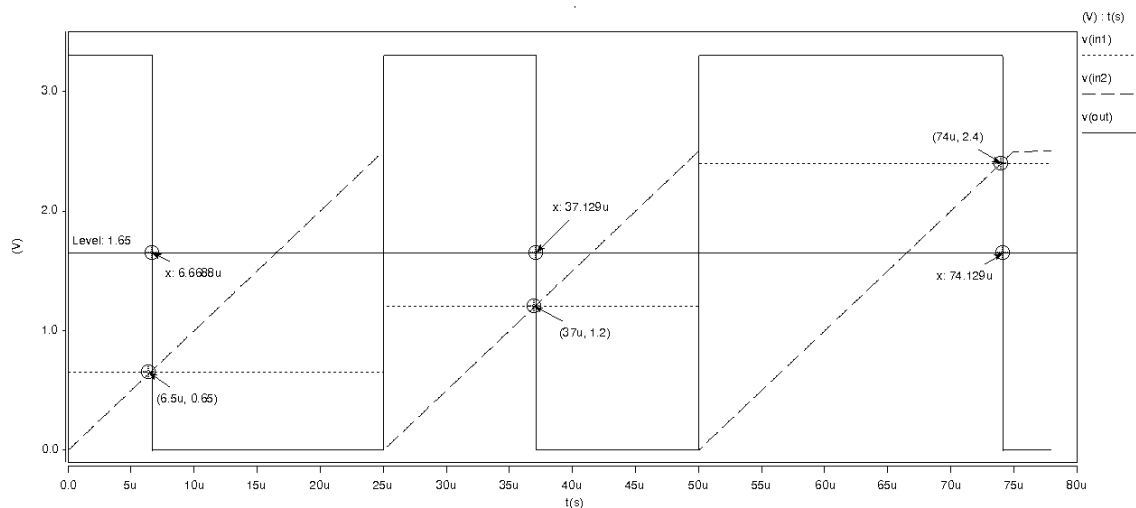
Na arquitetura DPS, o circuito do comparador deve ter o menor tamanho possível para que a quantidade de *pixels* na matriz e o *fill factor* sejam maximizados. No método de conversão A/D implementado (*single-slope*), o comparador realiza sucessivas comparações entre dois sinais analógicos de tensão, o sinal proveniente do circuito de leitura do fotodiodo e o sinal de referência, operando de forma contínua. O atraso do comparador deve ser menor do que um período de *clock*, ou seja, menor do que 97,65625 ns, para que o valor digital correto seja gravado na memória.

O amplificador empregado como comparador é mostrado na Figura 42. Este amplificador é composto de três estágios: o primeiro, um amplificador diferencial com entrada NMOS; o segundo, um estágio de ganho formado por um inversor com entrada PMOS; o terceiro, um inversor CMOS.

Todos os transistores foram projetados para operação na região de saturação, com o seu tamanho calculado por (8). O ganho do circuito  $A_v$  é definido por (18), com a transcondutância  $g_m$  calculada por (10) e a condutância de saída  $g_{ds}$  por (11).



referência  $V(in2)$ . Com esta configuração, o sinal de saída do comparador começa em VDD, o que é necessário para a escrita na memória, como será mostrado na próxima seção. Nesta simulação, três comparações são mostradas: para um sinal proveniente do circuito de leitura do fotodiodo de 0,65 V, o comparador apresentou um atraso de 168,8 ns; para 1,2 V, um atraso de 129 ns; para 2,4 V, 129 ns de atraso também. Realizando esta medida para diferentes valores de leitura do fotodiodo, percebeu-se que o atraso do comparador não está menor do que um período de *clock*, como desejado. Foi possível estimar um atraso máximo menor do que dois períodos de *clock* (195,3125 ns) para sinais na faixa de 0,65 V a 2,4 V. Nesta faixa, o atraso acarretará um erro de 1 LSB no valor digital gravado na memória, o que deve ser corrigido posteriormente no processamento da imagem.



**Figura 43 – Simulação transiente do comparador**

### 5.2.3. Memória Dinâmica NMOS

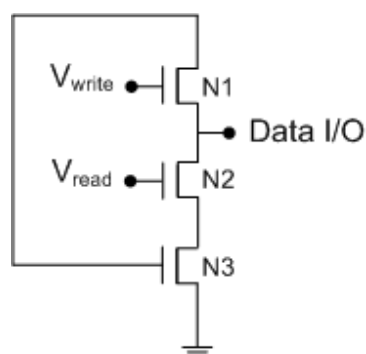
A memória dinâmica NMOS de 8 bits tem como função armazenar a codificação binária correspondente ao valor analógico de tensão lido no fotodiodo. Esta memória é formada por oito blocos de 1 bit, que compartilham os sinais de escrita ( $V_{write}$ ) e de leitura ( $V_{read}$ ). O barramento de entrada da memória é também empregado para a saída de dados (Data I/O), o que aumenta a velocidade de leitura e minimiza a área ocupada, um dos principais requerimentos da arquitetura DPS.

Cada memória de 1 bit é composta de três transistores NMOS, como mostra a Figura 44. O seu funcionamento consiste em duas etapas: escrita e leitura. A escrita é habilitada

com a tensão de gate  $V_{write}$  em VDD. Com isso, o bit a ser gravado, proveniente de Data I/O, é transferido para o dreno do transistor N1 e, conseqüentemente, para o gate de N3. Se o bit a ser gravado for '1', o transistor N3 conduz e a sua tensão de dreno torna-se 0 V; caso contrário, N3 corta. A leitura é habilitada com a tensão de gate  $V_{read}$  em VDD, que faz com que o transistor N2 conduza e transfira a tensão do dreno de N3 para a saída, em Data I/O. A ativação de N2 gera uma injeção de cargas no dreno de N3, fazendo com que a tensão neste terminal aumente quando este terminal está isolado, ou seja, quando o bit a ser gravado é '0'. Quando o bit a ser gravado é '1', N3 está conduzindo e, com isso, as cargas injetadas por N2 são direcionadas para o terra, sem alterar a tensão de dreno de N3.

Como a gravação do bit '1' gera um sinal de saída de 0 V e a gravação do bit '0' gera um determinado valor de tensão, maior do que 0 V, torna-se necessário o uso de um inversor na saída para a geração da codificação binária correta. Este inversor é o já mencionado *sense amplifier* e deve ser implementado oito vezes, um para cada bit, em cada coluna da matriz de *pixels*.

Para que a memória retenha o sinal gravado durante todo o período de leitura (75  $\mu$ s), o comprimento (L) dos transistores deve ser maior do que o valor mínimo (0,35  $\mu$ m). Dessa forma, N1 e N3 possuem  $W = 1 \mu$ m e  $L = 2 \mu$ m e N2 possui  $W = 2 \mu$ m e  $L = 2 \mu$ m, para um aumento da injeção de cargas por N2 e, conseqüentemente, um aumento da tensão de dreno de N3 durante a leitura de um bit '0'.

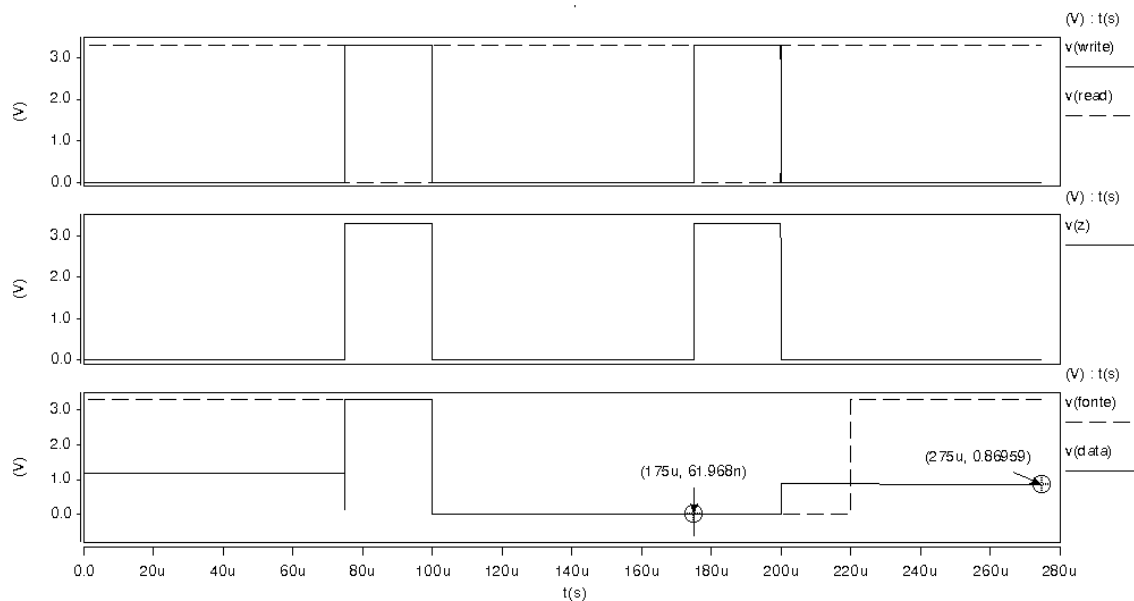


**Figura 44 – Memória dinâmica NMOS de 1 bit**

A simulação transiente da memória dinâmica NMOS de 1 bit, mostrada na Figura 45, apresenta dois ciclos de escrita e de leitura. O bit a ser gravado na memória foi simulado por uma fonte de tensão, cuja saída está conectada ao mesmo *buffer* empregado nas saídas do contador, para que o seu sinal fique em alta impedância durante a leitura da memória.

No primeiro ciclo, durante a escrita ( $V_{write}$  em VDD), a fonte de tensão conectada à entrada da memória estava em VDD (bit '1'). Durante a leitura ( $V_{read}$  em VDD), o sinal da fonte de tensão foi colocado em alta impedância ( $V_z$  em GND) e o terminal Data apresentou o valor retido após 75  $\mu$ s: 61,968 nV, o que é considerado bit '0'. Após o inversor de coluna, o sinal digital de saída será obtido corretamente como '1'.

No segundo ciclo, durante a escrita, a fonte de tensão conectada à entrada da memória estava em 0 V. Durante a leitura, o sinal da fonte de tensão foi colocado em alta impedância e o terminal Data apresentou o valor retido após 75  $\mu$ s: 0,86959 V, o que é considerado bit '0', pois está abaixo de  $VDD / 2$  (1,65 V). Para que o inversor de coluna considere este valor como '1' e gere corretamente o sinal digital de saída como '0', o tamanho do seu transistor NMOS deve ser ajustado. O projeto do inversor de coluna será detalhado na seção a seguir.



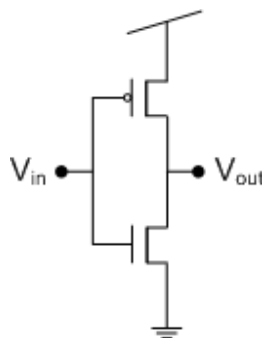
**Figura 45 – Simulação transiente da memória dinâmica NMOS de 1 bit**

#### 5.2.4. Circuito de Coluna

O funcionamento da memória dinâmica NMOS requer o uso de um inversor na sua saída para a geração da codificação binária correta. Além disso, o valor retido na memória para um bit '0' de entrada (0,86959 V) deve ser considerado pelo inversor como entrada '1'

para que a sua saída seja '0', ou seja, o valor limite de entrada que gere saída '1' deve ser alterado de 1,65 V para cerca de 0,8 V.

Dessa forma, o circuito de coluna consiste em oito inversores CMOS (*sense amplifiers*), um para cada bit, para a geração da saída digital. Cada inversor é composto de um transistor PMOS e de um NMOS, como mostra a Figura 46. O transistor PMOS possui  $W = 0,7 \mu\text{m}$  e  $L = 0,35 \mu\text{m}$  e o NMOS, responsável por gerar o valor '0' na saída, possui o mesmo comprimento ( $L = 0,35 \mu\text{m}$ ) com uma largura maior ( $W = 5,6 \mu\text{m}$ ), para que o valor limite de entrada que gera saída '1' seja alterado para cerca de 0,8 V.



**Figura 46 – Inversor CMOS**

A simulação transiente de um inversor CMOS, juntamente com a memória dinâmica NMOS de 1 bit, é mostrada na Figura 47. Os resultados de dois ciclos de escrita e de leitura são apresentados: o primeiro com escrita de um bit '1' e o segundo com escrita de um bit '0'.

Durante a leitura no primeiro ciclo, o terminal Data apresentou o mesmo valor de 61,968 nV após 75  $\mu\text{s}$ . Este valor foi considerado como entrada '0' no inversor e o sinal de saída  $V(\text{out})$  foi obtido corretamente como '1' (3,3 V). Já durante a leitura no segundo ciclo, o terminal Data apresentou o mesmo valor de 0,86959 V após 75  $\mu\text{s}$ . Com o aumento da largura do transistor NMOS, este valor foi considerado como entrada '1' no inversor e o sinal de saída  $V(\text{out})$  foi obtido corretamente como '0' (235,14 mV).



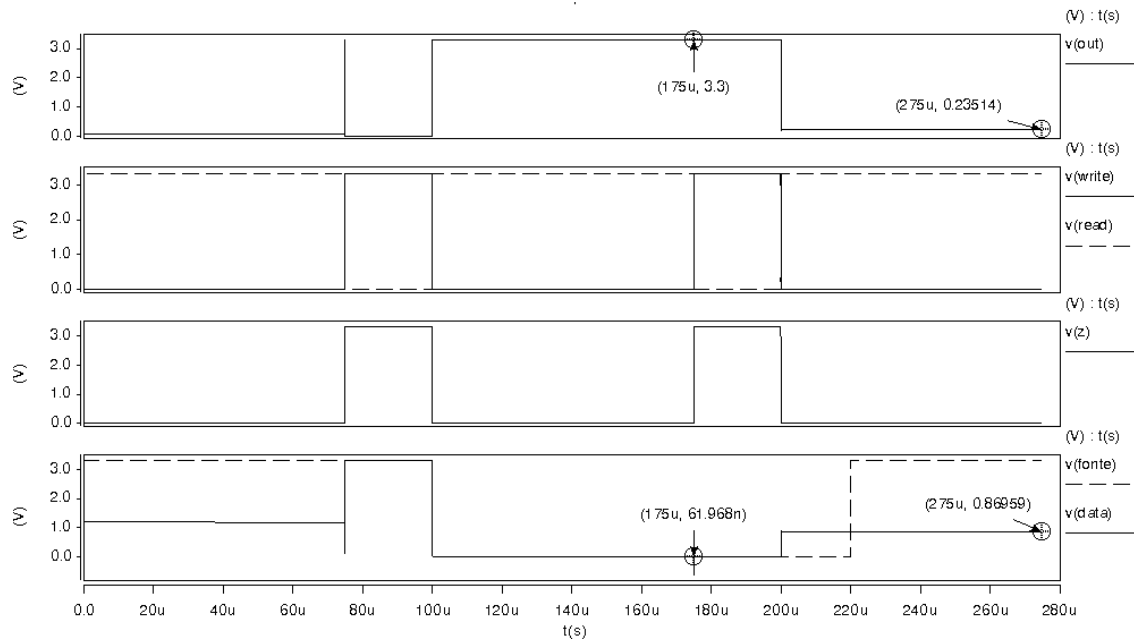


Figura 47 – Simulação transiente do inversor CMOS com a memória dinâmica de 1 bit

### 5.3. Projeto Físico

#### 5.3.1. Pixel

Na arquitetura DPS, o projeto físico do *pixel* tem como principal objetivo minimizar a área ocupada pelos circuitos de leitura do fotodiodo e de conversão A/D (comparador e memória). Para maximizar o número de *pixels* na matriz, o *pixel* deve ter o mesmo tamanho de largura e de comprimento, ou seja, o seu *layout* deve ser um quadrado, pois esta geometria apresenta o menor perímetro para uma dada área.

Como a área deve ser minimizada, técnicas de *layout* que reduzem o descasamento entre transistores, mas requerem uma área maior ocupada, não foram implementadas. Dentre elas está a divisão dos transistores em segmentos e o posicionamento destes de forma interdigitada em uma estrutura centróide, que não foi possível porque o reduzido tamanho dos transistores não permite a sua divisão em segmentos menores. O uso de transistores *dummy* nas extremidades dos grupos de transistores para que todos tenham a mesma periferia também não foi viável, pois isto aumentaria a área ocupada. Da mesma

forma, os transistores PMOS não puderam ser completamente envoltos por anéis de drenagem.

Todos os transistores do *pixel* foram orientados na mesma direção, com um mesmo número de transistores com corrente em um sentido e no sentido inverso, e nenhum contato ou metal de roteamento foi colocado na área ativa do gate dos transistores.

O fotodiodo foi implementado em uma junção do tipo poço N com substrato P (*N-well/P-substrate*). Um anel de aterramento foi utilizado para circundar o fotodiodo, de forma a protegê-lo das injeções de carga no substrato provenientes dos circuitos de leitura e de conversão A/D. Estes circuitos também foram isolados dos ruídos externos através de um anel de aterramento envolvendo todo o *pixel*.

O *layout* do *pixel*, mostrado na Figura 48, apresenta uma área total de 35,625  $\mu\text{m}$  x 35,625  $\mu\text{m}$ , com uma área fotossensível de 14,875  $\mu\text{m}$  x 5,725  $\mu\text{m}$ . Isto representa um *fill factor* de 6,71 %, que deve ser aumentado pelo uso de microlentes no processo de fabricação, por exemplo.

Os sinais bidirecionais de entrada/saída de dados da memória dinâmica NMOS (Data0 a Data7) foram implementados como barramentos verticais em metal3. Os sinais de VDD, de terra (GND), do circuito de leitura do fotodiodo (tensão de gate do transistor *transfer gate* – TX, tensão de gate do transistor de *reset* – RST, tensão de gate do transistor de polarização – SF), de referência (Rampa), de polarização do comparador (VB1 e VB2) e de leitura da memória (Read) foram implementados como barramentos horizontais em metal1 e em metal2.

O *layout* da matriz 2x2 de *pixels*, mostrando as ligações dos barramentos entre os *pixels*, é apresentado na Figura 49. Neste *layout* também ficam visíveis os anéis de aterramento em torno do fotodiodo e de todo o *pixel*.

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.

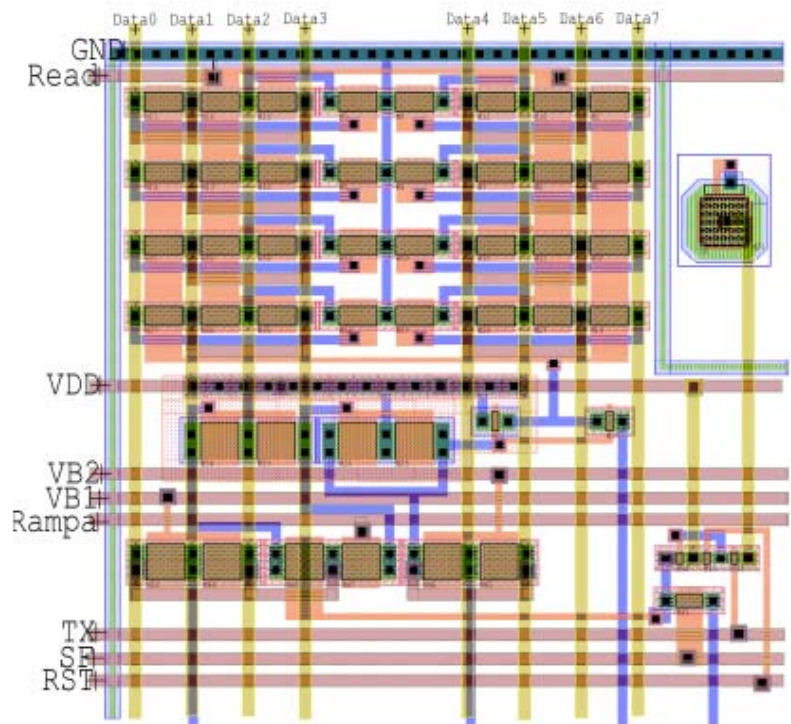


Figura 48 – Layout do pixel

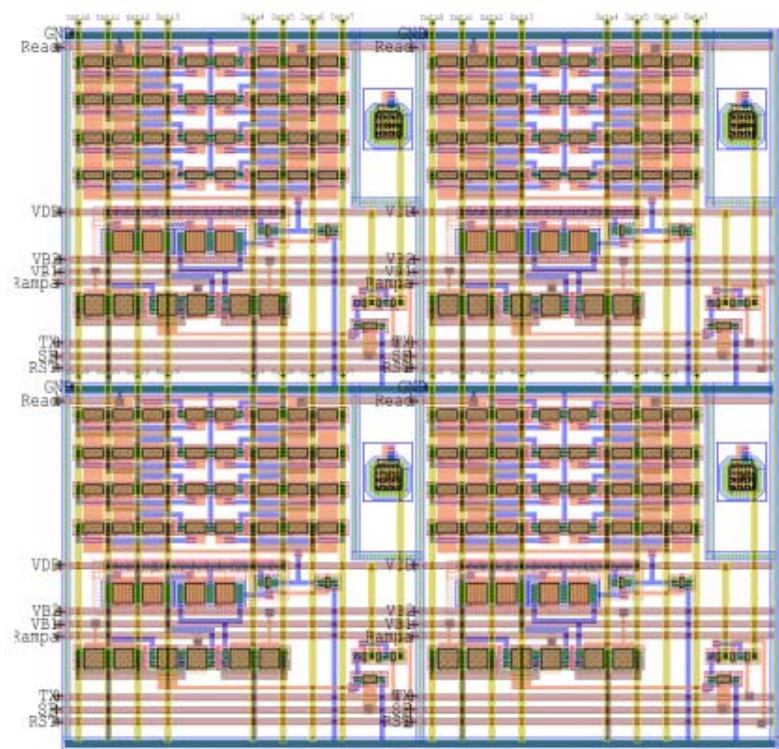


Figura 49 – Layout da matriz 2x2 de pixels

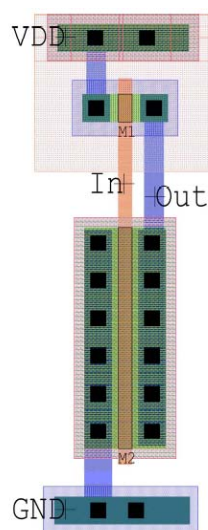
### 5.3.2. Circuito de Coluna

O circuito de coluna consiste em oito inversores CMOS. O principal requerimento do seu projeto físico é que a área ocupada pelos oito inversores tenha uma largura igual ou menor do que a da coluna da matriz de sensores. Nesta implementação, a largura do *layout* dos oito inversores não deve ultrapassar 35,625  $\mu\text{m}$ .

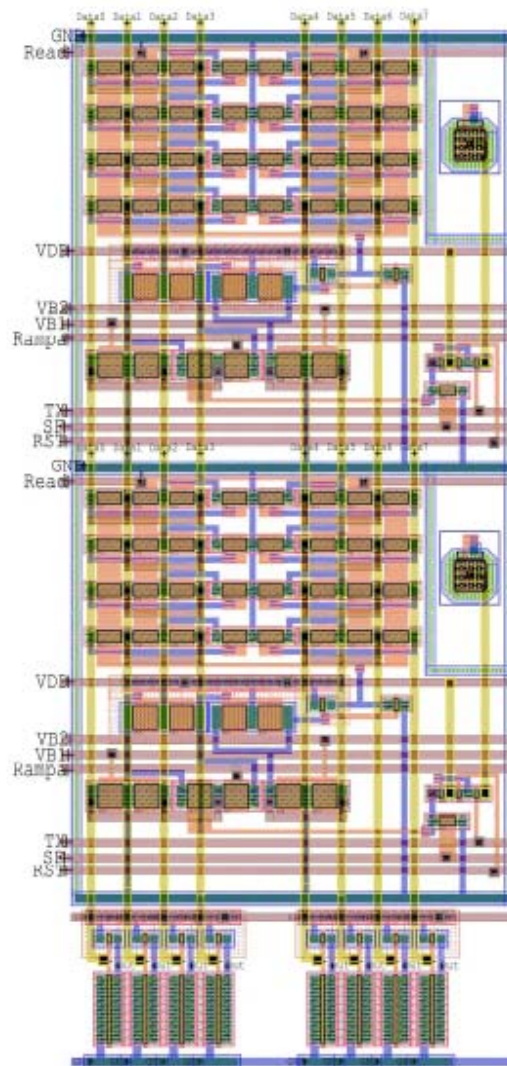
O *layout* de um inversor é mostrado na Figura 50 e o *layout* dos oito inversores juntamente com dois *pixels* de uma mesma coluna é mostrado na Figura 51. Como estes circuitos geram uma saída digital, as variações decorrentes do descasamento entre transistores e entre os inversores não afetam significativamente o sinal de saída. Dessa forma, não foi necessária a implementação de técnicas de *layout* para minimizar estas variações.

Os inversores foram posicionados de forma a melhor conectar os seus terminais de entrada com os barramentos verticais que contêm os sinais bidirecionais da memória (Data0 a Data7). Este posicionamento também evitou que os barramentos verticais passassem pela área ativa do gate dos transistores. Os sinais de VDD e de terra (GND) foram implementados como barramentos horizontais em metal1 e em metal2. A área ocupada pelos oito inversores, juntamente com os seus barramentos, foi 0,48  $\text{mm}^2$ .

A verificação da correspondência entre o *layout* e o circuito elétrico simulado pode ser encontrada no apêndice, ao final da dissertação.



**Figura 50 – Layout do amplificador de coluna**



**Figura 51 – Layout dos oito amplificadores de coluna juntamente com dois pixels**

#### 5.4. Simulações Pós-Layout

Para uma simulação pós-layout conjunta do *pixel* com o circuito de coluna, o contador e o *buffer*, os layouts destes blocos foram agrupados para a extração da *netlist* incluindo as capacitâncias parasitas em cada nó. Assim, os efeitos destas capacitâncias podem ser estudados nas quatro fases de operação do DPS.

A simulação transiente pós-layout da conversão A/D por *pixel* é mostrada na Figura 52 e na Figura 53. Após o *reset* do fotodiodo, a tensão no nó de saída do circuito de leitura  $V(out)$  foi de 1,5765 V. Com a integração da fotocorrente durante 74,5  $\mu s$ , o valor de

tensão do nó de saída do circuito de leitura decaiu para 1,17 V. Quando o transistor *transfer gate* foi desativado, houve uma injeção de cargas no gate do *source follower* que provocou a queda da tensão do nó de saída para 0,96287 V, gerando uma diferença de 207,13 mV que deve ser compensada posteriormente no processamento da imagem.

Nos 25  $\mu$ s seguintes, foi realizada a conversão A/D. Para determinar o valor digital correspondente ao valor analógico de 0,96287 V, o valor máximo do sinal de referência externo (2,5 V) deve ser dividido pelo valor máximo do sinal digital (255), gerando o valor analógico correspondente a 1 LSB. O valor de tensão do nó de saída do circuito de leitura deve, então, ser dividido pelo valor analógico correspondente a 1 LSB, gerando o seu valor digital. Nesta implementação, para um valor analógico entre dois níveis consecutivos do sinal de referência, o valor digital equivalente é o do nível inferior. Para 0,96287 V, o valor digital é 98, pois  $0,96287 / (2,5 / 255) = 98,21274$ .

Como é mostrado no detalhe da simulação, quando os sinais V(out) e V(rampa) se cruzam, o barramento Data apresenta corretamente o valor 98. Entretanto, como o comparador apresentou um atraso de 129 ns, maior do que um período de *clock*, o valor gravado e lido no barramento da memória (Out\_mem) nos 75  $\mu$ s seguintes foi 99. Este erro de 1 LSB no valor digital gravado na memória deve ser corrigido posteriormente no processamento da imagem. O consumo de potência também foi medido durante um ciclo completo de conversão em um *pixel*, resultando em um valor médio de 0,24878 mW.

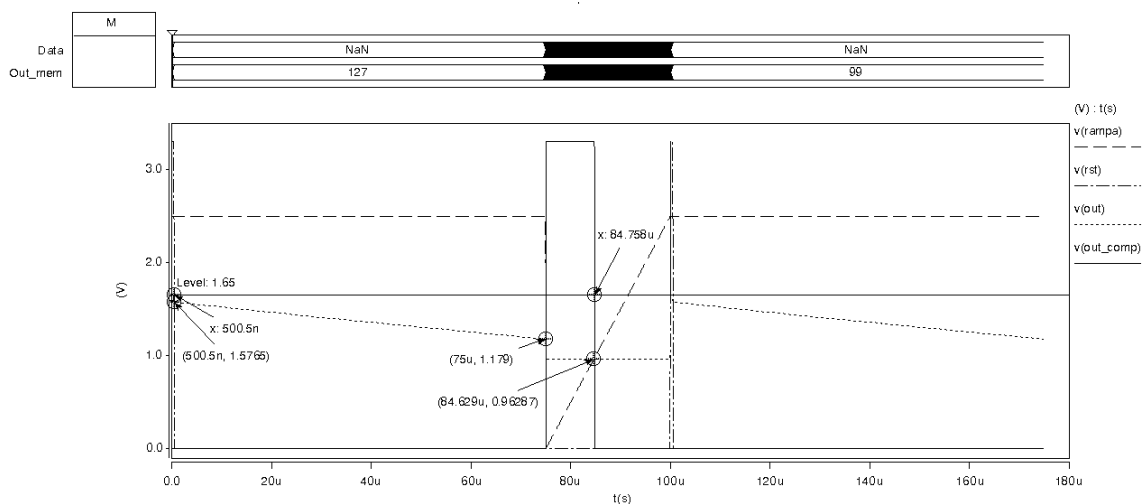
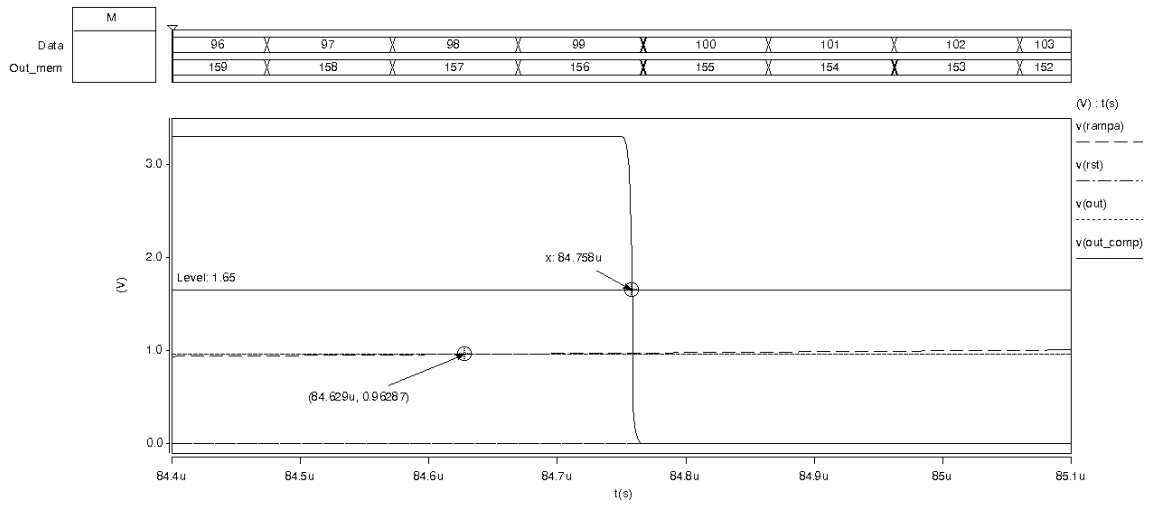


Figura 52 – Simulação transiente pós-layout da conversão A/D por pixel



**Figura 53 – Detalhe da simulação transiente pós-layout da conversão A/D por pixel**

## 6. Conclusão

Esta dissertação apresentou um estudo sobre conversores A/D para imageadores CMOS. A escolha da tecnologia CMOS foi motivada pela possibilidade de se projetar um imageador compacto, integrando a matriz de sensores e os blocos de controle, de processamento de sinais e de conversão A/D em um mesmo circuito integrado. Isto reduz o consumo de energia, o tamanho total do sistema e, conseqüentemente, o custo de fabricação. Nesta integração, um dos projetos mais críticos é o do conversor A/D, pois a sua inclusão afeta o consumo de potência, o tamanho e o custo total do sistema, além do ruído adicionado à saída.

A realização de uma pesquisa bibliográfica sobre conversores A/D empregados em sensores de imagem CMOS e a compreensão do funcionamento dos três grupos de conversores (*chip-level*, *column-level* e *pixel-level*) possibilitou a escolha das arquiteturas a serem implementadas nesta dissertação.

Com a evolução das tecnologias de fabricação, a área ocupada pelos conversores A/D diminuiu e as arquiteturas *column-level* e *pixel-level* passaram a ser mais utilizadas. Dessa forma, foi definido que uma arquitetura de conversão A/D por coluna e outra de conversão A/D por *pixel* seriam implementadas nesta dissertação na tecnologia CMOS 0,35  $\mu\text{m}$ , pois esta é uma tecnologia padrão de fabricação de circuitos integrados, amplamente disponível no mercado internacional e à qual os centros de pesquisa brasileiros têm acesso.

O estudo detalhado dos trabalhos já realizados na arquitetura APS com conversão A/D por coluna e na arquitetura DPS, que possui conversão A/D por *pixel*, proporcionaram a base para a escolha do tradicional método de conversão *single-slope* para as duas implementações realizadas nesta dissertação.

Assim, para cada arquitetura implementada, foi realizado o projeto elétrico detalhado de cada bloco componente, definindo os circuitos utilizados e os parâmetros dos seus elementos de acordo com as especificações de cada sistema. Os resultados obtidos nas simulações permitiram a realização de mudanças nos circuitos, como modificações nos tamanhos e nos tipos de transistores empregados, visando melhor atender aos requisitos de cada sistema.



No projeto físico, técnicas de *layout* foram empregadas a fim de minimizar o descasamento entre determinados grupos de transistores nos circuitos e entre os blocos conversores, reduzindo erros de leitura. Na arquitetura APS, a largura do *layout* do circuito de coluna foi ajustada de acordo com o número de colunas que o compartilham. Na arquitetura DPS, a área ocupada pelos circuitos de leitura e de conversão A/D em cada *pixel* foi minimizada, para que a quantidade de *pixels* na matriz e o *fill factor* fossem maximizados.

Na conversão A/D por coluna, a área total ocupada pelo conversor D/A foi  $0,03 \text{ mm}^2$  e pelo circuito de coluna foi  $0,013 \text{ mm}^2$ . Na conversão A/D por *pixel*, o *pixel* apresentou uma área total de  $35,625 \mu\text{m} \times 35,625 \mu\text{m}$ , com uma área fotossensível de  $14,875 \mu\text{m} \times 5,725 \mu\text{m}$ . Isto representa um *fill factor* de 6,71 %, que deve ser aumentado pelo uso de microlentes no processo de fabricação, por exemplo. A área total ocupada pelos oito inversores, juntamente com os seus barramentos, foi  $0,48 \text{ mm}^2$ .

Os resultados obtidos nas simulações pós-*layout* estimaram os efeitos das capacitâncias parasitas no funcionamento dos conversores A/D. Na conversão A/D por coluna, apesar da variação da tensão retida no *sample & hold* e do atraso do comparador, o valor digital foi obtido corretamente. O consumo de potência medido durante um ciclo completo de conversão teve um valor médio de 1,2 mW.

Na conversão A/D por *pixel*, como o atraso do comparador foi maior do que um período de *clock*, o valor digital foi obtido com o erro de 1 LSB. O consumo de potência medido em um *pixel* durante um ciclo completo de conversão teve um valor médio de 0,2 mW.

A continuação da pesquisa realizada nesta dissertação em trabalhos futuros inclui a elaboração de uma máscara de fabricação completa, com uma matriz de sensores APS e a conversão A/D utilizando os *layouts* desenvolvidos para o conversor D/A e para o circuito de coluna. Para a conversão A/D por *pixel*, os trabalhos futuros também incluem a elaboração de uma máscara de fabricação completa, com uma matriz de sensores DPS. Para que o *fill factor* seja aumentado, técnicas como o uso de microlentes devem ser empregadas. Após a fabricação, a próxima etapa é a caracterização dos circuitos das duas arquiteturas.

## 7. Referências Bibliográficas

- [1] FOSSUM, E. R., “Active Pixel Sensors: Are CCD’s Dinosaurs?”, *Proceedings of the SPIE, Charge-Coupled Devices and Solid-State Optical Sensors III*, San Jose, CA, v. 1900, pp. 2-14, Jul. 1993.
- [2] YADID-PECHT, O., ETIENNE-CUMMINGS, R., *CMOS Imagers: From Phototransduction to Image Processing*, 1 ed, Kluwer Academic Publishers, 2004.
- [3] EL GAMAL, A., ELTOUKHY, H., “CMOS Image Sensors”, *IEE Circuits & Devices Magazine*, pp. 6-19, Maio/Junho 2005.
- [4] JOHNS, D. A., MARTIN, K., *Analog Integrated Circuit Design*, 1 ed, John Wiley & Sons Inc., 1997.
- [5] RAZAVI, B., *Principles of Data Conversion System Design*, 1 ed, IEEE Press, 1995.
- [6] MALOBERTI, F., *Data Converters*, Springer, 1 ed, 2007.
- [7] VAN DE PLASSCHE, R., *CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters*, 2 ed, Boston, Kluwer Academic Publishers, 2003.
- [8] SMITH, S., HURWITZ, J., *et al*, “A single-chip 306 x 244-pixel CMOS NTSC video camera”, *Digest of Technical Papers International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, pp. 170-171, Fev. 1998.
- [9] LOINAZ, M. J., SINGH, K.J., *et al*, “A 200-mW, 3.3-V, CMOS color camera IC producing 352 x 288 24-b video at 30 frames/s”, *IEEE Journal of Solid-State Circuits*, v. 33, n.12, pp. 2092-2103, Dez. 1998.
- [10] SNOEIJ, M. F., THEUWISSEN, A. J. P., *et al*, “A 1.8V 3.2 $\mu$ W Comparator for Use in a CMOS Imager Column-Level Single-Slope ADC”, *IEEE International Symposium on Circuits and Systems ISCAS 2005*, v. 6, pp. 6162-6165, Maio 2005.
- [11] SNOEIJ, M. F., THEUWISSEN, A. J. P., *et al*, “A CMOS Imager With Column-Level ADC Using Dynamic Column Fixed-Pattern Noise Reduction”, *IEEE Journal of Solid-State Circuits*, v. 41, n.12, pp. 3007-3015, Dez. 2006.
- [12] SNOEIJ, M. F., THEUWISSEN, A. J. P., *et al*, “Multiple-Ramp Column-Parallel ADC Architectures for CMOS Image Sensors”, *IEEE Journal of Solid-State Circuits*, v. 42, n.12, pp. 2968-2977, Dez. 2007.

- [13] DOMINGUES, S., *Projeto de um Conversor D/A para Imageadores APS*, Projeto Final de Curso de Engenharia Eletrônica e de Computação, UFRJ, Rio de Janeiro, RJ, Brasil, 2008.
- [14] BRAGA, L. H. C., *System-on-Chip (SoC) para Imageador APS*, Projeto Final de Curso de Engenharia Eletrônica e de Computação, UFRJ, Rio de Janeiro, RJ, Brasil, 2008.
- [15] FOWLER, B., EL GAMAL, A., YANG, D., “A CMOS Area Image Sensor with Pixel-Level A/D Conversion”, *Digest of Technical Papers International Solid-State Circuits Conference (ISSCC)*, San Francisco, CA, pp. 226-227, Fev. 1994.
- [16] YANG, D., FOWLER, B., EL GAMAL, A., “A 128 x 128 Pixel CMOS Area Image Sensor with Multiplexed Pixel Level A/D Conversion”, *Proceedings IEEE 1996 Custom Integrated Circuits Conference*, San Diego, CA, pp. 303-306, Maio 1996.
- [17] YANG, D., FOWLER, B., EL GAMAL, A., “A Nyquist-Rate Pixel-Level ADC for CMOS Image Sensors”, *IEEE Journal of Solid-State Circuits*, v. 34, n. 3, pp. 348-356, Março 1999.
- [18] KLEINFELDER, S., LIM, S., LIU, X., EL GAMAL, A., “A 10000 Frames/s CMOS Digital Pixel Sensor”, *IEEE Journal of Solid-State Circuits*, v. 36, n. 12, pp. 2049-2059, Dez. 2001.
- [19] HASTINGS, A., *The Art of Analog Layout*, 1 ed, Prentice Hall, 2001.
- [20] PRYDDERCH, M. L., WALTHAM, N. J., *et al*, “A 512x512 CMOS Monolithic Active Pixel Sensor with integrated ADCs for space science”, *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, v. 512, n. 1-2, pp. 358-367, Out. 2003.
- [21] BRAGA, L. H. C., DOMINGUES, S., *et al*, “Layout Techniques for Radiation Hardening of Standard CMOS Active Pixel Sensors”, *Analog Integrated Circuits and Signal Processing*, v. 57, n. 1-2, pp. 129-139, Nov. 2008.
- [22] VAN DEN BOSCH, A., STEYAERT, M., SANSEN, W., *Static and Dynamic Performance Limitations for High Speed D/A Converters*, 1 ed, Kluwer Academic Publishers, 2004.
- [23] STARZYK, J. A., MOHN, R. P., “Cost-Oriented Design of a 14-bit Current

- Steering DAC Macrocell”, *IEEE International Symposium on Circuits and Systems ISCAS 2003*, v. 1, pp. I-965-I968, Maio 2003.
- [24]HUANG, C., HOU, T., CHUANG, C., “Design of 12-bit 100-MHz Current-Steering DAC for SOC Applications”, *Fifth International Workshop on System-on-Chip for Real-Time Applications*, pp. 117-122, Jul. 2005.
- [25]RAJA, G., BHAUMIK, B., “16-bit Segmented Type Current Steering DAC for Video Applications”, *19th International Conference on VLSI Design*, Jan. 2006.
- [26]YUAN, L., NI, W., *et al*, “A 10-bit 2GHz Current-Steering CMOS D/A Converter”, *IEEE International Symposium on Circuits and Systems ISCAS 2007*, pp. 737-740, Maio 2007.
- [27]HAMMERSCHMIED, C. M., *CMOS A/D Converters using MOSFET-Only R-2R Ladders*, Tese de Doutorado, Swiss Federal Institute of Technology, Zurique, 2000.
- [28]SEDRA, A. S., SMITH, K. C., *Microeletrônica*, 1 ed, Pearson Makron Books, 2000.
- [29]MALOBERTI, F., *Analog Design for CMOS VLSI Systems*, 1 ed, Kluwer Academic Publishers, 2001.
- [30]PELGROM, M. J. M., DUINMAIJER, A. C. J., WELBERS, A. P. G., “Matching properties of MOS transistors”, *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 1433-1439, Out. 1989.
- [31]PEEBLES JR, P., *Probability, Random Variables and Random Signal Principles*, 4 ed, McGraw-Hill, Jul. 2000.
- [32]LIM, P. J., WOOLEY, B. A., “A High-Speed Sample-and-Hold Technique Using a Miller Hold Capacitance”, *IEEE Journal of Solid-State Circuits*, vol. 26, pp. 643-651, Abril 1991.
- [33]GRAY, P. R., HURST, P. J., *et al*, *Analysis and Design of Analog Integrated Circuits*, 4 ed, John Wiley & Sons Inc., 2001.

## Apêndice

- *Layout Versus Schematic (LVS)*

- Conversão A/D por Coluna

- Conversor D/A

```
File written by LVS 11.10 as a result of: " "
...
Engine configuration report:
...
Device                conversor_DA.spc  conversor_DA_ok.sp  Status
-----
R_RPOLYH                3                  3
C                       5                  5
M_MODN                 84                 84
M_MODP                153                153
NAND20                  6                  6
JKC1                    8                  8
INV0                     6                  6
-----
Total elements          265                265
Total nodes             85                 85

Iterating...
 5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.
55% done.
60% done.
65% done.
70% done.
75% done.
151 perfectly matched element classes (out of a possible 265).
28 automorphic element classes.
85 perfectly matched node classes (out of a possible 85).
```

```

Doing detailed trial matching... Step 1 (Match by parameters)
Doing detailed trial matching... Step 2 (Random matches)
 80% done.
 85% done.
 90% done.
 95% done.
100% done.

***** FINAL RESULT *****

Note: Netlists only compared as far down as specified in the element
description file.
Circuits are equal.
Run time: 0:02 (min:sec)

0 errors, 7 warnings

```

– Circuito Amostrador (*Sample & Hold*)

```

File written by LVS 11.10 as a result of: " "

...

Engine configuration report:

...

Device                Sample_Hold.spc   Sample_Hold.sp   Status
-----
R_RPOLYH              1                 1
C                     3                 3
M_MODN                28                28
M_MODP                40                40
-----
Total elements        72                72
Total nodes           24                24
Single-pin nodes      1                 1

Iterating...
 5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.
8 perfectly matched element classes (out of a possible 72).
20 automorphic element classes.
24 perfectly matched node classes (out of a possible 24).

Doing detailed trial matching... Step 1 (Match by parameters)

```

```

Doing detailed trial matching... Step 2 (Random matches)
55% done.
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.
Run time: 0:01 (min:sec)

0 errors, 7 warnings

```

– Comparador Analógico

```

File written by LVS 11.10 as a result of: " "

...

Engine configuration report:

...

Device                amplificador_comp.spc  amplificador_comp.sp  Status
-----                -
M_MODN                 8                     8
M_MODP                 20                    20
-----                -
Total elements         28                    28
Total nodes            11                    11

Iterating...
5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
50% done.
55% done.
2 perfectly matched element classes (out of a possible 28).
9 automorphic element classes.
11 perfectly matched node classes (out of a possible 11).

Doing detailed trial matching... Step 1 (Match by parameters)

```

```

Doing detailed trial matching... Step 2 (Random matches)
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.
Run time: 0:02 (min:sec)

0 errors, 6 warnings

```

– Circuito de Coluna

```

File written by LVS 11.10 as a result of: " "

...

Engine configuration report:

...

Device                circuito_coluna.spc  circuito_coluna.sp  Status
-----                -
R_RPOLYH                1                    1
C                        3                    3
M_MODN                  36                   36
M_MODP                  60                   60
INV10                   1                    1
DL1                     8                    8
-----                -
Total elements          109                  109
Total nodes             57                   57
Single-pin nodes        25                   25

Iterating...
 5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.
40% done.
45% done.
11 perfectly matched element classes (out of a possible 109).
28 automorphic element classes.
33 perfectly matched node classes (out of a possible 57).
3 automorphic node classes.

```



```

Doing detailed trial matching... Step 1 (Match by parameters)
Doing detailed trial matching... Step 2 (Random matches)
 50% done.
 55% done.
 60% done.
 65% done.
 70% done.
 75% done.
 80% done.
 85% done.
 90% done.
 95% done.
100% done.

***** FINAL RESULT *****

Note: Netlists only compared as far down as specified in the element
description file.
Circuits are equal.
Run time: 0:02 (min:sec)

0 errors, 7 warnings

```

- Conversão A/D por *Pixel*

- *Pixel*

```

File written by LVS 11.10 as a result of: " "

...

Engine configuration report:

...

Device                DPS_Pixel.spc    DPS_Pixel.sp     Status
-----
D_NWD                  1                1
M_MODP                 5                5
M_MODN                 43               43
-----
Total elements        48               48
Total nodes           41               41
Single-pin nodes      5                5

Iterating...
 5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.

```

```

40% done.
10 perfectly matched element classes (out of a possible 48).
6 automorphic element classes.
17 perfectly matched node classes (out of a possible 41).
3 automorphic node classes.

Doing detailed trial matching... Step 1 (Match by parameters)
Doing detailed trial matching... Step 2 (Random matches)
45% done.
50% done.
55% done.
60% done.
65% done.
70% done.
75% done.
80% done.
85% done.
90% done.
95% done.
100% done.

***** FINAL RESULT *****

Circuits are equal.
Run time: 0:01 (min:sec)

0 errors, 6 warnings

```

– Circuito de Coluna

```

File written by LVS 11.10 as a result of: " "

...

Engine configuration report:

...

Device                DPS_sense_amp.spc  DPS_sense_amp.sp  Status
-----
M_MODN                 1                   1
M_MODP                 1                   1
-----
Total elements         2                   2
Total nodes            4                   4

Iterating...
5% done.
10% done.
15% done.
20% done.
25% done.
30% done.
35% done.

```

```
40% done.  
45% done.  
50% done.  
55% done.  
60% done.  
65% done.  
70% done.  
75% done.  
80% done.  
85% done.  
90% done.  
95% done.  
100% done.  
  
***** FINAL RESULT *****  
  
Circuits are equal.  
Run time: 0:00 (min:sec)  
  
0 errors, 6 warnings
```