

SISTEMA DE AQUISIÇÃO DE DADOS SINCRONIZADO POR GPS PARA  
MONITORAÇÃO DE CORRENTES HARMÔNICAS

Daniel Mendes Fernandes

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Maurício Aredes

Rio de Janeiro

Junho de 2011

SISTEMA DE AQUISIÇÃO DE DADOS SINCRONIZADO POR GPS PARA  
MONITORAÇÃO DE CORRENTES HARMÔNICAS

Daniel Mendes Fernandes

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO  
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA  
(COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE  
DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE  
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:

---

Prof. Maurício Aredes, Dr.-Ing.

---

Prof. Mariane Rembold Petraglia, Ph.D.

---

Prof. José Eduardo da Rocha Alves Junior, D.Sc.

RIO DE JANEIRO, RJ – BRASIL

JUNHO DE 2011

Fernandes, Daniel Mendes

Sistema de aquisição de dados sincronizado por GPS para monitoração de correntes harmônicas / Daniel Mendes Fernandes. – Rio de Janeiro: UFRJ/COPPE, 2011.

IX, 71 p.: il.; 29,7 cm.

Orientador: Maurício Aredes

Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2011.

Referências Bibliográficas: p. 53-54.

1. Correntes Harmônicas. 2. Aquisição Sincronizada. 3. FPGA I. Aredes, Maurício et al. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

## **Dedicatória**

Dedico este trabalho à minha esposa, que compartilha comigo a aventura maravilhosa da vida.

Essência para Felicidade

As grandes essências

para a felicidade

nesta vida são:

algumas coisas para serem feitas

algumas coisas para serem amadas

e algumas coisas

para serem esperadas.

Joseph Addison

## **Agradecimentos**

Agradeço à minha esposa por me apoiar em todos os momentos, sobretudo na confecção deste trabalho. Agradeço também a meus pais pelo incentivo ao estudo.

Agradeço a toda equipe do laboratório LEMT, em especial ao meu orientador Maurício Aredes, que sempre apoiou incondicionalmente este projeto, e ao amigo Paulo Gentil, que muito contribuiu no desenvolvimento do sistema SCADA Harmônico.

Agradeço por fim aos demais amigos, que apesar de poucos, estão sempre presentes em minha vida.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

SISTEMA DE AQUISIÇÃO DE DADOS SINCRONIZADO POR GPS PARA  
MONITORAÇÃO DE CORRENTES HARMÔNICAS

Daniel Mendes Fernandes

Junho/2011

Orientador: Maurício Aredes

Programa: Engenharia Elétrica

Sucessivos problemas causados por sobrecarga dos filtros de harmônicos não-característicos da subestação (SE) de Ibiúna acabaram por estimular o desenvolvimento de um sistema SCADA para monitoração de correntes harmônicas em tempo real. Logo no início de seu desenvolvimento concluiu-se que um mecanismo de medição sincronizada de correntes se fazia necessário. Este trabalho descreve os requisitos técnicos e práticos levados em consideração no seu desenvolvimento, a arquitetura proposta, sua construção e os primeiros resultados práticos obtidos.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the Degree of Master of Science (M.Sc.)

GPS SYNCHRONIZED DATA ACQUISITION SYSTEM FOR HARMONIC  
CURRENT MONITORING

Daniel Mendes Fernandes

June/2011

Advisor: Maurício Aredes

Department: Electric Engineering

Successive problems caused by the overloading of the non-characteristic filters of the Ibiúna substation (SE) stimulated the development of a measurement system of harmonic currents in real time. At the beginning of development it became clear that a synchronized current measurement mechanism would be needed. This work describes the technical and practical requisites taken into account in its development, the proposed architecture, the manufacturing and the first results achieved.

Índice	
Dedicatória .....	iv
Agradecimentos.....	v
Capítulo 1- Introdução .....	1
1.1 - Motivação para o trabalho .....	1
1.2 - Sumário .....	2
Capítulo 2 - Histórico, levantamento de campo e especificações .....	3
2.1 - A construção de Itaipu e a escolha pela linha HVDC .....	3
2.2 - O problema da propagação harmônica em Ibiúna .....	5
2.3 - A subestação de Ibiúna .....	6
2.4 - Harmônicos no Brasil e no Exterior.....	7
2.5 - Apresentação teórica da metodologia proposta .....	8
2.6 - Simulação SPICE.....	11
2.7 - Levantamento de dados em campo na subestação de Ibiúna .....	13
2.8 - Arquitetura geral proposta para o sistema.....	18
2.9 - Especificações da aquisição de dados.....	20
Capítulo 3 - Descrição dos componentes do Sistema.....	24
3.1 - Projeto da Arquitetura Geral do Sistema .....	24
3.2 - Descrição da Unidade GPS .....	28
3.3 - Descrição do Concentrador.....	34
3.4 - Descrição da UAS.....	36
3.5 - Descrição do Servidor.....	43
Capítulo 4 - Medidas da temporização.....	44
4.1 - Introdução .....	44
4.2 - Comparação do PPS entre unidades GPS .....	45
4.3 - Medidas de atraso e jitter no sistema .....	46
4.4 - Cálculo final das características temporais do sistema .....	50
Capítulo 5 - Conclusões e trabalhos futuros.....	51
Referências Bibliográficas .....	53
Apêndice .....	55
A1 – Script de saída da simulação SPICE de exemplo do método de determinação de direção dos harmônicos.....	55
A2 – SCRIPT MATLAB para plotagem dos vetores de corrente .....	58
A3 – Foto da placa do GPS .....	59
A4 – Foto do Concentrador.....	60
A5 – Fotos da placa de condicionamento de sinal da UAS.....	61



A6 – Foto da UAS.....	62
A7 – Tela do Servidor disponibilizada na Web .....	62
A8 – Telas de osciloscópio com captura da informação de jitter.....	63
A9 – Pacote de dados enviado pelo concentrador.....	71

## **Capítulo 1- Introdução**

### **1.1 - Motivação para o trabalho**

Objetivando o aumento da eficiência, a miniaturização e a diminuição de custos, a maioria dos equipamentos eletroeletrônicos utilizados no dia a dia moderno possui uma fonte de alimentação chaveada, com potências variando tipicamente entre 1W a 1000W. Tais fontes apresentam comportamento não-linear, e a maioria das topologias empregadas produz grande quantidade de harmônicos, visto sua corrente ser não-senoidal quando alimentadas por uma tensão senoidal.

Consumidores de maior porte, sobretudo indústrias, costumam possuir bancos de capacitores visando a correção do fator de potência de suas instalações. Tais bancos, se mal projetados, podem ressonar com os harmônicos produzidos pelas cargas instaladas, amplificando-os. Em casos extremos, a corrente harmônica pode se elevar de tal maneira que leva à queima do banco ou de equipamentos mais sensíveis conectados à rede próxima.

Seja qual for a origem das correntes harmônicas, as mesmas produzem diversos tipos de problemas nas redes de transmissão e distribuição, tais como: variações de tensão de curta duração, aquecimento dos transformadores (pela saturação de seus núcleos), aquecimento dos cabos (pois a capacidade de corrente dos mesmos diminui com o aumento da frequência da corrente que os percorre), deformação da forma de onda de tensão, entre outros.

Em uma escala maior, estas correntes se propagam do sistema de distribuição de volta ao sistema de transmissão, e neste encontram os filtros instalados na subestação de Ibiúna para harmônicos não-característicos (3° e 5°) do conversor HVDC responsável pela recepção de quase 50% da energia da usina de Itaipu, causando o desligamento dos referidos filtros por sobre-corrente [1].

Visando monitorar as correntes harmônicas dentro desta subestação e identificar sua origem, foi concebido o projeto de P&D intitulado "Sistema SCADA para

Monitoramento em Tempo Real da Propagação Harmônica em Estações Conversoras HVDC", executado no laboratório LEMT da COPPE/UFRJ com cooperação e suporte financeiro de Furnas S/A, empresa proprietária da referida subestação.

O presente trabalho descreve a origem deste problema, os aspectos técnicos e jurídicos envolvidos, apresenta uma metodologia para monitorar a propagação direcional dos harmônicos em tempo real, descreve o levantamento de informações técnicas dentro da subestação visando dar subsídios para a elaboração do projeto, a estrutura geral proposta para o sistema, e foca principalmente no quesito do sincronismo temporal da amostragem das formas de onda das correntes circulantes na subestação, requisito fundamental para sua operação, sendo este o ponto principal da dissertação.

## **1.2 - Sumário**

O Capítulo 2 descreve o problema da propagação harmônica nas redes de distribuição e transmissão, a construção de Itaipú e a decisão do uso de uma linha de corrente contínua para a transmissão de parte da sua energia gerada, a subestação de Ibiúna (onde esta energia é novamente convertida para CA), foco dos problemas que deram origem ao projeto descrito nesta dissertação. Além disso, é apresentada neste capítulo a metodologia proposta para monitorar a propagação harmônica em tempo real nesta subestação, uma pequena simulação SPICE para demonstrar seu funcionamento, os dados de campo levantados na subestação, as especificações do sistema de aquisição de dados e finalmente a arquitetura proposta para o sistema.

No Capítulo 3 serão descritos detalhadamente os componentes deste sistema, a saber: a Unidade GPS, o Concentrador de Dados, a Unidade de Aquisição de Sinais (UAS) e o Servidor.

No Capítulo 4 serão apresentadas as medidas referentes ao sinal de disparo (*trigger*) das aquisições em cada componente do sistema, efetuadas em um protótipo.

Por fim, no Capítulo 5 serão apresentadas as conclusões e as propostas de trabalhos futuros visando aperfeiçoar e dar continuidade a este trabalho.

## Capítulo 2 - Histórico, levantamento de campo e especificações

### 2.1 - A construção de Itaipu e a escolha pela linha HVDC

A idéia da construção da Usina de Itaipu remonta à década de 1960. Em 1966 foi assinada a "Ata do Iguazú", que registrava o interesse tanto do Brasil quanto do Paraguai de aproveitar os recursos hídricos disponíveis na fronteira entre os dois países no rio Paraná. Em 1973 foi assinado o tratado que concebeu a Itaipu Binacional, empresa de parceria entre os dois países destinada à produção de energia (cabendo a empresas designadas por cada um o transporte até seus centros consumidores) [2]. No Paraguai a empresa designada foi a ANDE (Administración Nacional de Eletricidad), enquanto no Brasil Furnas ficou responsável por distribuir 85% da energia na região Sudeste, entregando 15% para ser distribuída pela Eletrosul na região Sul (e com isso interligando os dois sistemas, que por possuírem regimes hidrológicos diferentes, poderiam se beneficiar mutuamente desta interligação).

Já nesta época a energia produzida no Brasil era de 60Hz (após a consolidação das frequências e tensões), enquanto no Paraguai e na maioria dos outros países da América Latina era de 50Hz. A solução mais simples seria a troca do Paraguai para 60Hz, e de fato o Brasil já tinha experiência nesta área pois todo o Rio Grande do Sul e a cidade do Rio de Janeiro haviam sofrido a troca de frequência anos antes. Itaipu pretendia custear esta mudança.

Todavia, o Paraguai possuía outro empreendimento de geração de energia binacional além de Itaipu: tratava-se de Yacyretá, em parceria com a Argentina, no mesmo rio Paraná. Como a Argentina também utilizava a produção de energia em 50 Hz não havia nenhum problema na divisão da energia gerada em Yacyretá.

A existência deste empreendimento acabou por inviabilizar a troca de frequência do Paraguai, pois apenas transferiria o problema da conversão de frequências para outro lugar. Outras soluções foram então buscadas.

Dado que o mercado paraguaio era muito menor do que o brasileiro, levantou-se a hipótese da instalação de apenas duas unidades geradoras de 50Hz (que atenderiam suas necessidades por longo período), e o restante de 60Hz. Ficaria acordado que as unidades

de 60Hz seriam substituídas por 50Hz caso a demanda paraguaia aumentasse. Esta solução não foi aceita, pois não houve fé de que o Brasil procederia à substituição dos geradores já que isso diminuiria sua produção, limitando o acesso paraguaio à energia que lhe era devida.

Resultou daí a divisão da usina em dois conjuntos de turbinas de mesma capacidade, metade operando em 50Hz e a outra metade em 60Hz. Mas novamente havia uma escolha a fazer: instalar uma conversora back-to-back de grande porte próxima à usina, utilizando linhas convencionais de transmissão de energia ou proceder à transmissão em corrente contínua através do uso de uma unidade retificadora próxima da usina e outra unidade inversora próxima aos centros de consumo.

A diferença de custo, neste caso, não foi um fator decisivo, pois o orçamento feito à época indicava custos muito próximos para ambas as soluções. Todavia, a possibilidade de desenvolver tecnologia e aumentar o conhecimento nesta área levou à opção pela transmissão em corrente contínua, pensando nas oportunidades futuras de exploração da bacia amazônica e outras com localização distante dos grandes centros consumidores [3].

O sistema de transmissão efetivamente construído pode ser visto na Figura 1.

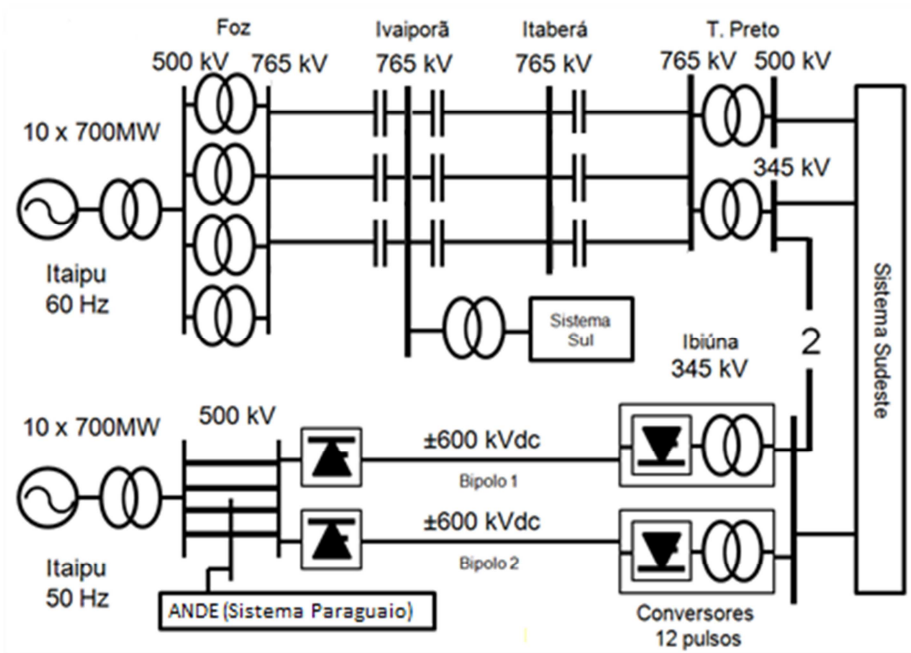


Figura 1 - Diagrama do sistema de transmissão de Itaipu para a Região – fonte: [4]

A energia gerada em 60Hz (até 7.000MW) é transmitida por 3 linhas de 765 kVac. Em Ivaiporã existe a conexão com o Sistema Sul (Eletrosul) por meio de uma linha de 500 kVac.

Já a energia gerada em 50Hz (Até 7.000MW) é interconectada ao sistema da ANDE por linhas de 500 kVac e à conversora de Foz do Iguaçu, responsável por convertê-la em  $\pm 600$  kVdc, que seguem por duas linhas até a outra estação conversora em Ibiúna [5].

## **2.2 - O problema da propagação harmônica em Ibiúna**

O aumento significativo da presença de cargas não-lineares na última década, muitas vezes associadas a bancos de capacitores cuja ressonância agrava a produção de correntes harmônicas, contribui para que o problema da presença de correntes harmônicas venha aumentando de escala.

Este problema, que começou nas redes de distribuição mas já pode ser notado também nas de transmissão, torna-se particularmente grave na subestação de Ibiúna [6]. Esta subestação é a parte receptora do Sistema HVDC responsável pela captação da energia disponibilizada pelo lado paraguaio da Usina de Itaipu, que produz energia em 50Hz, mas que não é totalmente consumida por aquele país (de fato, o Paraguai só consome cerca de 10% da energia gerada em 50Hz por Itaipu). Estações conversoras deste tipo possuem filtros tanto para harmônicos característicos, como filtros para harmônicos não-característicos ( $3^\circ$  e  $5^\circ$ ). No caso de Ibiúna, que opera com conversores de 12 pulsos, os harmônicos característicos são aqueles que são produzidos pelo conversor pela sua forma intrínseca de operação, que pelo lado CA produzem correntes harmônicas de ordem  $(12n \pm 1)$ , para  $n > 1$ , ou seja,  $11^\circ$ ,  $13^\circ$ ,  $23^\circ$ , ... [7]. Os harmônicos não-característicos têm origem em imperfeições na construção do sistema, sobretudo em características não-ideais dos transformadores e discrepâncias nos pulsos de disparos das válvulas a tiristores.

Os filtros de harmônicos não-característicos instalados em Ibiúna foram dimensionados para lidar apenas com a pequena parcela de corrente harmônica produzida pelas características não-ideais dos conversores, mais uma dada parcela

adicional proveniente do sistema de transmissão CA que interliga a subestação de Ibiúna. Contudo, estes filtros acabaram por ser sobrecarregados pelas correntes harmônicas externas e suas causas ainda não estão plenamente identificadas. De fato, originalmente o projeto era composto de dois filtros de 3° e 5°, onde apenas um deveria operar (para haver redundância e facilitar a manutenção). Durante muito tempo a subestação operou normalmente. Em seguida, tornou-se necessário a conexão permanente dos dois filtros ligados, e finalmente começaram a ocorrer fenômenos de sobrecarga mesmo quando os dois estavam em operação. Recentemente foram instalados mais dois filtros de 3° e 5° harmônicos, diminuindo o problema [1]. Esta todavia é uma solução paliativa, pois não é razoável continuar construindo filtros apenas em Ibiúna sempre que o nível de harmônicos aumenta.

### **2.3 - A subestação de Ibiúna**

A Figura 2 apresenta o unifilar da subestação de Ibiúna. Existem 34 "ramos" de conexão ao barramento de 345 kVac, que pode ser considerado um nó elétrico. Destes ramos, 8 partem do conversor HVDC (4 de cada bipólo) e injetam energia no barramento. Outros 14 são de filtros diversos (High Pass, 11° e 13° harmônicos, 3° e 5° harmônicos). Há ainda 4 compensadores síncronos, cuja função é dar suporte de reativos ao sistema. O restante são linhas de transmissão que partem da subestação em direção aos consumidores, e ainda os vãos 12 e 13, que na época da especificação do projeto foram previstos para futuras expansões e que atualmente fazem a interligação com o pátio de 500 kVac, de onde partem linhas em direção às subestações de Bateias e Campinas.

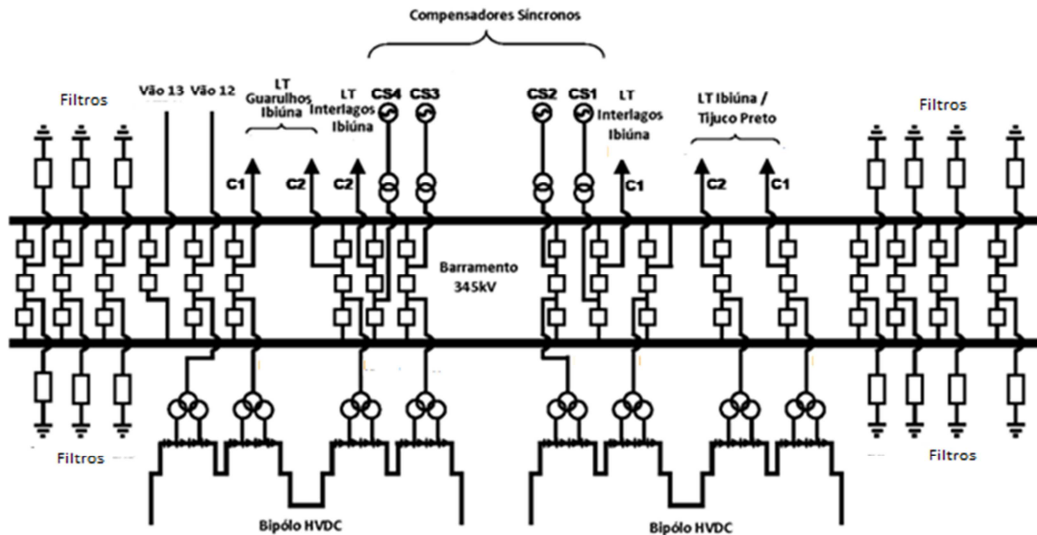


Figura 2 - Diagrama unifilar da subestação de Ibiúna – fonte: [6], com modificações

## 2.4 - Harmônicos no Brasil e no Exterior

Corpos regulatórios, como por exemplo o da União Européia (UE), já criaram normas para lidar com o problema limitando a emissão de harmônicos pelas cargas (no caso específico da EU, por exemplo, a norma EN61000-3-2 impõe limites a todas as fontes chaveadas de mais de 75W) [8].

No Brasil, temos um documento elaborado pela Agência Nacional de Energia Elétrica (ANEEL) chamado “Procedimentos de distribuição de energia elétrica no sistema elétrico nacional”, conhecido como Prodist, que em seu módulo 8 (“Qualidade da Energia Elétrica”) define limites para consumo de energia reativa por unidade consumidora através de um limite do fator de potência mínimo de 0,92 [9]. Apesar de a definição clássica de fator de potência não contemplar harmônicos, esta mesma norma permite que cada concessionária adote outros procedimentos que atendam a sua realidade operativa, abrindo brecha para um conceito mais geral de fator de potência advogado por alguns autores [10] que passa a contemplá-los.

Todavia, a realidade é que tais interpretações mais genéricas do conceito de fator de potência carecem ainda de suporte técnico e jurídico para embasarem medidas punitivas como multas visando o controle da emissão de harmônicos por unidades consumidoras, e como os equipamentos eletroeletrônicos continuam sem uma norma



limitando sua emissão no Brasil, a probabilidade dos consumidores efetuarem investimentos visando resolver este problema é baixa.

O problema não é novo, e já atingiu tal magnitude que não apenas os sistemas de distribuição (120V a 69kV) estão poluídos com tais harmônicas (diminuindo a qualidade da energia entregue aos consumidores), mas até mesmo os sistemas de subdistribuição (69001V a 161kV) e os de alta tensão (>161kV) também já sofrem com o problema. Para lidar com esta faceta existe uma recomendação produzida pelo IEEE, número 1991, que estabelece limites para cada ordem de harmônico no ponto de acoplamento comum (PAC) em função do nível de tensão e do nível de curto-circuito, diferindo em filosofia da EN61000-3-2 que limita a emissão de cada equipamento individual. De fato a filosofia da recomendação IEEE1991 se assemelha à do Prodist 8, que também estipula limites para os harmônicos nos sistemas de distribuição e subdistribuição [11].

Todavia, enquanto as cargas não forem claramente regulamentadas no que tange à geração de harmônicos, as concessionárias ficarão em situação difícil para cobrar um consumo mais consciente por parte dos consumidores domésticos, e ao mesmo tempo serão responsáveis por manter níveis razoáveis de harmônicos na rede, o que só poderá ser obtido pela instalação de filtros.

## 2.5 - Apresentação teórica da metodologia proposta

A metodologia proposta para monitorar a propagação harmônica na subestação de Ibiúna em tempo real parte dos fundamentos da lei de Kirchoff, que diz que o somatório das correntes de todos os ramos conectados a um nó (Figura 3) deve ser zero (equação 1) [12].

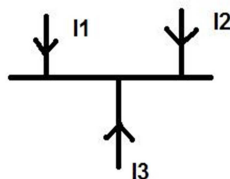


Figura 3 - Exemplo de nó (em forma de barramento) com 3 ramos

$$\sum_{i=1}^N I_i = 0 \quad (1)$$

Vale observar que a lei de Kirchoff é uma lei instantânea, logo todas as medidas devem ser realizadas ao mesmo tempo para que a mesma seja válida. Isso significa dizer que em um sistema de tempo discreto a amostragem da corrente de cada ramo deve acontecer no mesmo instante de tempo. Considerando inicialmente o caso com tempo contínuo: sendo estas correntes não senoidais pela presença de harmônicos, podemos decompô-las utilizando a série de Fourier: (equações 2 a 4):

$$I_1 = A_0 + \sum_{n=1}^{\infty} A_n \cos(n\omega_0 t + \alpha_n) \quad (2)$$

$$I_2 = B_0 + \sum_{n=1}^{\infty} B_n \cos(n\omega_0 t + \beta_n) \quad (3)$$

$$I_3 = C_0 + \sum_{n=1}^{\infty} C_n \cos(n\omega_0 t + \gamma_n) \quad (4)$$

O notável aqui é o fato de que como cada corrente é decomposta em um somatório de funções ortogonais, para que o somatório das correntes se anule é necessário que o somatório de cada cossenóide de frequência  $n\omega_0$  (incluindo aí a frequência zero, i.e, a componente de corrente contínua) se anule individualmente. Resumindo: é impossível que a soma de frequências diferentes resulte em zero, exceto instantaneamente. Isso equivale a dizer que a lei de Kirchoff obriga as correntes de cada ordem  $n$  de harmônicos a se anularem entre si independentemente. Consideremos por exemplo apenas o 5º harmônico do caso anterior (equação 5):

$$\sum I_n = I_{1(5)} + I_{2(5)} + I_{3(5)} = 0 \quad (5)$$

Podemos reescrever usando a série de Fourier (equação 6):

$$\sum I_n = A_5 \cos(5\omega t + \alpha_5) + B_5 \cos(5\omega t + \beta_5) + C_5 \cos(5\omega t + \gamma_5) \quad (6)$$

Usando a forma complexa da série de Fourier: (equação 7):

$$\sum I_n = F_{A5}e^{j5\omega t} + F_{B5}e^{j5\omega t} + F_{C5}e^{j5\omega t} \quad (7)$$

onde  $F=a+bi$

Foram obtidos 3 vetores que giram conforme  $t$  varia. Escolhendo arbitrariamente  $t=0$  resulta (equação 8):

$$\sum I_n = (Re(F_{A5}) + Re(F_{B5}) + Re(F_{C5})) + (Im(F_{A5}) + Im(F_{B5}) + Im(F_{C5})) = 0 \quad (8)$$

O problema tornou-se uma soma vetorial que precisa retornar à origem (Figura 4):

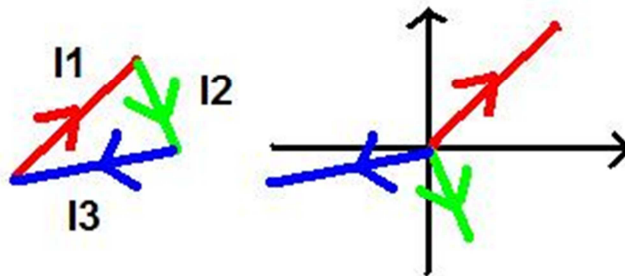


Figura 4 - Soma vetorial gráfica das correntes de um nó (para um dado harmônico)

Fica claro que bastaria medir  $N-1$  correntes de um nó com  $N$  ramos para determiná-las todas, mas em sistemas reais é interessante medir todas pois o erro no somatório nos permite estimar a acurácia geral das medições.

Especificamente pensando no caso da determinação da direcionalidade dos harmônicos dentro da subestação de Ibiúna, a corrente de um filtro de harmônicos pode ser utilizada como referencial: todas as que possuírem o mesmo sentido que esta estarão contribuindo para aliviar o barramento, enquanto as que tiverem sentido oposto estarão injetando mais harmônicos no barramento, exacerbando o problema [13].

## 2.6 - Simulação SPICE

Com o objetivo de clarificar como a metodologia apresentada anteriormente poderia ser aplicada na prática, será demonstrado agora um exemplo numérico implementado no simulador PSPICE, com cálculos posteriores feitos no MATLAB.

Começamos apresentando o circuito da Figura 5, elaborado com o objetivo de produzir correntes harmônicas de fases bem distintas e módulos de mesma ordem de grandeza, a fim de facilitar a visualização em forma vetorial. Ele representa um gerador (composto pelas duas fontes de tensão em série, das quais apenas a de 179V está operante nesta simulação) e duas cargas, conectadas a um barramento. As ponteiros de corrente indicam os ramos que chegam ao nó.

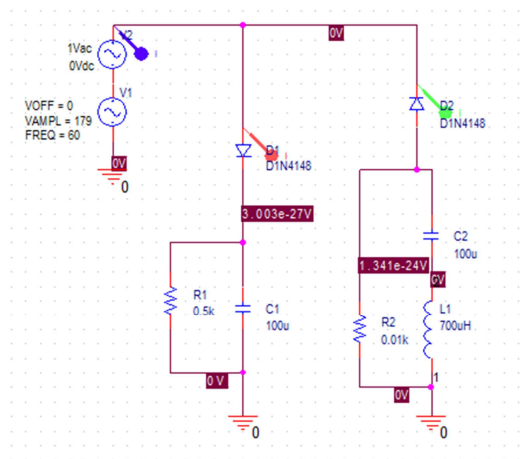


Figura 5 - Circuito utilizado como exemplo

A Figura 6 apresenta a forma de onda no tempo das 3 correntes, na qual é possível verificar que existem muitos harmônicos de 60Hz em circulação.

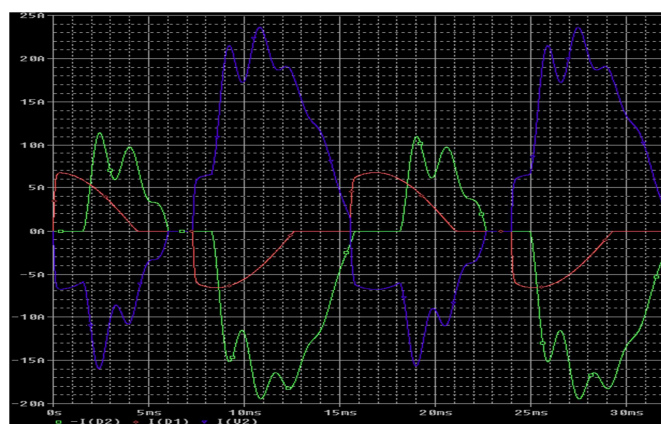


Figura 6 - Forma de onda no tempo

Foi utilizado o próprio simulador PSPICE para calcular o módulo e o ângulo de algumas harmônicas das correntes deste circuito através da função ".FOUR". O script resultante da execução da simulação PSPICE encontra-se no apêndice A1. A tabela 1 apresenta o resultado de módulo e ângulo obtidos para o 5º harmônico das correntes do circuito mencionado através da simulação (o ângulo referente a D2 foi invertido manualmente por uma impossibilidade de fazer o PSPICE calcular a corrente no sentido correto). Foram acrescentadas à tabela as coordenadas X e Y, bem como seus somatórios. Observa-se que os mesmos ficam bem próximos de 0, limitados pela precisão numérica dos valores obtidos na simulação.

Tabela 1 - Resultados da simulação para o 5º harmônico

Ponto de Medida	Módulo	Ângulo	X	Y
D1	0,8942	113,1°	-0,350	0,822
D2	0,3176	263,38°	-0,037	-0,315
V1	0,6381	-52,54°	0,388	-0,506
		$\Sigma$	0,001	0,0f01

Executou-se o script MATLAB constante no apêndice A2, obtendo-se as Figuras 7 e 8 que representam os vetores de corrente de 5º harmônico do circuito simulado a partir da origem (Figura 7) e somados vetorialmente (Figura 8) mostrando que a soma vetorial retorna a origem, demonstrando que o método funcionou como esperado.

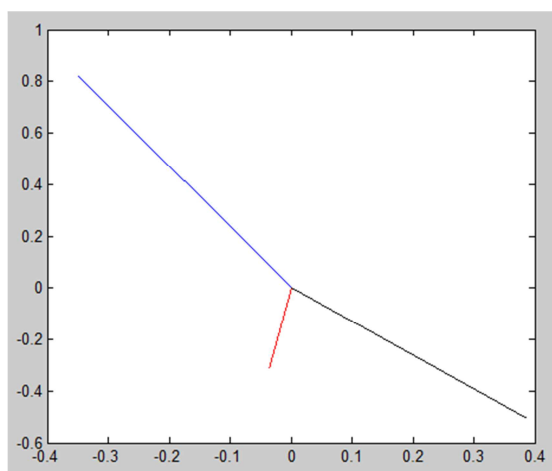


Figura 7 - Vetores de corrente do 5º harmônico a partir da origem

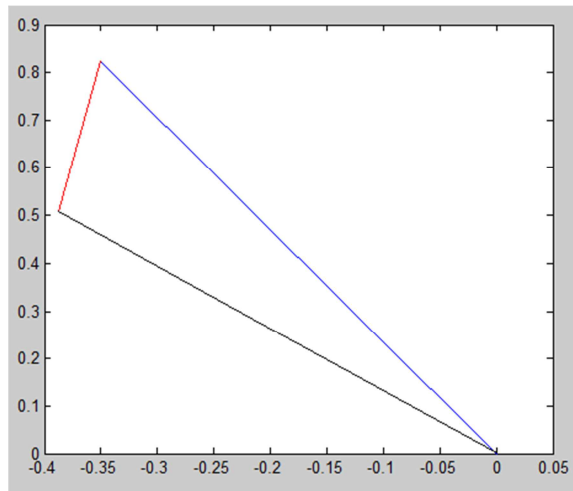


Figura 8 - Soma vetorial dos vetores de corrente do 5º harmônico

## 2.7 - Levantamento de dados em campo na subestação de Ibiúna

Com base na metodologia apresentada nos sub-itens 1.7 e 1.8 decidiu-se proceder a uma investigação de campo (ocorrida no final de 2008) para determinar:

- a magnitude das correntes a serem medidas em cada um dos 34 ramos que acessam a barra da subestação de Ibiúna
- Onde fisicamente seriam instalados os medidores
- Como acessaríamos as correntes
- Como se procederia à sincronização entre eles
- Como os medidores seriam alimentados
- Como os dados seriam coletados, transmitidos, processados, e exibidos

Como o sistema da subestação é essencialmente equilibrado, apesar de tratar-se de uma barra trifásica ficou decidido que o monitoramento harmônico seria instalado apenas em cada fase "B" dos 34 "ramos" que chegam ao barramento de 345 kVac, por uma questão de custo.

Na investigação descobriu-se que todos os ramos possuíam transformadores de corrente para medição (precisão de 0,3%) e/ou proteção (10% de precisão), sendo a maioria deles de medição. Ficou acertado o uso dos TCs de medição sempre que disponíveis.

O secundários destes TCs passam por 5 ambientes abrigados, identificados cada um como: Sala de controle e Relé, Ilha Sul, Ilha Norte, Bipólo 1 e Bipólo 2. Ficou decidido que a interface do sistema com os secundários dos TCs se daria nestes locais abrigados, onde existem painéis com racks de 19 polegadas aptos a suportarem equipamentos de medição. Na Sala de controle e Relé os racks já estão com baixa capacidade ociosa, sobretudo naqueles painéis por onde passam as fiações dos secundários dos TCs instalados no pátio de manobras, de forma que decidiu-se pela substituição de alguns amperímetros destas linhas pelas unidades de medição do sistema aqui descrito, que ficariam com a responsabilidade de fornecer localmente a medida de corrente por indicação visual. A Figura 9 mostra um destes amperímetros.



Figura 9 - Amperímetro a ser substituído pelo sistema de medição de correntes harmônicas

Verificou-se que nos locais de instalação havia a disponibilidade de alimentação ora por 125Vdc, ora por 127Vac, logo as fontes deveriam suportar as duas possibilidades.

Quanto à magnitude das correntes a serem medidas, os seguintes dados foram levantados:

- Corrente de fundo de escala dos medidores já instalados
- Corrente média

- relação de transformação do TC

Decidiu-se que apesar do sistema SCADA não necessitar de medidas de tensão, as mesmas seriam também medidas, pois poderiam se mostrar úteis em trabalhos futuros. Por isso, a tensão nominal, tensão de fundo de escala e a relação de transformação dos respectivos TPs também foram verificadas. Todos estes dados estão listados nas tabelas 2 a 6, a seguir.

Tabela 2: Sala de controle e Relé

<b>Linha</b>	<b>Relação corrente</b>	<b>Relação Tensão</b>	<b>Tensão Nominal</b>	<b>Tensão Fundo Esc.</b>	<b>Corrente Nominal</b>	<b>Corrente Fundo Esc.</b>
Tij 1	3000/5	3000/1	345000	600000	800	3500
Tij 2	3000/5	3000/1	345000	600000	800	3500
Gua1	4000/5	3000/1	345000	600000	1500	4000
Gua2	4000/5	3000/1	345000	600000	1500	4000
Int1	4000/5	3000/1	345000	600000	1500	5000
Int2	4000/5	3000/1	345000	600000	1500	5000
Sinc1	2000/5	3000/1	345000	600000	500	850
sinc2	2000/5	3000/1	345000	600000	500	850
sinc3	2000/5	3000/1	345000	600000	500	850
sinc4	2000/5	3000/1	345000	600000	500	850
Vao12	2000/5	1800/1	345000	600000	450	2000
Vao13	3000/5	1800/1	345000	600000	450	3000



Tabela 3: Ilha Sul

<b>Linha</b>	<b>Relação corrente</b>	<b>Relação Tensão</b>	<b>Tensão Nominal</b>	<b>Tensão Fundo Esc.</b>	<b>Corrente Nominal</b>	<b>Corrente Fundo Esc.</b>
RRE1A	1500/5	3000/1	345000	600000	400	750
RRE1D	1500/5	3000/1	345000	600000	500	750
RRE2B	1500/5	3000/1	345000	600000	400	750
RRE2E	1500/5	3000/1	345000	600000	400	750
RRE3C	1500/5	3000/1	345000	600000	500	750
RRE3F	1500/5	3000/1	345000	600000	400	750
KREI	3000/5	3000/1	345000	600000	105	750
KREJ	3000/5	3000/1	345000	600000	105	750

Tabela 4: Ilha Norte

<b>Linha</b>	<b>Relação corrente</b>	<b>Relação Tensão</b>	<b>Tensão Nominal</b>	<b>Tensão Fundo Esc.</b>	<b>Corrente Nominal</b>	<b>Corrente Fundo Esc.</b>
RRC1G	1500/5	3000/1	345000	600000	500	750
RRC1K	1500/5	3000/1	345000	600000	500	750
RRC2H	1500/5	3000/1	345000	600000	400	750
RRC2M	1500/5	3000/1	345000	600000	400	750
RRC3N	15000/5	3000/1	345000	600000	500	750
RRC3K	1500/5	3000/1	345000	600000	400	750

Tabela 5: Bipólo 1

<b>Linha</b>	<b>Relação corrente</b>	<b>Relação Tensão</b>	<b>Tensão Nominal</b>	<b>Tensão Fundo Esc.</b>	<b>Corrente Nominal</b>	<b>Corrente Fundo Esc.</b>
Conversor 1	2000/5	3000/1	345000	400000	1500	2000
Conversor 2	2000/5	3000/1	345000	400000	1500	2000
Conversor 3	2000/5	3000/1	345000	400000	1500	2000
Conversor 4	2000/5	3000/1	345000	400000	1500	2000

Tabela 6: Bipólo 2

<b>Linha</b>	<b>Relação corrente</b>	<b>Relação Tensão</b>	<b>Tensão Nominal</b>	<b>Tensão Fundo Esc.</b>	<b>Corrente Nominal</b>	<b>Corrente Fundo Esc.</b>
Conversor 5	2000/5	3000/1	345000	400000	1500	2000
Conversor 6	2000/5	3000/1	345000	400000	1500	2000
Conversor 7	2000/5	3000/1	345000	400000	1500	2000
Conversor 8	2000/5	3000/1	345000	400000	1500	2000

A sincronização entre as medições poderia ser atingida por dois meios: pelo uso de uma infraestrutura física de transmissão de pulsos de sincronismo, que pelas dimensões da subestação necessitaria utilizar fibras ópticas, ou pelo uso de GPS (Global Positioning System), um sistema de satélites utilizado para posicionamento mas que também é capaz de fornecer um relógio de precisão como parte intrínseca de seu modo de operação (mais detalhes adiante). Devido ao alto custo do lançamento de fibras ópticas em toda extensão da subestação, optou-se pela solução por GPS para sincronização. Já a transmissão de dados seria feita por uma rede Ethernet (grande parte dela em fibra óptica) de 100Mbps/s, já disponível. Trata-se de uma rede anteriormente utilizada para a operação que foi substituída por outra mais moderna, encontrando-se ociosa naquele momento, o que permitirá separar fisicamente o fluxo de dados deste sistema do restante da subestação, aumentando, assim, sua segurança.

Por fim, decidiu-se que a exibição dos resultados dos cálculos executados no servidor que recebe o conjunto de medições seria feita por uma interface Web, podendo

ser acessada de qualquer ponto da Intranet de Furnas (mesmo no prédio da administração central no Rio de Janeiro), havendo um console na mesa de operações com um navegador apto a acessar tal sistema.

## **2.8 - Arquitetura geral proposta para o sistema**

Com base na visita para levantamento de dados descrita no item anterior, ficou decidido que o sistema seria composto de quatro equipamentos:

- Unidade GPS, responsável por receber dos satélites um sinal de pulso por segundo (PPS) sincronizado com os outros equipamentos semelhantes e corrigir seu atraso de propagação por até 100 metros de cabo UTP Cat-5e até o concentrador;
- Concentrador, responsável por produzir e distribuir o trigger de aquisição com base no PPS vindo da Unidade GPS para as Unidades de Aquisição de sinais (UAS), coletar os dados capturados por estas e enviá-los por rede Ethernet para o servidor. Cada concentrador pode ser conectado a até 8 UAS por meio de até 15 metros de fibra óptica plástica (POF) bidirecional;
- Unidade de Aquisição de Sinais (UAS), responsável pela medição das grandezas elétricas (corrente e tensão) e exibição da corrente RMS em um display (visto que a mesma seria instalada em substituição a amperímetros em algumas linhas);
- Servidor, responsável por receber os sinais de corrente e tensão vindos de todos os concentradores por meio de rede Ethernet, processá-los, e exibir os resultados em uma página Web.

Com base no número de secundários de TCs disponíveis em cada um dos 5 sites onde o sistema será instalado foi obtida a topologia da Figura 10:

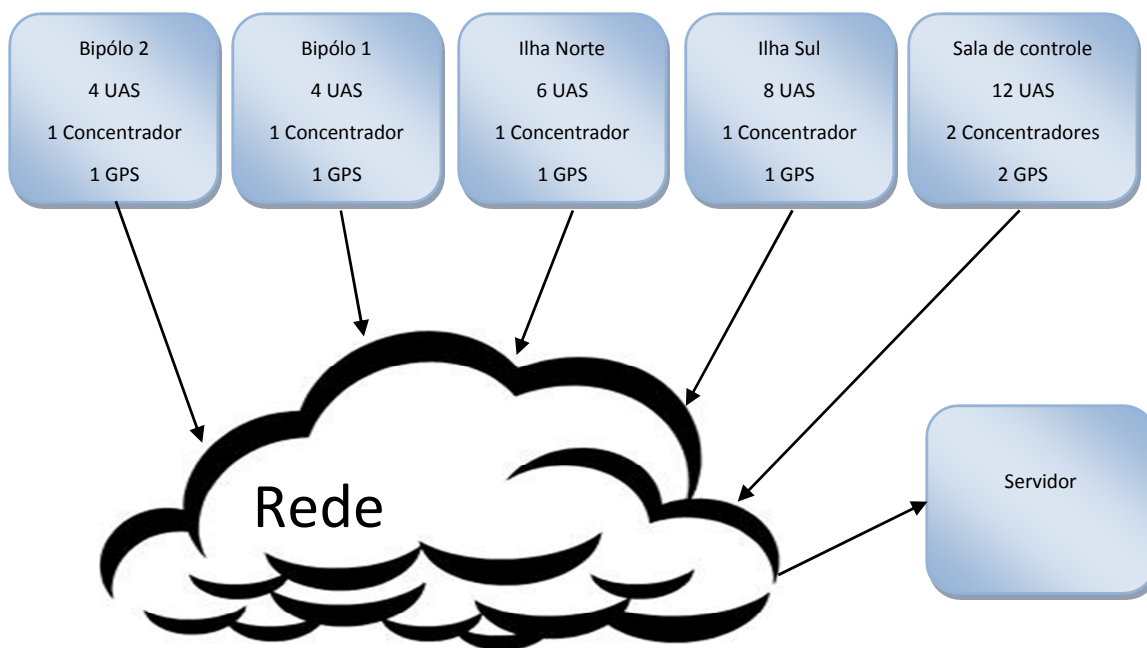


Figura 10 - Topologia do sistema SCADA Harmônico

Neste diagrama está indicada a quantidade de equipamentos necessários em cada site. As distâncias de cabos UTP e das fibras levaram em conta a realidade da instalação em Ibiúna. Foi escolhido o cabo UTP Cat-5e para a conexão entre o GPS e o concentrador, pois o mesmo possui grande imunidade eletromagnética para os sinais (visto ser composto de 4 pares trançados), permitir a alimentação do GPS (pelo uso de um dos pares trançados para propagar alimentação em aproximadamente 50V), permitir o uso de uma linha RS-485 para configuração do próprio GPS, restando ainda 2 pares para transmissão do PPS ida e volta (visando a medição do tamanho elétrico do cabo para compensação de seu atraso).

A fibra óptica plástica foi escolhida para a comunicação entre as UAS e o concentrador por permitir grande imunidade a ruídos (visto ser imune a campos eletromagnéticos), fato importante dentro dos racks por onde passam muitos cabos, além de fornecer isolamento galvânica entre os equipamentos, o que é sempre desejável. Foi utilizada a fibra plástica em vez de sílica, pois a mesma possui uma resistência mecânica muito maior, aumentando sua confiabilidade, às expensas de operar em distâncias mais reduzidas.

## 2.9 - Especificações da aquisição de dados

Existem duas especificações básicas para a aquisição de dados neste projeto: qual o erro temporal aceitável entre momentos de aquisição de UAS diferentes (jitter), e qual deve ser a quantidade de bits do conversor A/D para obter resultados satisfatórios.

A primeira questão é mais simples de ser respondida, bastando para isso fixar qual deve ser o erro máximo do ângulo dos vetores obtidos para um certo harmônico. O harmônico de maior amplitude em Ibiúna, exceto o fundamental, é o quinto, por isso este foi escolhido como referência. Foi arbitrado que  $0,1^\circ$  de erro seria um valor bastante aceitável para o equipamento, e certamente menor do que todas as outras incertezas envolvidas no cálculo (como por exemplo o erro de fase intrínseco dos TCs). A partir daí, resta calcular qual atraso temporal entre duas senóides de 300Hz (o maior harmônico de interesse) produz um erro de  $0,1^\circ$  (equação 9):

$$360^\circ \leftrightarrow 1/(60Hz \times 5) \quad (9)$$

$$0,1^\circ \leftrightarrow x \rightarrow x = 925,92ns$$

A questão sobre a quantidade de bits do conversor A/D é mais complexa e requer mais pressupostos, pois a grandeza amostrada corresponde à soma de todas as harmônicas mais a fundamental, enquanto deseja-se saber o módulo de apenas uma delas, independentemente, de cada vez.

Já que cada amostra do sinal de corrente pode ser interpretada como sendo a soma instantânea das amostras de todas as harmônicas em um dado instante de tempo, é possível calcular a relação sinal-ruído desejada na parcela de um certo harmônico, e degradá-la com os efeitos intrínsecos ao processo até atingirmos a relação necessária para o sinal original. Foi assumido que deseja-se obter uma precisão de 0,1% (1 em 1000) para a amplitude do harmônico pois mesmo os TCs de medição possuem erro na casa de 0,3%, logo este é um requisito bastante restritivo. Partindo desta precisão básica de 1 em 1000 é possível chegar na seguinte relação sinal-ruído (equação 10):

$$20 \log\left(\frac{1000}{1}\right) = 60dB \quad (10)$$

Se o sinal estivesse sendo adquirido isoladamente (ou seja, sem estar somado a nenhum outro) e condicionado para ocupar toda a faixa dinâmica do conversor A/D (no caso do conversor empregado, o sinal de entrada deve variar de 0V a 4,096V), um conversor A/D de 10 bits satisfaria esta especificação com uma pequena folga (equação 11):

$$20 \log \left( \frac{2^{10}}{2^0} \right) = 60,21dB \quad (11)$$

Todavia este sinal encontra-se somado aos outros harmônicos e à fundamental. Para facilitar a visualização do que acontece neste caso, vamos supor que o sinal possuísse amplitude de 0V a 2,048V e estivesse somado a um sinal DC de 2,048V. A Figura 11 ilustra esta situação.

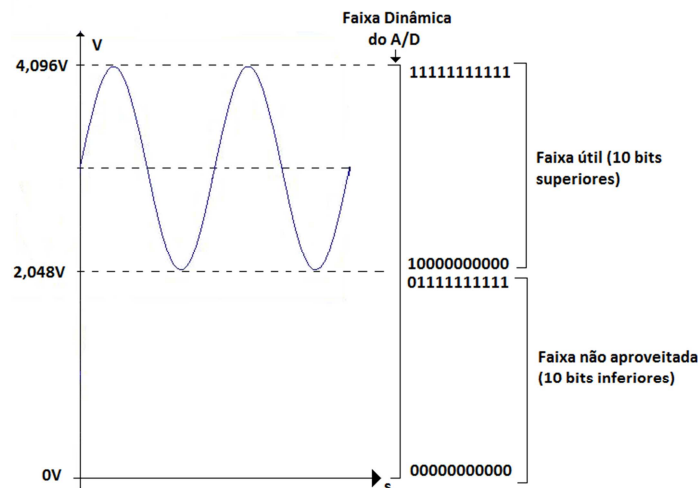


Figura 11 - amostragem de um sinal AC somado a um sinal DC

É perceptível que para que a mesma resolução seja mantida o conversor A/D necessitará de 11 bits, pois os 1024 números binários inferiores não estão sendo utilizados para representar o sinal de interesse. Matematicamente é possível chegar a esta conclusão calculando a soma entre a relação sinal-ruído do sinal de interesse com a resolução desejada, somando-a a relação sinal ruído do fator de diluição do sinal original no sinal total (neste caso específico, apenas metade do sinal nos interessa). Vemos isso na Equação 12:

$$20 \log \left( \frac{2^{10}}{2^0} \right) + 20 \log \left( \frac{2}{1} \right) = 66,23dB \quad (12)$$

Este resultado é o mesmo encontrado intuitivamente, ou seja, de que é necessário um conversor A/D de 11 bits para esta nova situação (Equação 13):

$$20 \log \left( \frac{2^{11}}{2^0} \right) = 66,23dB \quad (13)$$

A idéia pode agora ser estendida para o caso de um sinal de interesse somado a outros sinais variantes no tempo (i.e, não-DC). O cálculo é o mesmo, apenas não há uma faixa fixa útil do A/D, pois a mesma torna-se variante com o tempo conforme ilustrado na Figura 12:

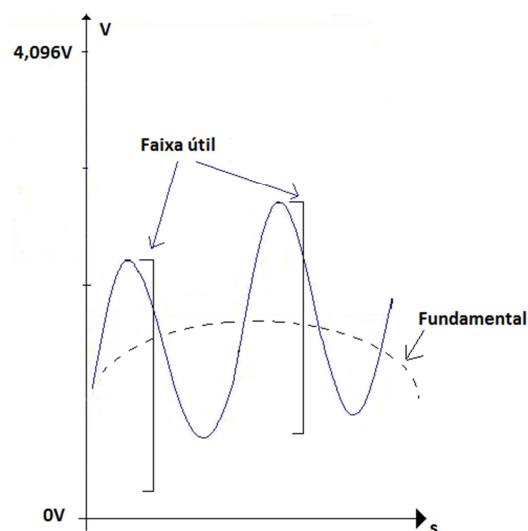


Figura 12 - amostragem de um sinal AC somado a outro sinal AC

Retornando ao cálculo da relação sinal-ruído desejada no sistema aqui descrito, suponha-se que o módulo relativo entre o restante do sinal de corrente e o harmônico de interesse seja de 100 para 1 e ainda que exista uma variação de corrente da ordem de 10 vezes durante a operação normal do sistema (pois o mesmo não é operado em carga máxima o tempo todo). Obtém-se então: (equação 14)

$$20 \log \left( \frac{100}{1} \right) + 20 \log \left( \frac{10}{1} \right) = 60dB \quad (14)$$

A relação sinal ruído total necessária é de  $60dB + 60dB = 120dB$ . Para atingir este objetivo será utilizado um conversor A/D de 16 bits (relação sinal ruído ideal de 96,32dB, na prática segundo a datasheet o mesmo alcança 95.5dB levando em conta

suas não-idealidades) [14]. Além disso, deve-se levar em conta o ganho de processamento da FFT [15], que pode ser encarado como o aumento de precisão obtido pela mesma por calcular as amplitudes olhando não apenas para uma amostra, mas para um conjunto grande das mesmas. Pretendemos utilizar 1024 amostras no cálculo, obtendo um ganho de processamento de (equação 15):

$$G = 10 \log\left(\frac{N}{2}\right) = 10 \log(512) = 27,09dB \quad (15)$$

Somando, teremos 95,5dB provenientes do conversor A/D associados a 27,09dB provenientes do ganho de processamento da FFT, chegando a 122,59dB, atingindo portanto o objetivo proposto.



## Capítulo 3 - Descrição dos componentes do Sistema

### 3.1 - Projeto da Arquitetura Geral do Sistema

Como visto anteriormente, para a operação do sistema SCADA dentro das especificações propostas é necessário que todas as aquisições de dados ocorram com um erro máximo de sincronismo da ordem de 925ns. A primeira possibilidade aventada para atingir este objetivo era a de instalar um relógio de precisão em algum lugar da subestação de Ibiúna (baseado em um relógio de Rubídio ou mesmo em um receptor de GPS) e distribuir esta informação de tempo por alguma rede para todas as unidades de aquisição.

Existem sistemas de medição fasorial (PMU - Phase Measurement System) capazes de observar em tempo real o ângulo das correntes e tensões na frequência fundamental, com objetivo de analisar as condições de uma rede e verificar se a mesma está operando dentro de suas especificações. O primeiro PMU foi construído em 1992 pela Macrodyne [16]. Por observarem apenas o ângulo do fasor na frequência fundamental, os PMUs podem trabalhar com referências temporais menos precisas.

O projeto aqui descrito possuía requisitos mais restritivos e por isso não haviam equipamentos prontos a um custo aceitável, gerando a necessidade de desenvolver todos os componentes do sistema, inclusive o relógio. Havia então quatro opções de topologias ou tecnologias para distribuição de informação de tempo, comparadas na tabela 7 [17].

Tabela 7 - Tecnologias para sincronização Temporal

	IEEE1588	NTP	GPS	IRIG-B
Extensão espacial	Média área	Grande área	Grande área	Local
Comunicação	Rede Local	Internet	Satélite	Dedicada
Acurácia	Sub-microsegundo	Alguns milissegundos	Sub-microsegundo	Sub-microsegundo

Como nosso sistema não era tão espalhado geograficamente quanto um PMU, seria viável do ponto de vista tecnológico dispor de um único relógio (que portanto não precisaria estar sincronizado a nenhuma outra referência, bastando ser suficientemente estável) e distribuir sua informação de tempo por toda a estação, compensando os atrasos dos cabos (pois em 1 $\mu$ s a luz só se propaga 300m e as distâncias envolvidas dentro da subestação de Ibiúna são muito superiores a 300m). Para esta distribuição poderíamos utilizar um protocolo proprietário sobre fibras ópticas, ou mesmo o IRIG-B. Apesar de fisicamente possível, esta solução teria um custo elevado devido à necessidade de lançar fibras percorrendo toda a estação interligando os diversos pontos de medição, e por isso foi rejeitada.

O NTP (Network Time Protocol - Protocolo de Tempo de Rede) é um protocolo de distribuição de tempo para TCP/IP, mas que é incapaz de atingir a precisão necessária para este projeto, o que decretou sua eliminação da lista de possibilidades.

O protocolo IEEE1588 (Precision Time Protocol - Protocolo de Tempo Preciso) foi desenvolvido para operar sobre redes TCP/IP de uma maneira a atingir precisão muito maior do que o NTP, porém em ambientes mais restritos (poucos roteadores entre os nós). O uso do protocolo IEEE1588 foi abandonado porque segundo dados publicados [17] seu desempenho é extremamente variável com o fluxo de dados na rede, degradando para menos do que o aceitável para esta aplicação mesmo em regimes de transmissão modestos.

Vale ressaltar aqui que existe uma segunda revisão deste protocolo conhecida como IEEE1588-2008 ou IEEE1588v2 que é muito mais precisa, contando inclusive com suporte de hardware de alguns roteadores e micro-controladores destinados a uso em equipamentos com requisitos de grande precisão temporal. Consta ser possível obter sincronismos na ordem de 60ns com a mesma [17], e sendo este o caso esta é uma tecnologia que poderia simplificar a topologia de um futuro sistema de medição fasorial de harmônicos. O mesmo não foi utilizado, pois havia sido oficializado há pouco tempo quando este sistema estava na fase de projeto. Portanto, havia poucas informações confiáveis e poucos componentes disponíveis no mercado.

Optou-se por fim pelo uso da tecnologia GPS no sistema, e para tal foram pesquisados no mercado módulos GPS com capacidade de fornecer informações temporais com grande precisão. Foram encontrados dois modelos: O Motorola Oncore

UT+ (precisão máxima de 50ns RMS) e o UBLOX LEA-5T (Precisão máxima de 12ns RMS). O LEA-5T foi escolhido não apenas por sua maior precisão mas sobretudo por haver um distribuidor nacional mais acessível, visto que a diferença de precisão entre os dois, apesar de notável, não seria significativa dentro de nossa meta de 925ns.

Cabe aqui uma explicação sobre a notação "RMS" (Root Mean Square, valor eficaz) quando nos referimos à precisão temporal de um dispositivo. O mais habitual seria utilizar o desvio padrão para caracterizar o "espalhamento" do erro de uma variável que está contaminada por um ruído que pode ser aproximado por uma gaussiana. Ocorre que a fórmula para cálculo do desvio padrão é (equação 16):

$$s = \sqrt{\frac{1}{n-1} \sum_{i=1}^N (x_i - \bar{x})^2} \quad (16)$$

Enquanto a fórmula do valor RMS é: (equação 17)

$$x_{RMS} = \sqrt{\frac{\sum_{i=1}^n x_i^2}{n}} \quad (17)$$

Observa-se que quando a variável (que no caso representa o erro) tem média zero e o número de amostras tende a infinito, ambas as fórmulas resultam no mesmo valor, daí o emprego indiscriminado de ambas as nomenclaturas para caracterizar o erro destes relógios.

Quanto à diferença de desempenho entre os modelos mais novos (dezenas de nanosegundos) e os mais antigos, a explicação está no uso estacionário dos mesmos. O sistema GPS consiste em uma constelação de satélites dotados de relógios atômicos, e um receptor cuja posição normalmente quer-se determinar. A maior fonte de incerteza vem da diferença de tempo de propagação das ondas de rádio na ionosfera, que depende de fenômenos climáticos. Com 4 satélites, é possível resolver um sistema de equações para as variáveis x,y,z e t, determinando a localização do receptor e a hora dos satélites.

Se desejamos apenas a informação de tempo, os módulos mais modernos possuem uma configuração normalmente chamada de "*position hold*" onde após um longo tempo computando a média da sua posição espacial de forma a eliminar os erros introduzidos pela propagação ionosférica, o módulo inverte o sistema e passa a corrigir

a informação de tempo a partir dos dados de posicionamento obtidos na etapa anterior (que costuma ser chamada de “*survey*”). Neste tipo de uso é comum o emprego de antenas de melhor qualidade (“*survey grade*”), com capacidade de eliminar reflexões causadas por prédios, montanhas e outros acidentes de relevo próximos [18].

Havendo optado pela tecnologia GPS e escolhido o modelo, faltava decidir quantos módulos seriam necessários e onde os mesmos deveriam ser instalados. Como descrito anteriormente, havia 34 pontos com correntes a serem medidos, mas certamente o uso de 34 GPS tornaria o sistema inviável pela complexidade da utilização de 34 antenas. Poderíamos decidir utilizar 5 GPS, um por instalação física, mas os mesmos necessitariam suportar uma variedade grande de unidades de aquisição (12 na sala de controle e 4 nos bipólos). Ficou decidido então que haveria um equipamento intermediário chamado concentrador, capaz de distribuir o sinal de 1 GPS para até 8 unidades de aquisição de sinais (UAS). Haveria dois concentradores na sala de controle e 1 em cada outro site, totalizando 6 concentradores, e portanto 6 GPS.

Por conta das altas frequências propagadas pelas antenas de GPS (na faixa de 1,5GHz) e pela disposição física dos sites, que obrigavam a existir até 100 metros de cabo entre o concentrador e o local de instalação das antenas, ficou decidido que existiria um equipamento chamado de “GPS” no sistema, composto não apenas do módulo GPS, mas de vários circuitos adicionais, sobretudo com a função de corrigir o atraso de propagação nestes 100 metros de cabo, e que ficaria exposto ao tempo (em caixa de aço inox com grau de proteção IP-66), com cerca de 2 metros de cabo até a antena.

O concentrador, além de distribuir a referência temporal para até 8 UAS, tornou-se o equipamento com a interface de rede Ethernet, de forma a minimizar o número de interfaces de rede requeridas pelo sistema (de 34 para 6). Além disso, como a comunicação com as UAS se faz por meio de fibras ópticas plásticas (que possuem grande resistência mecânica, ao contrário das fibras ópticas de sílica), temos um maior isolamento do sistema, seja entre as unidades de aquisição de dados, seja em relação ao GPS (que fica exposto a intempéries).

As unidades de aquisição de sinais (UAS) foram construídas em gabinete padrão DIN98x98 por ser este o padrão utilizado pelos amperímetros da subestação, facilitando sua intercambiabilidade. Grande cuidado foi dispensado aos conectores que acessam as

correntes dos TCs e tensões dos TPs, sendo os mesmos compostos de parafusos de aço inox e terminais olhal, com porcas, arruelas e arruelas de pressão. As UAS podem ser alimentadas com 100 a 250V ac ou dc.

O servidor é uma máquina com processador Intel de alto desempenho em gabinete de 19 polegadas, visando sua montagem em rack. Possui duas interfaces de rede, uma para uma sub-rede contendo os concentradores, e outra por onde o serviço Web é disponibilizado.

Espera-se que esta seção tenha conseguido descrever as principais questões acerca da topologia geral do sistema e a motivação por trás das escolhas que foram efetuadas e acabaram por resultar no sistema mostrado na Figura 10.

### 3.2 - Descrição da Unidade GPS

A arquitetura interna da unidade GPS pode ser vista na Figura 13, bem como sua interface com o Concentrador.

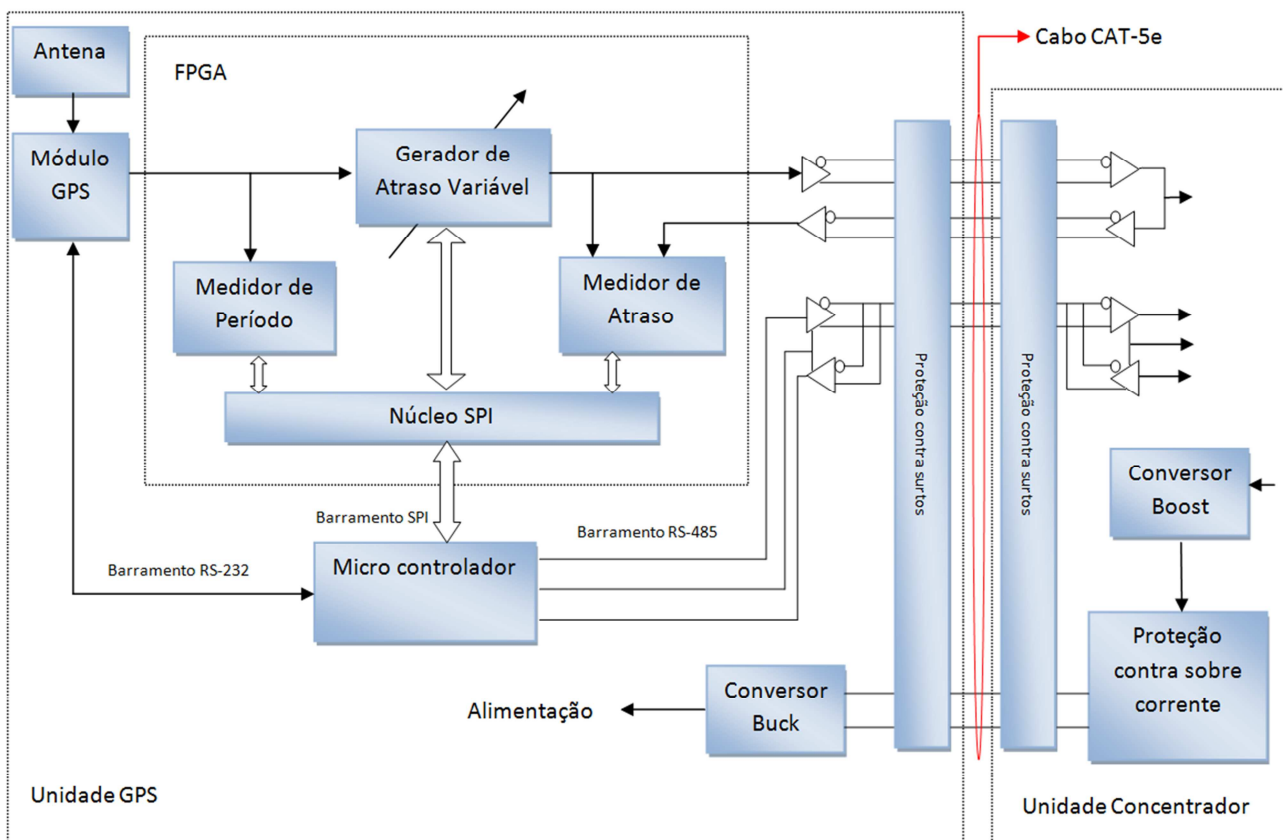


Figura 13 - Arquitetura Interna da unidade GPS e interface com o Concentrador

Os dois principais componentes desta unidade são o módulo GPS, encarregado de captar a informação temporal dos satélites com grande precisão, e uma FPGA (Field Programmable Gate Array), um dispositivo capaz de implementar lógicas digitais extremamente rápidas a partir de blocos básicos presentes em seu interior. Sua arquitetura interna pode ser vista na Figura 14. O mesmo pode ser visto como o substituto dos integrados de lógica digital TTL da família 74, com a vantagem de ser possível descrever o circuito a ser implementado em uma linguagem de descrição de hardware (foi utilizada VHDL, mas existem outras), e uma ferramenta de software (análoga a um compilador) sintetiza a partir dos blocos básicos presentes na FPGA as funções descritas no código fonte VHDL.

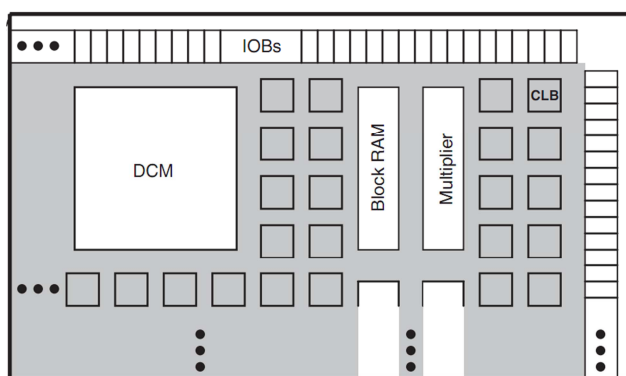


Figura 14 - Arquitetura interna do FPGA XC3S50AN. Fonte: [19]

O principal bloco básico de uma FPGA é o CLB, cuja estrutura interna pode ser vista de forma simplificada na Figura 15. O mesmo é composto por uma tabela LUT (Look Up Table), que nada mais é do que uma pequena memória de 16 bits. Os quatro sinais de entrada da LUT operam como um barramento de endereços, selecionando qual posição de memória será refletida em sua saída. Preenchendo esta memória com valores adequados qualquer função lógica de 4 variáveis pode ser realizada. Como exemplo, vemos nesta Figura a memória configurada para realizar a função XOR das 4 entradas. Na saída desta memória existe um multiplexador (MUX) que escolhe se a saída do CLB será uma função combinacional das suas entradas, ou se a mesma será sincronizada por um flip-flop, permitindo assim a implementação tanto de circuitos combinacionais quanto seqüenciais.

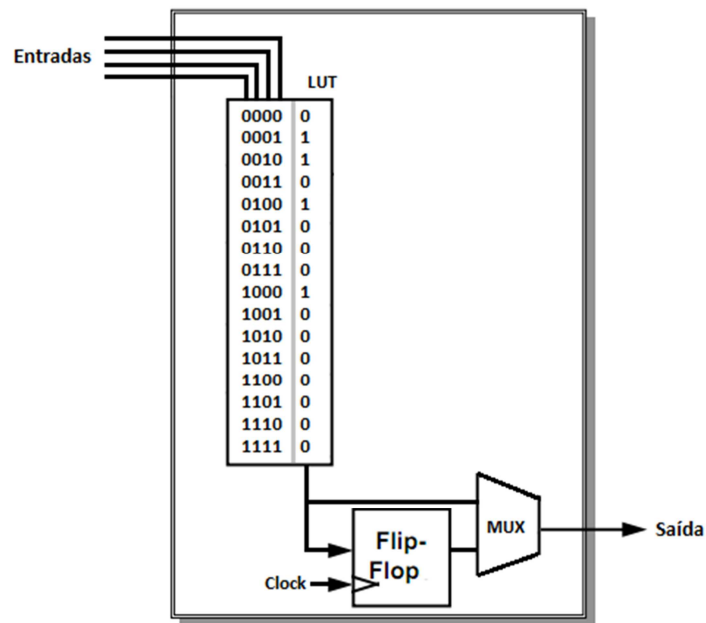


Figura 15 - Estrutura interna simplificada de um CLB

No caso específico da unidade GPS, a FPGA foi programada para realizar 3 funções:

- Medir o período do sinal PPS (Pulso Por Segundo) disponibilizado pelo GPS, em múltiplos do período do oscilador a cristal ligado à FPGA (que nominalmente oscila a 100 MHz, portanto com período de 10ns).
- Permitir o atraso deste sinal PPS em múltiplos do período do mesmo cristal
- Medir o atraso entre a borda de subida do sinal PPS que sai da FPGA em direção ao concentrador via cabo RJ-45 e a borda de subida do sinal que retorna por este mesmo cabo

Há ainda uma interface com um micro-controlador seguindo o protocolo SPI (Serial Peripheral Interface - Interface de Periférico Serial).

Por esta interface o micro-controlador mede T (o período do PPS em múltiplos do período do oscilador a cristal da FPGA) e D, o tempo necessário para o sinal percorrer todo o cabo de comunicação com o concentrador e retornar à FPGA. Com estes dados, ele efetua a conta (equação 18):

$$R1, R2 = \left( T - \frac{D}{2} \right) - \Delta T \quad (18)$$

Nesta equação  $\Delta T$  representa o atraso de propagação do sinal do PPS por dentro da FPGA, que é fixo e da ordem de 70ns. Para determiná-lo foi programado o valor zero nos registradores R1 e R2 e medido com o auxílio de um osciloscópio o atraso do referido sinal desde sua entrada até sua saída da FPGA. As formas de onda obtidas podem ser vistas na Figura 16. O canal amarelo representa a entrada do sinal na FPGA, enquanto o rosa representa a saída. Podemos observar que o atraso varia entre 70 e 80ns, ou seja, existe um jitter de 10ns. Este pode ser entendido como a incerteza entre o momento exato de chegada do pulso na FPGA e sua amostragem. Como o clock de amostragem opera a 100MHz (ou seja, tem um período de 10ns), esta é a origem desta incerteza.

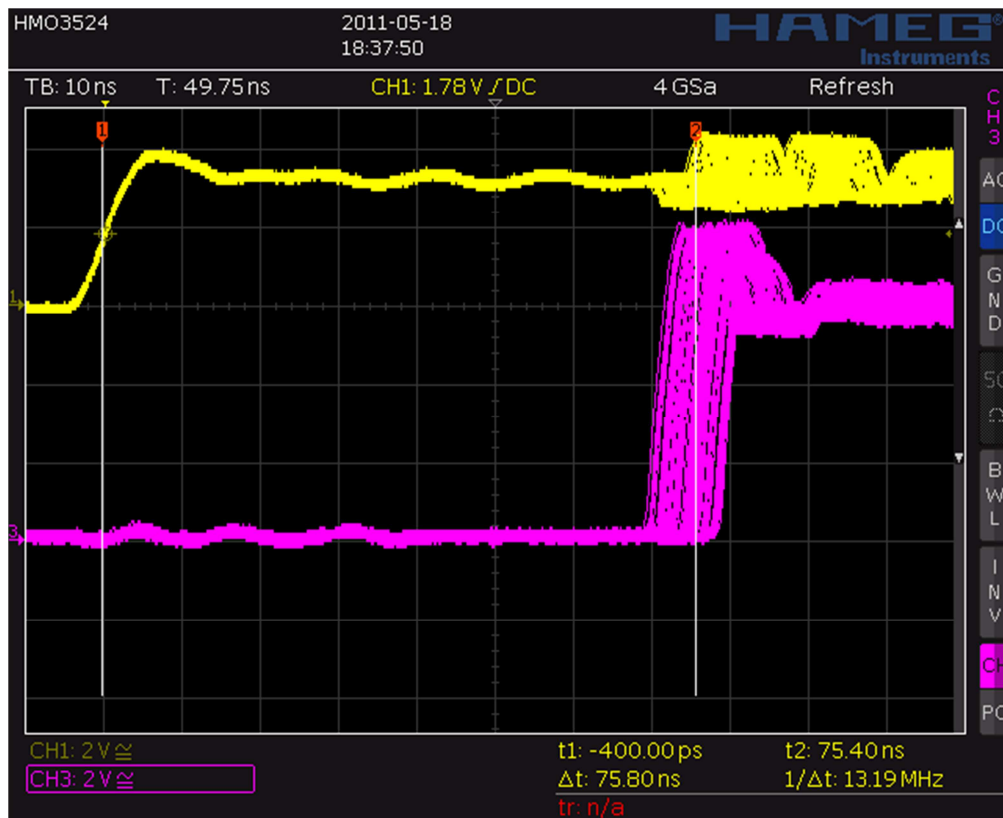


Figura 16 - Atraso intrínseco do sinal PPS dentro da FPGA do GPS

R1 e R2 são registradores do Gerador de Atraso Variável, responsáveis por atrasar a borda de subida e a de descida respectivamente do sinal PPS. Pode parecer redundante a medição de T, visto que se o cristal oscila a 100MHz e o período a ser medido é de 1s, T deveria valer sempre 100.000.000, todavia devido ao erro inicial de frequência do cristal e variações naturais de sua frequência com a temperatura ambiente, este valor varia de forma significativa, mesmo em um curto espaço de tempo. O



mecanismo de operação deste circuito pode ser visualizado através das formas de onda mostradas na Figura 17. O micro controlador presente na unidade GPS efetua estas medidas e atualiza o valor de R1 e R2 a cada 10 segundos, sem interferir na operação do equipamento. O objetivo principal desta calibração ser realizada com esta periodicidade (e não apenas por ocasião do início da operação) é corrigir as diferenças de comprimento elétrico do cabo causadas pelas variações de temperatura, bem como a variação da frequência de oscilação do cristal em função da temperatura, que segundo sua datasheet é da ordem de 20ppm para a faixa de operação de  $-10$  a  $+70^{\circ}\text{C}$ .

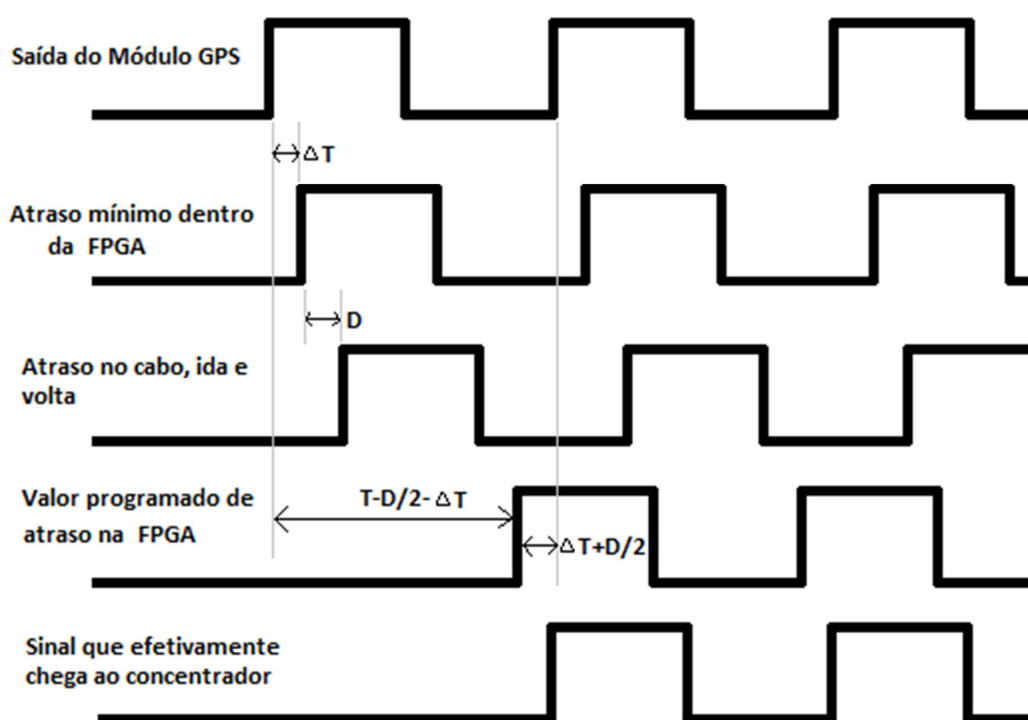


Figura 17 - Formas de onda do PPS em função do gerador de atraso variável da FPGA

Além da função de computar a correção de atraso a cada 10 segundos, o microcontrolador é responsável pela comunicação do Concentrador com o módulo GPS, convertendo o protocolo RS232 (full duplex) para RS485 (half duplex). Este barramento RS485 segue por um par trançado com sinalização diferencial até o concentrador. Na verdade, todos os sinais (incluindo a ida e a volta do PPS) seguem por sinalização diferencial em pares trançados. O cabo utilizado para a interligação entre o GPS e o Concentrador é o UTP CAT-5e, possuindo 4 pares de cabos trançados. Um destes pares transmite a energia necessária para a operação da unidade GPS em 48VDC,

sendo posteriormente abaixada esta tensão para 5VDC por um conversor buck, de forma a minimizarmos as perdas ôhmicas no cabo (que tem resistência da ordem de 0,1 ohm por metro). Nas duas pontas do cabo existem proteções contra descargas atmosféricas em todos os pares (na forma de SIDACs, chaves bilaterais de silício), bem como no concentrador existe um limitador de corrente de curto-circuito para a alimentação de 48VDC. No apêndice 3 há uma foto da placa do GPS. Os fios soldados na mesma permitem acesso aos pontos de medida das formas de onda de interesse para este trabalho.

A Figura 18 mostra o resultado da síntese de todo o código VHDL da unidade GPS. Observa-se que 43% das fatias (“slices”), que são conjuntos de duas LUTs e dois Flip-flops, foram utilizados. Apesar da grande ociosidade do chip, este é o menor desta família, de forma que não havia a possibilidade de uma escolha mais apropriada. Observa-se também que todas as condicionantes de tempo (“timing constraints”) foram atingidas, garantindo assim que o circuito operará satisfatoriamente em campo.

gps_core Project Status			
<b>Project File:</b>	gpsHDL.xise	<b>Parser Errors:</b>	No Errors
<b>Module Name:</b>	gps_core	<b>Implementation State:</b>	Programming File Generated
<b>Target Device:</b>	xc3s50an-5tqg144	<b>• Errors:</b>	No Errors
<b>Product Version:</b>	ISE 13.1	<b>• Warnings:</b>	No Warnings
<b>Design Goal:</b>	Balanced	<b>• Routing Results:</b>	<a href="#">All Signals Completely Routed</a>
<b>Design Strategy:</b>	<a href="#">Xilinx Default (unlocked)</a>	<b>• Timing Constraints:</b>	<a href="#">All Constraints Met</a>
<b>Environment:</b>	<a href="#">System Settings</a>	<b>• Final Timing Score:</b>	0 ( <a href="#">Timing Report</a> )

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	417	1,408	29%	
Number of 4 input LUTs	199	1,408	14%	
Number of occupied Slices	309	704	43%	
Number of Slices containing only related logic	309	309	100%	
Number of Slices containing unrelated logic	0	309	0%	
Total Number of 4 input LUTs	323	1,408	22%	
Number used as logic	197			
Number used as a route-thru	124			
Number used as Shift registers	2			
Number of bonded <a href="#">IOBs</a>	9	108	8%	
Number of BUFGMUXs	2	24	8%	
Average Fanout of Non-Clock Nets	2.58			

Figura 18 – Resultado da síntese do VHDL da unidade GPS

### 3.3 - Descrição do Concentrador

A Arquitetura interna do concentrador pode ser vista na Figura 19.

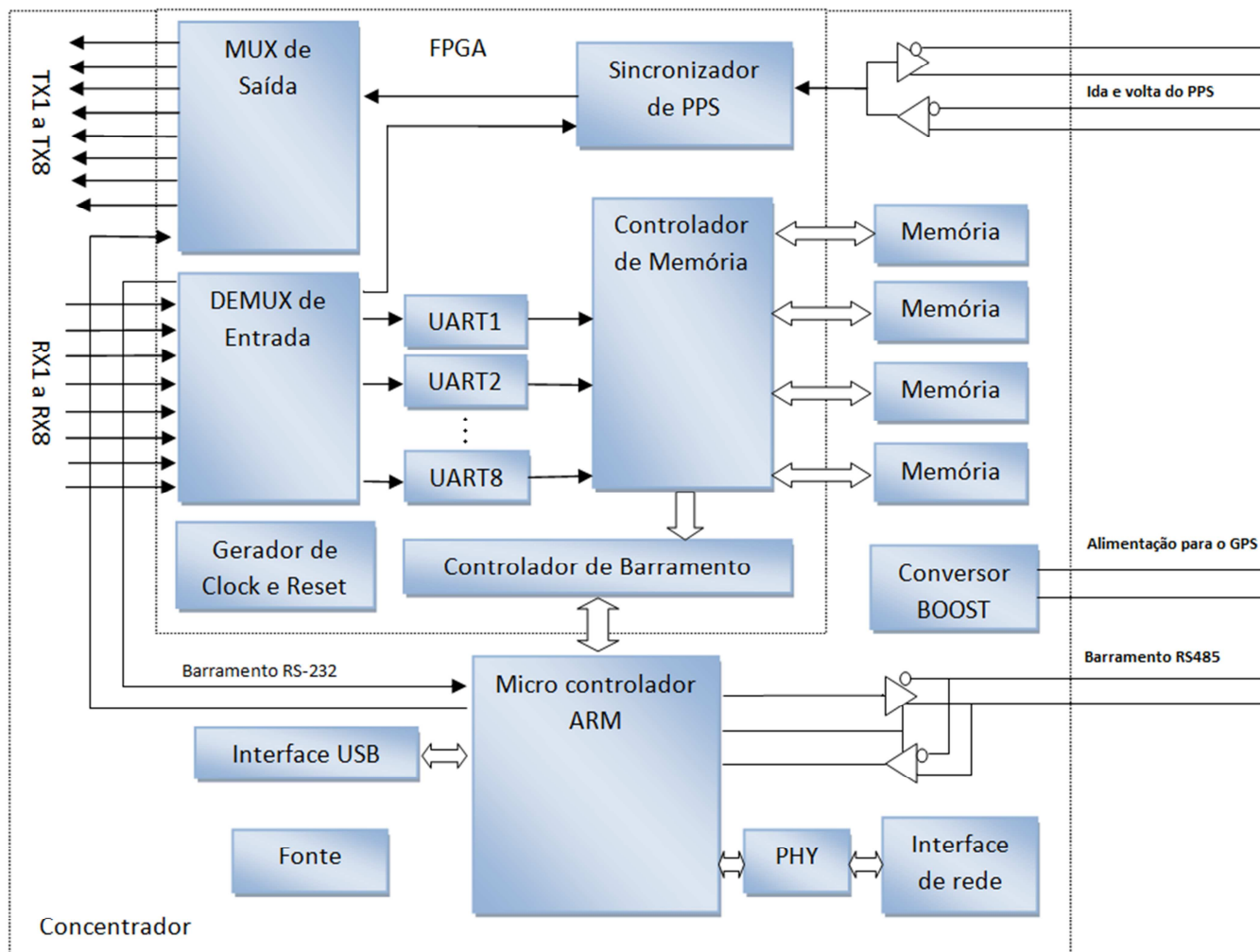


Figura 19 - Arquitetura Interna do Concentrador

Os dois componentes principais do concentrador são um microcontrolador ARM7, responsável pela transmissão de dados via Ethernet para o servidor, e uma FPGA, responsável tanto pela sincronização das UAS com o pulso PPS (compensando o atraso de propagação do mesmo nas fibras ópticas), como pela recepção dos dados coletados pelas UAS, pelo armazenamento temporário dos mesmos em quatro memórias SRAM externas, e pela passagem destes dados para o ARM7. Temos ainda um conversor BOOST que gera os 48VDC que alimentam a unidade GPS, a fonte de

alimentação, a interface de rede Ethernet 10/100Mbps/s e uma porta USB, que quando conectada a um computador emula uma porta RS232 por onde é possível configurar vários aspectos do sistema, como o endereço IP, máscara de rede e gateway padrão.

Dentro da FPGA existem diversos blocos implementados em VHDL. O sincronizador de PPS funciona de maneira análoga ao que vimos dentro da FPGA da unidade GPS, servindo para sincronizar o PPS das oito UAS. Como cada fibra pode ter um comprimento diferente deveria haver 8 sincronizadores, mas medidas efetuadas mostraram que a diferença de tempo entre uma fibra de 15m (comprimento máximo) e de 15cm (menor tamanho prático que foi possível testar) foi da ordem de 30ns, de forma que optou-se por utilizar um único sincronizador. Os multiplexadores de entrada e saída permitem que a medição de comprimento da fibra seja feita para cada UAS. Depois o microcontrolador faz a média dos resultados, e programa esta correção média no sincronizador. Esta solução permitiu a utilização de uma FPGA menor, reduzindo os custos do projeto, e ainda assim atendendo suas especificações de desempenho.

Os dados gerados pelas UAS chegam pelas fibras ópticas por um protocolo assíncrono proprietário, muito semelhante a uma comunicação RS232 (a principal diferença é ser orientado a palavras de 32 bits contendo uma medida de tensão e outra de corrente, em vez de transferir 8 bits por vez). UARTs (Receptores assíncronos) guardam estes 32 bits recebidos por vez. Um controlador de memória copia estes dados da UART para uma memória externa, de forma a lá acumular todos os dados de uma medição completa (1280 medidas de tensão e de corrente por UAS). Quando todos os dados de uma medição já estão armazenados na memória externa, o microcontrolador ARM busca-os, formata-os de acordo com o protocolo desenvolvido e transmite-os pela rede. O formato de dados utilizado nos pacotes pode ser visto no apêndice 9.

Existe ainda na FPGA um controlador de barramento, que faz a interface dos registradores internos de configuração da mesma com o ARM, e um gerador de clock e reset. Este último garante que a FPGA seja inicializada apenas quando o sinal do clock estiver estável por alguns ciclos.

No apêndice 4 há uma foto de um concentrador com a tampa aberta. As placas de circuito laterais são as fontes de alimentação (de 5 e 12V), enquanto a placa central é a responsável por suas funcionalidades.

A Figura 20 mostra o resultado da síntese de todo o código VHDL do concentrador. Observa-se que 97% das fatias (“slices”), que são conjuntos de duas LUTs e dois Flip-flops, foram utilizados. A escolha deste chip serviu para obter uma grande redução de custo de fabricação das placas visto que os modelos maiores utilizam encapsulamento BGA (Ball Grid Array), cuja montagem é muito mais complexa e cara. Observa-se também que todas as condicionantes de tempo (“timing constraints”) foram atingidas, garantindo assim que o circuito operará satisfatoriamente em campo.

top Project Status (05/12/2011 - 17:03:26)			
<b>Project File:</b>	conHDLfinal.xise	<b>Parser Errors:</b>	No Errors
<b>Module Name:</b>	top	<b>Implementation State:</b>	Programming File Generated
<b>Target Device:</b>	xc3s50an-4tqg144	<b>• Errors:</b>	No Errors
<b>Product Version:</b>	ISE 13.1	<b>• Warnings:</b>	<a href="#">25 Warnings (0 new)</a>
<b>Design Goal:</b>	Balanced	<b>• Routing Results:</b>	<a href="#">All Signals Completely Routed</a>
<b>Design Strategy:</b>	<a href="#">Xilinx Default (unlocked)</a>	<b>• Timing Constraints:</b>	<a href="#">All Constraints Met</a>
<b>Environment:</b>	<a href="#">System Settings</a>	<b>• Final Timing Score:</b>	0 ( <a href="#">Timing Report</a> )

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	879	1,408	62%	
Number of 4 input LUTs	928	1,408	65%	
Number of occupied Slices	683	704	97%	
Number of Slices containing only related logic	683	683	100%	
Number of Slices containing unrelated logic	0	683	0%	
Total Number of 4 input LUTs	1,241	1,408	88%	
Number used as logic	909			
Number used as a route-thru	313			
Number used as Shift registers	19			
Number of bonded <a href="#">IOBs</a>	66	108	61%	
IOB Flip Flops	8			
Number of BUFGMUXs	1	24	4%	
Number of DCMs	1	2	50%	
Average Fanout of Non-Clock Nets	2.82			

Figura 20 – Resultado da síntese do VHDL do concentrador

### 3.4 - Descrição da UAS

A UAS é o equipamento responsável pela digitalização das formas de onda de corrente e tensão (apenas a corrente é necessária para a operação do sistema, mas a tensão pode ter utilidades futuras). A Figura 21 mostra sua arquitetura interna.

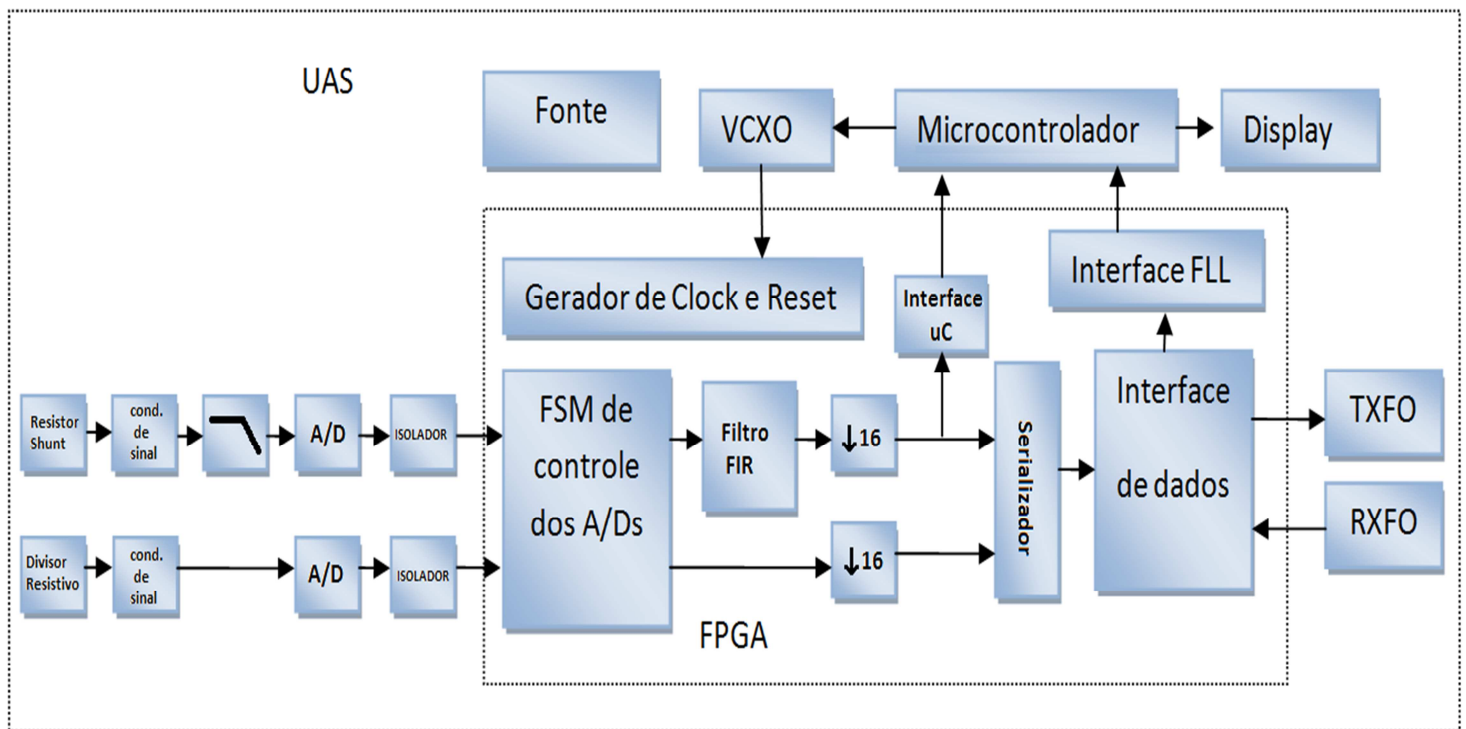


Figura 21 - Arquitetura interna da UAS

As UAS acessam as tensões e correntes da subestação através dos TPs e TCs já empregados nos sistemas de medição e proteção da subestação de Ibiuna. Os TPs e TCs não possuem as mesmas relações de transformação em linhas diferentes. Além disso, as correntes típicas (e de fundo de escala) também não são as mesmas para linhas diferentes. Ocorre que todos os conversores A/D empregados possuem uma faixa de entrada de 0 a 4,096V. Para compatibilizar a saída dos transdutores de corrente (resistores shunt) e de tensão (divisores resistivos) é necessário que os condicionadores de sinal possam ganhar ajustáveis. Além disso, como estes equipamentos precisam fazer medidas com grande acurácia dentro de um ambiente com muito ruído eletromagnético, todo o caminho do sinal analógico é diferencial até o A/D.

Para atender estes requisitos, começamos observando que nas tabelas 2 a 6 existem apenas 3 combinações de fundo de escala de tensão e TPs, e 5 de fundo de escala de corrente e TCs, sendo que duas são muito próximas. Com base nisso, determinou-se que o sistema de condicionamento de sinais teria ganhos ajustáveis por dip-switches (chaves de configuração), que comutam resistores responsáveis por configurar o ganho. A Figura 22 mostra o circuito empregado, onde se pode notar que o shunt é composto na verdade pela associação de dois resistores de 0,1 ohm e 1W cada. Esta topologia permite que o sinal possa ser somado a um valor DC de 2,048V de forma

que a excursão final da saída dos amplificadores seja de 0 a 4,096V. O valor de R15 pode ser modificado para alterar o ganho conforme a tabela 8.

A escolha do valor dos resistores em 0,1 ohm cada um (0,2 ohm total) visou ainda atender a especificação típica de *burden* de transformadores de corrente, que limita a impedância a ser conectada a seu secundário em um máximo de 0,5 ohm.

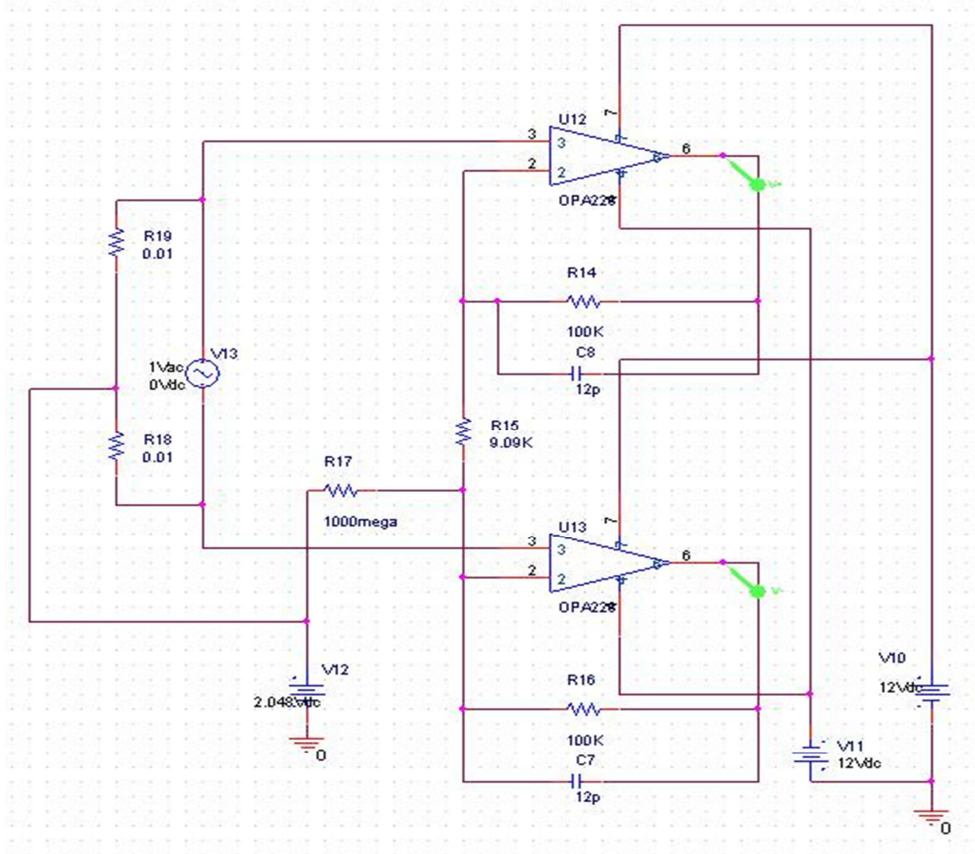


Figura 22 - Circuito de condicionamento de sinal da corrente da UAS

Tabela 8 - escolha dos resistores de ganho da UAS para a corrente

RMS	PICO	Fescala	Vsens	Psens	Ganho p/4,096V	Valor do Resistor
1,25A	1,768A	1,77A	0,0354	3,125mW	115	1,78k
2,5A	3,536A	3,54A	0,0708	0,125W	57	3,57k
5A	7,072A	7,08A	0,1416	0,5W	28	7,5k
6,25A	8,839A	8,84A	0,1768	0,781W	23	9,09k

A tabela 8 mostra as quatro possibilidades selecionadas de corrente de fundo de escala nos TCs em RMS, valor de pico e o fundo de escala realmente adotado. A partir daí é calculada a potência no sensor (que deve ficar abaixo de 2W), a tensão que aparece sobre o sensor, o ganho teórico que deveria ser aplicado para que a tensão chegasse aos 4,096V e o valor comercial (1%) do resistor R15 no circuito da Figura 17 que proporcionaria o ganho mais próximo do desejado. A Figura 23 mostra a resposta em frequência do circuito da Figura 22 quando configurado para ganho igual a 23.

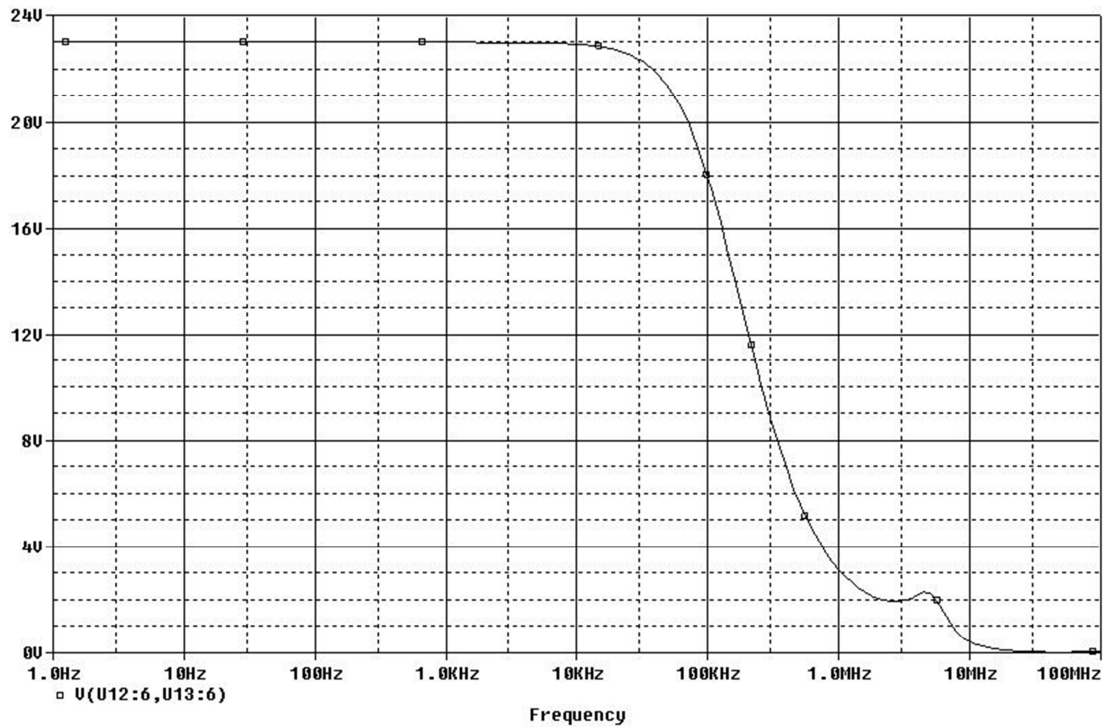


Figura 23 - Resposta em frequência do circuito da Figura 22

De modo similar, o circuito de condicionamento de sinal de tensão é composto de dois divisores de tensão de 150 para 1, com impedância total de 302K ohms. Seu esquemático pode ser visto na Figura 24. Conforme dito anteriormente, existem três combinações de fundo de escala de tensão e relação de transformação de potencial, de forma a obter-se a tabela 9 para escolha do resistor R15 de ganho.

A escolha do valor dos resistores para uma impedância total de 302K ohms visou ainda atender a especificação típica de *burden* de transformadores de tensão, que limita a impedância a ser conectada em seus secundários em no mínimo 100K ohms.



Tabela 9 - escolha dos resistores de ganho da UAS para a tensão

RMS	PICO	Fescala	Vsens	Ganho p/ 4,096V	Psens	R15
200V	282,84V	300V	1,98V	2	0,132W	200k
333,33V	471,39V	500V	3,31V	1,2	0,368W	1M
133,33V	188,55V	200V	1,32V	3	0,059W	100k

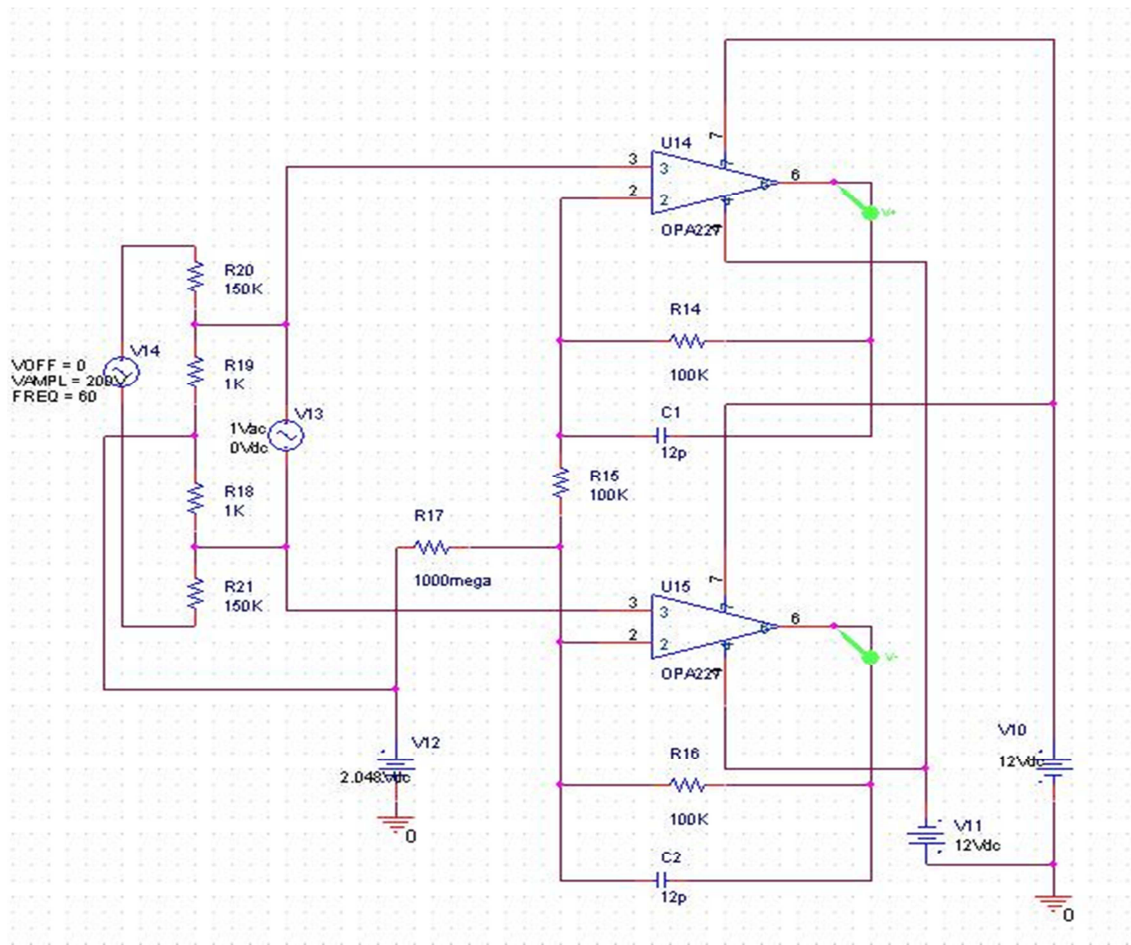


Figura 24 - Circuito de condicionamento de sinal da tensão da UAS

Observa-se na Figura 25 a resposta em frequência do circuito da Figura 24 quando o ganho configurado é de 3V/V. No apêndice 5 há duas fotos da placa onde é feito o condicionamento de sinal.

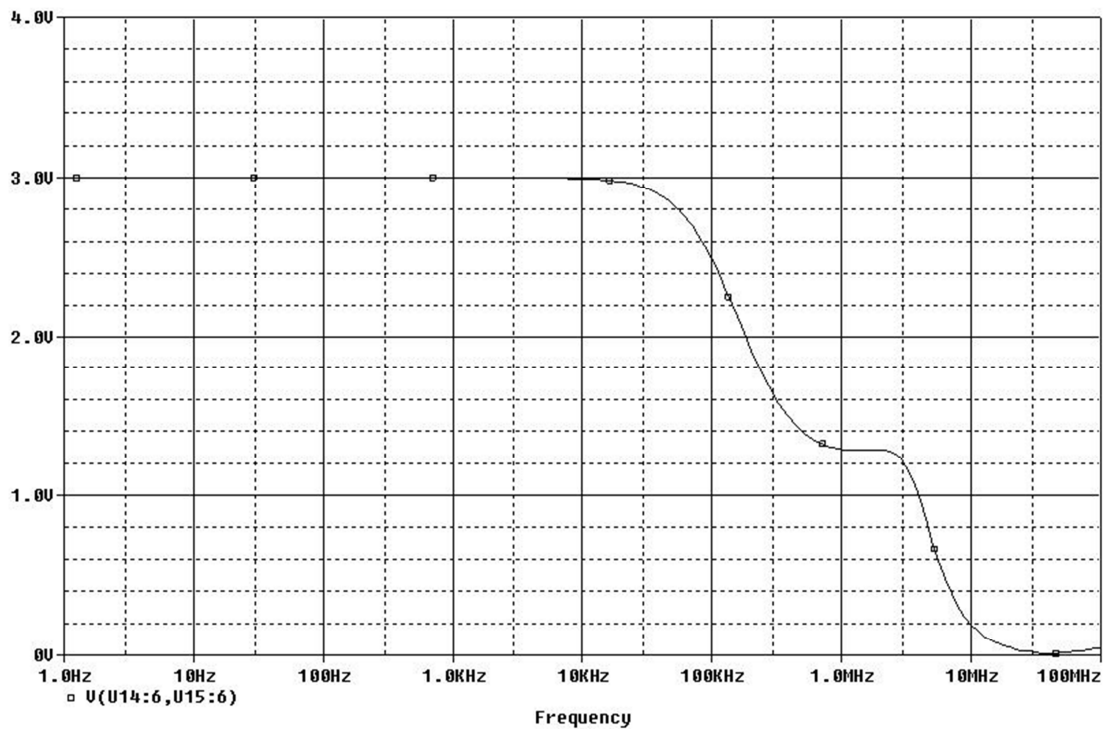


Figura 25 - Resposta em frequência do circuito da Figura 24

Como a tensão dentro da subestação possui poucos componentes harmônicos, e visando a redução de custos e de área ocupada nas placas de circuito, não foram introduzidos filtros passa-baixa no caminho do sinal de tensão. Isto certamente diminuirá sua relação sinal-ruído, mas o mesmo sequer faz parte dos requisitos operacionais do projeto SCADA Harmônico. Além disso, a tensão possui amplitude quase constante (ao contrário da corrente), pois a mesma não varia com a carga, o que contribui para que este tipo de compromisso se torne mais aceitável.

Já o sinal proveniente do condicionamento de sinal da corrente é enviado a um filtro passa-baixas responsável pela eliminação das frequências acima do limite de Nyquist ( $F_s/2$ ) antes da sua digitalização no conversor A/D.

Tanto o canal de tensão como o de corrente são isolados, pois o potencial na saída dos TPs e TCs está referenciado a terra em um ponto longínquo da subestação.

A frequência de amostragem desejada era de 128 amostras por período, isto é, 7680 amostras por segundo. Todavia, o filtro passa-baixas analógico teria especificações muito difíceis de serem implementadas (por resultarem em uma ordem muito alta) se o mesmo devesse satisfazer os requisitos de erro de fase de  $0,1^\circ$  e erro de módulo de 0,1%. Para atender estas especificações a taxa de amostragem foi aumentada

em 16 vezes, passando a 122.880 amostras por segundo. Uma vez digitalizado, o sinal foi filtrado por um filtro FIR de fase linear de forma a reduzir sua faixa de passagem à especificação original, e o sinal foi então decimado por um fator de 16. Os detalhes da implementação deste filtro podem ser encontrados em [4].

A FPGA presente na UAS, além de ser responsável pela filtragem digital dos sinais, é responsável por toda a comunicação com o concentrador e pela geração dos comandos sincronizados dos A/Ds. Para isso a mesma possui um FLL (Frequency Locked Loop) capaz de ajustar a frequência de oscilação de um VCXO (Voltage Controlled Cristal Oscillator) à frequência do sinal PPS. Isto permite distribuir as 128x16 amostras do conversor A/D uniformemente dentro da largura de (1/60)s. Idealmente deveria ser utilizado um PLL para esta função, mas a grande frequência de oscilação do VCXO (38.880.000MHz) associada ao grande período de integração (1 segundo) dificultavam a implementação prática de um PLL. Como o erro máximo de fase seria de apenas  $1/38,88\text{MHz} = 25,72\text{ns}$ , optou-se pelo FLL.

A implementação do FLL consiste em um contador de pulsos dentro da FPGA, que conta quantas transições ocorrem na saída do VCXO dentro de um ciclo completo do sinal PPS. Este contador informa ao microcontrolador se o número de pulsos está menor, igual ou maior do que 38.880.000. O microcontrolador por sua vez ajusta a tensão de controle do VCXO. Desta maneira é obtida a realimentação que mantém a frequência correta. As correções ocorrem basicamente em função de variações de temperatura.

O microcontrolador também é responsável por calcular o valor RMS da corrente medida e mostrá-la em um display de LCD. O apêndice 6 mostra uma foto da placa principal da UAS e do display, bem como de sua caixa.

A Figura 26 mostra o resultado da síntese de todo o código VHDL da UAS. Podemos ver que 37% das fatias (“slices”), que são conjuntos de duas LUTs e dois Flip-flops, foram utilizados. Esta grande ociosidade não era esperada, pois estimava-se que o filtro digital ocupasse mais espaço dentro da FPGA, fato que acabou não acontecendo. Dada esta realidade, seria possível implementar no futuro um passa-baixas digital também para a tensão, caso haja necessidade. Observa-se também que todas as

condicionantes de tempo (“timing constraints”) foram atingidas, garantindo assim que o circuito operará satisfatoriamente em campo.

uas_top Project Status (04/28/2011 - 15:00:37)			
<b>Project File:</b>	VHDL_UAS.xise	<b>Parser Errors:</b>	No Errors
<b>Module Name:</b>	uas_top	<b>Implementation State:</b>	Programming File Generated
<b>Target Device:</b>	xc3s50an-5tqg144	<b>• Errors:</b>	No Errors
<b>Product Version:</b>	ISE 13.1	<b>• Warnings:</b>	<a href="#">28 Warnings (1 new)</a>
<b>Design Goal:</b>	Balanced	<b>• Routing Results:</b>	<a href="#">All Signals Completely Routed</a>
<b>Design Strategy:</b>	<a href="#">Xilinx Default (unlocked)</a>	<b>• Timing Constraints:</b>	<a href="#">All Constraints Met</a>
<b>Environment:</b>	<a href="#">System Settings</a>	<b>• Final Timing Score:</b>	0 <a href="#">(Timing Report)</a>

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	317	1,408	22%	
Number of 4 input LUTs	325	1,408	23%	
Number of occupied Slices	265	704	37%	
Number of Slices containing only related logic	265	265	100%	
Number of Slices containing unrelated logic	0	265	0%	
Total Number of 4 input LUTs	415	1,408	29%	
Number used as logic	304			
Number used as a route-thru	90			
Number used as Shift registers	21			
Number of bonded <a href="#">IOBs</a>	10	108	9%	
Number of BUFGMUXs	2	24	8%	
Number of DCMs	1	2	50%	
Number of MULT18X18SIOs	1	3	33%	
Number of RAMB16BWEs	1	3	33%	
Average Fanout of Non-Clock Nets	2.68			

Figura 26 – Resultado da síntese do VHDL da UAS

### 3.5 - Descrição do Servidor

O servidor é um computador PC montado em gabinete apropriado para Rack de 19 polegadas, com poder de processamento para realizar as seguintes tarefas em tempo real:

- Receber os dados de 34 UAS, enviados por 6 concentradores
- Calcular as FFTs de todos estes dados
- Disponibilizar os resultados via servidor Web

Como o servidor não interfere na sincronização de dados, pois os mesmos já saem do concentrador com uma estampa de tempo nos pacotes, nos limitaremos a apresentar sua tela principal no apêndice 7.

## Capítulo 4 - Medidas da temporização

### 4.1 - Introdução

O objetivo deste capítulo é apresentar os resultados práticos das medições de temporização efetuadas nos primeiros equipamentos montados para o projeto SCADA Harmônico e verificar se as mesmas encontram-se dentro dos parâmetros especificados, avaliando possíveis melhorias futuras a serem implementadas em outra versão.

A Figura 27 mostra um diagrama simplificado da propagação do sinal PPS desde o módulo GPS (que fica dentro da unidade GPS) até a FPGA da UAS para que fique claro em que pontos as medidas foram tomadas. Foram realizadas dois tipos de medidas: medidas de atraso e de jitter. As de atraso visavam verificar a operação do sistema de sincronização de PPS, enquanto as de jitter visavam verificar de que maneira cada elemento do sistema contribui para a degradação da precisão do trigger, e se o resultado final está abaixo dos 925ns especificados.

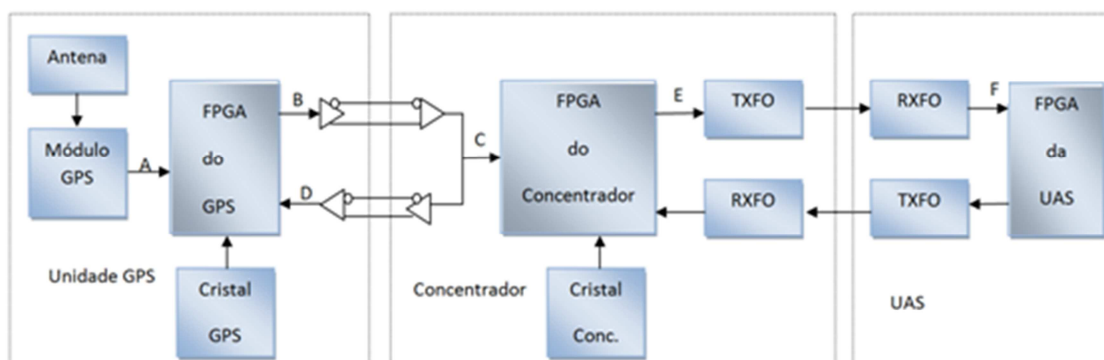


Figura 27 - Diagrama simplificado da temporização do sistema

## 4.2 – Comparação do PPS entre unidades GPS

O primeiro teste realizado consistiu na montagem de quatro unidades GPS idênticas e na comparação da temporização dos PPS no ponto A (logo após o módulo GPS). O resultado pode ser visto na Figura 28.

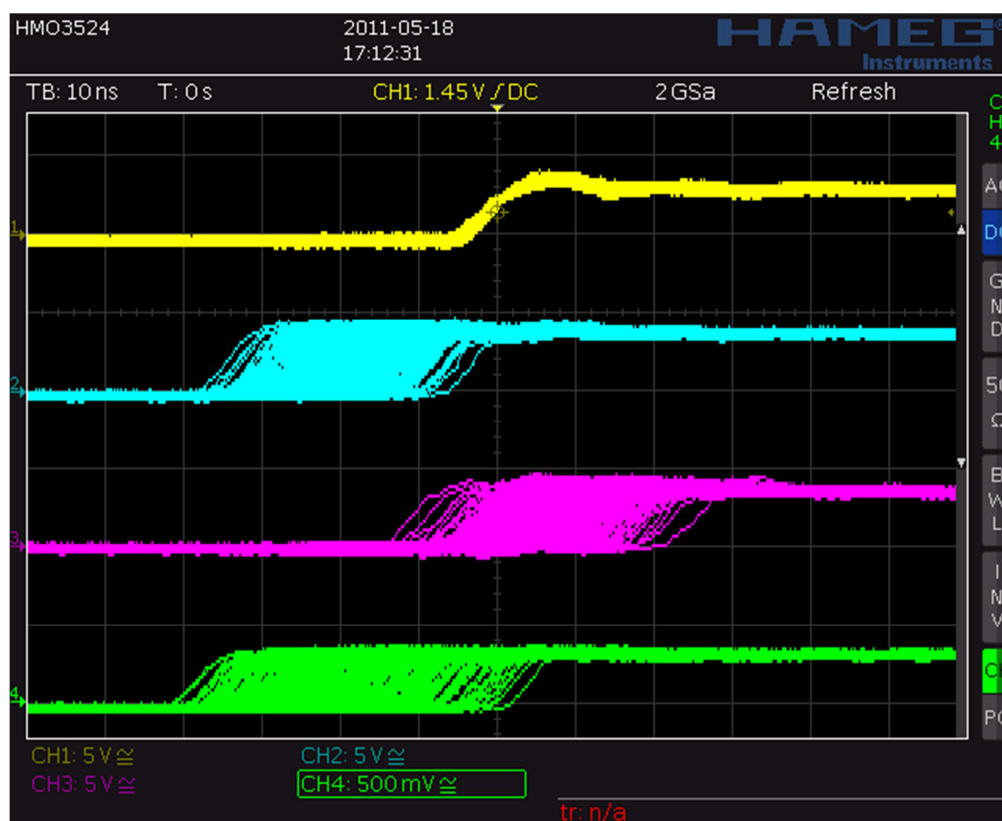


Figura 28 - Comparação dos PPS de quatro unidades GPS independentes

Para esta comparação, o PPS de uma das unidades foi utilizado como trigger (canal 1, em amarelo), e observaram-se os offsets relativos entre os pulsos, bem como o jitter. Para esta medida a persistência infinita do osciloscópio foi ligada.

Quanto ao offset, provavelmente o mesmo é causado pela diferença do tamanho dos cabos das antenas. De fato, o software de configuração destes aparelhos permite subtrair ou adicionar atrasos em múltiplos de 1ns a fim de compensar o tamanho do cabo da antena.

Já o jitter variou da ordem de 30 a 40ns pico a pico (infelizmente não estavam disponíveis equipamentos para medir o valor RMS, visto que seria necessário um

contador ou freqüencímetro de precisão). O valor RMS esperado seria de 12ns. Considerando que o valor pico a pico observado deveria corresponder a aproximadamente seis desvios-padrão (portanto, seis vezes o valor RMS já que o valor médio é zero), um valor pico a pico de 72ns de jitter seria esperado, próximo, portanto do que foi observado. A diferença provavelmente está relacionada ao pequeno tempo de integração (5 minutos) utilizado para a captura de dados.

### 4.3 - Medidas de atraso e jitter no sistema

Os testes de desempenho foram efetuados com dois tamanhos diferentes de cabo CAT-5e: 1,5m (representando o menor tamanho prático de cabo que poderia ser utilizado) e 305m (uma bobina inteira de cabo, três vezes maior do que a especificação máxima do sistema, que é de 100m). Em ambas as situações houve êxito na operação dos equipamentos. A Figura 29 mostra o atraso ida e volta (de B a D no diagrama da Figura 27) para o cabo de 1,5m. Nela observa-se o pulso do PPS no ponto B (em amarelo), no ponto D (em verde), nas linhas diferenciais em si (azul e magenta), e em vermelho o osciloscópio calculou a diferença entre as duas linhas diferenciais, da mesma maneira que o receptor faz.

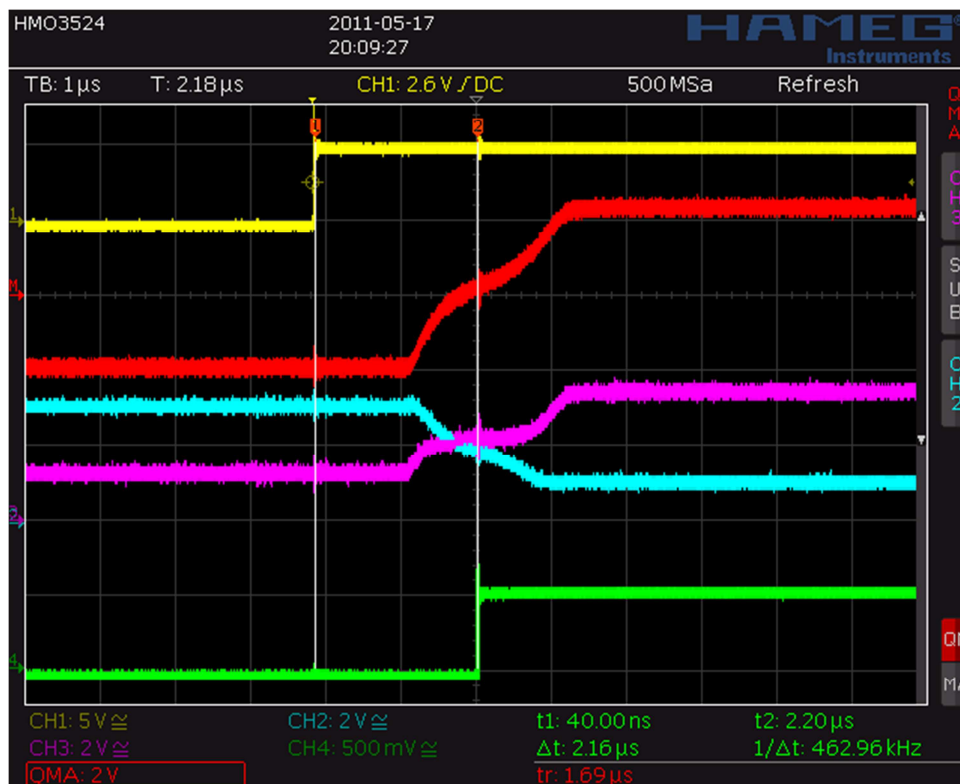


Figura 29 - Atraso no cabo de 1,5m

A Figura 30 mostra o atraso ida e volta (de B a D no diagrama da Figura 27) para o cabo de 305m. Nela podemos observar o pulso do PPS no ponto B (em amarelo), no ponto D (em verde), nas linhas diferenciais em si (azul e magenta), e em vermelho o osciloscópio calculou a diferença entre as duas linhas diferenciais. Podemos observar que para o cabo maior existe uma interferência induzida nas linhas diferenciais, provavelmente pelo próprio PPS (observar a deformação das linhas azul e magenta entre os cursores). Talvez esta deformação esteja acentuada pelo fato do cabo encontrar-se enrolado em uma bobina. De qualquer modo, a subtração entre as linhas produz um sinal plano (linha vermelha), mostrando que a escolha por um sistema de transmissão de dados diferencial introduziu melhorias mensuráveis.

Há ainda um dado interessante a notar: o tempo de propagação no cabo de 1,5m foi de 2,16 $\mu$ s (ver diferença entre os cursores na Figura 29), enquanto no cabo de 305m foi de 5,36 $\mu$ s (ver diferença entre os cursores na Figura 30). O motivo pode ser verificado nestas mesmas Figuras: a taxa de subida (slew rate) do conversor RS485 utilizado é muito lenta, da ordem de 1,69 $\mu$ s (10% a 90%). Se por um lado uma taxa de subida lenta favorece a diminuição do ruído eletromagnético emitido, a mesma também contribui para o aumento do jitter uma vez que a derivada do sinal na entrada do comparador é muito pequena.

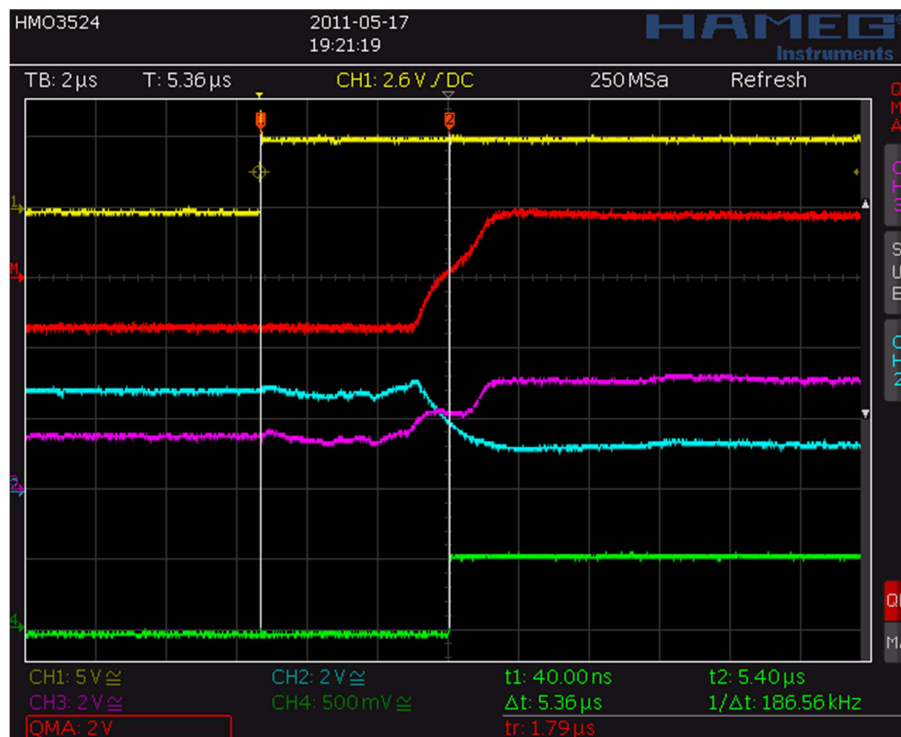


Figura 30 - Atraso no cabo de 305m



Findadas as medidas de atraso, passamos para as medidas de jitter. A tabela 10 mostra todas as medidas realizadas, sempre pico a pico. O método utilizado foi ligar a persistência infinita do osciloscópio, esperar 5 minutos (tempo necessário para que não surgissem novos traços fora do "olho" do pulso) e medir a distância entre 50% da amplitude da primeira e da última borda de subida com os cursores do osciloscópio. Visando não poluir o corpo deste trabalho, todas as imagens destas medidas encontram-se no apêndice 8. Deve-se observar que foram utilizados dois comprimentos diferentes de fibra óptica: 15cm e 15m.

Tabela 10 - medidas de jitter efetuadas

Nº da medida	Início	Fim	Cabo longo ou curto?	Fibra longa ou curta?	Valor medido
1	A	B	C	-	93,20ns
2	A	B	L	-	70,80ns
3	A	C	C	-	79,20ns
4	A	C	L	-	113,20ns
7	B	C	C	-	27,00ns
8	B	C	L	-	19,59ns
9	C	E	-	L	160ns
10	C	E	-	C	132ns
11	E	F	-	C	3,40ns
12	E	F	-	L	2,40ns
13	C	F	-	C	197,00ns
14	C	F	-	L	146,00ns
15	A	F	C	L	228,00ns
16	A	F	C	C	205,00ns
17	A	F	L	L	208,00ns
18	A	F	L	C	165,00ns

Observa-se que as quatro últimas medidas correspondem às quatro permutações possíveis de jitter total em função do comprimento do cabo (1,5 ou 305m) e da fibra (15cm ou 15m). Sabendo que é possível somar (através de soma harmônica) os valores pico a pico de cada segmento e devemos obter como resultado o valor final, apresentamos na tabela 11 o resultado da soma harmônica de cada segmento e sua comparação com a medida direta obtida, além do percentual de erro.

Tabela 11 - Jitter calculado a partir da soma dos segmentos

N° da medida	AB	BC	CE	EF	calculado	medido	Erro%
15	93,20ns	27,00ns	160,00ns	2,4ns	187,14ns	228ns	17,92%
16	93,20ns	27,00ns	131,31ns	3,4ns	163,30ns	205ns	20,34%
17	70,80ns	19,59ns	160,00ns	2,4ns	176,07ns	208ns	15,35%
18	70,80ns	19,59ns	131,31ns	3,4ns	150,30ns	165ns	8,9%

A partir desta tabela é possível chegar a duas conclusões:

1) A soma harmônica chegou a um resultado razoavelmente próximo do esperado, mostrando que o método de medição empregado está correto (ou seja, que provavelmente todas as principais fontes de incertezas destas medidas foram consideradas).

2) As duas principais fontes de incerteza são o tempo de propagação dentro das duas FPGAs, quando as mesmas estão efetuando a correção de atraso do cabo do GPS e da fibra óptica.

A primeira conclusão já era esperada porém a segunda não, sobretudo se levarmos em consideração a Figura 16 onde o jitter da propagação da FPGA do GPS é mostrado como apenas 1 período de clock (10ns).

A explicação que temos para o jitter da Figura 16 ser baixo está relacionada com a contagem de atraso estar programada para zero, restando realmente apenas o jitter dos atrasos internos intrínsecos (7 períodos de clock). Quando a FPGA precisa compensar o atraso de 5,36 $\mu$ s do cabo de 305m a mesma faz isso introduzindo um atraso na ordem de 1s - 5,36 $\mu$ s = 0,99999464s, que no caso do GPS representam 99.999.464 pulsos de clock de 10ns. Esta contagem representa um somatório do jitter do clock deste mesmo número de períodos. O mesmo não pode ser computado efetuando a soma harmônica, pois períodos sucessivos não possuem independência estatística relevante devido a estabilidade de curto prazo do cristal. Para comprovar que realmente o cristal (tanto da FPGA quanto do concentrador) eram a fonte do jitter, tocamos os mesmos (com o dedo) de forma a provocar uma variação brusca de temperatura (esfriando-os, visto que os mesmos se aquecem na operação), e de fato a frequência foi alterada, conforme mostrado na Figura 31. Na mesma pode ser visto o período do clock diminuindo

conforme a temperatura do cristal é abaixada. Este teste mais uma vez comprova que a auto calibração do sistema a cada 10 segundos é fundamental para sua correta operação.

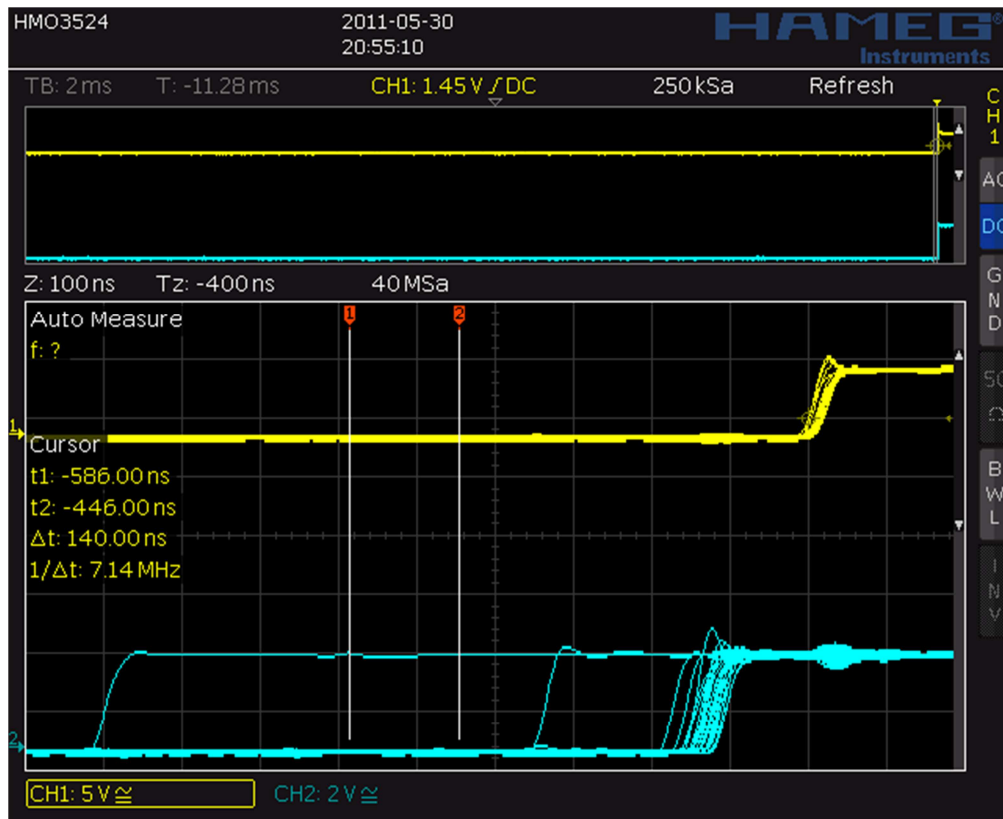


Figura 31 – Variação da frequência do cristal quando o mesmo é esfriado

#### 4.4 - Cálculo final das características temporais do sistema

Para chegar a um resultado prático sobre qual deverá ser a incerteza do trigger do sistema completo, deve-se somar harmonicamente o pior caso das medidas 15 a 18 com o jitter do GPS (estimado pela Figura 22 em 40ns pico a pico) e com o jitter do FLL (um período) de 25,72ns. Obtém-se assim 233ns de jitter total, praticamente um quarto da especificação original do sistema.

## Capítulo 5 - Conclusões e trabalhos futuros

Consideramos que o trabalho obteve êxito na medida em que sua especificação mais difícil de ser atendida foi alcançada com boa margem. Isto demonstra a nosso ver que as decisões tomadas na fase de projeto foram não apenas apropriadas, mas custo-efetivas, uma vez que conseguiu-se utilizar componentes comuns (cristais convencionais, transceivers baratos, cabo baratos) para desenvolver um sistema de acurácia bastante notável.

Por outro lado, sempre melhorias são sempre bem-vindas. Conclui-se pelas medidas da seção 4.3 que as principais fontes de incerteza são os cristais. Sua substituição por TCXOs (cristais com compensação de temperatura) certamente permitiria reduzir o erro do sistema pela metade, ou menos.

Além disso, TCXOs, por serem dispositivos de maior precisão, possuem datasheets com uma caracterização mais aprofundada sobre suas características de desempenho. O desempenho de curto prazo (devido a variações elétricas e ruído intrínseco do dispositivo), longo prazo (devido a envelhecimento) e relativo a variações de temperatura são detalhados com maior rigor, permitindo estimar melhor seu desempenho prático.

Vencida esta etapa, alguma melhoria poderia ser obtida pela substituição dos transceivers 485 por modelos mais rápidos (com maior taxa de subida). Existe uma relação de compromisso com o tamanho máximo do cabo que pode ser empregado, mas certamente a escolha feita não foi ótima visto que o sistema opera mesmo com um cabo três vezes maior do que o especificado. Uma solução ainda melhor seria substituí-los por modelos apropriados para xDSL ou SDI, com taxas de subida de nanossegundos ou menos.

A própria análise dos módulos GPS poderia ser melhorada, visando estudar a influência do tamanho do cabo, tipo de antena, presença de obstáculos próximos, etc, de forma a melhor caracterizar esta fonte de erros. As outras fontes de erro também poderiam ser melhor caracterizadas através do uso de freqüencímetros de precisão.

Por fim, resta a verificação da operação em campo do sistema, e a análise dos dados que o mesmo produzirá em sua atividade-fim, que é a medição direcional dos harmônicos de Ibiúna.

## Referências Bibliográficas

1. R.A.A GOLÇALVES et al. "Elo de Itaipu – Filtros de 3/5 harmônicos da estação conversora de Ibiúna – Necessidade, especificação e projeto". In: XIII Eriac – Puerto Iguazú, Argentina, 2009.
2. WIKIPEDIA, Itaipu binacional [online]. Disponível em: <[http://pt.wikipedia.org/wiki/Usina\\_Hidrel%C3%A9trica\\_de\\_Itaipu](http://pt.wikipedia.org/wiki/Usina_Hidrel%C3%A9trica_de_Itaipu)>. [Capturado em: 10 de junho de 2011].
3. Sergio S.G. Motta e Humberto A. M. Fadini, "Sistema de Transmissão de Itaipu – A experiência de FURNAS", p18, Rio de Janeiro, FURNAS, 1995.
4. Fernandes, Paulo Gentil Gibson. "Filtro Anti-aliasing para Sistema de Aquisição Sincronizada Implementado em FPGA", Dissertação, Rio de Janeiro, UFRJ/COPPE, 2011.
5. Sergio S.G. Motta e Humberto A. M. Fadini, "Sistema de Transmissão de Itaipu – A experiência de FURNAS", p23, Rio de Janeiro, FURNAS, 1995.
6. MERÇON, ALEXANDRE GUIMARÃES, "Filtros Ativos para Estações Conversoras de Corrente Contínua em Alta Tensão", Dissertação, Rio de Janeiro, UFRJ/COPPE, 2007.
7. MOHAN et al. "Power Electronics - Converters, Applications and Design", John Willey and Sons, 2003.
8. EUROPEAN POWER SUPPLY MANUFACTURERS ASSOCIATION, "Guidelines to the standard EN 61000-3-2", EPSMA, 2010.
9. Agência Nacional de Energia Elétrica – ANEEL. "Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional – PRODIST", Módulo 8, 2010.
10. JOSÉ ANTENOR POMÍLIO. "Normas Comentadas - Harmônicos", Revista O Setor Elétrico, 2006.
11. IEEE (1991) Recommended Practices and Requirements for Harmonic Control in Electric Power System. Project IEEE-519, out. 1991.
12. DESOER, C. A., KUH E. S., "Thévenon and Norton Equivalent Circuits". Basic Circuit Theory, International Student Edition, Chapter 1, pp. 27, Tokyo, Japan, McGraw-Hill, 1969.

13. AREDES, M., IASBECK S. L. G., NDIAYE, M. S., FERNANDES, D. M., EMMERIK, E. V. "SCADA Harmônico para Análise da Propagação Harmônica em Sistemas de Potência". In: XX Seminário Nacional de Produção e Transmissão de Energia Elétrica, Recife-PE, 2009.
14. ANALOG DEVICES, AD7687 Datasheet [online], Disponível em: <[http://www.analog.com/static/imported-files/data\\_sheets/AD7687.pdf](http://www.analog.com/static/imported-files/data_sheets/AD7687.pdf)>. [capturado em: 10 de junho de 2011].
15. WALT KESTER, " Mixed-signal and DSP design techniques", Chapter 5, Analog Devices, Newnes, 2003.
16. WIKIPEDIA, Phasor Measurement Unit [online]. Disponível em: <[http://en.wikipedia.org/wiki/Phasor\\_measurement\\_unit](http://en.wikipedia.org/wiki/Phasor_measurement_unit)>. [Capturado em: 10 de junho de 2011].
17. GORDON, CALEB. "White Paper - Introduction to IEEE1588 & Transparent Clocks", Tektron International, 2009.
18. U-BLOX, GPS-based Timing Considerations with u-blox 6 GPS receivers Application Note [online], Disponível em: <[http://www.u-blox.com/images/downloads/Product\\_Docs/Timing\\_AppNote\\_%28GPS.G6-X-11007%29.pdf](http://www.u-blox.com/images/downloads/Product_Docs/Timing_AppNote_%28GPS.G6-X-11007%29.pdf)>. [capturado em: 10 de junho de 2011].
19. XILINX, Spartan-3AN datasheet [online], Disponível em: <[http://www.xilinx.com/support/documentation/data\\_sheets/ds557.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds557.pdf)>. [capturado em: 10 de junho de 2011].

## Apêndice

### A1 – Script de saída da simulação SPICE de exemplo do método de determinação de direção dos harmônicos

```
**** 05/23/11 18:06:16 ***** PSpice 10.5.0 (Jan 2005) ***** ID# 0 *****

** Profile: "SCHEMATIC1-testel" [ C:\OrCAD_Data\teste_SCADA\t2-
pspicefiles\schematic1\testel.sim ]

****          CIRCUIT DESCRIPTION

*****

** Creating circuit file "testel.cir"
** WARNING: THIS AUTOMATICALLY GENERATED FILE MAY BE OVERWRITTEN BY SUBSEQUENT
SIMULATIONS

*Libraries:
* Profile Libraries :
* Local Libraries :
* From [PSPICE NETLIST] section of C:\OrCAD\OrCAD_10.5\tools\PSpice\PSpice.ini file:
.lib "nom.lib"

*Analysis directives:
.TRAN 0.001 100ms 0 0.00001
.FOUR 60 5 I(D_D1) I(D_D2) I(V_V1)
.OPTIONS VNTOL= 1.0p
.PROBE V(alias(*)) I(alias(*)) W(alias(*)) D(alias(*)) NOISE(alias(*))
.INC "..\SCHEMATIC1.net"

**** INCLUDING SCHEMATIC1.net ****
* source T2
D_D1      N00910 N00814 D1N4148_1
C_C1      0 N00814 100u
V_V2      N00910 N007140 DC 0Vdc AC 1Vac
R_R1      0 N00814 0.5k
L_L1      0 N01637 700uH
R_R2      0 N00878 0.01k
C_C2      N01637 N00878 100u
D_D2      N00878 N00910 D1N4148_1
V_V1      N007140 0
+SIN 0 179 60 0 0 0

**** RESUMING testel.cir ****
.END

**** 05/23/11 18:06:16 ***** PSpice 10.5.0 (Jan 2005) ***** ID# 0 *****

** Profile: "SCHEMATIC1-testel" [ C:\OrCAD_Data\teste_SCADA\t2-
pspicefiles\schematic1\testel.sim ]

****          Diode MODEL PARAMETERS

*****

D1N4148_1
IS      2.682000E-09
```



```

N      1.836
ISR    1.565000E-09
IKF    .04417
BV     100
IBV    100.000000E-06
RS     .5664
TT     11.540000E-09
CJO    4.000000E-12
VJ     .5
M      .3333

```

\*\*\*\* 05/23/11 18:06:16 \*\*\*\*\* PSpice 10.5.0 (Jan 2005) \*\*\*\*\* ID# 0 \*\*\*\*\*

\*\* Profile: "SCHEMATIC1-testel" [ C:\OrCAD\_Data\teste\_SCADA\t2-  
pspicefiles\schematic1\testel.sim ]

\*\*\*\* INITIAL TRANSIENT SOLUTION TEMPERATURE = 27.000 DEG C

\*\*\*\*\*

NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE	NODE	VOLTAGE
(N00814)	3.002E-27	(N00878)	1.341E-24	(N00910)	0.0000	(N01637)	0.0000
(N007140)	0.0000						

```

VOLTAGE SOURCE CURRENTS
NAME          CURRENT
V_V2          -1.341E-25
V_V1          -1.341E-25

```

TOTAL POWER DISSIPATION 0.00E+00 WATTS

\*\*\*\* 05/23/11 18:06:16 \*\*\*\*\* PSpice 10.5.0 (Jan 2005) \*\*\*\*\* ID# 0 \*\*\*\*\*

\*\* Profile: "SCHEMATIC1-testel" [ C:\OrCAD\_Data\teste\_SCADA\t2-  
pspicefiles\schematic1\testel.sim ]

\*\*\*\* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

\*\*\*\*\*

FOURIER COMPONENTS OF TRANSIENT RESPONSE I(D\_D1)

DC COMPONENT = 9.525694E-02

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	6.000E+01	5.378E+00	1.000E+00	6.754E+01	0.000E+00
2	1.200E+02	6.297E-02	1.171E-02	7.944E+01	-5.564E+01
3	1.800E+02	1.725E+00	3.207E-01	3.956E+01	-1.631E+02
4	2.400E+02	8.025E-02	1.492E-02	1.626E+02	-1.076E+02
5	3.000E+02	8.942E-01	1.663E-01	1.131E+02	-2.246E+02

TOTAL HARMONIC DISTORTION = 3.617647E+01 PERCENT

\*\*\*\* 05/23/11 18:06:16 \*\*\*\*\* PSpice 10.5.0 (Jan 2005) \*\*\*\*\* ID# 0 \*\*\*\*\*

\*\* Profile: "SCHEMATIC1-testel" [ C:\OrCAD\_Data\teste\_SCADA\t2-  
pspicefiles\schematic1\testel.sim ]

\*\*\*\* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

\*\*\*\*\*

FOURIER COMPONENTS OF TRANSIENT RESPONSE I(D\_D2)

DC COMPONENT = 3.852734E+00

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	6.000E+01	1.205E+01	1.000E+00	-1.631E+02	0.000E+00
2	1.200E+02	1.796E+00	1.490E-01	-4.388E+01	2.823E+02
3	1.800E+02	1.683E+00	1.397E-01	6.241E+01	5.517E+02
4	2.400E+02	1.683E+00	1.396E-01	-1.741E+01	6.350E+02
5	3.000E+02	3.176E-01	2.635E-02	8.338E+01	8.988E+02

TOTAL HARMONIC DISTORTION = 2.488077E+01 PERCENT

\*\*\*\* 05/23/11 18:06:16 \*\*\*\*\* PSpice 10.5.0 (Jan 2005) \*\*\*\*\* ID# 0 \*\*\*\*\*

\*\* Profile: "SCHEMATIC1-testel" [ C:\OrCAD\_Data\teste\_SCADA\t2-  
pspicefiles\schematic1\testel.sim ]

\*\*\*\* FOURIER ANALYSIS TEMPERATURE = 27.000 DEG C

\*\*\*\*\*

FOURIER COMPONENTS OF TRANSIENT RESPONSE I(V\_V1)

DC COMPONENT = 3.757231E+00

HARMONIC NO	FREQUENCY (HZ)	FOURIER COMPONENT	NORMALIZED COMPONENT	PHASE (DEG)	NORMALIZED PHASE (DEG)
1	6.000E+01	1.601E+01	1.000E+00	-1.480E+02	0.000E+00
2	1.200E+02	1.830E+00	1.143E-01	-4.552E+01	2.506E+02
3	1.800E+02	6.767E-01	4.227E-02	1.444E+02	5.885E+02
4	2.400E+02	1.763E+00	1.101E-01	-1.741E+01	5.748E+02
5	3.000E+02	6.381E-01	3.985E-02	-5.254E+01	6.877E+02

TOTAL HARMONIC DISTORTION = 1.690205E+01 PERCENT

JOB CONCLUDED

\*\*\*\* 05/23/11 18:06:16 \*\*\*\*\* PSpice 10.5.0 (Jan 2005) \*\*\*\*\* ID# 0 \*\*\*\*\*

\*\* Profile: "SCHEMATIC1-testel" [ C:\OrCAD\_Data\teste\_SCADA\t2-  
pspicefiles\schematic1\testel.sim ]

\*\*\*\* JOB STATISTICS SUMMARY

\*\*\*\*\*

Total job time (using Solver 1) = .87

## A2 – SCRIPT MATLAB para plotagem dos vetores de corrente

```
clear all;
close all;

a = 3.000E+02; b = 8.942E-01; c = 1.663E-01; d=1.131E+02; e= -2.246E+02;
f = 3.000E+02; g =3.176E-01; h=2.635E-02; i=8.338E+01; j=8.988E+02;
k =6.381E-01; l=3.985E-02; m=-5.254E+01; n=6.877E+02;

[x1, y1] = pol2cart(d*(2*pi/360),b);
[x2, y2] = pol2cart(i*(2*pi/360),g);
[x3, y3] = pol2cart(m*(2*pi/360),k);

x = x1 -x2 + x3;
y = y1 -y2 + y3;

v1x(1) = 0;
v1x(2) = x1;

v1y(1) = 0;
v1y(2) = y1;

v2x(1) = 0;
v2x(2) = -x2;

v2y(1) = 0;
v2y(2) = -y2;

v3x(1) = 0;
v3x(2) = x3;

v3y(1) = 0;
v3y(2) = y3;

plot(v1x,v1y)
hold on;
plot(v2x,v2y,'red')
hold on;
plot(v3x,v3y,'black')

v1x(1) = 0;
v1x(2) = x1;

v1y(1) = 0;
v1y(2) = y1;

v2x(1) = x1;
v2x(2) = -x2+x1;

v2y(1) = y1;
v2y(2) = -y2+y1;

v3x(1) = -x2+x1;
v3x(2) = x3-x2+x1;

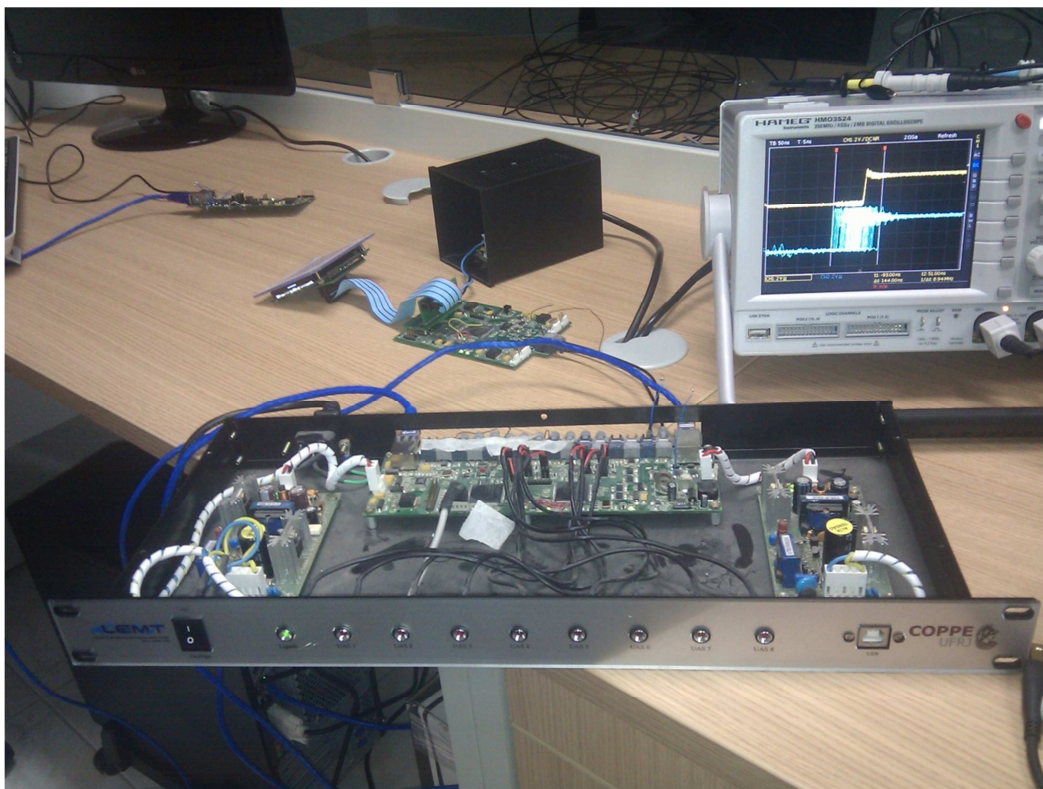
v3y(1) = -y2+y1;
v3y(2) = y3-y2+y1;

figure;
plot(v1x,v1y)
hold on;
plot(v2x,v2y,'red')
hold on;
plot(v3x,v3y,'black')
```

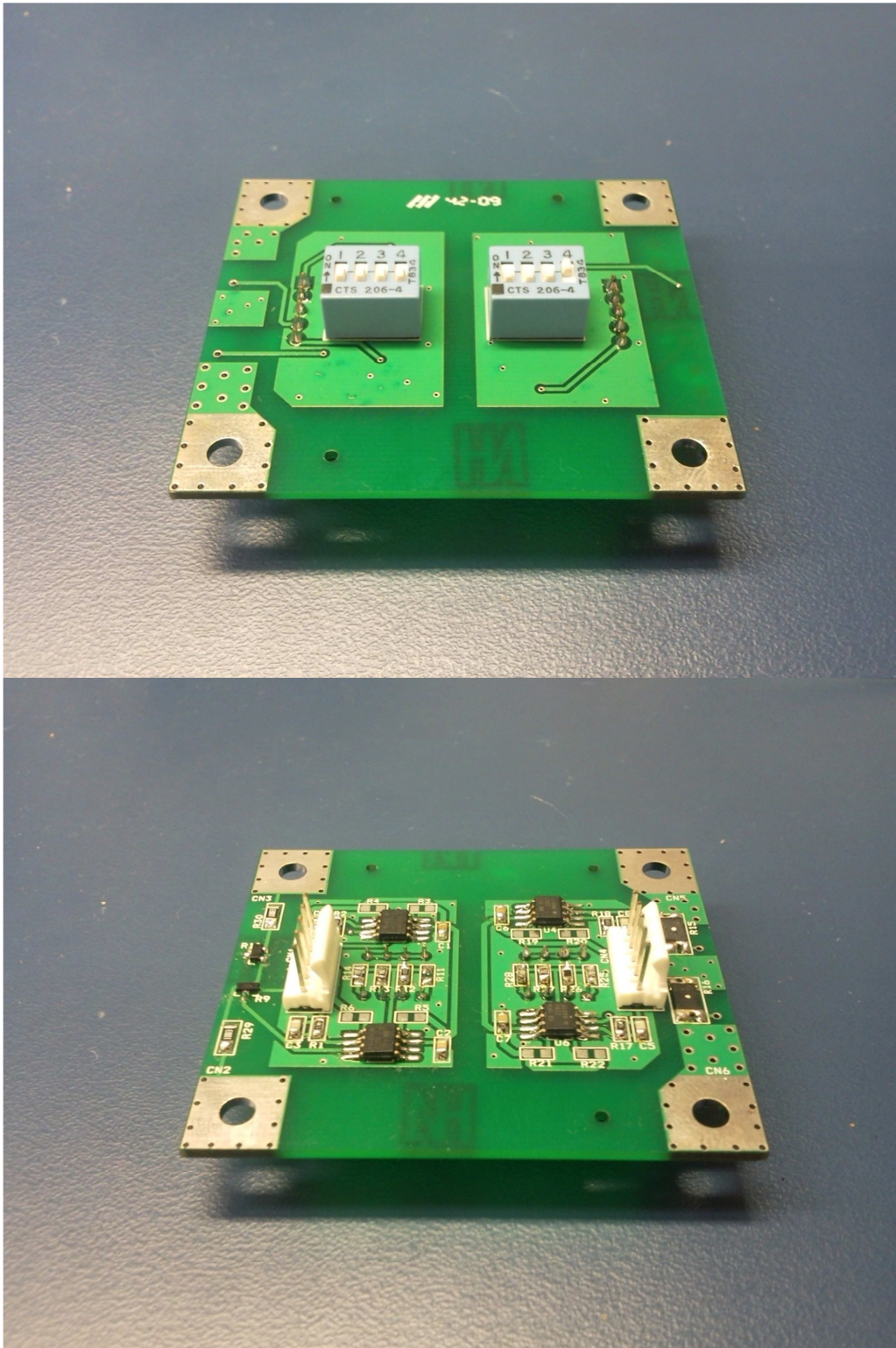
### A3 – Foto da placa do GPS



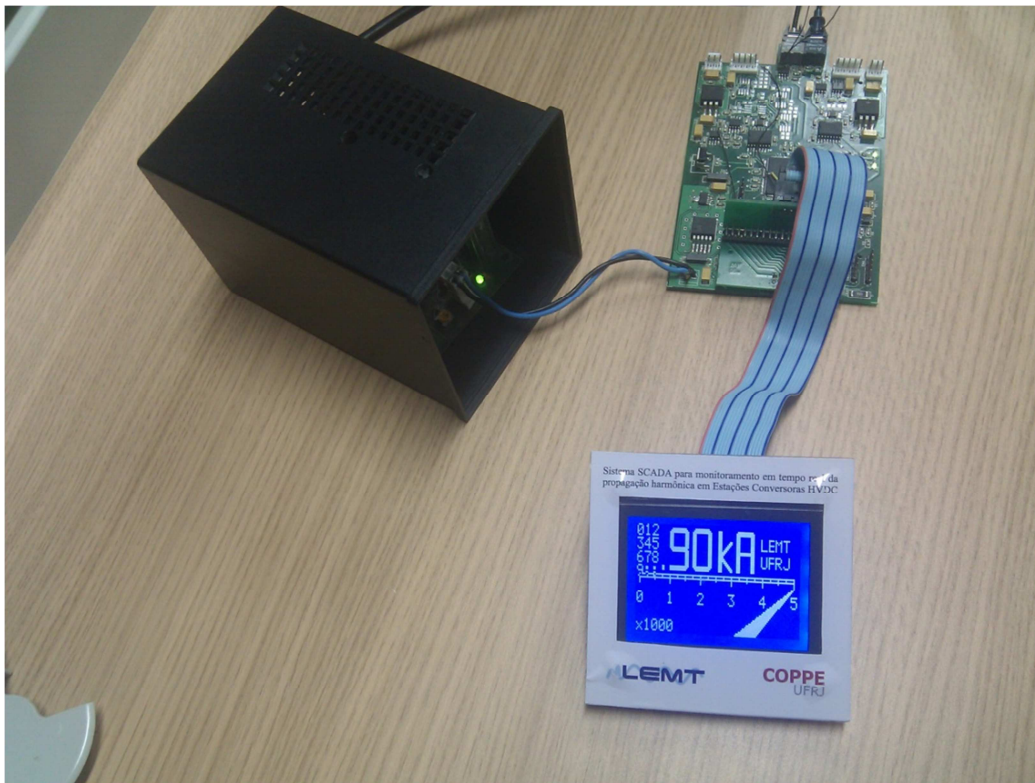
#### A4 – Foto do Concentrador



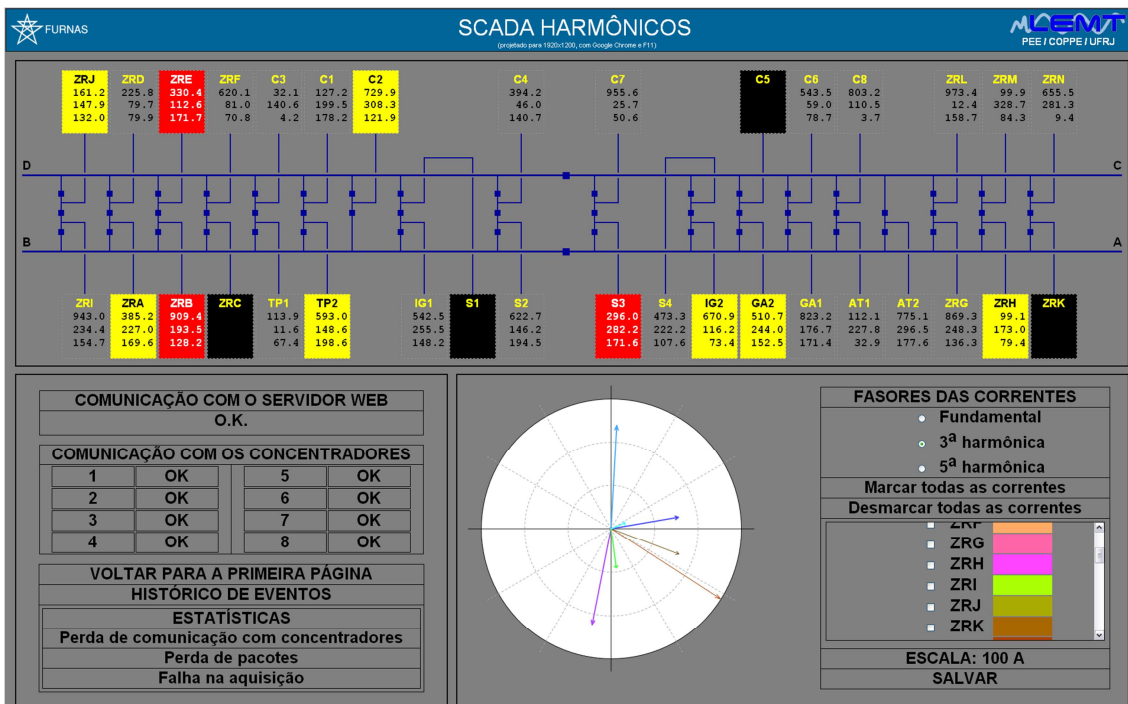
**A5 – Fotos da placa de condicionamento de sinal da UAS**



## A6 – Foto da UAS

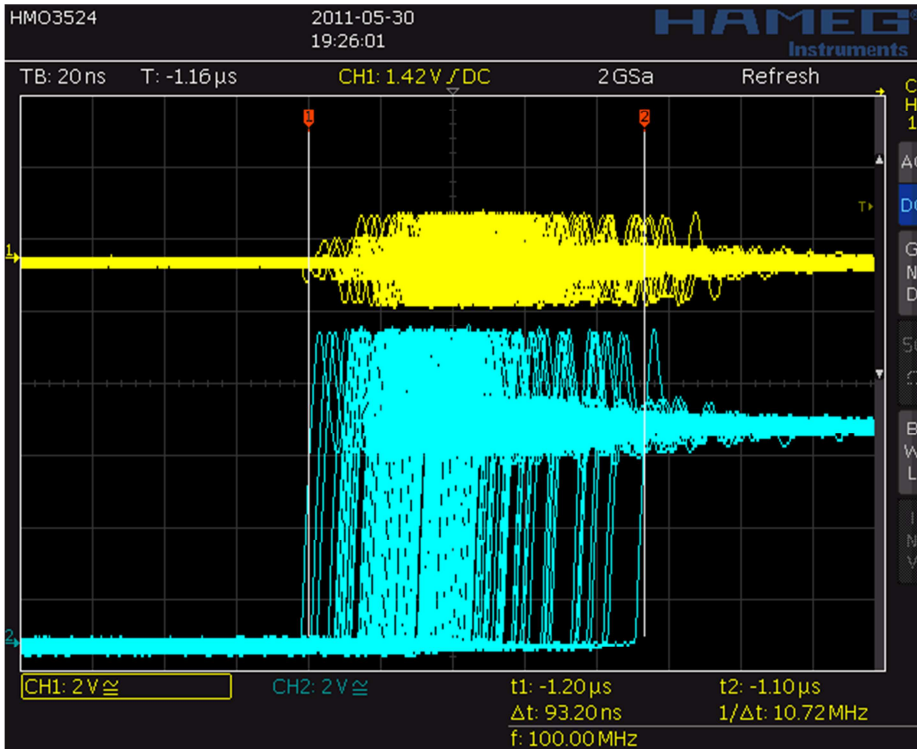


## A7 – Tela do Servidor disponibilizada na Web

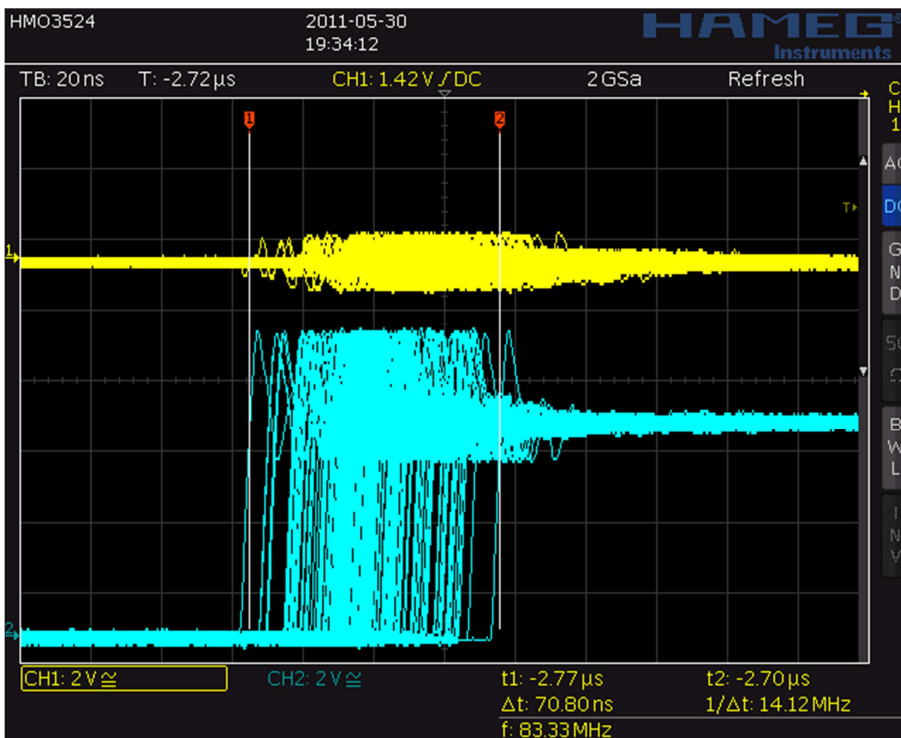


## A8 – Telas de osciloscópio com captura da informação de jitter

Medida 1:

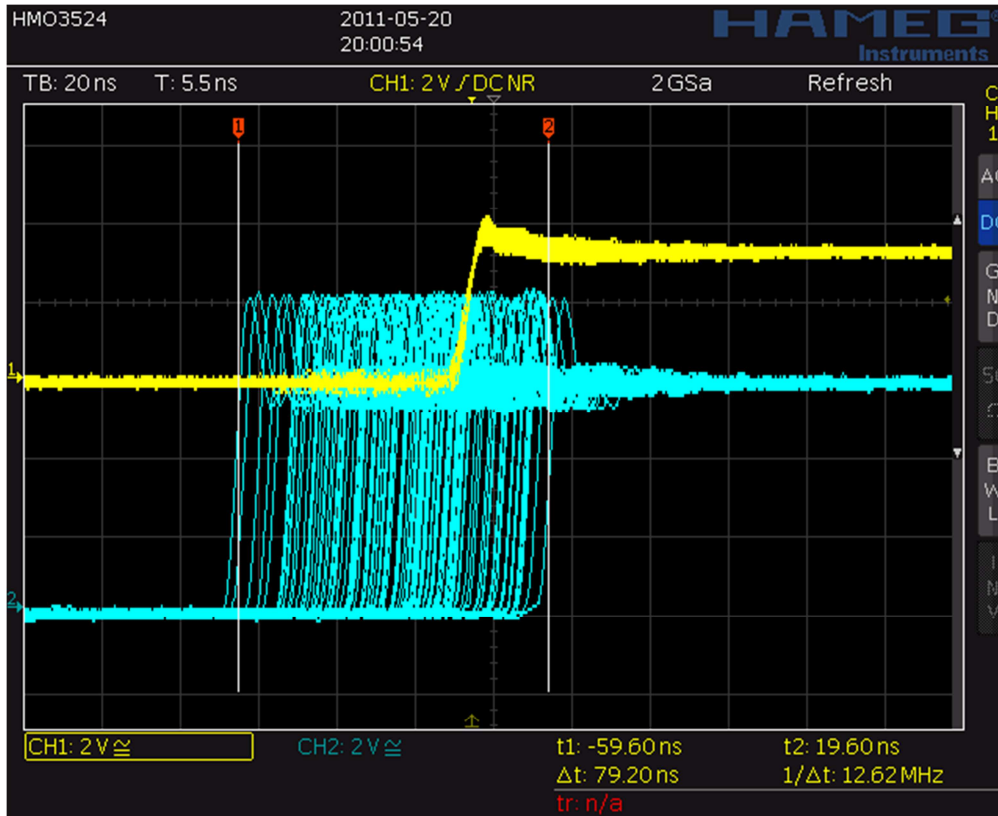


Medida 2:

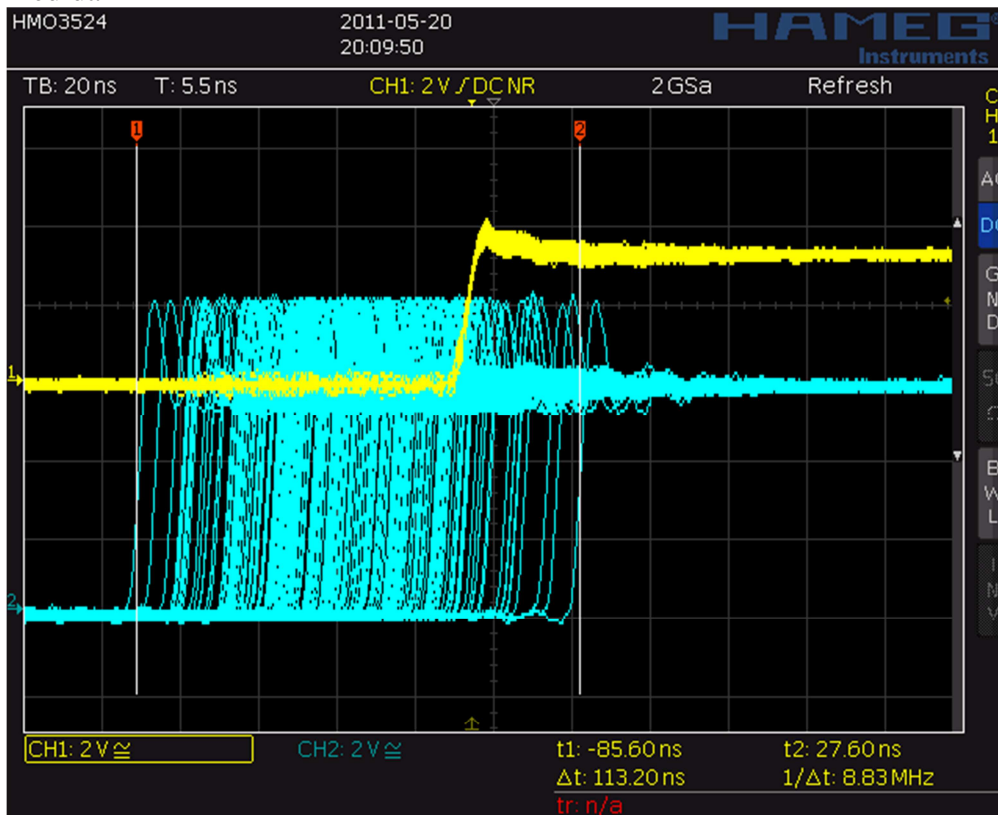




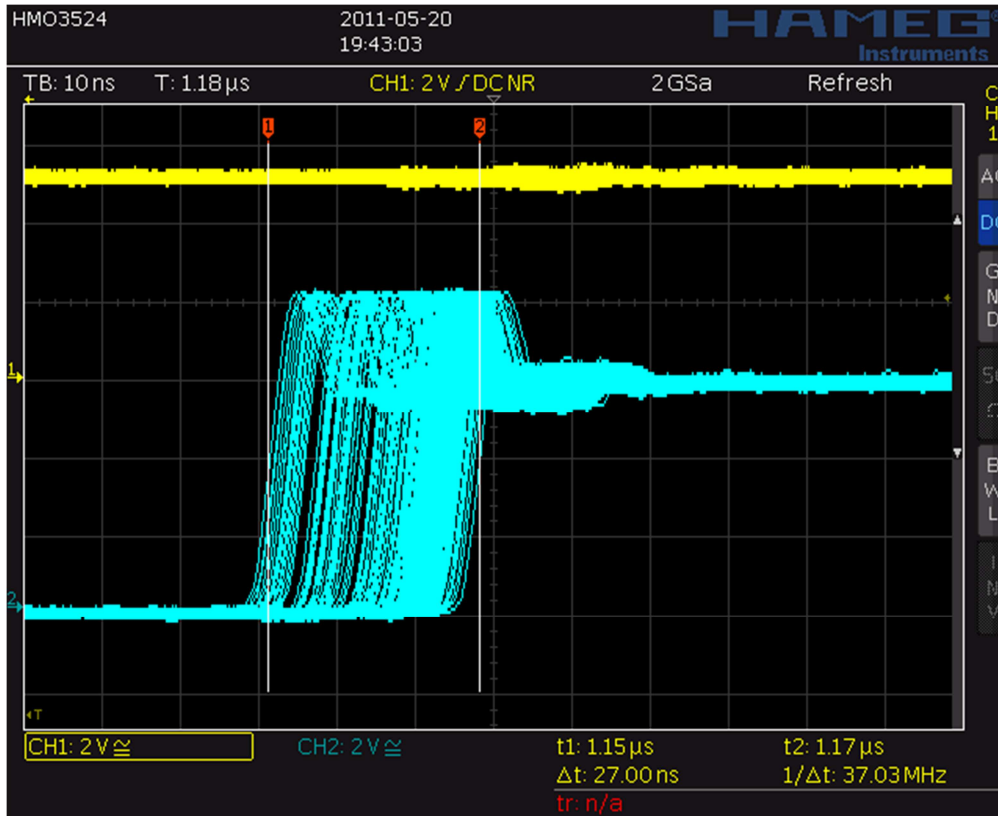
### Medida 3



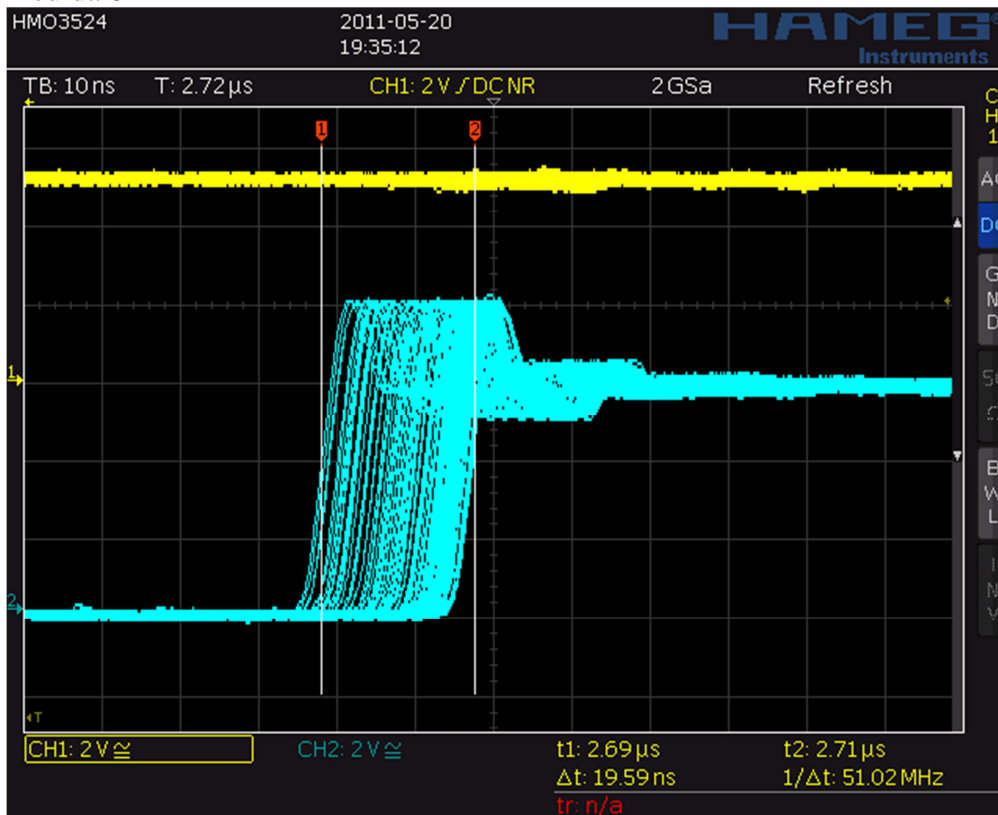
### Medida 4



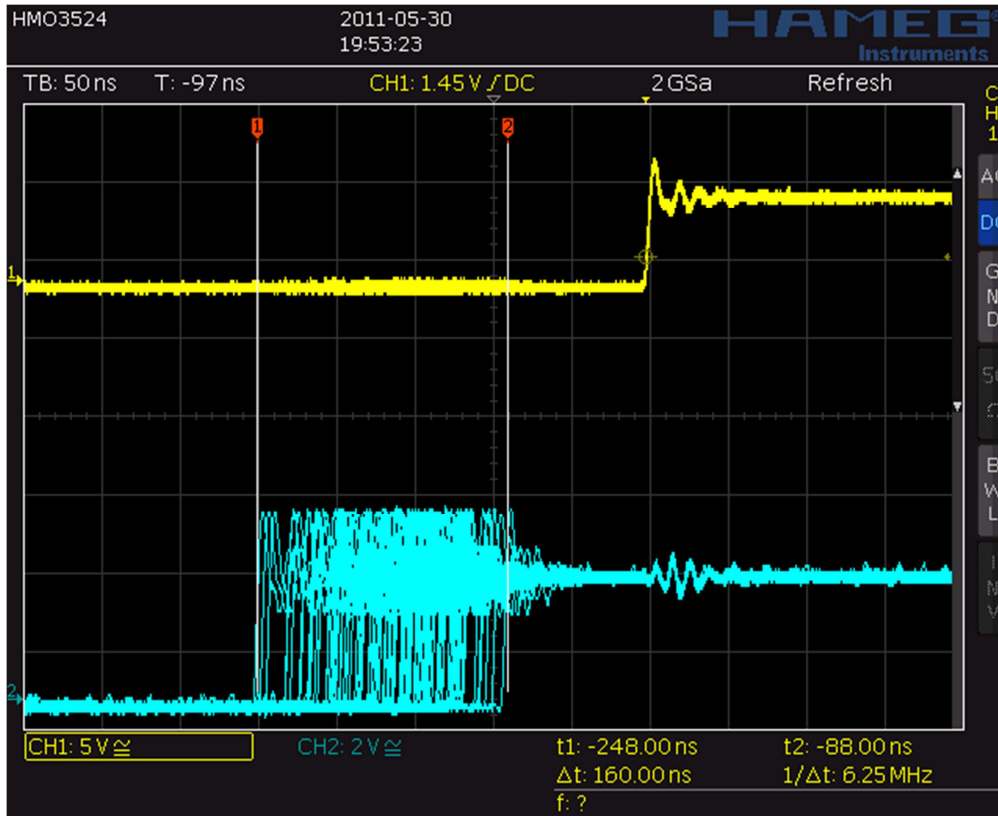
### Medida 7



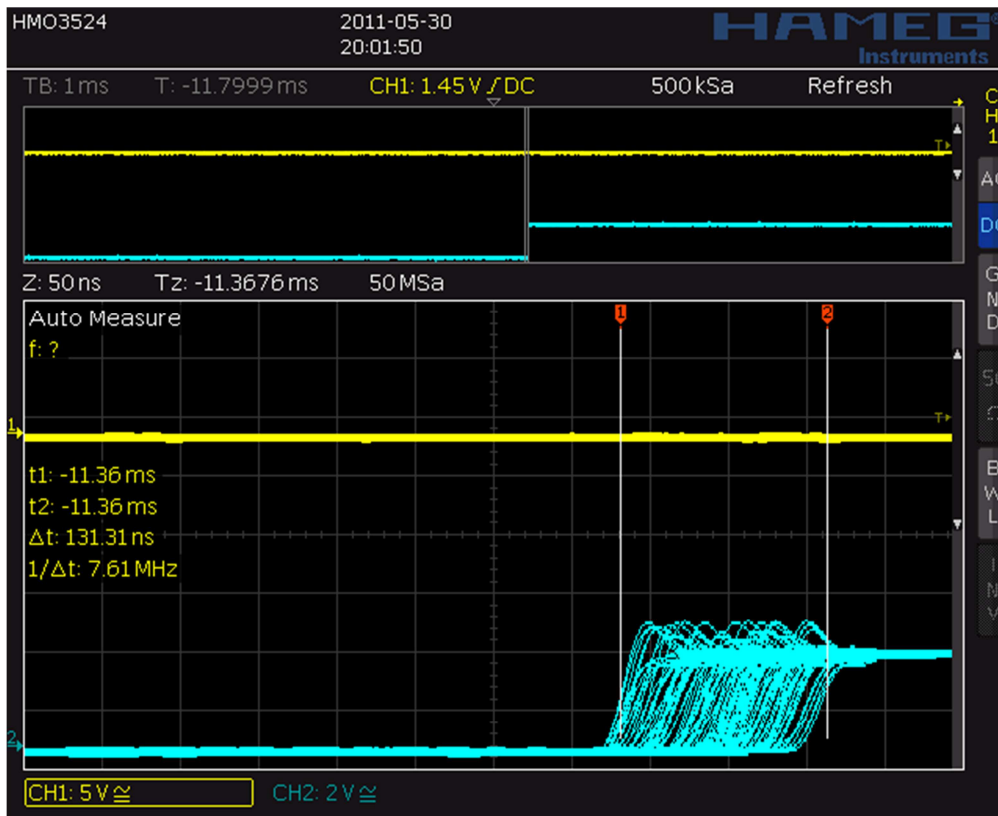
### Medida 8



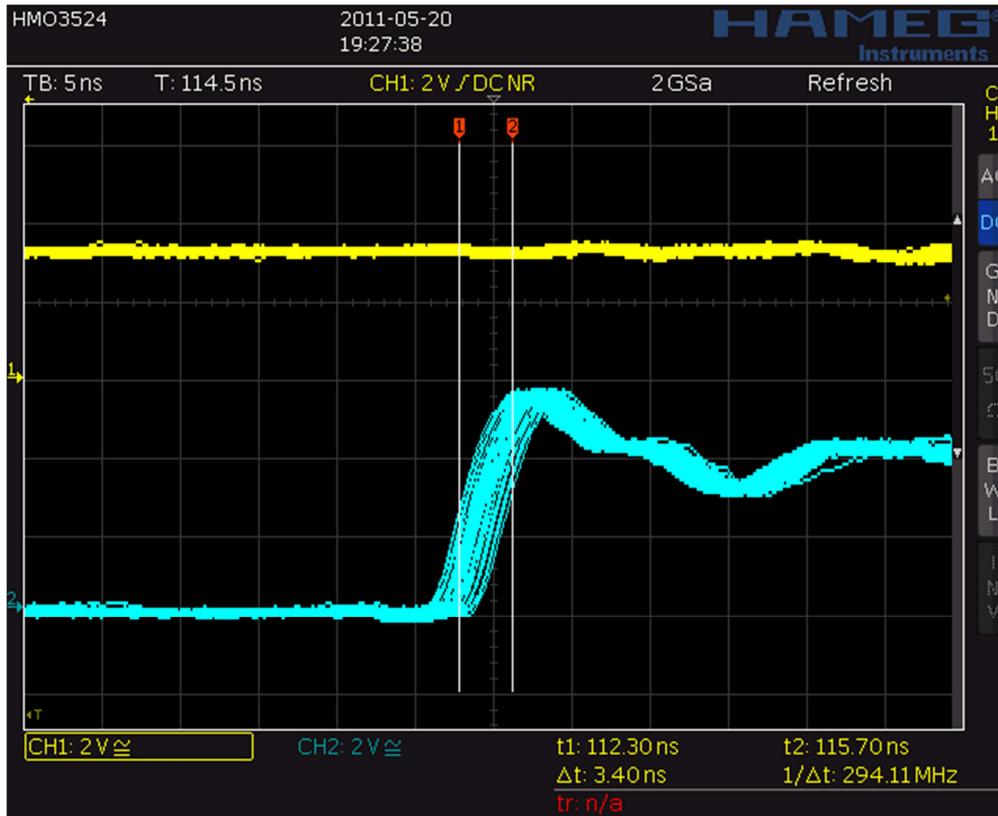
Medida 9



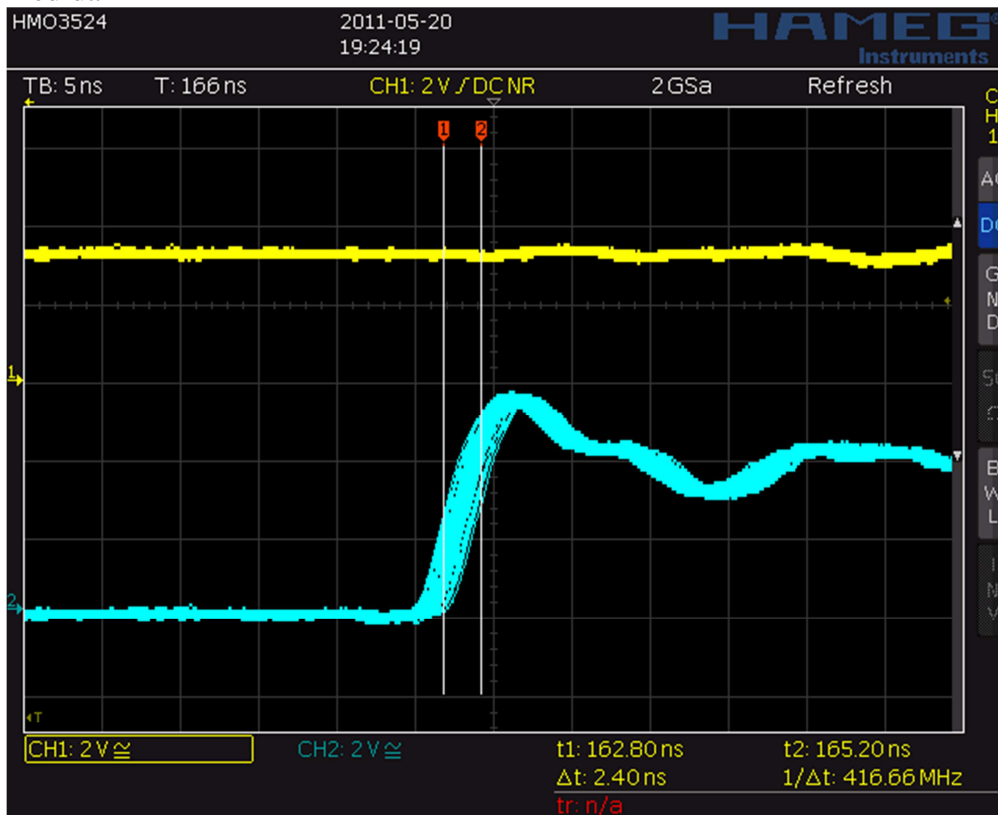
Medida 10



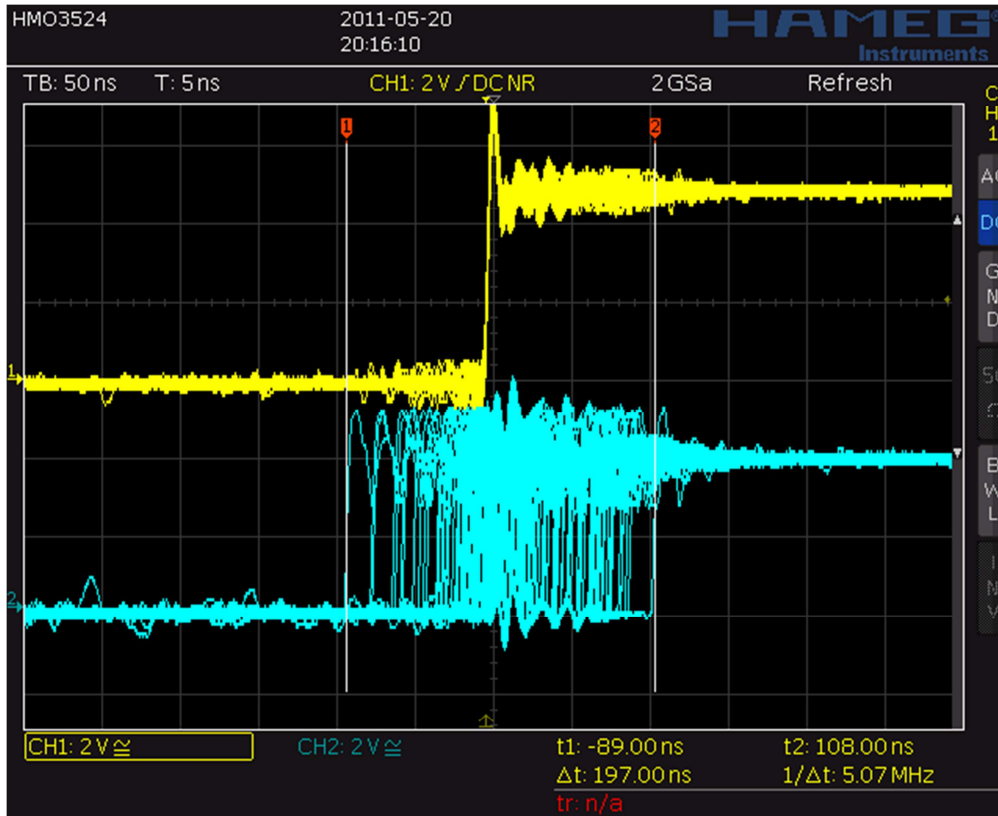
### Medida 11



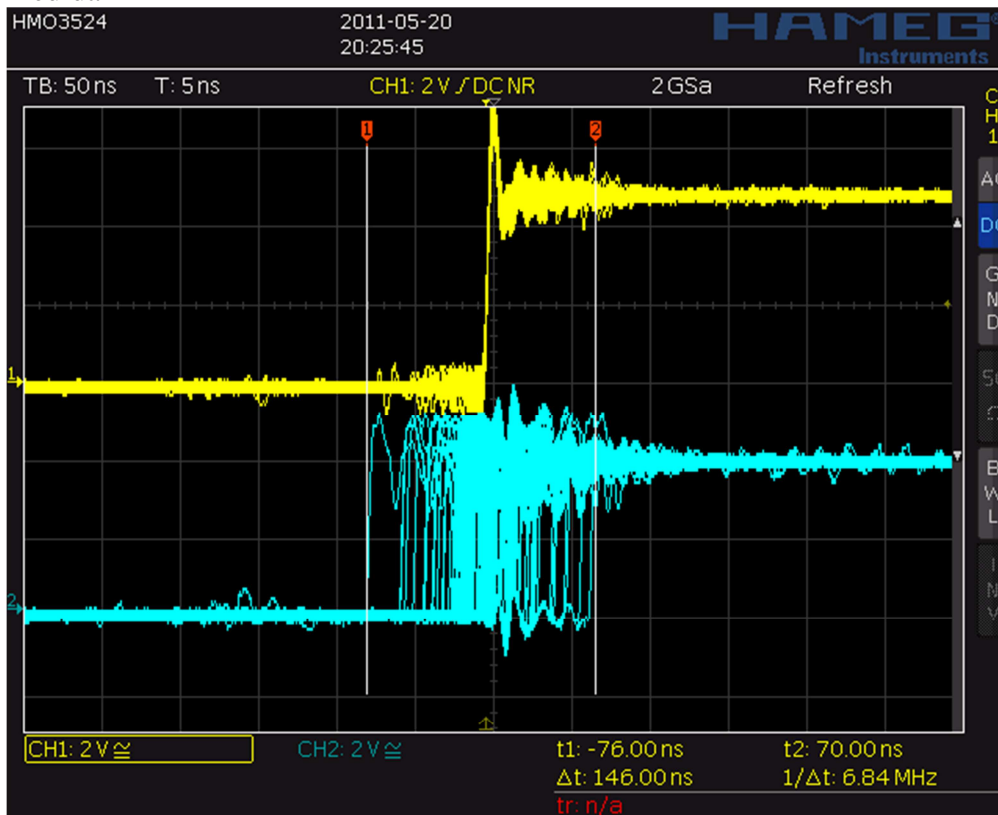
### Medida 12



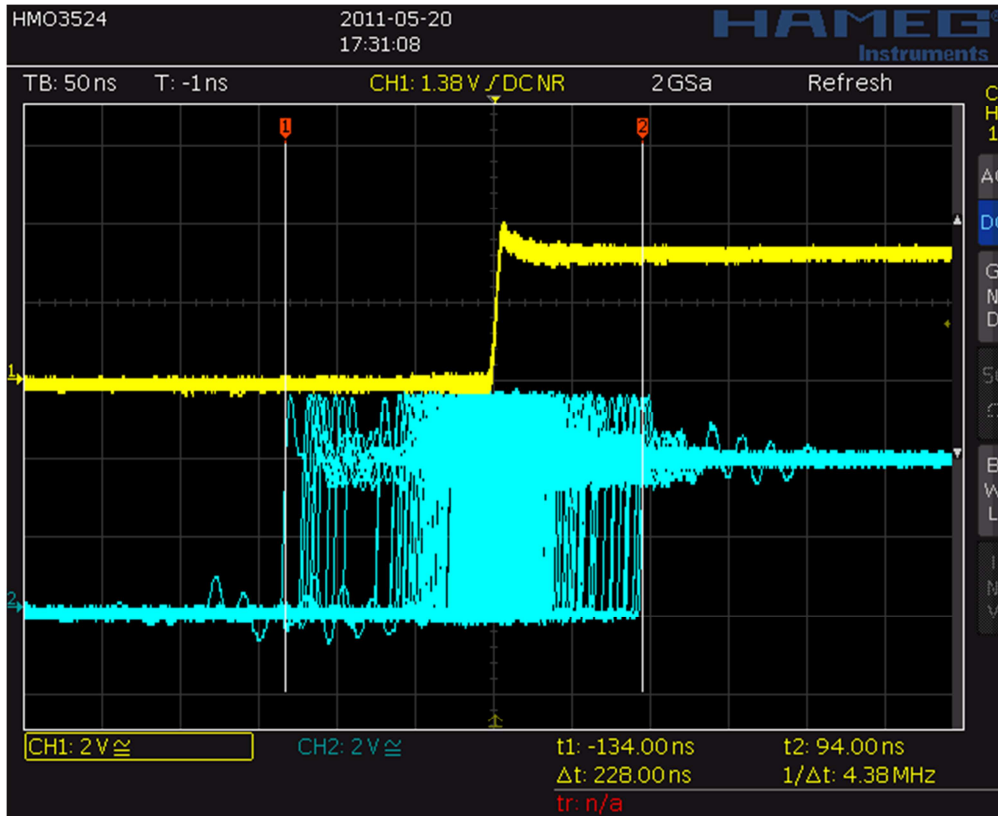
### Medida 13



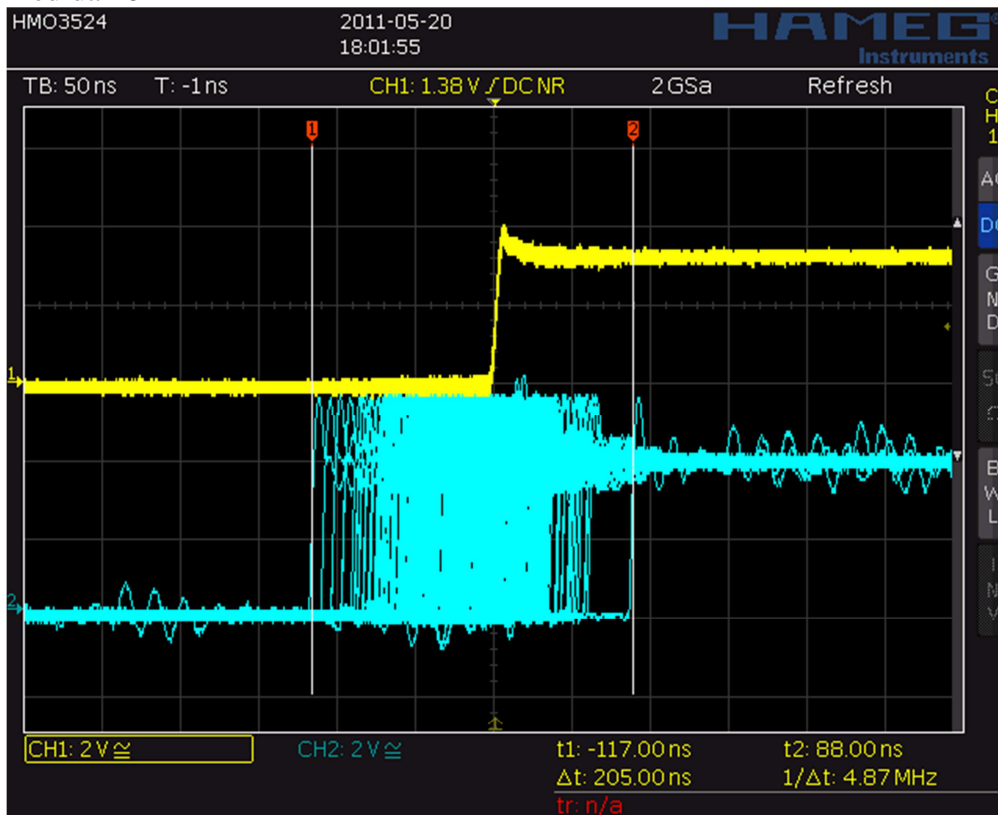
### Medida 14



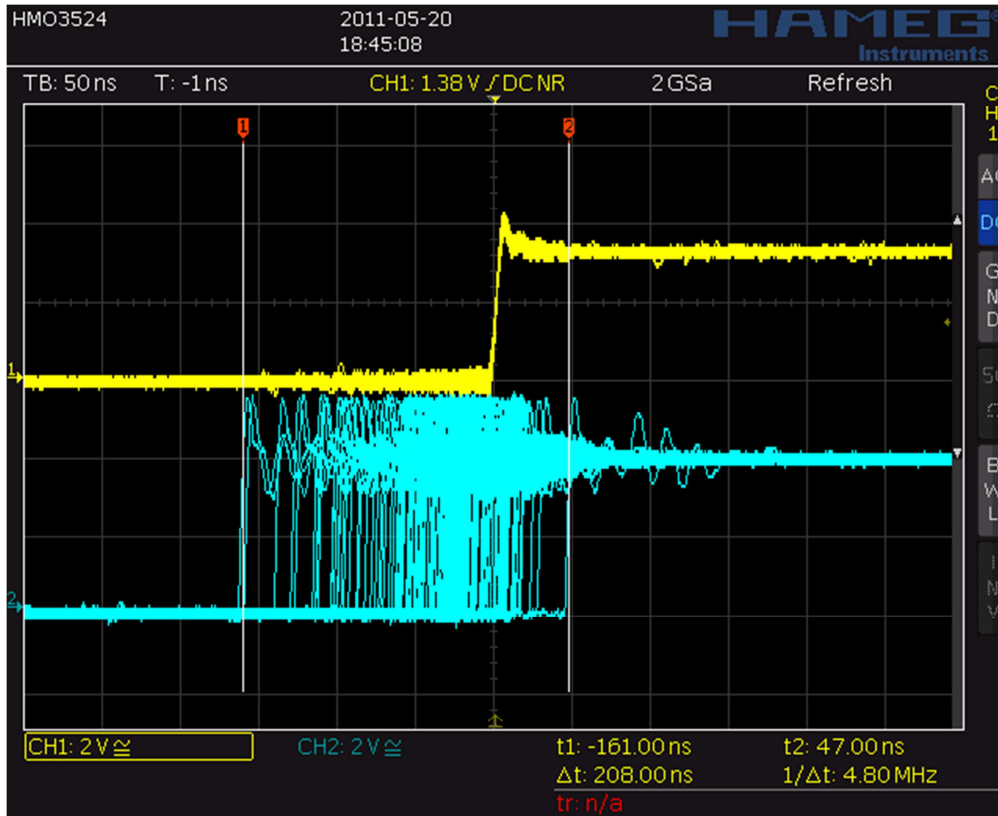
### Medida 15



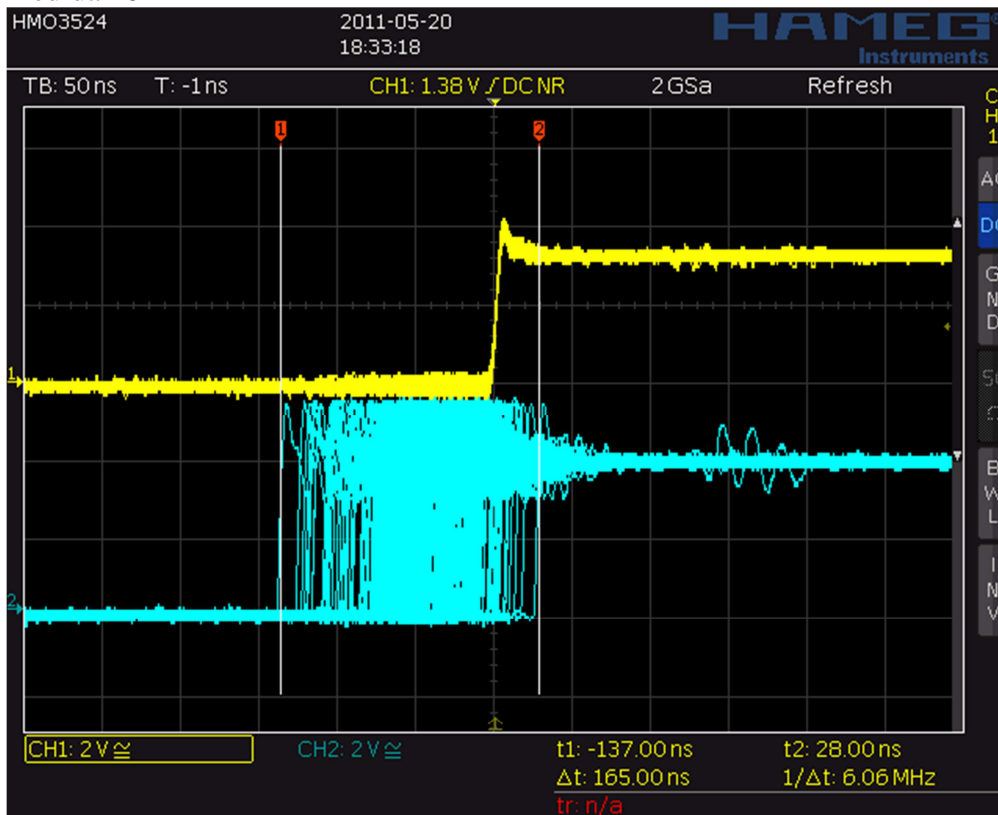
### Medida 16



Medida 17



Medida 18



## A9 – Pacote de dados enviado pelo concentrador

BYTE	VALOR	TIPO	DESCRIÇÃO
0	conc_id	char	identificador do concentrador 5 char
1	conc_id	char	identificador do concentrador
2	conc_id	char	identificador do concentrador
3	conc_id	char	identificador do concentrador
4	conc_id	char	identificador do concentrador
5	uas_id	char	identificador da UAS 5 char
6	uas_id	char	identificador da UAS
7	uas_id	char	identificador da UAS
8	uas_id	char	identificador da UAS
9	uas_id	char	identificador da UAS
10	pckg_num	byte	numero do pacote eth
11	UAS_NUM	byte	numero da UAS
12	ano	uint16	time stamp
13	ano	uint16	time stamp
14	mês	byte	time stamp
15	dia	byte	time stamp
16	hr	byte	time stamp
17	min	byte	time stamp
18	seg	byte	time stamp
19	pts_ciclo	byte	numero de pontos por ciclo da rede
20	g_tensão	float	ganho de tensão
21	g_tensão	float	ganho de tensão
22	g_tensão	float	ganho de tensão
23	g_tensão	float	ganho de tensão
24	g_corrente	float	ganho de corrente
25	g_corrente	float	ganho de corrente
26	g_corrente	float	ganho de corrente
27	g_corrente	float	ganho de corrente
28	pts_total	uint16	numero de pontos total
29	0	byte	padding
30	0	byte	padding
31	0	byte	padding
32	BYTE H VOLT	byte	data
33	BYTE L VOLT	byte	data
34	BYTE H AMP	byte	data
35	BYTE L AMP	byte	data
...	...	...	...
540	BYTE H VOLT	byte	data
541	BYTE L VOLT	byte	data
542	BYTE H AMP	byte	data
543	BYTE L AMP	byte	data