



AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA INSENSÍVEL À
VARIAÇÃO DE TEMPERATURA E BAIXA DISTORÇÃO HARMÔNICA PARA
APLICAÇÃO EM FILTROS CONTÍNUOS NO TEMPO

Italo Bruni Oliveira Rodrigues

Dissertação de Mestrado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte de requisitos necessários à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Fernando Antônio Pinto Barúqui

Rio de Janeiro

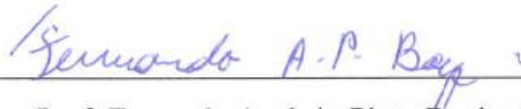
Junho de 2019

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA INSENSÍVEL À
VARIAÇÃO DE TEMPERATURA E BAIXA DISTORÇÃO HARMÔNICA PARA
APLICAÇÃO EM FILTROS CONTÍNUOS NO TEMPO

Italo Bruni Oliveira Rodrigues

DISSERTAÇÃO SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO
LUIZ COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA
(COPPE) DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE
DOS REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE MESTRE
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Examinada por:



Prof. Fernando Antônio Pinto Barúqui, D.Sc.



Prof. Carlos Fernando Teodósio Soares, D.Sc.



Prof. Luis Fabián Olivera Mederos, D.Sc.

RIO DE JANEIRO, RJ – BRASIL

JUNHO DE 2019

Rodrigues, Italo Bruni Oliveira

Amplificador Operacional de Transcondutância Insensível à Temperatura e Baixa Distorção Harmônica Para Aplicação em Filtros Contínuos no Tempo/Italo Bruni Oliveira Rodrigues. – Rio de Janeiro: UFRJ/COPPE, 2019.

XXVIII, 165 p.:il; 29,7cm.

Orientador: Fernando Antônio Pinto Barúqui

Dissertação (mestrado) – UFRJ/ COPPE/ Programa de Engenharia Elétrica, 2019.

Referências Bibliográficas: 158-162

1. Temperature-Aware Design. 2. CT Filter. 3. ZTC Condition. 4. Amplificador Operacional de Transcondutância 5. IoT I. Barúqui, Fernando Antônio Pinto. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

“Aos meus pais, irmãos, e a toda minha família que, com muito carinho e apoio, não mediram esforços para que eu chegasse até esta etapa de minha vida.”

Agradecimento

Agradeço primeiramente a Deus por ter me abençoado na conclusão deste mestrado acadêmico do mais alto nível e reconhecimento internacional. Para mim foi uma honra estar presente no meio acadêmico da UFRJ, pois convivi com professores reconhecidos internacionalmente e com trabalhos citados como referência em diversos países. Estou feliz em saber que o Brasil tem professores e pesquisadores brilhantes comparados com os de países conhecidos como potências tecnológicas.

Aos meus pais que me deram todo o suporte financeiro e motivacional.

Agradeço imensamente a todos os professores e colegas do laboratório PADS (*Processing of Analog and Digital Signals*), pela ajuda no trabalho tirando dúvidas e dando recomendações muito importantes.

Agradeço ao professor Teodósio por tirar dúvidas durante a execução do projeto.

Um agradecimento especial para o meu orientador, professor Barúqui. Muito obrigado pela paciência e por ser o mentor deste trabalho em todas as etapas, tirando dúvidas, dando recomendações e direcionamentos.

Resumo da Dissertação apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA INSENSÍVEL À
VARIAÇÃO DE TEMPERATURA E BAIXA DISTORÇÃO HARMÔNICA PARA
APLICAÇÃO EM FILTROS CONTÍNUOS NO TEMPO

Italo Bruni Oliveira Rodrigues

Junho/2019

Orientador: Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

A conversão analógica-digital tem um papel muito importante na aquisição de sinais analógicos, para serem processados digitalmente. Em todo conversor analógico-digital de sinal (ADC), o filtro limitador de banda, *anti-aliasing*, permite que a amostragem do sinal seja realizada respeitando o teorema da amostragem de Nyquist–Shannon. Esses filtros são contínuos no tempo, e suas implementações na tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*) são feitas por amplificadores operacionais de transcondutância (OTA) e capacitores, formando a topologia conhecida como filtro $G_m - C$. Estes filtros também se encontram em ADC sigma-delta, proporcionando um grande número de *bits* significativos. Em veículos inteligentes, onde sensores são usados para monitorar as variáveis do meio externo e, então, compartilhá-las com outros dispositivos do sistema a fim de proporcionar inteligência ao veículo, é importante que o ADC seja insensível às variações de temperatura e, conseqüentemente, não permitindo que essas variações afetem o desempenho e a confiabilidade dos sistemas. Neste trabalho, foi desenvolvido um OTA totalmente diferencial, e com baixa sensibilidade à temperatura na faixa de -50 a 175 °C. Outro aspecto importante a ser observado é a distorção harmônica total (THD), que deve ser baixa. Com o OTA desenvolvido foi possível projetar um filtro passa-baixas com os parâmetros de desempenho em baixa sensibilidade à temperatura e baixa THD.

Abstract of Dissertation presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

TEMPERATURE-INSENSITIVE AND LOW HARMONIC DISTORTION
OPERATIONAL TRANSCONDUCTANCE AMPLIFIER FOR APPLICATION IN
CONTINUOUS TIME FILTERING

Italo Bruni Oliveira Rodrigues

Juny/2019

Advisor: Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

In order to process digital signals, analog-to-digital converters are essential for data acquisition systems. In any analog-to-digital converter (ADC), the band limiting filter, anti-aliasing, allows sampling in accordance with the Nyquist-Shannon theorem. These filters are continuous over time, and their implementations in CMOS (*Complementary Metal-Oxide-Semiconductor*) technologies are usually made by operational transconductance amplifiers (OTA) and capacitors: that defines the topology known as $G_m - C$ filter. These filters are also used for applications in sigma-delta ADC, which provide a large number of significant bits. In smart vehicles, sensors are used to monitor external ambient variables, which are shared with other system devices in order to provide the vehicle awareness of its environment. It is important that the ADC must be insensitive to temperature variations to guarantee system performance and reliability. In this work, a fully-differential OTA was developed, with low temperature sensitivity in the range of -50 to 175 °C. Another important aspect to be observed is that the total harmonic distortion (THD) must be low. In this work, the developed OTA allowed the design of a low pass filter whose performance parameters present low temperature sensitivity and low THD.

Sumário

Lista de Figuras **xii**

Lista de Tabelas **xxvii**

1. Introdução	1
1.1 Objetivo.....	2
1.2 Estrutura do Texto.....	2
2. Fundamentação Teórica	4
2.1 Efeitos da Temperatura em Dispositivos Eletrônicos MOSFETs.....	4
2.2 Modelos Quadrático e Exponencial (<i>Sub-threshold</i>) do MOSFET	12
2.2.1 Equações do Modelo Quadrático.....	17
2.2.2 Equações do Modelo Exponencial (<i>Sub-threshold</i>)	20
2.3 Modelo EKV do Transistor MOSFET	21
2.4 Influência da Temperatura nos Transistores MOSFET	24
2.4.1 Energia de <i>Band Gap</i>	25
2.4.2 Densidades dos Portadores de Carga (<i>Charge Carriers</i>).....	26
2.4.3 Mobilidade dos Portadores de Carga.....	26
2.4.4 Difusão dos Portadores de Carga.....	27
2.4.5 Velocidade de Saturação.....	28
2.4.6 Densidade de Corrente.....	28
2.4.7 Tensão Limiar (<i>Threshold</i>).....	29
2.4.8 Corrente de Fuga (<i>Leakage Current</i>).....	30
2.4.9 Resistência de Interconexão (<i>Interconnect Resistance</i>)	30
2.4.10 Eletromigração	32
2.4.11 Tensão Térmica.....	33

2.4.12	Principais Parâmetros Variantes com a Temperatura	33
2.5	Condição ZTC (<i>Zero Temperature Coefficient</i>)	35
2.6	Condição G_{ZTC} (<i>Transconductance Zero Temperature Coefficient</i>)	38
2.7	Amplificador Operacional de Transcondutância (OTA)	42
2.8	Circuito de Controle de Modo Comum (CMFB).....	45
2.9	Amplificadores Diferenciais em Inversão Forte	46
2.9.1	Amplificador Diferencial Simples.....	47
2.9.2	Amplificador Diferencial com Dois Pares Assimétricos.....	49
2.9.3	Amplificador Diferencial com Dois Pares Assimétricos e Um Simétrico ..	50
2.9.4	Amplificador Diferencial com Degeneração de Fonte	52
2.9.5	Amplificador Diferencial Usado no OTA Proposto	53
2.10	Espelhos de Corrente	54
2.10.1	Cálculo da Tensão de Polarização do <i>Folded Cascode</i> em Inversão Forte com Três Transistores.....	55
2.11	Circuito de Compensação de Transcondutância g_m (Multiplicador de β)	61
2.12	Circuito de Auto Polarização (Fonte de Corrente Constante Invariante Com a Temperatura).....	63
3.	Projeto do Circuito Integrado	65
3.1	Amplificador Diferencial de Entrada.....	66
3.2	Circuito de Compensação de Transcondutância (Multiplicador de β)	70
3.3	Determinação da Tensão de Modo Comum (V_{cm}).....	76
3.4	Circuito de Compensação de Transcondutância (Multiplicador de β) Modificado.....	80
3.4.1	Determinação de W e L dos Transistores M_{13} , M_{14} e M_{15}	83
3.5	Estágio de Saída em Cascode	85

3.5.1	Dimensionamento do Espelho de Corrente <i>em Cascode Superior</i>	87
3.5.2	Dimensionamento do Espelho de Corrente <i>em Cascode Inferior</i>	89
3.6	Circuito de Auto Polarização (Fonte de Corrente Constante Invariante com a Temperatura)	95
3.7	Circuito de Auto Polarização (Fonte de Corrente Constante Invariante com a Temperatura) Modificado	102
3.8	Circuito de Controle de Modo Comum	104
3.9	Projeto Otimizado do OTA com Par Diferencial Simples para Comparação na Medição de Distorção Harmônica (THD)	108
3.9.1	Dimensionamento do Par Diferencial Simples de Entrada e Determinação do Fator Razão _{Otimização}	109
3.9.2	Ajustes de Dimensionamento dos MOSFETs do OTA e do Circuito de Controle de Modo Comum Otimizados	114
3.9.3	Teste dos Circuitos OTA e CMFB Otimizados Junto com os Blocos Compensação de g_m e Circuito de Auto Polarização	117
4.	Resultados de Simulação	123
4.1	Curvas $g_{md} \times V_d \times T$ (OTA Proposto)	123
4.2	Varição em Partes por Milhão (ppm) do $g_{md} V_d = 0$ Com Temperatura no Intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$ (OTA Proposto)	126
4.3	Curva de Ganho de Tensão DC, com $V_d \approx 0$, Versus Temperatura $A_{V_{DC}} V_d \approx 0$ (OTA Proposto)	127
4.4	Curva de Ganho de Modo Comum Versus Temperatura $A_{CMFB} \times T$ (OTA Proposto)	129
4.5	Simulação de Monte Carlo da Curva $g_{md} \times V_d$ nas Temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ (OTA Proposto)	131

4.6	Simulação de Monte Carlo da Tensão de <i>Offset</i> Diferencial de Entrada	
	$V_{\text{Offset}_{\text{Entrada}}}$ nas Temperaturas $T = - 50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$	
	(OTA Proposto)	135
4.7	Simulação de Monte Carlo da Tensão de <i>Offset</i> de Modo Comum	
	$V_{\text{Offset}_{(\text{Modo Comum})}}$ na Saída do OTA Com Temperaturas $T = - 50\text{ }^{\circ}\text{C}$,	
	$T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$ (OTA Proposto)	138
4.8	Curvas de Distorção Harmônica $\text{THD} \times V_d \times T$ dos OTAs Proposto e	
	Otimizado Com Par Diferencial Simples	141
5.	Filtro G_m-C Contínuo no Tempo Usando o OTA Insensível à Temperatura.....	145
5.1	Resposta em Frequência em Função de T.....	148
5.2	Simulação de Monte Carlo na Curva de Resposta em Frequência nas	
	Temperaturas $T = - 50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$	150
5.3	Curvas de Distorção Harmônica $\text{THD} \times V_d \times T$	153
6.	Conclusão.....	156
6.1	Trabalhos Futuros	157
	Referências Bibliográficas	158
	APÊNDICE A: Parâmetros Extraídos da Tecnologia de Fabricação XFAB 0,18 μm	
	do MOSFET Canal N (nel) Modelo Spice Nível 3.....	163
	APÊNDICE B: Parâmetros Extraídos da Tecnologia de Fabricação XFAB 0,18 μm	
	do MOSFET Canal P (pel) Modelo Spice Nível 3	164
	APÊNDICE C: Datasheet XFAB 0,18 μm (Valor do Coeficiente Térmico dos	
	Resistores de Polissilício XH018).....	165

Lista de Figuras

Figura 2.1: Principais elementos de um computador pessoal (PC) (a) solução típica de refrigeração do sistema (b) componentes típicos de encapsulamento e dissipação térmica dos processadores modernos.	6
Figura 2.2: Circuito equivalente do modelo RC térmico aplicado no <i>chip</i> com resistências térmicas verticais, horizontais e capacitâncias térmicas (a) equivalente RC do roteiro de transferência térmica secundária (b) equivalente RC do roteiro de transferência térmica primária.	8
Figura 2.3: Placa CPU com processador em funcionamento com os blocos de circuito ativados na pastilha de silício (a) foto digital (b) imagem termográfica (c) gráfico 3D de temperatura da imagem termográfica.	10
Figura 2.4: Placa CPU com processador em funcionamento com os blocos de circuito desativados na pastilha de silício (a) foto digital (b) imagem termográfica (c) gráfico 3D de temperatura da imagem termográfica.	11
Figura 2.5: Transistor MOSFET de canal N.	13
Figura 2.6: Símbolos do transistor MOSFET (a) canal N (b) canal P.	13
Figura 2.7: Gráfico (I_{DS}) \times (V_{DS}) das regiões de triodo e saturação.	14
Figura 2.8: Esquema de polarização (<i>bias</i>) do MOSFET canal N.	15
Figura 2.9: Canal N de condução formado no transistor MOSFET.	15
Figura 2.10: Transistor MOSFET na região de trabalho saturação como fonte de corrente constante dependente de V_{GS}	16
Figura 2.11: (a) Efeito de modulação do canal no transistor MOSFET (b) gráfico de variação de I_{DS} levando em consideração o parâmetro λ	19
Figura 2.12: Representação das correntes no MOSFET (a) MOSFET canal N (b) MOSFET canal P.	22
Figura 2.13: Comportamento da energia de <i>band gap</i> em função da temperatura.	25
Figura 2.14: Material de filme fino.	31

Figura 2.15: Processo de eletromigração das trilhas internas dos <i>chips</i> (a) material da trilha sem desgaste (b) material da trilha com desgaste por eletromigração.	32
Figura 2.16: MOSFET canal N polarizado no ponto ZTC.	35
Figura 2.17: Ponto ZTC do MOSFET <i>nel</i> invariante com a temperatura para razão $W/L = 1$	37
Figura 2.18: transcondutância g_m invariante com a temperatura no ponto G_{ZTC} para $\alpha_{\mu_n} = -1$	40
Figura 2.19: Não existência de um ponto de transcondutância g_m invariante com a temperatura para valores de $\alpha_{\mu_n} \neq -1$, neste caso com $\alpha_{\mu_n} = -2$	41
Figura 2.20: Símbolos do OTA (a) OTA <i>single-ended</i> (b) OTA <i>fully differential</i>	42
Figura 2.21: Topologia de OTA com 4 transistores no <i>cascode</i> inferior.	43
Figura 2.22: Topologia de OTA com 3 transistores no <i>cascode</i> inferior.	44
Figura 2.23: Circuito de controle de modo comum com componentes ideais.	45
Figura 2.24: Topologia de circuito de controle de modo comum utilizado neste trabalho.	46
Figura 2.25: Topologia do amplificador diferencial simples (a) Com MOSFETs canal N (b) Com MOSFETs canal P.	47
Figura 2.26: Gráfico da transcondutância g_{m_d} em função de V_d	48
Figura 2.27: Topologia do amplificador diferencial com dois pares assimétricos.	49
Figura 2.28: Gráfico da transcondutância g_{m_d} em função de V_d	49
Figura 2.29: Circuito do amplificador diferencial com dois pares assimétricos e um simétrico.	51

Figura 2.30: Curva de transcondutância do amplificador diferencial com dois pares assimétricos e um par simétrico em função da tensão diferencial V_d .	51
Figura 2.31: Amplificador diferencial com degeneração de fonte.	52
Figura 2.32: Gráfico de transcondutância em função da tensão diferencial V_d do amplificador diferencial com degeneração de fonte.	53
Figura 2.33: Espelhos de corrente utilizados nos circuitos deste trabalho (a) espelho de corrente simples (b) espelho de corrente <i>folded cascode</i> com três MOSFETS.	54
Figura 2.34: Esquemático de projeto do <i>folded cascode</i> com três transistores.	56
Figura 2.35: Condições de contorno para cálculo da tensão de polarização V_{b_n} .	57
Figura 2.36: Gráfico de $V_{o_{min}}$ em função da temperatura com restrição de projeto $V_{o_{min}} \geq 0,50 V$.	59
Figura 2.37: Cálculo de V_{b_n} com variação da temperatura T (a) não existência de uma região de polarização do espelho de corrente para faixa de temperatura $T_{min} = -50 \text{ }^\circ\text{C}$ e $T_{max} = 175 \text{ }^\circ\text{C}$ (b) existência de uma região de polarização do espelho de corrente para faixa de temperatura $T_{min} = -50 \text{ }^\circ\text{C}$ e $T_{max} = 100 \text{ }^\circ\text{C}$.	60
Figura 2.38: Circuito de compensação de g_m (multiplicador de β).	62
Figura 2.39: Circuito de auto polarização com corrente I_B invariante com a temperatura.	63
Figura 3.1: Ajuste final de projeto da excursão de saída OTA proposto.	65
Figura 3.2: Circuito para ajuste de g_{m_o} do par diferencial.	66
Figura 3.3: Transcondutância diferencial g_{m_d} na temperatura $T = 27 \text{ }^\circ\text{C}$.	67
Figura 3.4: Transcondutância diferencial g_{m_d} na temperatura $T = 27 \text{ }^\circ\text{C}$ dentro da faixa de excursão de sinal desejada no projeto $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$.	67
Figura 3.5: Transcondutância diferencial g_{m_d} em função da temperatura T.	68

Figura 3.6: Transcondutância diferencial g_{m_d} em função da temperatura T dentro da faixa de excursão de sinal desejada no projeto - $500 \text{ mV} \leq V_d \leq 500 \text{ mV}$	68
Figura 3.7: Transcondutância diferencial g_{m_d} em função da temperatura nos limites extremos $T = -50 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$, e na temperatura de referência $T_0 = 27 \text{ }^\circ\text{C}$	69
Figura 3.8: Transcondutância diferencial g_{m_d} em função da temperatura nos limites extremos $T = -50 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$, e na temperatura de referência $T_0 = 27 \text{ }^\circ\text{C}$ dentro da faixa de excursão de sinal desejada no projeto - $500 \text{ mV} \leq V_d \leq 500 \text{ mV}$	69
Figura 3.9: Circuito de compensação de transcondutância (multiplicador de β).....	70
Figura 3.10: Corrente de polarização DC para compensação de g_m espelhada pelo transistor M_3	72
Figura 3.11: Ferramenta iprobe para análise de estabilidade no circuito multiplicador de β e determinação do valor do capacitor C_{c1}	73
Figura 3.12: Gráfico de resposta em frequência gerado pela malha fechada do circuito.	74
Figura 3.13: Gráfico de resposta de fase gerado pela malha fechada do circuito.	74
Figura 3.14: Circuito montado no simulador <i>Cadence</i> para verificação da necessidade ou não de um circuito de <i>startup</i>	75
Figura 3.15: Análise transiente da tensão de alimentação V_{dd} , na partida do circuito, com a temperatura no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	76
Figura 3.16: Análise transiente da corrente de polarização I_B , na partida do circuito, com a temperatura no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	76
Figura 3.17: Circuito montado no simulador <i>Cadence</i> para determinação do melhor valor de tensão de modo comum (V_{cm}).....	77
Figura 3.18: Tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 900 \text{ mV}$, variando a tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura na faixa $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	78

Figura 3.19: Tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 700 \text{ mV}$, variando a tensão diferencial de entrada na faixa $- 2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura na faixa $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	78
Figura 3.20: Pior caso de tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 900 \text{ mV}$, variando a tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	79
Figura 3.21: Pior caso de tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 700 \text{ mV}$, variando a tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	79
Figura 3.22: Demais valores de tensão nos nós (1) e (2) em $V_{cm} = 700 \text{ mV}$ para temperatura de pior caso $T = 175 \text{ }^\circ\text{C}$, na faixa de excursão de sinal de entrada $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$	80
Figura 3.23: Tensão V_{GM_3} em função da temperatura.	81
Figura 3.24: Amplificador diferencial polarizado por M_{14} e M_{15}	82
Figura 3.25: Circuito de compensação de g_m com inclusão dos transistores M_{12} e M_{13}	82
Figura 3.26: Circuito de teste montado no simulador <i>Cadence</i> para encontrar o dimensionamento de M_{13} , M_{14} e M_{15}	83
Figura 3.27: Corrente I_{DS} no transistor M_{15} variando V_s na faixa $0 \text{ V} \leq V_s \leq 1,8 \text{ V}$ para as temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	84
Figura 3.28: Valores de V_s em função de T que definem a excursão de sinal de entrada no projeto conforme indicados no gráfico da Figura 3.22 (Seção 3.3).	85
Figura 3.29: OTA <i>fully differential</i> proposto neste trabalho com amplificador diferencial de entrada e estágio de saída cascode.	86

Figura 3.30: Circuito de teste montado no <i>Cadence</i> para determinação da tensão de polarização do espelho (V_{bp}) e dimensionamento dos transistores M_{16} , M_{17} , M_{20} e M_{21}	87
Figura 3.31: Corrente de polarização I_B nos MOSFETs M_{16} e M_{17} nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0\text{ V} \leq V_o \leq 1,8\text{ V}$	88
Figura 3.32: Corrente de polarização I_B nos MOSFETs M_{16} e M_{17} nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{\min}} = 0,45\text{ V}$ e $V_{o_{\max}} = 0,95\text{ V}$	88
Figura 3.33: Circuito montado no <i>Cadence</i> para validação dos ajustes de projeto do <i>cascode</i> inferior.	90
Figura 3.34: Condição de teste 1 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0\text{ V} \leq V_o \leq 1,8\text{ V}$	91
Figura 3.35: Condição de teste 1 da Tabela 3.6 nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{\min}} = 0,45\text{ V}$ e $V_{o_{\max}} = 0,95\text{ V}$	92
Figura 3.36: Condição de teste 2 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0\text{ V} \leq V_o \leq 1,8\text{ V}$	92
Figura 3.37: Condição de teste 2 da Tabela 3.6 nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{\min}} = 0,45\text{ V}$ e $V_{o_{\max}} = 0,95\text{ V}$	93
Figura 3.38: Condição de teste 3 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0\text{ V} \leq V_o \leq 1,8\text{ V}$	93
Figura 3.39: Condição de teste 3 da Tabela 3.6 nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{\min}} = 0,45\text{ V}$ e $V_{o_{\max}} = 0,95\text{ V}$	94

Figura 3.40: Circuito de auto polarização (fonte de corrente constante invariante com a temperatura).	96
Figura 3.41: Corrente de polarização DC espelhada por M_{38} em função da temperatura.	98
Figura 3.42: Ferramenta iprobe para análise de estabilidade no circuito de auto polarização e determinação do valor do capacitor C_{c2}	98
Figura 3.43: Gráfico de resposta em frequência gerado pela malha fechada do circuito.	99
Figura 3.44: Gráfico de resposta de fase gerado pela malha fechada do circuito.	99
Figura 3.45: Circuito montado no simulador <i>Cadence</i> para verificação da necessidade ou não de um circuito de <i>startup</i>	100
Figura 3.46: Análise transiente da tensão de alimentação V_{dd} , na partida do circuito, com a temperatura no intervalo $- 50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	101
Figura 3.47: Análise transiente da corrente de polarização I_B , na partida do circuito, com a temperatura no intervalo $- 50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	101
Figura 3.48: Circuito de auto polarização modificado.	102
Figura 3.49: Tensão de polarização do espelho em <i>cascode</i> inferior gerada na saída (V_{obnc}) em função da temperatura na faixa $- 50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	103
Figura 3.50: Tensão de polarização do espelho em <i>cascode</i> superior gerada na saída (V_{obpc}) em função da temperatura na faixa $- 50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	104
Figura 3.51: Circuito de controle de modo comum (CMFB).	104
Figura 3.52: Circuito de teste montado no <i>Cadence</i> para fazer medição da tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $- 2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $- 50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	106

Figura 3.53: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	106
Figura 3.54: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	107
Figura 3.55: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, com a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	107
Figura 3.56: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	108
Figura 3.57: Correntes I_B' e $I_B^{(T=27\text{ }^\circ\text{C})}$ no amplificador diferencial simples.	110
Figura 3.58: Circuito de teste montado no <i>Cadence</i> para ajuste da razão W_p/L_p dos MOSFETs M_{58} e M_{59} , com a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	111
Figura 3.59: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	112
Figura 3.60: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	112
Figura 3.61: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, com a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	113

Figura 3.62: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa de projeto - $500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	113
Figura 3.63: Circuito do OTA otimizado com par diferencial simples e espelhos de corrente em <i>cascode</i> superior e inferior.....	114
Figura 3.64: Circuito de controle de modo comum (CMFB) otimizado com par diferencial simples.....	114
Figura 3.65: Circuito de teste montado no <i>Cadence</i> para teste e validação do OTA e circuito CMFB com pares diferenciais simples otimizados.	117
Figura 3.66: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa - $2 \text{ V} \leq V_d \leq 2 \text{ V}$ e temperatura no intervalo - $50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	118
Figura 3.67: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa - $2 \text{ V} \leq V_d \leq 2 \text{ V}$, nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	118
Figura 3.68: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa - $500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ e temperatura no intervalo - $50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	119
Figura 3.69: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa - $500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	119
Figura 3.70: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa - $2 \text{ V} \leq V_d \leq 2 \text{ V}$ e temperatura no intervalo - $50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	120

Figura 3.71: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	120
Figura 3.72: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-500\text{ mV} \leq V_d \leq 500\text{ mV}$ e temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	121
Figura 3.73: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	121
Figura 4.1: Circuito de teste montado no <i>Cadence</i> para medição das curvas $g_{m_d} \times V_d \times T$ do OTA, variando a tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	123
Figura 4.2: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	124
Figura 4.3: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	124
Figura 4.4: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-500\text{ mV} \leq V_d \leq 500\text{ mV}$ e temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.	125
Figura 4.5: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.	125

Figura 4.6: Circuito de teste montado no <i>Cadence</i> para medição das curvas de ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.	127
Figura 4.7: Ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.	128
Figura 4.8: Ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.	128
Figura 4.9: Circuito de teste montado no <i>Cadence</i> , para simulação do ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.	129
Figura 4.10: Ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.	130
Figura 4.11: Ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.	130
Figura 4.12: Circuito de teste montado no <i>Cadence</i> para simulação de Monte Carlo (500 rodadas) das curvas $g_{m_d} \times V_d \times T$ do OTA, sob variações do processo de fabricação e descasamento (<i>mismatch</i>), variando a tensão diferencial de entrada V_d na faixa $- 2 \text{ V} \leq V_d \leq 2 \text{ V}$, nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.	131
Figura 4.13: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = - 50 \text{ }^\circ\text{C}$, com V_d na faixa $- 2 \text{ V} \leq V_d \leq 2 \text{ V}$.	132

Figura 4.14: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = -50\text{ }^{\circ}\text{C}$, com V_d na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$	132
Figura 4.15: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = 27\text{ }^{\circ}\text{C}$, com V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$	133
Figura 4.16: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = 27\text{ }^{\circ}\text{C}$, com V_d na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$	133
Figura 4.17: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = 175\text{ }^{\circ}\text{C}$, com V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$	134
Figura 4.18: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da transcondutância diferencial na temperatura $T = 175\text{ }^{\circ}\text{C}$, com V_d na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$	134
Figura 4.19: Circuito de teste montado no <i>Cadence</i> para simulação de Monte Carlo (500 rodadas) da tensão de <i>offset</i> de entrada do OTA, sob variações do processo de fabricação e descasamento (<i>mismatch</i>), nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$	135
Figura 4.20: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de entrada do OTA na temperatura $T = -50\text{ }^{\circ}\text{C}$	136
Figura 4.21: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de entrada do OTA na temperatura $T = 27\text{ }^{\circ}\text{C}$	136

Figura 4.22: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de entrada do OTA na temperatura $T = 175\text{ }^{\circ}\text{C}$.	137
Figura 4.23: Circuito de teste montado no <i>Cadence</i> para simulação de Monte Carlo (500 rodadas) da tensão de <i>offset</i> de modo comum, sob variações do processo de fabricação e descasamento (<i>mismatch</i>).	138
Figura 4.24: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de modo comum na saída do OTA, com temperatura $T = -50\text{ }^{\circ}\text{C}$.	139
Figura 4.25: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de modo comum na saída do OTA, com temperatura $T = 27\text{ }^{\circ}\text{C}$.	139
Figura 4.26: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da tensão de <i>offset</i> de modo comum na saída do OTA, com temperatura $T = 175\text{ }^{\circ}\text{C}$.	140
Figura 4.27: Circuito de teste montado no <i>Cadence</i> para medição de distorção harmônica do OTA proposto com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$.	141
Figura 4.28: Circuito de teste montado no <i>Cadence</i> para medição de distorção harmônica do OTA otimizado de par diferencial simples, com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$.	142
Figura 4.29: Medição de distorção harmônica do OTA proposto e do OTA otimizado de par diferencial simples com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$.	143

Figura 4.30: Medição de distorção harmônica do OTA proposto e do OTA otimizado de par diferencial simples com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$, frequência de 1 kHz nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	144
Figura 5.1: Filtro G_m -C passa-baixas com aproximação de Chebyshev de 3° ordem com OTAs totalmente diferenciais.....	146
Figura 5.2: Filtro G_m -C passa-baixas com aproximação de Chebyshev de 3° ordem, totalmente diferencial, montado no <i>Cadence</i> , com blocos de circuito auto polarização, compensação de g_m e controle de modo comum (CMFB).	147
Figura 5.3: Resposta em frequência do filtro, variando frequência e temperatura, nesta ordem, nos intervalos $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ e $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	148
Figura 5.4: Resposta em frequência do filtro na banda passante, variando frequência e temperatura, nesta ordem, nos intervalos $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ e $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$	148
Figura 5.5: Resposta em frequência do filtro na banda passante variando frequência no intervalo $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$	149
Figura 5.6: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência do filtro na temperatura $T = -50 \text{ }^\circ\text{C}$	150
Figura 5.7: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência na banda passante do filtro na temperatura $T = -50 \text{ }^\circ\text{C}$	151
Figura 5.8: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência do filtro na temperatura $T = 27 \text{ }^\circ\text{C}$	151

Figura 5.9: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência na banda passante do filtro na temperatura $T = 27\text{ }^{\circ}\text{C}$	152
Figura 5.10: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência do filtro na temperatura $T = 175\text{ }^{\circ}\text{C}$	152
Figura 5.11: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (<i>mismatch</i>) da resposta em frequência na banda passante do filtro na temperatura $T = 175\text{ }^{\circ}\text{C}$	153
Figura 5.12: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	154
Figura 5.13: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$ e frequência de 1 kHz nas temperaturas = $-50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$	154
Figura 5.14: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$	155
Figura 5.15: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$ e frequência de 1 kHz nas temperaturas = $-50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$	155

Lista de Tabelas

Tabela 2.1: Valores dos coeficientes térmicos no MOSFET <i>nel</i> (canal N) da XFAB, presentes nas equações (2.41) e (2.51).	33
Tabela 2.2: Valores dos coeficientes térmicos no MOSFET <i>pel</i> (canal P) da XFAB, presentes nas equações (2.41) e (2.52).	34
Tabela 2.3: Variáveis da condição ZTC para os modelos quadrático e EKV do MOSFET.	35
Tabela 3.1: Dimensionamento dos transistores do par diferencial.	67
Tabela 3.2: Dimensionamento dos componentes do circuito multiplicador de β da Figura 3.9.	71
Tabela 3.3: Correntes de polarização DC do circuito da Figura 3.9, nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$	72
Tabela 3.4: Ajuste de dimensionamento ótimo para os MOSFETs M_{13} , M_{14} e M_{15}	84
Tabela 3.5: Ajustes finais de projeto do espelho de corrente em <i>cascode</i> superior.	89
Tabela 3.6: Condições realizadas no circuito de teste montado no <i>Cadence</i> , a fim de validar os ajustes de dimensionamento dos MOSFETs e da tensão de polarização V_{bn} do <i>cascode</i> inferior.	91
Tabela 3.7: Ajustes finais de projeto do espelho de corrente em <i>cascode</i> inferior.	95
Tabela 3.8: Dimensionamento dos componentes do circuito de auto polarização indicado na Figura 3.40.	97
Tabela 3.9: Dimensionamento de M_{48} , M_{49} , R_3 e R_4 no circuito de auto polarização modificado da Figura 3.48.	103
Tabela 3.10: Dimensionamento dos MOSFETs do circuito CMFB indicado na Figura 3.51 e suas respectivas equivalências de dimensionamento de acordo com Figura 2.24 (Seção 2.8).	105

Tabela 3.11: Dimensionamento dos MOSFETs que constituem os pares diferenciais nos circuitos otimizados do OTA (Figura 3.63) e de controle de modo comum (CMFB) (Figura 3.64).	115
Tabela 3.12: Dimensionamento dos MOSFETs do OTA e circuito CMFB otimizados com par diferencial simples usando a razão de otimização de valor 4,6.	116
Tabela 3.13: Dimensionamento dos MOSFETs do OTA e circuito CMFB otimizados com par diferencial simples.	116
Tabela 4.1: Valores substituídos na equação (4.1) do cálculo de $CT_{\text{Efeitoivo}}$	126
Tabela 4.2: Resumo dos dados estatísticos apresentados nos histogramas da Figura 4.20, Figura 4.21 e Figura 4.22.	137
Tabela 4.3: Resumo dos dados estatísticos apresentados nos histogramas da Figura 4.24, Figura 4.25 e Figura 4.26.	140
Tabela 5.1: Dimensionamento dos capacitores do filtro $G_m - C$ passa-baixas com aproximação de <i>Chebyshev</i> de 3° ordem totalmente diferencial.	145
Tabela 6.1: Comparação do OTA proposto com outros circuitos de g_m constante com as indicações (€) (<i>chip</i> fabricado), (£) (<i>layout</i>) e (ψ) (sem <i>layout</i>).	156

Capítulo 1

Introdução

A definição de *smart cities* evoluiu para significar muitas coisas para muitas pessoas. No entanto, ser inteligente sempre significou usar informações em tempo real para enfrentar desafios urbanos. De fato, uma *smart city* é a personificação da *internet das coisas* (IoT), onde objetos distribuídos coletam, processam e enviam dados [1]. A inteligência surge da combinação de dados em informações mais úteis. As “coisas” são itens físicos, como sensores, dispositivos de consumo ou equipamentos industriais, todos conectados à *internet* e uns aos outros.

Um dos dispositivos mais comuns habilitados para IoT em um ambiente urbano são veículos. Sendo carros, ônibus ou caminhões; veículos inteligentes devem ser capazes de detectar e se comunicar eficientemente com veículos próximos, como também atuar de forma ativa para proporcionar segurança aos condutores e passageiros. No entanto, a indústria automotiva é regulada por um grande número de padrões de segurança e proteção. A operação confiável e robusta do dispositivo deve ser garantida para ambientes agressivos [2]. De fato, a faixa de temperatura operacional de -50 a 175 °C é sem dúvida o desafio ambiental mais difícil para a eletrônica na indústria automotiva [3]. Assim, para atender ao desafio das *smart cities*, os veículos inteligentes devem integrar componentes eletrônicos de alto desempenho em uma ampla faixa de temperatura.

Para a detecção inteligente de veículos, a interface analógica para digital é um desafio. Os conversores analógico-digitais (ADCs) devem permanecer confiáveis, mesmo sob variações de temperatura. Uma das arquiteturas mais comuns é o ADC sigma-delta, que se baseia na formatação de ruído para alcançar um alto número de *bits* significativos. Essa formatação de ruído é realizada através da sobreamostragem do sinal e por filtros passa-baixas, seja em tempo contínuo (CT) ou em domínio de tempo discreto (DT). Nos filtros CT (*Continuous Time*), os coeficientes são determinados pela razão da transcondutância de amplificadores operacionais de transcondutância (OTAs) e capacitores, que são sensíveis à variabilidade do processo de fabricação e às variações de temperatura. Pequenas variações nos coeficientes podem levar a falhas na

conformação de ruído; e, portanto, o desempenho do ADC pode ser drasticamente reduzido [4].

Em [5]-[12] foram projetados circuitos de transcondutância g_m insensíveis à temperatura T , nos quais [5], [6] e [12] utilizaram OTAs com par diferencial simples, que conforme apresentado no capítulo de simulações desta dissertação, oferece alto valor de distorção harmônica (THD), comparado a outras topologias de par diferencial. Neste trabalho foi proposto um OTA na tecnologia de fabricação CMOS de $0,18 \mu\text{m}$, com par diferencial de entrada em topologia com dois pares assimétricos, oferecendo um baixo valor de distorção harmônica (THD). Também foi obtida neste projeto uma maior faixa de insensibilidade à temperatura, compreendida no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$ com variação de $53,3 \text{ ppm}/^\circ\text{C}$ na transcondutância g_m .

1.1 Objetivo

O objetivo do trabalho é analisar, projetar e caracterizar experimentalmente um OTA em uma ampla faixa de temperatura, visando à aplicação em um filtro limitador de banda, contínuo no tempo, de um conversor ADC confiável. Novas metodologias de projeto foram aplicadas para levar em consideração a variação de temperatura nos estágios iniciais do projeto do OTA. A tecnologia CMOS utilizada foi XH018 de $0,18 \mu\text{m}$ do fabricante XFAB, que tem aplicação adequada a projetos de circuitos integrados para os automóveis da nova geração, com componentes caracterizados dentro da faixa de temperatura de -50 a $175 \text{ }^\circ\text{C}$. A biblioteca XH018 foi utilizada no *software* para projetos de circuitos integrados *cadence virtuoso*. Um filtro OTA-C foi desenvolvido, e suas características avaliadas sob o efeito da variação da temperatura de operação.

1.2 Estrutura do Texto

O texto está dividido de maneira que o capítulo 2 apresenta os conceitos básicos da influência da temperatura sobre os dispositivos eletrônicos MOSFET's (*Metal-Oxide Semiconductor Field-Effect Transistors*). Foram feitas breves revisões de modelos analíticos do MOSFET, tipos de pares diferenciais e os tipos de OTA reportados na

literatura. Ademais, foram apresentadas com maiores detalhes a condição ZTC (*Zero Temperature Coefficient*) e a fundamentação teórica para dimensionamento dos circuitos usados neste trabalho (amplificador diferencial de entrada, espelhos de corrente *folded cascode*, circuito de compensação de g_m , circuito de auto polarização e circuito de controle de modo comum CMFB).

A metodologia utilizada neste trabalho com os procedimentos, circuitos de teste, simulações e ajustes de dimensionamento finais são apresentados no capítulo 3. No capítulo 4 são mostrados resultados de simulação de desempenho do OTA proposto e do OTA otimizado, com par diferencial simples, e comparação na medição de distorção harmônica (THD). O capítulo 5 descreve o projeto de um filtro contínuo no tempo, passa-baixas de 3º ordem *Chebyshev*, usando o OTA proposto nesta dissertação. Ademais, neste capítulo são feitas simulações de desempenho do filtro com variação da temperatura. Por fim, no capítulo 6 é feita comparação do OTA proposto com outros trabalhos, e também são apresentadas conclusões do projeto e propostas de trabalhos futuros.

Capítulo 2

Fundamentação Teórica

2.1 Efeitos da Temperatura em Dispositivos Eletrônicos MOSFETs

Nas últimas décadas os circuitos integrados têm sido fabricados usando-se a tecnologia CMOS devido ao baixo consumo de energia, melhor margem de ruído e fabricação barata em comparação com outras tecnologias. Com a redução do tamanho das tecnologias de fabricação CMOS, o consumo de energia diminuiu e a velocidade de processamento aumentou. Em contrapartida, os circuitos eletrônicos MOSFETs ficaram susceptíveis a uma maior sensibilidade às variações de temperatura [13].

O controle da temperatura tornou-se algo importante a ser considerado no desenvolvimento de processadores modernos e outros circuitos integrados na área de microeletrônica, principalmente nas aplicações em circuitos analógicos. A quantidade de dispositivos integrados está aumentando mais rápido do que a diminuição da densidade de energia nos *chips* atuais. Com isso, o uso de dispositivos de resfriamento tornou-se necessário para manter os circuitos eletrônicos no ponto de operação adequado, pois a mobilidade dos portadores majoritários na tecnologia CMOS é inversamente proporcional à temperatura, ou seja, com o aumento da temperatura os *chips* ficam mais lentos quanto à velocidade de processamento [14]. Aparatos para refrigeração forçada encarecem o projeto dos circuitos, aumenta o consumo de energia e o tamanho. Desta forma, tornar os circuitos insensíveis às variações de temperatura é extremamente vantajoso.

Ademais, a influência da temperatura sobre as correntes de fuga dos dispositivos CMOS é grande, pois essas correntes são diretamente proporcionais às variações térmicas. Isto implica na formação de pontos quentes mesmo em blocos de circuitos inativos na pastilha de silício sob altas temperaturas. Além disso, a resistividade dos metais de interligação das camadas de silício também aumenta, causando aquecimento

nas trilhas de metal do CI (*Circuito Integrado*), contribuindo para a ocorrência do fenômeno de eletromigração, responsável pelo rompimento das linhas de metal do circuito existente no *chip* [15].

Há dois tipos principais de variação de temperatura que podem afetar os parâmetros de desempenho dos circuitos eletrônicos MOSFETs: variações de temperatura globais e locais. As variações da temperatura do ambiente externo onde o circuito eletrônico está instalado e também da capacidade de refrigeração do sistema causam variações de temperatura globais. Internamente às pastilhas de silício, a existência de blocos de circuito ativos e inativos contribui para o aparecimento de pontos quentes no circuito integrado, que são tratados como variações locais de temperatura [16].

A Figura 2.1 (a) mostra os principais elementos de um computador pessoal (PC) e uma solução típica de resfriamento do sistema. Ainda, na Figura 2.1 (b) são mostrados os componentes típicos de encapsulamento e dissipação térmica dos processadores modernos. Além da transferência térmica realizada através dos ventiladores instalados no gabinete, que puxam o ar ambiente para dentro do sistema e o redirecionam até as saídas de ar, há mais dois caminhos de transferência térmica: primário e secundário. O caminho primário tem início na pastilha de silício e termina no dissipador térmico e é responsável por 90% da transferência de calor do circuito integrado, enquanto no caminho secundário, parte-se das camadas de conexão, finalizando na placa de circuito impresso (PCB) [14].

O ambiente externo, os ventiladores e o gabinete são elementos relacionados com as variações de temperatura globais do sistema. Ademais, PCB, memórias de acesso aleatório (RAM) e processador constituem os elementos relacionados com as variações de temperatura locais.

A fim de levantar modelos térmicos para auxiliar no projeto de novas arquiteturas de *chips*, é importante levar em consideração os caminhos primário e secundário de transferência térmica, para ter informação da distribuição das temperaturas ao longo do encapsulamento do circuito integrado [17].

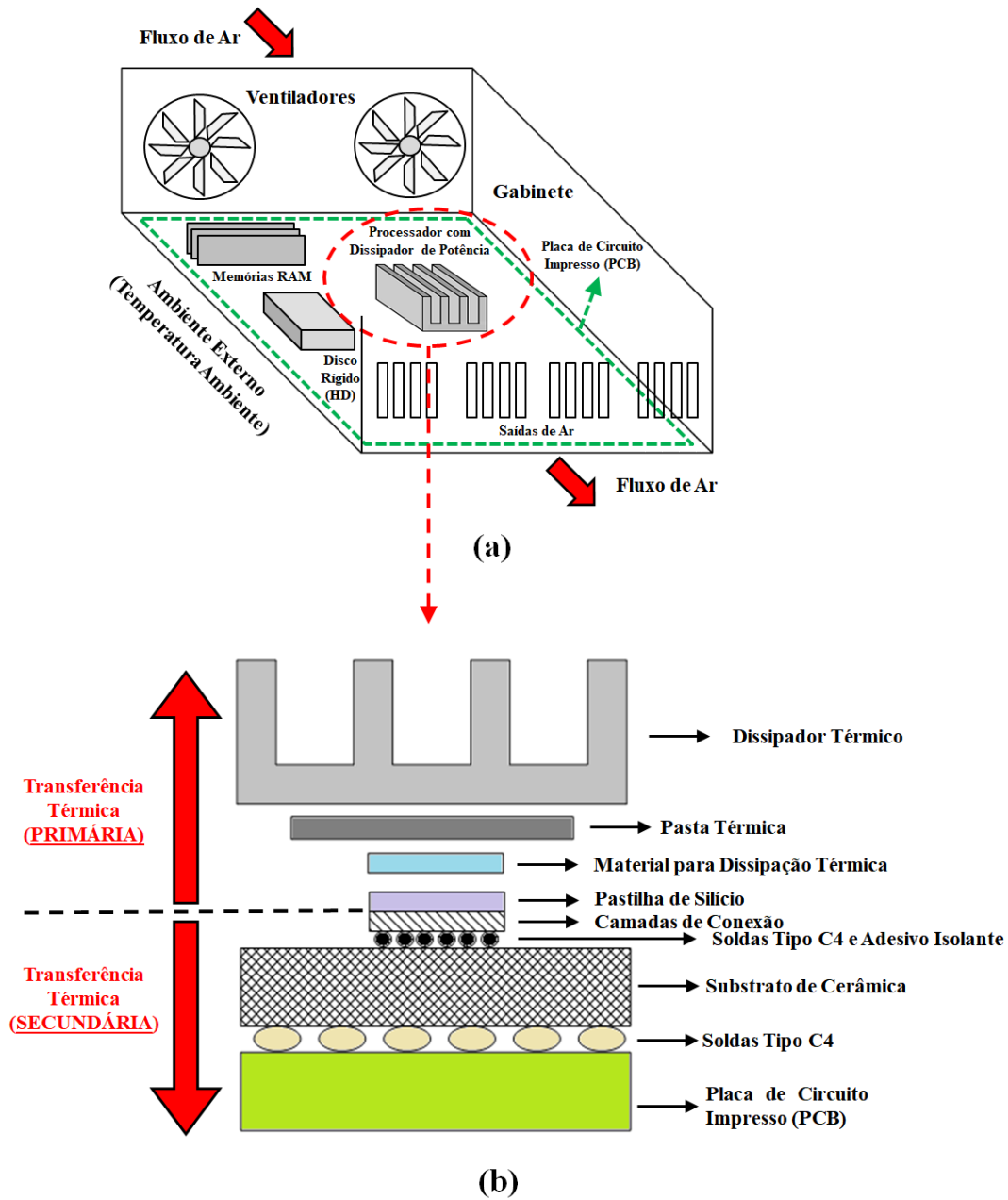


Figura 2.1: Principais elementos de um computador pessoal (PC) (a) solução típica de refrigeração do sistema (b) componentes típicos de encapsulamento e dissipação térmica dos processadores modernos.

Há uma semelhança entre transferência de calor e os fenômenos elétricos. O fluxo de calor pode ser comparado a uma corrente elétrica percorrendo um resistor térmico (R), gerando uma diferença de temperatura, que seria o equivalente à tensão elétrica. Uma capacitância térmica (C) também é necessária para modelar o comportamento transitório, a fim de obter o tempo necessário para que uma determinada massa mude de temperatura e permaneça num estado estacionário térmico. Os valores de (R) e (C) podem ser computados para representar o fluxo de calor de cada região do *chip*, e quando ligados em associação série, formam constantes de tempo RC térmicas exponenciais de subida ou descida, semelhantes à constante de tempo RC da teoria de circuitos elétricos, pelo fato de que a corrente elétrica e o fluxo de calor são descritos pelas mesmas equações diferenciais para uma diferença de potencial. Esses circuitos equivalentes RC são chamados de modelos compactos dinâmicos [18].

Na Figura 2.2 é mostrado um exemplo de circuito equivalente RC do modelo compacto dinâmico térmico de um processador. Conforme Figura 2.2 (b), o roteiro de transferência térmica primária consiste de três camadas condutivas verticais (pastilha de silício, pasta térmica e dissipador térmico) e uma quarta camada convectiva vertical que constitui a interface dissipador-ar ambiente. A pastilha de silício está dividida em dois blocos que correspondem aos blocos de circuitos MOSFETs. Foram apenas escolhidos dois blocos para haver simplicidade no entendimento do modelo, mas pode haver *chips* com vinte ou mais blocos de circuitos presentes na pastilha de silício. A camada da pasta térmica está dividida em cinco circuitos equivalentes RC , sendo quatro presentes na área descoberta e um na área coberta, representado pela resistência térmica $R_{\text{Pasta Térmica (Área Coberta)}}$. De maneira análoga, a camada que corresponde ao dissipador térmico também está dividida da mesma forma. Finalmente, a transferência de calor por convecção do encapsulamento do *chip* para o ar do ambiente externo é representada pelo resistor térmico $R_{\text{Convecção}}$. Na Figura 2.2 (a), é apresentado também o modelo RC térmico do roteiro de transferência térmica secundária, que se dispõe de forma similar ao primário. No modelo RC térmico há resistores térmicos verticais e horizontais nas superfícies dos materiais do encapsulamento, além de capacitâncias térmicas.

A Figura 2.1 e Figura 2.2 foram inspiradas em [14], [15] e [18].

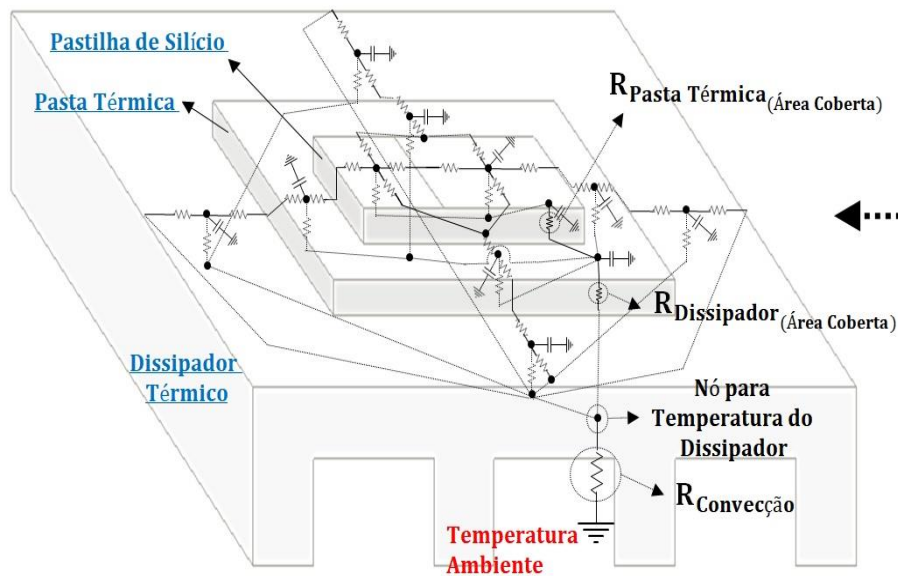
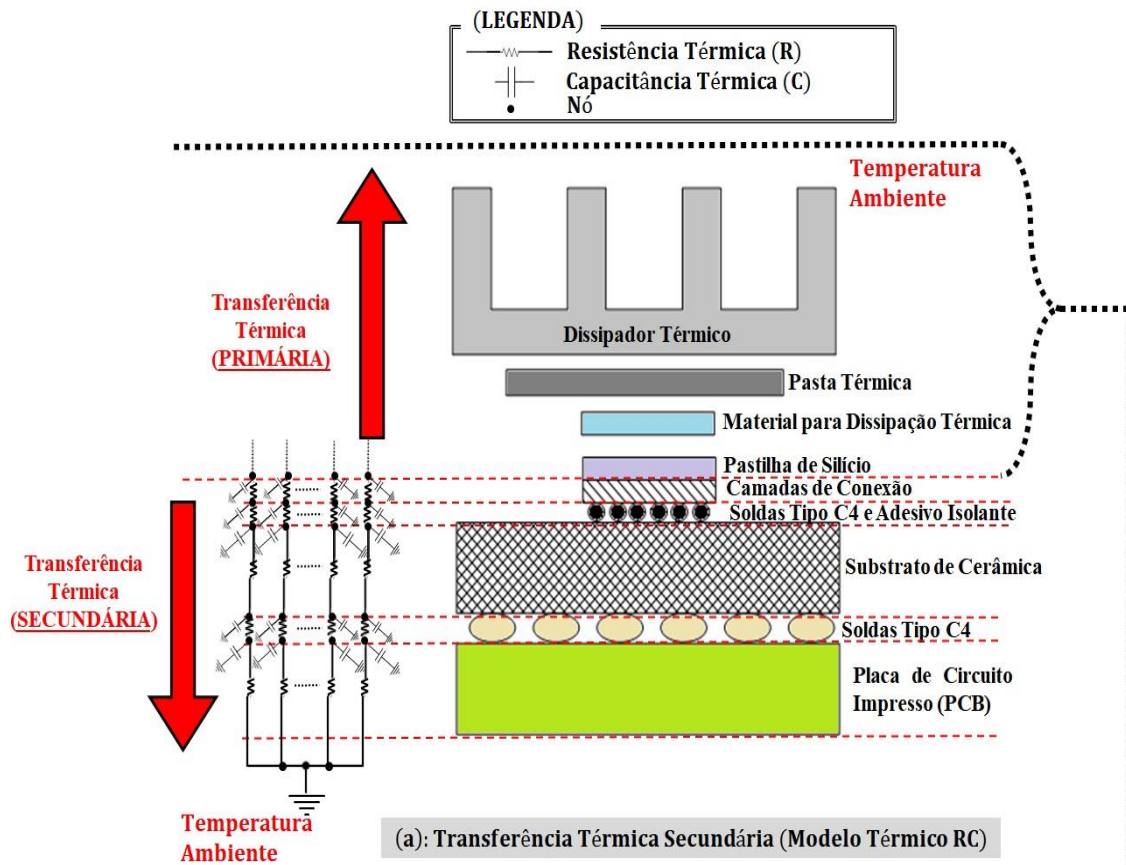


Figura 2.2: Circuito equivalente do modelo RC térmico aplicado no *chip* com resistências térmicas verticais, horizontais e capacitâncias térmicas (a) equivalente RC do roteiro de transferência térmica secundária (b) equivalente RC do roteiro de transferência térmica primária.

Conforme [15], a dissipação de calor em cada bloco do modelo *RC* presente na Figura 2.2 é modelada como uma fonte de corrente conectada ao nó correspondente e a solução deste circuito *RC* térmico fornece como resultado a temperatura de cada nó. As resistências térmicas verticais são calculadas por:

$$R_{Vertical} = \frac{t}{K \cdot A}, \quad (2.1)$$

onde t é a espessura do material, K condutividade térmica do material e A a área da Seção transversal através da qual o calor está sendo transferido. Ademais, as capacitâncias térmicas são definidas por:

$$C_{Térmicas} = c \cdot t \cdot A, \quad (2.2)$$

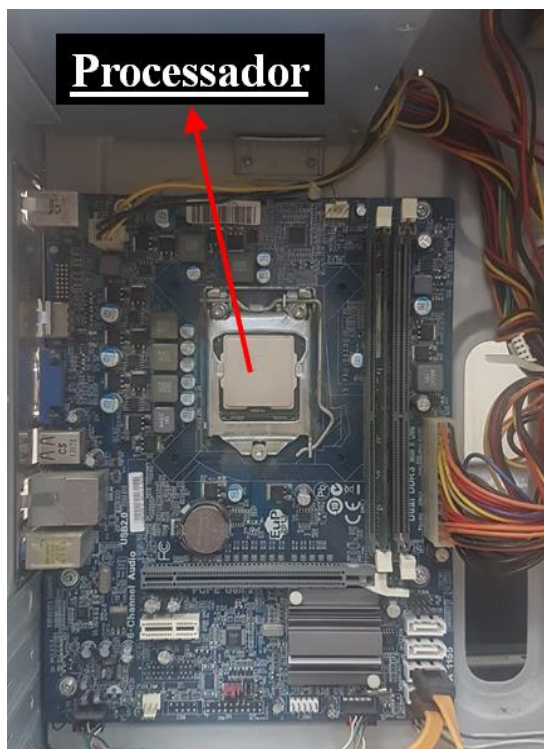
com c sendo a capacitância térmica do material por unidade de volume, t a espessura do material e A também a mesma área da Seção transversal, onde a energia térmica está alocada. Segundo [18], valor de c para a pastilha de silício é $1,75 \cdot 10^6$ J/m³.

Por fim, conforme [19], as resistências térmicas horizontais são calculadas de acordo com o formato do polígono que descreve a área do ponto quente na superfície do material e são definidas por:

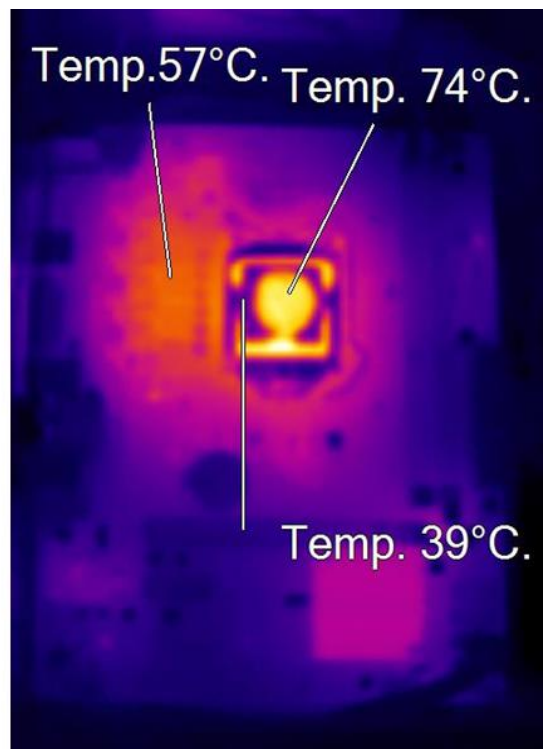
$$R_{Horizontal} = \frac{0,886 \cdot \rho}{(A)^{\frac{1}{2}}}, \quad (2.3)$$

onde ρ é a resistividade térmica do material e A a área do polígono que descreve o ponto quente.

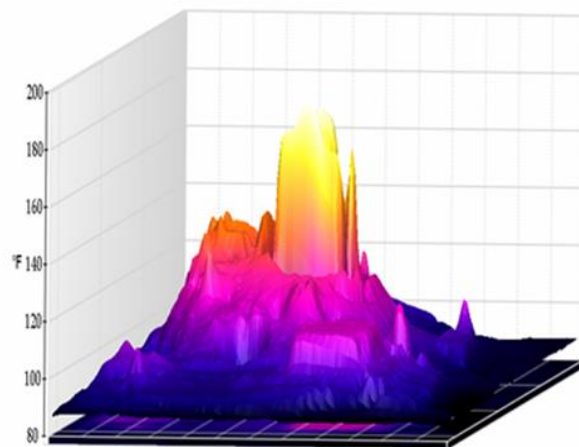
A seguir, Figura 2.3 e Figura 2.4 mostram fotos digitais (a) e respectivas imagens termográficas (b) de uma placa CPU (*Central Processing Unit*) de um computador em funcionamento. As fotos foram tiradas pelo autor da dissertação usando uma câmera termográfica com ajuste de emissividade em $\varepsilon = 0,95$. Gráficos 3D (c) com amplitudes das temperaturas de cada bloco de circuito também são apresentados.



(a)

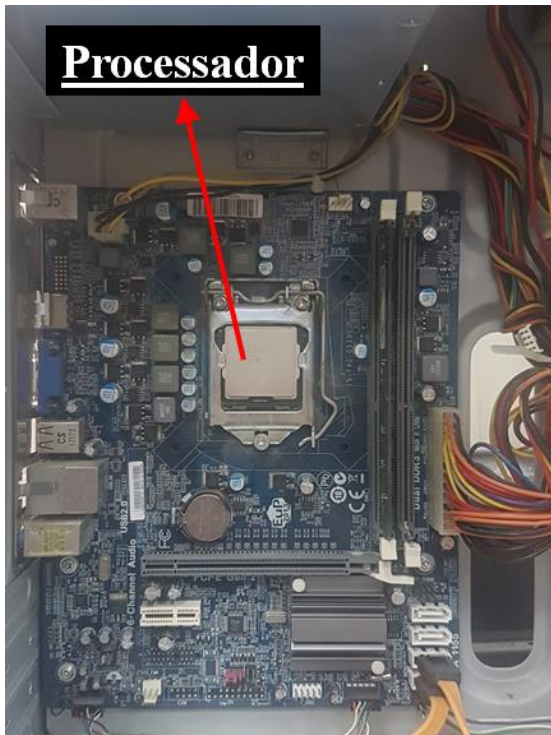


(b)

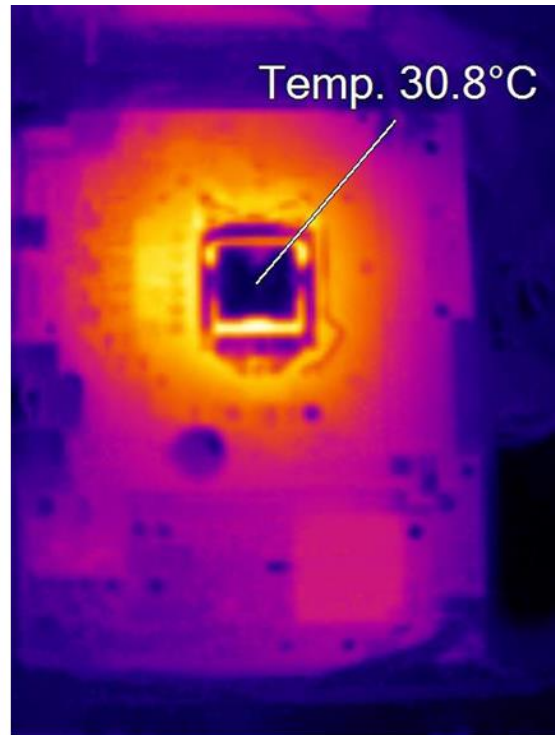


(c)

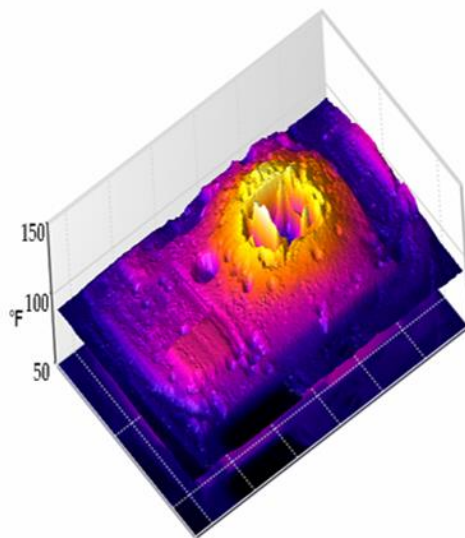
Figura 2.3: Placa CPU com processador em funcionamento com os blocos de circuito ativados na pastilha de silício (a) foto digital (b) imagem termográfica (c) gráfico 3D de temperatura da imagem termográfica.



(a)



(b)



(c)

Figura 2.4: Placa CPU com processador em funcionamento com os blocos de circuito desativados na pastilha de silício (a) foto digital (b) imagem termográfica (c) gráfico 3D de temperatura da imagem termográfica.

Nota-se que na Figura 2.3 (b) há pontos quentes (*hot spots*) existentes na pastilha de silício, que são definidos pelas cores mais claras da imagem termográfica, ou seja, quanto maior a temperatura mais clara será a cor. No processador e na placa CPU, há circuitos ativados com a cor amarela nas temperaturas de 74 °C e 57 °C respectivamente. Ademais, há circuitos aparentemente desativados em roxo com a temperatura de 39 °C.

Na Figura 2.4 (b) o processador está com circuitos desativados na cor roxa com a temperatura de 30,8 °C.

2.2 Modelos Quadrático e Exponencial (*Sub-threshold*) do MOSFET

O transistor MOSFET é um componente eletrônico de quatro terminais que marcou o desenvolvimento tecnológico da microeletrônica na década de 1970. Há muitos modelos que emulam suas características e comportamentos físicos. Como exemplos há os modelos UICM [20], EKV [21], BSIM [22], quadrático [23] e exponencial (*sub-threshold*) [23]. Os mais utilizados em cálculos de análise e de projeto feitos à mão são os modelos quadrático e o exponencial. Um entendimento da física do MOSFET é importante para entender as equações destes dois modelos. As deduções das equações são baseadas no transistor de canal N. Entretanto, para o transistor de canal P, os procedimentos são os mesmos.

O transistor de canal N é feito sobre um substrato de silício tipo P, onde estão presentes duas difusões tipo N que correspondem aos terminais de fonte (S) e dreno (D). Entre essas difusões há uma camada fina de óxido de silício, coberta por silício policristalino de alta condutividade, que constitui o terminal porta (G) conforme mostra a Figura 2.5. Os terminais do transistor são indicados pelas letras S (fonte), D (dreno), G (porta) e B (corpo). Um canal que define o tipo do transistor, seja tipo N ou P, é formado abaixo da camada de óxido da porta como um retângulo de largura W e com comprimento L [23]. A Figura 2.6 mostra os símbolos do MOSFET.

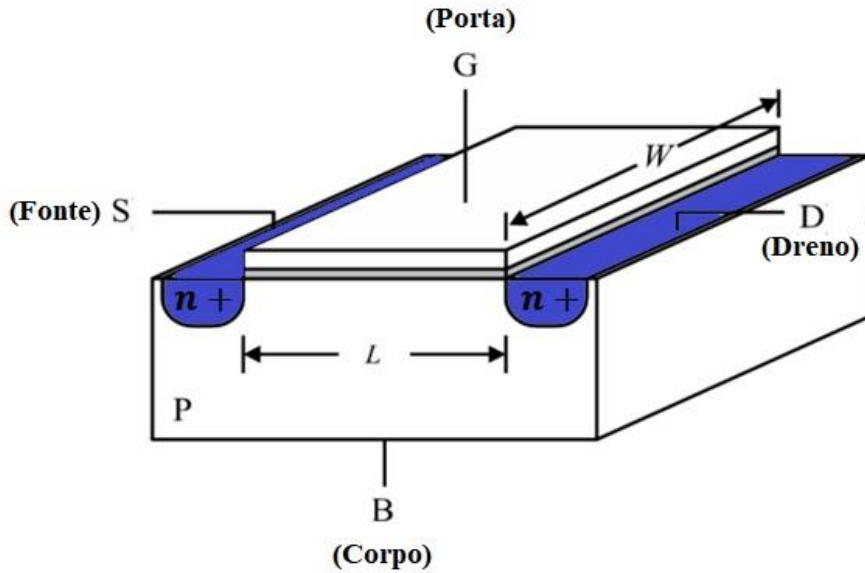


Figura 2.5: Transistor MOSFET de canal N.

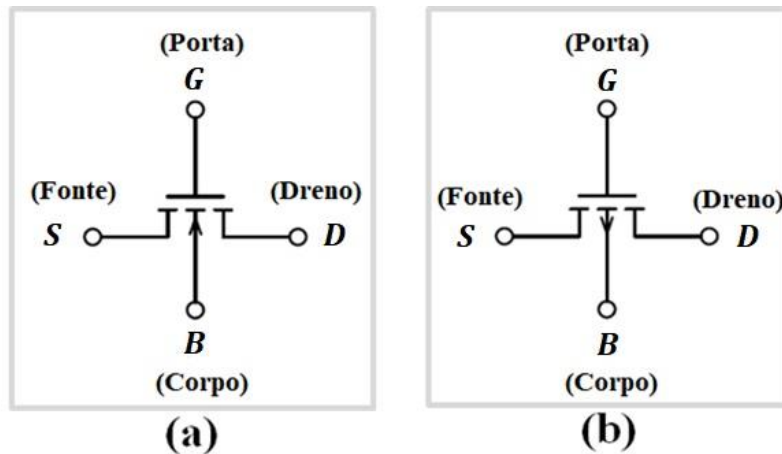


Figura 2.6: Símbolos do transistor MOSFET (a) canal N (b) canal P.

O transistor pode operar em três regiões de trabalho distintas: corte, ôhmica ou triodo, e saturação. Na região de corte o componente está desligado e a corrente elétrica de dreno para fonte (I_{DS}) é nula. Conforme a Figura 2.7, na região de triodo, a relação entre I_{DS} e a tensão de dreno para fonte (V_{DS}) é aproximadamente linear e na região de saturação, o MOSFET funciona como uma fonte de corrente dependente da tensão entre porta e fonte (V_{GS}) e quase independente de (V_{DS}) [24].

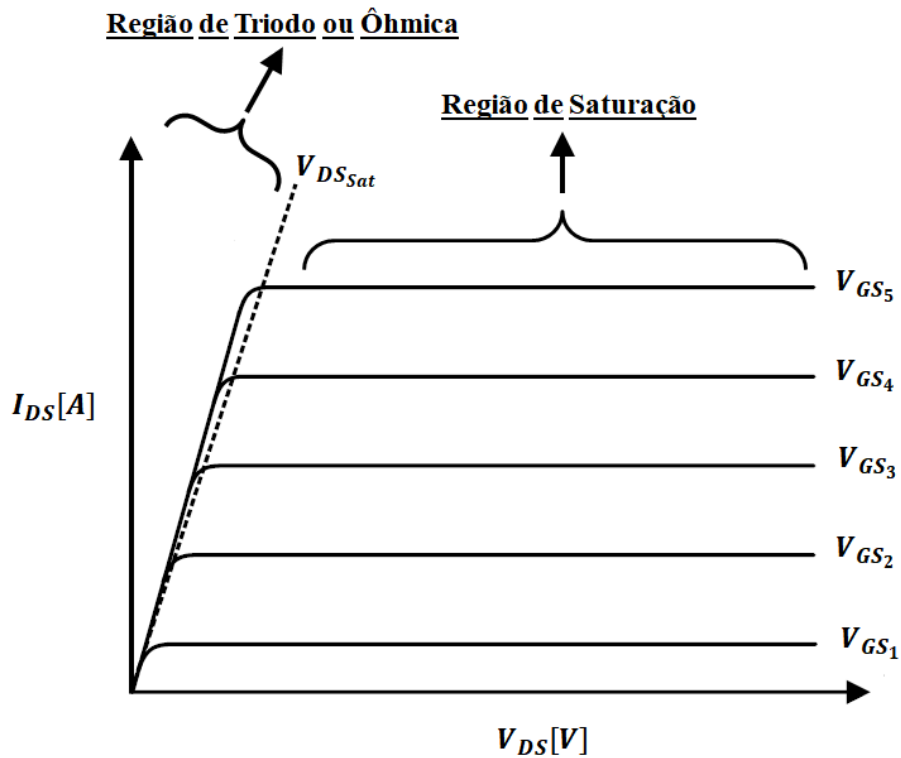


Figura 2.7: Gráfico $(I_{DS}) \times (V_{DS})$ das regiões de triodo e saturação.

Na Figura 2.8, o leitor pode ver um esquema de polarização (*bias*) do transistor. Se $V_{GS} < 0$, o componente é desligado. Todavia, nesta polarização é aplicada uma pequena tensão positiva V_{GS} , formando uma região de depleção abaixo do terminal de porta. Para uma tensão V_{GS} muito pequena, ainda não há formação do canal, porém, a corrente I_{DS} não é nula, porque os elétrons se movem pelo fenômeno da corrente elétrica de difusão, da fonte para o dreno devido à diferença na concentração de carga criada pela polarização V_{DS} . O canal estará completamente formado apenas quando V_{GS} for maior que a tensão limiar ou *threshold* (V_{TH}). No modo de operação *sub-threshold*, também chamado de inversão fraca (WI), o canal entre dreno e fonte não é totalmente formado [25].

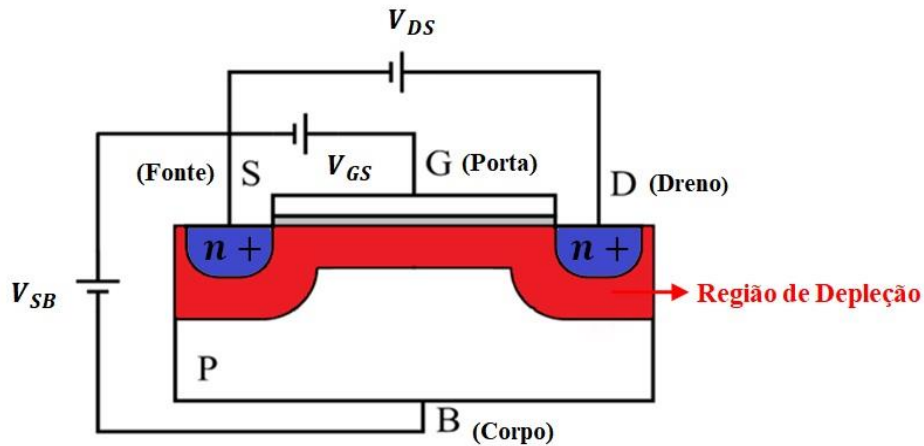


Figura 2.8: Esquema de polarização (*bias*) do MOSFET canal N.

Ademais, conforme Figura 2.9, se $V_{GS} > V_{TH}$, o canal é completamente formado abaixo do terminal de porta, no substrato tipo P, tendo-se o modo de operação inversão forte (SI). Entre os modos de operação de inversão fraca e inversão forte, há um intermediário chamado de inversão moderada (MI), no qual o canal de condução do transistor não está completamente formado e requer um modelo matemático complexo. Com o canal de condução totalmente formado, há circulação de corrente elétrica I_{DS} , composta majoritariamente por uma parcela de corrente de deriva, induzida pelo campo elétrico proveniente da tensão de polarização V_{DS} , e por uma parcela desprezível de corrente de difusão [24].

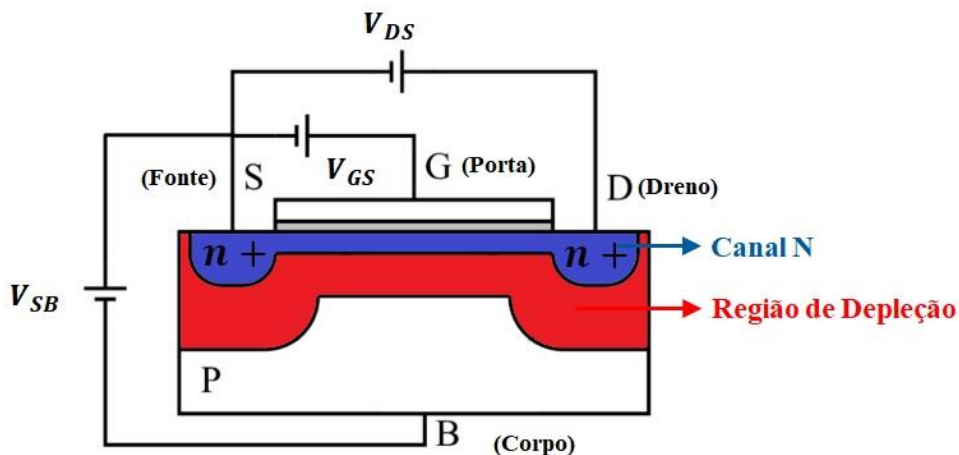


Figura 2.9: Canal N de condução formado no transistor MOSFET.

Contanto que $V_{DS} \ll V_{GS} - V_{TH}$ em inversão forte, a corrente I_{DS} será proporcional à tensão V_{DS} de forma linear, seguindo a lei de Ohm, caracterizando a região de trabalho triodo. À medida que V_{DS} vai aumentando, a região de depleção torna-se grande o suficiente ao ponto de “estrangular” o canal de condução nas extremidades da região do dreno. A tensão V_{DS} neste momento é chamada de V_{DS} de saturação ($V_{DS_{sat}}$). Na Figura 2.10 é mostrado esse efeito de estrangulamento (*pinch-off effect*) do canal. Conforme mencionado anteriormente, é através do efeito de *pinch-off* que o transistor passa a se comportar como uma fonte de corrente dependente apenas de V_{GS} e praticamente independente de V_{DS} . A partir daí, I_{DS} não incrementa seu valor com o acréscimo de V_{DS} e permanece num valor constante na região de trabalho saturação [23]. Um efeito de segunda ordem que afeta a corrente na região de saturação é a modulação do comprimento de canal, que ocorre devido ao deslocamento do ponto *pinch-off* devido à tensão V_{DS} , e contribui para o aumento da corrente I_{DS} com V_{DS} . Este efeito é inversamente proporcional ao comprimento de canal L , mas assume-se uma abordagem simplificada para este fenômeno, representando-o por uma constante λ .

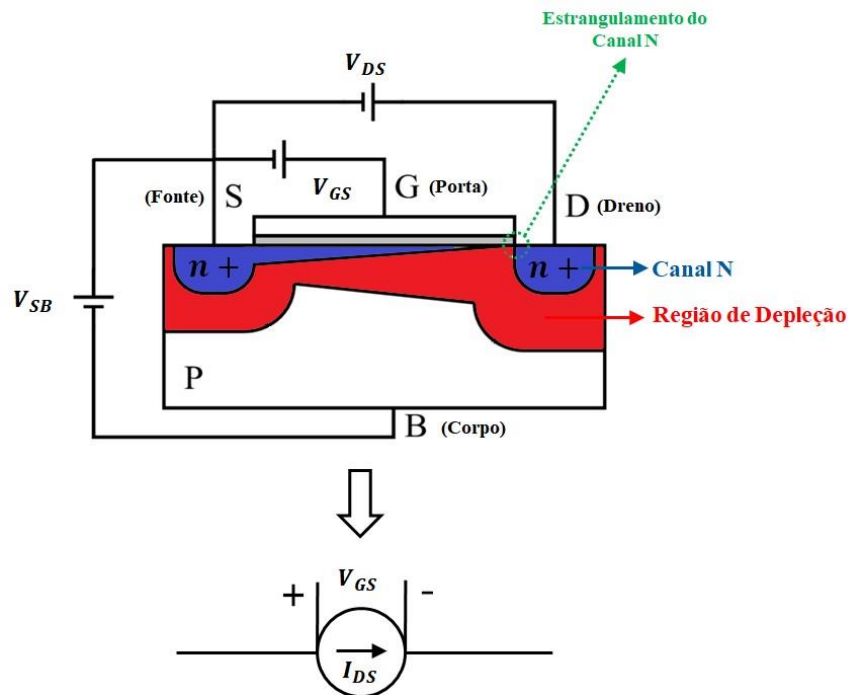


Figura 2.10: Transistor MOSFET na região de trabalho saturação como fonte de corrente constante dependente de V_{GS} .

É importante diferenciar os termos “regiões de trabalho” e “modos de operação”. Conforme mencionando nos parágrafos anteriores, como regiões de trabalho temos corte, triodo ou ôhmica, e saturação e para os modos de operação temos WI, MI e SI. As regiões de trabalho são pertinentes à relação de I_{DS} com V_{DS} e o efeito *pinch-off* do canal, enquanto os modos de operação são relativos a quanto o canal está completamente formado em função da tensão V_{GS} . É possível existir as regiões de triodo e saturação em inversão fraca. Entretanto, uma vez que o V_{GS} necessário para o modo de operação WI é muito pequeno, a V_{DS} necessária para manter o transistor na região de triodo é inviável [23]-[25].

2.2.1 Equações do Modelo Quadrático

No modo de operação SI na região de triodo [23] e [25], a corrente I_{DS} é expressa como uma função das tensões V_{GS} e V_{DS} por:

$$I_{DS} = \frac{k_p \cdot W}{L \cdot [1 + \theta \cdot (V_{GS} - V_{TH})]} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{\alpha}{2} \cdot (V_{DS})^2 \right], \quad (2.4)$$

e em saturação por meio de:

$$I_{DS} = \frac{k_p \cdot W}{2 \cdot \alpha \cdot L \cdot [1 + \theta \cdot (V_{GS} - V_{TH})]} \cdot (V_{GS} - V_{TH})^2 \cdot (1 + \lambda \cdot V_{DS}). \quad (2.5)$$

A equação (2.5) é originada substituindo $V_{DS} = V_{DSsat} = V_{GS} - V_{TH}$ em (2.4), e incorpora o efeito de modulação do comprimento de canal, representado pelo parâmetro λ . O parâmetro α é representado por n no modelo EKV. No modelo EKV, n é utilizado para levar em consideração o efeito da tensão entre fonte e substrato V_{SB} na corrente I_{DS} [21]. Nas equações (2.4) e (2.5), θ é um parâmetro de degradação da mobilidade dos portadores majoritários que depende do processo de fabricação do transistor. Outros parâmetros presentes são definidos por [25]-[26]:

$$k_p = \mu \cdot C_{OX}, \quad (2.6)$$

$$V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{\phi_0 + V_{SB}} - \sqrt{\phi_0}), \quad (2.7)$$

$$\alpha = 1 + \frac{\gamma}{2 \cdot \sqrt{\phi_0 + V_{SB}}} \quad (2.8)$$

e

$$V_{DS_{Sat}} = \frac{V_{GS} - V_{TH}}{\alpha} . \quad (2.9)$$

Em (2.6), k_p é o parâmetro de transcondutância intrínseca e está em função de μ , referente à mobilidade dos portadores livres (elétrons para transistor canal N e buracos para o de canal P), e C_{OX} , a capacitância do óxido do *gate* por unidade de área. Na equação (2.7) a tensão limiar (V_{TH}) é encontrada através de V_{TH_0} , que é tensão de *threshold* quando o sinal de polarização $V_{SB} = 0$, do parâmetro de efeito de corpo (*body effect*) γ e do potencial de inversão de superfície “*potencial de Fermi*” ϕ_0 . Por meio de (2.8) é calculado o parâmetro α e por último através de (2.9) é encontrada $V_{DS_{Sat}}$ [22].

Ademais em (2.4) e (2.5), a parcela $\left(k_p \cdot \frac{W}{L}\right)$ é conhecida como β [25].

Os parâmetros de pequenos sinais mais usados para as aplicações são os da região de saturação e são deduzidos a partir da equação (2.5). Estes parâmetros são transcondutância (g_m), transcondutância de corpo ou *bulk* g_{m_b} e condutância de dreno para fonte g_{ds} , que são definidos respectivamente por [24]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \sqrt{\frac{\mu \cdot C_{OX} \cdot W}{\alpha \cdot L}} \cdot I_{DS} , \quad (2.10)$$

$$g_{m_b} = \frac{\partial I_{DS}}{\partial V_{BS}} = \frac{\mu \cdot C_{OX} \cdot W}{2 \cdot \alpha \cdot L} \cdot (\alpha - 1) \quad (2.11)$$

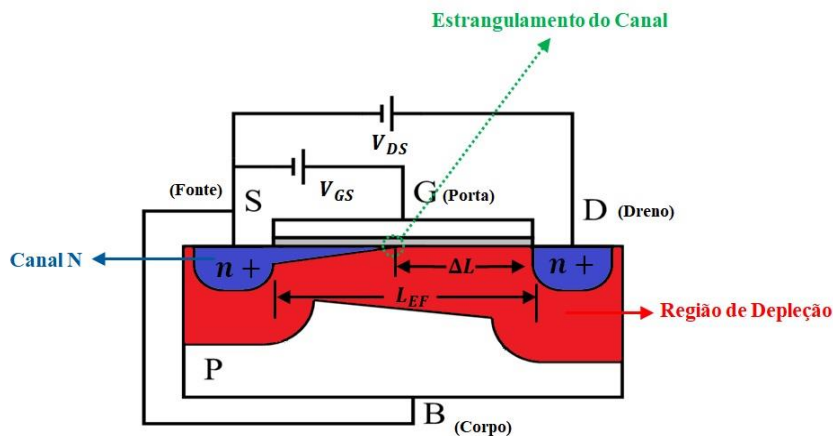
e

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} = \lambda \cdot I_{DS} . \quad (2.12)$$

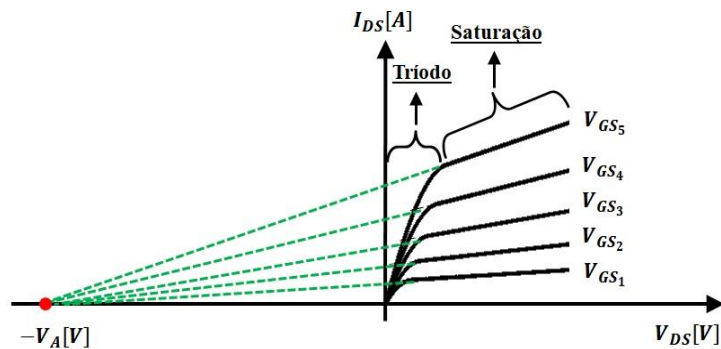
O parâmetro λ está relacionado com o efeito de modulação do canal, sendo definido por:

$$\lambda = \frac{1}{V_A}, \quad (2.13)$$

onde V_A é a tensão de Early. Com aumento de V_{DS} a partir da ocorrência do fenômeno de *pinch-off*, o ponto de estrangulamento do canal de condução é deslocado e a corrente I_{DS} na região de saturação começa a variar, conforme mostra a Figura 2.11. L_{EF} é o comprimento efetivo do canal [23].



(a)



(b)

Figura 2.11: (a) Efeito de modulação do canal no transistor MOSFET (b) gráfico de variação de I_{DS} levando em consideração o parâmetro λ .

2.2.2 Equações do Modelo Exponencial (*Sub-threshold*)

A corrente I_{DS} , no modo de operação inversão fraca, nas regiões de trabalho triodo e saturação são calculadas, respectivamente, por [25]:

$$I_{DS} = I_{D_0} \cdot e^{\frac{V_{GS}-V_{TH}}{\alpha \cdot \phi_T}} \cdot \left(1 - e^{\frac{-V_{DS}}{\phi_T}}\right) \quad (2.14)$$

$$I_{DS} = \frac{I_{D_0}}{\phi_T} \cdot e^{\frac{V_{GS}-V_{TH}}{\alpha \cdot \phi_T}} \cdot V_{DS}, \text{ para } V_{DS} \text{ muito pequeno}$$

e

$$I_{DS} = I_{D_0} \cdot e^{\frac{V_{GS}-V_{TH}}{\alpha \cdot \phi_T}} \quad (2.15)$$

Na região de triodo, a tensão V_{DS} é muito pequena, inviabilizando essa região para algumas aplicações [23]. Nas equações (2.14) e (2.15):

$$I_{D_0} = (\phi_T)^2 \cdot k_p \cdot \frac{W}{L_{EF}} \cdot (\alpha - 1) \quad (2.16)$$

$$\alpha = 1 + \frac{\gamma}{2 \cdot \sqrt{2 \cdot \phi_T + V_{SB}}} \quad (2.17)$$

e

$$\phi_T = \frac{k_B \cdot T}{q} \quad (2.18)$$

Em (2.16) e (2.17), ϕ_T é a tensão térmica. Em (2.18) a tensão térmica é dependente da constante de Boltzmann $k_B = 1,38 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$, da carga do elétron $q = 1,6 \cdot 10^{-19} \text{ C}$ e da temperatura T [K], tendo valor à temperatura ambiente $\phi_T \approx 26 \text{ mV}$ [26].

Os parâmetros de pequenos sinais na região de saturação em inversão fraca são definidos por [23]:

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{I_{DS}}{\alpha \cdot \phi_T}, \quad (2.19)$$

$$g_{m_b} = \frac{\partial I_{DS}}{\partial V_{BS}} = \frac{(\alpha - 1)}{\alpha \cdot \phi_T} \cdot I_{DS} \quad (2.20)$$

e

$$g_{ds} = \frac{\partial I_{DS}}{\partial V_{DS}} = \frac{\lambda \cdot I_{DS}}{1 + \lambda \cdot V_{DS}}. \quad (2.21)$$

2.3 Modelo EKV do Transistor MOSFET

O EKV (*Enz-Krummenacher-Vittoz*) é um modelo compacto, totalmente simétrico que abrange todos os modos de operação e regiões de trabalho. As letras da sigla EKV fazem referência aos nomes dos pesquisadores que o implementaram. Neste modelo, a corrente I_{DS} do transistor é formada por duas componentes de mesma direção, [21] e [23], porém sentidos contrários, sendo definida para o MOSFET de canal N por:

$$I_{DS} = I_F - I_R \quad (2.22)$$

e para o de canal P por:

$$I_{SD} = I_F - I_R, \quad (2.23)$$

onde I_F é a corrente direta (*forward current*) e I_R a corrente reversa (*reverse current*). A Figura 2.12 mostra a representação dessas componentes da corrente I_{DS} . As componentes I_F e I_R são sempre positivas e a comparação entre seus valores indicam a região de trabalho que o transistor estará, conforme (2.24) [21].

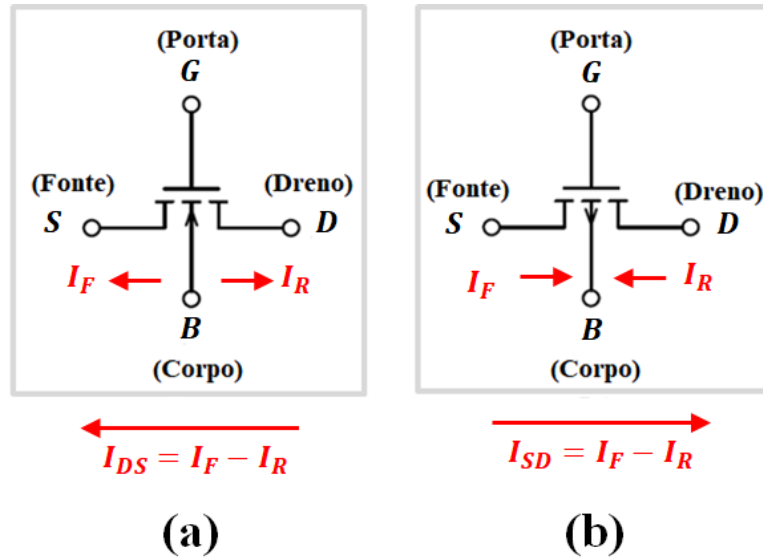


Figura 2.12: Representação das correntes no MOSFET (a) MOSFET canal N (b) MOSFET canal P.

$$\begin{aligned}
 I_F > I_R &\rightarrow \text{Triodo direta} \\
 I_F < I_R &\rightarrow \text{Triodo reversa} \\
 I_F \gg I_R &\rightarrow \text{Saturação direta} \\
 I_F \ll I_R &\rightarrow \text{Saturação reversa}
 \end{aligned} \tag{2.24}$$

As correntes I_F e I_R , [23] e [25], são definidas pela equação implícita:

$$\frac{V_G - V_{TH} - n \cdot V_{S,D}}{n \cdot \phi_T} = \sqrt{1 + 4 \cdot IC_{F,R}} + \ln\left(\sqrt{1 + 4 \cdot IC_{F,R}} - 1\right) - [1 + \ln(2)] , \tag{2.25}$$

onde

$$IC_{F,R} = \frac{I_{F,R}}{I_{ESP}} , \tag{2.26}$$

$$I_{ESP} = 2 \cdot n \cdot \phi_T^2 \cdot k_p \cdot \frac{W}{L} \tag{2.27}$$

e

$$n = 1 + \frac{\gamma}{2 \cdot \sqrt{2} \cdot \phi_F} . \quad (2.28)$$

Em (2.26), $IC_{F,R}$ é o coeficiente de inversão e I_{ESP} a corrente específica com equação definida em (2.27). Em (2.28), conforme mencionando Seção 2.2.1, n é equivalente ao parâmetro α do modelo quadrático. O coeficiente de inversão, [23] e [25], $IC_{F,R}$ define em qual modo de operação o transistor vai estar, de acordo com:

$$\begin{aligned} IC_{F,R} \ll 1 &\rightarrow \text{Inversão Fraca (WI)} \\ IC_{F,R} \approx 1 &\rightarrow \text{Inversão Moderada (MI)} . \\ IC_{F,R} \gg 1 &\rightarrow \text{Inversão Forte (SI)} \end{aligned} \quad (2.29)$$

O cálculo da corrente $I_{F,R}$, para cada um dos modos de operação apresentados em (2.29), pode ser feito fazendo certas aproximações na equação (2.25).

Em WI, $IC_{F,R} \ll 1$, [21] e [23], permite simplificar (2.25) para:

$$I_{F,R} = I_{ESP} \cdot e^{\left(\frac{V_G - V_{TH} - n \cdot V_{S,D}}{n \cdot \phi_T}\right)} . \quad (2.30)$$

Ademais, para SI, com $IC_{F,R} \gg 1$, [21], [23] e [25], temos, respectivamente, para as regiões de triodo e de saturação:

$$I_{F,R} = k_p \cdot \frac{W}{L} \cdot \left[(V_G - V_{TH}) \cdot V_{DS} - \frac{n}{2} \cdot [V_D^2 - V_S^2] \right] \quad (2.31)$$

e

$$I_{F,R} = \frac{k_p}{2 \cdot n} \cdot \frac{W}{L} \cdot (V_G - V_{TH} - n \cdot V_S)^2 . \quad (2.32)$$

A fim de considerar o efeito de segunda ordem da modulação do canal, através do parâmetro λ , apresentado na Seção 2.2.1, basta multiplicar as equações (2.30) e (2.32) pela parcela $(1 + \lambda \cdot V_{DS})$.

Na inversão moderada, [21], [23] e [25], $I_{F,R}$ é modelada por:

$$I_{F,R} = 2 \cdot n \cdot (\phi_T)^2 \cdot k_p \cdot \frac{W}{L} \cdot \ln \left[1 + e^{\left(\frac{V_G - V_{TH} - n \cdot V_{S,D}}{2 \cdot n \cdot \phi_T} \right)} \right]^2, \quad (2.33)$$

que é um modelo de interpolação que abrange desde a WI até a SI.

E para finalizar esta seção, os parâmetros de pequenos sinais no modelo EKV, [21], [23] e [25], são definidos por:

$$g_m = \frac{I_{ESP}}{2 \cdot \phi_T} \cdot \left(\sqrt{1 + 4 \cdot \frac{I_F}{I_{ESP}}} - \sqrt{1 + 4 \cdot \frac{I_R}{I_{ESP}}} \right), \quad (2.34)$$

$$g_{m_s} = -\frac{I_{ESP}}{2 \cdot \phi_T} \cdot \left(\sqrt{1 + 4 \cdot \frac{I_F}{I_{ESP}}} - 1 \right) \quad (2.35)$$

e

$$g_{m_d} = -\frac{I_{ESP}}{2 \cdot \phi_T} \cdot \left(\sqrt{1 + 4 \cdot \frac{I_R}{I_{ESP}}} - 1 \right). \quad (2.36)$$

2.4 Influência da Temperatura nos Transistores MOSFET

Com a variação da temperatura, algumas propriedades do MOSFET são afetadas. Essas propriedades são: energia de *band gap*, mobilidade e densidade dos portadores, difusão dos portadores, velocidade de saturação, densidade de corrente, tensão de *threshold*, corrente de fuga (*leakage*), resistência de interconexão (*interconnect resistance*), eletromigração e tensão térmica.

2.4.1 Energia de *Band Gap*

Nos materiais semicondutores, à temperatura de 0 K, os elétrons encontram-se na banda de valência, tendo características de um isolante elétrico. Com o aumento da temperatura, eles absorvem energia e, conseqüentemente, se deslocam para a banda de condução. A quantidade de energia necessária para esse deslocamento da banda de valência para a banda de condução é a chamada energia de *band gap*. A influência da temperatura sobre essa energia [27] é definida por:

$$E_g = E_g(0) - \frac{\alpha_E \cdot (T)^2}{T + \beta_E}, \quad (2.37)$$

onde $E_g(0)$ é a energia de *band gap* na temperatura de 0 K, α_E e β_E constantes específicas do material. Para o silício $E_g(0) = 1,17$ eV, $\alpha_E = 4,73 \cdot 10^{-4}$ e $\beta_E = 636$ K [28].

Nota-se em (2.37), que a parcela $\left(-\frac{\alpha_E \cdot (T)^2}{T + \beta_E}\right)$ é um coeficiente angular negativo da curva descrita pela equação, podendo-se então demonstrar o comportamento da energia de *band gap* de acordo com a Figura 2.13.

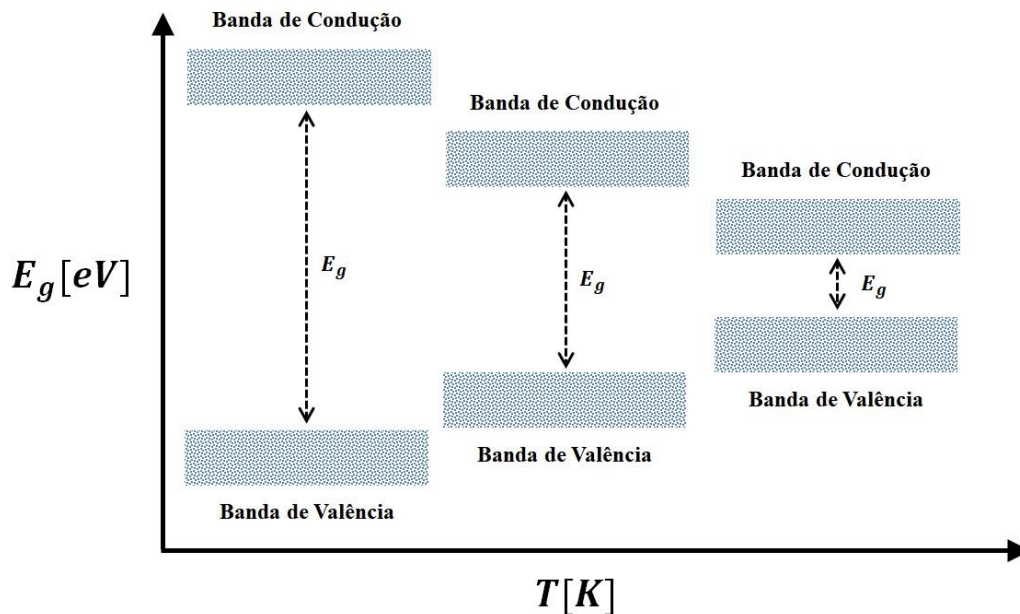


Figura 2.13: Comportamento da energia de *band gap* em função da temperatura.

2.4.2 Densidades dos Portadores de Carga (Charge Carriers)

As densidades dos portadores de carga (*charge carriers*) influenciam a condutividade térmica e elétrica. Os portadores de carga são os elétrons e os buracos, com equações de densidade [28] representadas, respectivamente, por:

$$n = N_C \cdot e^{\left[\frac{E_C - E_F}{(k_B) \cdot T} \right]} \quad (2.38)$$

e

$$p = N_V \cdot e^{\left[\frac{E_F - E_V}{(k_B) \cdot T} \right]} . \quad (2.39)$$

Em (2.38) e (2.39), n é a densidade do elétron e p a densidade do buraco, N_C a densidade dos estados na banda de condução, N_V a densidade dos estados na banda de valência, e E_C, E_V e E_F respectivamente os níveis de energia da camada de condução, camada de valência e de Fermi. Ademais, a constante de Boltzmann $k_B = 1,38 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$ e T a temperatura [28].

2.4.3 Mobilidade dos Portadores de Carga

A mobilidade dos portadores de carga ($\mu_{n,p}$) no MOSFET, sendo μ_n referente aos elétrons e μ_p aos buracos, tem uma complexa dependência da temperatura T , que é definida pela interação de quatro parâmetros de dispersão ou espalhamento: partícula phonon (μ_{ph}), rugosidade de superfície (μ_{sr}), coulombiana de corpo (*bulk*) (μ_{cb}) e coulombiana de *interface* (μ_{int}) conforme mostra a equação (2.40). A mobilidade dos portadores de carga é inversamente proporcional à variação da temperatura, ou seja, com o aumento da temperatura a mobilidade diminui e vice-versa, [3] e [28].

$$\frac{1}{\mu_{n,p}(T)} \approx \frac{1}{\mu_{ph}(T)} + \frac{1}{\mu_{sr}(T)} + \frac{1}{\mu_{cb}(T)} + \frac{1}{\mu_{int}(T)} \quad (2.40)$$

Uma equação mais simples é usada para combinar todos os quatro efeitos de mobilidade [16] em (2.40), aproximando-se $\mu_{n,p}$ para:

$$\mu_{n,p} = \mu_{n,pT_0} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu_{n,p}}}, \quad (2.41)$$

onde $\mu_{n,p}$ é a mobilidade que se deseja calcular para uma temperatura T , μ_{n,pT_0} uma mobilidade conhecida na temperatura de referência T_0 e α_{μ} o coeficiente de variação da temperatura que varia entre $-2,5$ e $-1,5$ para MOSFET canal n [16].

Conforme mencionado na Seção 2.2.1, o parâmetro de transcondutância intrínseca k_p é definido por $k_{pn,p} = \mu_{n,p} \cdot C_{OXn,p}$, sendo assim, seguindo a equação (2.41), sua dependência da temperatura pode ser representada pela expressão empírica [22] a seguir:

$$k_{pn,p} = k_{pn,pT_0} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{k_{pn,p}}}. \quad (2.42)$$

2.4.4 Difusão dos Portadores de Carga

A propriedade da difusão é o movimento de partículas, partindo de uma região com alta concentração para outra de baixa concentração. Os coeficientes de difusão D_n e D_p dos elétrons e buracos, respectivamente, estão relacionados com a mobilidade $\mu_{n,p}$ [28] por meio de:

$$\frac{D_{n,p}}{\mu_{n,p}} = \frac{k_B \cdot T}{q}, \quad (2.43)$$

sendo $k_B = 1,38 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$ a constante de *Boltzmann*, $q = 1,6 \cdot 10^{-19} \text{ C}$ a carga elementar do elétron e T a temperatura. Conforme apresentado na Seção 2.2.2 em (2.18), a parcela $\left(\frac{k_B \cdot T}{q}\right)$ corresponde à tensão térmica ϕ_T . À temperatura ambiente 27°C (300 K) para o silício, $\phi_T \approx 26 \text{ mV}$, $D_n = 36 \text{ cm}^2/\text{s}$ e $D_p = 12 \text{ cm}^2/\text{s}$ [28].

2.4.5 Velocidade de Saturação

Velocidade de saturação é o ponto a partir do qual, aumentos de tensão não promovem o aumento de velocidade dos portadores de carga (elétron e buraco). A energia excedente é utilizada para geração de partículas phonon através das interações com a rede cristalina. A definição matemática em função da variação de temperatura [29] é dada por:

$$v_{Sat} = v_{Sat_{T_0}} - \alpha_{v_{Sat}} \cdot \left(\frac{T}{T_0} - 1 \right) , \quad (2.44)$$

com v_{Sat} sendo a velocidade de saturação na temperatura T desejada, $v_{Sat_{T_0}}$ a velocidade de saturação na temperatura nominal de referência e $\alpha_{v_{Sat}}$ o parâmetro extraído de variação da temperatura. Em (2.44), segundo [22] para $T_0 = 27^\circ\text{C}$, no MOSFET canal N, $v_{Sat_{T_0}} = 108850,3$ m/s, $\alpha_{v_{Sat}} = 20000$ m/s e para o MOSFET canal P, $v_{Sat_{T_0}} = 980000$ m/s, $\alpha_{v_{Sat}} = 20000$ m/s.

2.4.6 Densidade de Corrente

Conforme apresentado na Seção 2.2, há dois mecanismos de condução de corrente elétrica no MOSFET que são o de deriva e o de difusão. A densidade de corrente do semiconductor, [28] e [30], é definida por:

$$J = J_N + J_P , \quad (2.45)$$

da qual, J é a densidade de corrente total, J_N e J_P , respectivamente, as densidades de corrente do elétron e do buraco. Na equação (2.45) [30]:

$$J_N = (n \cdot q \cdot \mu_n \cdot \xi) + (q \cdot D_n \cdot \nabla n) \quad (2.46)$$

e

$$J_P = (p \cdot q \cdot \mu_p \cdot \xi) - (q \cdot D_p \cdot \nabla p) . \quad (2.47)$$

Em (2.46) e (2.47), n e p são, respectivamente, as concentrações de elétrons e buracos livres. Ademais, a carga elementar do elétron $q = 1,6 \cdot 10^{-19}$ C, μ_n e μ_p as mobilidades da Seção 2.4.3, D_n e D_p os coeficientes de difusão da Seção 2.4.4, ξ o campo elétrico, e finalmente, ∇n e ∇p os gradientes das concentrações de portadores de carga livres. As parcelas $(n \cdot q \cdot \mu_n \cdot \xi)$ e $(p \cdot q \cdot \mu_p \cdot \xi)$ são as densidades de corrente por deriva, e $(q \cdot D_n \cdot \nabla n)$ e $(q \cdot D_p \cdot \nabla p)$ representam as densidades de corrente por difusão [28] [30].

Substituindo (2.41) e (2.43) em (2.46) a densidade de corrente do elétron em função da temperatura T [30] é dada por:

$$J_N = \left(n \cdot q \cdot \mu_{n_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \cdot \xi \right) + \left(k_B \cdot T \cdot \mu_{n_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \cdot \nabla n \right). \quad (2.48)$$

Ademais, substituindo (2.41) e (2.43) em (2.47) a densidade de corrente do buraco em função da temperatura T [30] é definida por:

$$J_P = \left(p \cdot q \cdot \mu_{p_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_p}} \cdot \xi \right) - \left(k_B \cdot T \cdot \mu_{p_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_p}} \cdot \nabla p \right). \quad (2.49)$$

Por fim, substituindo (2.48) e (2.49) em (2.45), temos a densidade de corrente total J dependente da variação de temperatura T [30] representada por:

$$\begin{aligned} J = & \left(n \cdot q \cdot \mu_{n_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \cdot \xi \right) + \left(k_B \cdot T \cdot \mu_{n_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_n}} \cdot \nabla n \right) \\ & + \left(p \cdot q \cdot \mu_{p_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_p}} \cdot \xi \right) - \left(k_B \cdot T \cdot \mu_{p_{T_0}} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{\mu_p}} \cdot \nabla p \right). \end{aligned} \quad (2.50)$$

2.4.7 Tensão Limiar (*Threshold*)

As tensões de *threshold* em função da temperatura, para os MOSFETs de canal n e canal p [31], são definidas, respectivamente, por:

$$V_{THn} = V_{THnT_0} + \alpha_{V_{THn}} \cdot (T - T_0) \quad (2.51)$$

e

$$V_{THp} = V_{THpT_0} + \alpha_{V_{THp}} \cdot (T - T_0) , \quad (2.52)$$

nas quais V_{THn} e V_{THp} são as tensões de *threshold* na temperatura T desejada, V_{THnT_0} e V_{THpT_0} as tensões de *threshold* na temperatura ambiente 27 °C (300 K) e finalmente, $\alpha_{V_{THn}}$ e $\alpha_{V_{THp}}$ os coeficientes de variação de temperatura. V_{THnT_0} , V_{THpT_0} , $\alpha_{V_{THn}}$ e $\alpha_{V_{THp}}$ são parâmetros extraídos de acordo com a tecnologia de fabricação utilizada.

2.4.8 Corrente de Fuga (*Leakage Current*)

A corrente de fuga $I_{Leakage}$ do MOSFET em função da temperatura [32] é dada por:

$$I_{Leakage} = \left(A \cdot T \cdot e^{\left[\frac{-1,12}{2 \cdot \phi_T} \right]} \right) \cdot e^{\left[\frac{V_{DS}}{\phi_T} \right]} - 1 , \quad (2.53)$$

na qual, A é um coeficiente encontrado por extração da tecnologia de fabricação, T é a temperatura, V_{DS} tensão de dreno para fonte e ϕ_T a tensão térmica.

2.4.9 Resistência de Interconexão (*Interconnect Resistance*)

Uma interconexão é um material condutor de filme fino que interliga dois ou mais componentes num circuito integrado, e que possui uma resistência elétrica, conforme mostra a Figura 2.14. Os materiais mais comumente usados como fios de interconexão são: ouro (Au), prata (Ag), cobre (Cu) e alumínio (Al). Ademais, os materiais que compõem a estrutura do MOSFET conforme apresentado na Seção 2.2, como silício policristalino, poço N, substrato P, difusões N+ e P+, também apresentam valores de resistência elétrica [33].

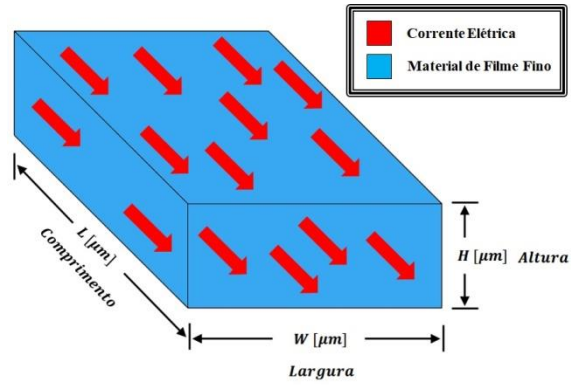


Figura 2.14: Material de filme fino.

A resistência do material de filme fino [33] é definida por:

$$R = \rho \cdot \frac{L}{W \cdot H} , \quad (2.54)$$

na qual, R é a resistência elétrica, L o comprimento, W a largura, H a altura e ρ a resistividade do material.

Em (2.54), a parcela $\left(\frac{\rho}{H}\right)$ é conhecida como resistência de folha (*sheet resistance*), que possui valores distintos para cada tipo de material [30].

Finalmente, a resistência do material em função da temperatura T é representada por:

$$R = R_0 \cdot [1 + \alpha_R \cdot (T - T_0)] , \quad (2.55)$$

onde R é a resistência elétrica na temperatura T desejada, R_0 a resistência elétrica na temperatura ambiente 27 °C (300 K) e α_R o coeficiente de temperatura de resistência. Os materiais alumínio e cobre, [30] e [33], têm, respectivamente, $\alpha_{R(Al)} = 0,004308 \text{ } \Omega/\text{K}$ e $\alpha_{R(Cu)} = 0,00401 \text{ } \Omega/\text{K}$.

2.4.10 Eletromigração

Eletromigração é o processo de desgaste das trilhas metálicas de interconexão no circuito integrado, devido a elevadas densidades de corrente elétrica. Os impactos entre os elétrons livres e os átomos fixos promovem desgaste das trilhas, provocando falhas de funcionamento dos circuitos internos do *chip* [33]. A Figura 2.15, a seguir, ilustra este processo.

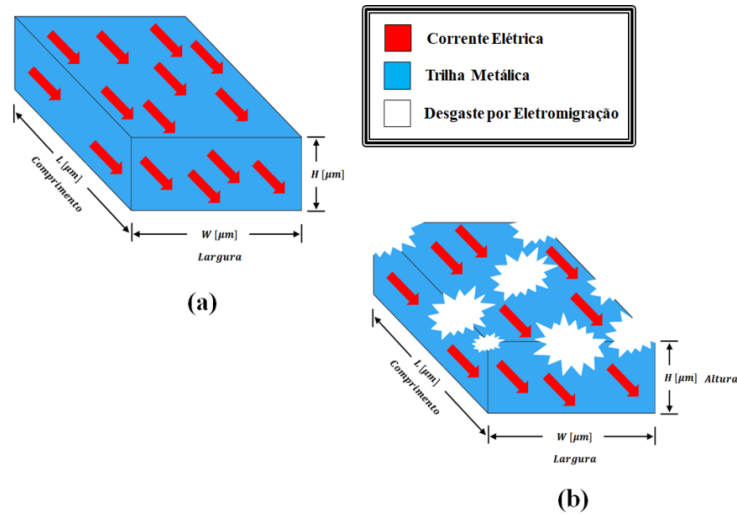


Figura 2.15: Processo de eletromigração das trilhas internas dos *chips* (a) material da trilha sem desgaste (b) material da trilha com desgaste por eletromigração.

De acordo com [34], a influência da temperatura sobre o processo de eletromigração é medida através do parâmetro MTF (*Median Time to Failure*), com equação expressa por:

$$\frac{1}{MTF} = A \cdot J^2 \cdot e^{\left[-\frac{E_a}{(k_B) \cdot T}\right]}, \quad (2.56)$$

na qual, MTF é o tempo médio para falha em horas, A uma constante relacionada com a área de Seção do filme com valores distintos para cada tipo de material, J a densidade de corrente, E_a a energia de ativação também com valores diferentes para cada tipo de material, k_B a constante de *Boltzmann* com valor $k_B = 1,38 \cdot 10^{-23} \text{ J} \cdot \text{K}^{-1}$ e T a temperatura.

2.4.11 Tensão Térmica

A tensão térmica ϕ_T , [24] e [28], varia com a temperatura segundo uma equação empírica, expressa por:

$$\phi_T = \phi_{T(T_0)} \cdot \left(\frac{T}{T_0}\right), \quad (2.57)$$

onde ϕ_T é a tensão térmica na temperatura T desejada e $\phi_{T(T_0)}$ a tensão térmica na temperatura de referência T_0 . De acordo com [23], $\phi_{T(T_0)} \approx 26$ mV para $T_0 = 27$ °C (300 K).

2.4.12 Principais Parâmetros Variantes com a Temperatura

Dos parâmetros variantes com a temperatura, apresentados nas Seções 2.4.1 até 2.4.11, os mais relevantes para os cálculos de projeto são: mobilidade $\mu_{n,p}$ (Seção 2.4.3), transcondutância intrínseca $k_{p,n,p}$ (Seção 2.4.3), tensão de *threshold* $V_{TH,n,p}$ (Seção 2.4.7) e a tensão térmica ϕ_T (Seção 2.4.11).

Conforme mencionado na Seção 1.1, neste trabalho foram utilizados os MOSFETs *nel* (canal N) e *pel* (canal P) da tecnologia de fabricação 0,18 μm da empresa XFAB. Com os parâmetros de processo nos Apêndices A e B, foram determinados os coeficientes de variação de temperatura $\alpha_{V_{TH,n}}$, $\alpha_{V_{TH,p}}$, α_{μ_n} , α_{μ_p} , $\alpha_{k_{p,n}}$ e $\alpha_{k_{p,p}}$ apresentados nas Seções 2.4.3 e 2.4.7, através do método de *curve fitting*. Os valores desses coeficientes são mostrados em Tabela 2.1 e Tabela 2.2 a seguir.

Tabela 2.1: Valores dos coeficientes térmicos no MOSFET *nel* (canal N) da XFAB, presentes nas equações (2.41) e (2.51).

Coefficiente Térmico	Valor
$\alpha_{V_{TH,n}}$	$\approx -0,74 \cdot 10^{-3}$ V/K
$\alpha_{\mu_n} = \alpha_{k_{p,n}}$	$\approx -1,72$

Tabela 2.2: Valores dos coeficientes térmicos no MOSFET *pel* (canal P) da XFAB, presentes nas equações (2.41) e (2.52).

Coefficiente Térmico	Valor
$\alpha_{V_{THp}}$	$\approx + 0,88 \cdot 10^{-3} \text{ V/K}$
$\alpha_{\mu_p} = \alpha_{k_{pp}}$	$\approx -1,2$

Substituindo os coeficientes da Tabela 2.1 nas equações (2.42) e (2.51) do MOSFET de canal N *nel*, teremos, respectivamente, para os parâmetros k_{pn} e V_{TH0n} :

$$k_{pn} = k_{pnT_0} \cdot \left(\frac{T}{T_0}\right)^{-1,72} \quad (2.58)$$

e

$$V_{THn} = V_{THnT_0} - 0,74 \cdot 10^{-3} \cdot (T - T_0) , \quad (2.59)$$

nas quais k_{pnT_0} e V_{THnT_0} são os parâmetros de transcondutância intrínseca e tensão limiar na temperatura de referência $T_0 = 27 \text{ °C}$ (300 K), apresentados no Apêndice A deste documento.

Ademais, usando os coeficientes da Tabela 2.2 nas equações (2.42) e (2.52) do MOSFET de canal P *pel*, os parâmetros k_{pp} e V_{TH0p} serão expressos, respectivamente, por:

$$k_{pp} = k_{ppT_0} \cdot \left(\frac{T}{T_0}\right)^{-1,2} \quad (2.60)$$

e

$$V_{THp} = V_{THpT_0} + 0,88 \cdot 10^{-3} \cdot (T - T_0) , \quad (2.61)$$

onde $k_{pp_{T_0}}$ e $V_{TH_{p_{T_0}}}$ são os parâmetros de transcondutância intrínseca e tensão limiar na temperatura de referência $T_0 = 27\text{ °C}$ (300 K), expostos no Apêndice B.

2.5 Condição ZTC (Zero Temperature Coefficient)

De acordo com [13] e [16], se o MOSFET for polarizado no ponto de coeficiente de temperatura zero P_{ZTC} (V_{ZTC}, I_{ZTC}), as variações dos parâmetros dependentes da temperatura apresentados na Seção 2.4.12, serão compensadas e, conseqüentemente, a corrente elétrica I_{ZTC} será invariante com a temperatura.

As coordenadas de P_{ZTC} , nos modelos matemáticos apresentados nas Seções 2.2 e 2.3, correspondem às seguintes variáveis conforme a Tabela 2.3 a seguir.

Tabela 2.3: Variáveis da condição ZTC para os modelos quadrático e EKV do MOSFET.

Coordenada de P_{ZTC}	Modelo Quadrático	Modelo EKV
V_{ZTC}	V_{GS}	V_G
I_{ZTC}	I_{DS}	$I_{F,R} = I_D$

As condições de existência do ponto ZTC podem ser encontradas tomando como exemplo o circuito de polarização da Figura 2.16 a seguir.

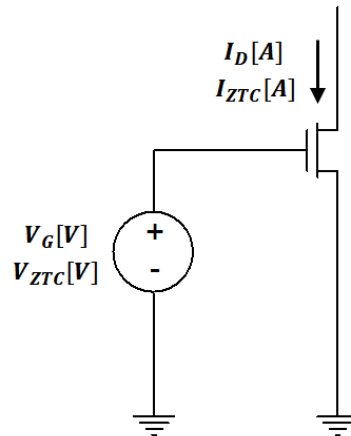


Figura 2.16: MOSFET canal N polarizado no ponto ZTC.

No esquemático da Figura 2.16, a equação (2.25) do modelo EKV é expressa por:

$$\frac{V_G - V_{THn}}{n_n \cdot \phi_T} = \sqrt{1 + 4 \cdot \frac{I_D}{I_{ESP}}} + \ln \left(\sqrt{1 + 4 \cdot \frac{I_D}{I_{ESP}}} - 1 \right) - [1 + \ln(2)] . \quad (2.62)$$

Substituindo em (2.62) a corrente específica I_{ESP} (2.27) e os parâmetros variantes com a temperatura apresentados na Seção 2.4.12 teremos:

$$\begin{aligned} & \frac{V_G - V_{THnT_0} + \alpha_{V_{THn}} \cdot T_0 - \alpha_{V_{THn}} \cdot T}{n_n \cdot \phi_{T(T_0)} \cdot \left(\frac{T}{T_0}\right)} = \\ & = \sqrt{1 + 4 \cdot \frac{I_D}{\left[2 \cdot n_n \cdot \phi_{T(T_0)}^2 \cdot \left(\frac{T}{T_0}\right)^2 \cdot k_{p_{nT_0}} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{W}{L}\right]}} \\ & + \ln \left(\sqrt{1 + 4 \cdot \frac{I_D}{\left[2 \cdot n_n \cdot \phi_{T(T_0)}^2 \cdot \left(\frac{T}{T_0}\right)^2 \cdot k_{p_{nT_0}} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{W}{L}\right]} - 1 \right) \\ & \quad + [-1 - \ln(2)] . \end{aligned} \quad (2.63)$$

Nota-se que a equação (2.63) é totalmente independente da temperatura somente quando $\alpha_{k_{p_n}} = \alpha_{\mu_n} = -2$ e $(V_G - V_{THnT_0} + \alpha_{V_{THn}} \cdot T_0) = 0$, levando a:

$$\begin{aligned} & \frac{-\alpha_{V_{THn}}}{n_n \cdot \phi_{T(T_0)}} = \sqrt{1 + 4 \cdot \frac{I_{ZTCn}}{\left[2 \cdot n_n \cdot \phi_{T(T_0)}^2 \cdot k_{p_{nT_0}} \cdot \frac{W}{L}\right]}} \\ & + \ln \left(\sqrt{1 + 4 \cdot \frac{I_{ZTCn}}{\left[2 \cdot n_n \cdot \phi_{T(T_0)}^2 \cdot k_{p_{nT_0}} \cdot \frac{W}{L}\right]} - 1 \right) \\ & \quad + [-1 - \ln(2)] . \end{aligned} \quad (2.64)$$

Sumarizando, as condições do ponto ZTC, [13] e [16], são definidas por:

$$\alpha_{\mu_n} = -2 \quad (2.65)$$

e

$$V_{ZTC_n} = V_{TH_{nT_0}} - \alpha_{V_{TH_n}} \cdot T_0 . \quad (2.66)$$

Conforme a Tabela 2.1, no caso do processo de fabricação da XFAB 0,18 μm , $\alpha_{\mu_n} \approx -1,72$, o que é uma boa aproximação para alcançar o ponto ZTC em comparação com a condição de existência (2.65).

Substituindo em (2.64) e (2.66) os parâmetros extraídos do MOSFET *nel*, apresentados no Apêndice A, $V_{TH_{T_0}} = 0,39 \text{ V}$, $k_{p_{nT_0}} = 293,4 \cdot 10^{-6} \text{ A/V}^2$, $n_n = \alpha_n = 1,23$, $T_0 = 300 \text{ K}$ e o valor de $\alpha_{\mu_n} \approx -1,72$, foram calculados $V_{ZTC_n} = 0,612 \text{ V}$ e $I_{ZTC_n} = 5,62 \mu\text{A}$ para razão $W/L = 1$, conforme gráfico da Figura 2.17.

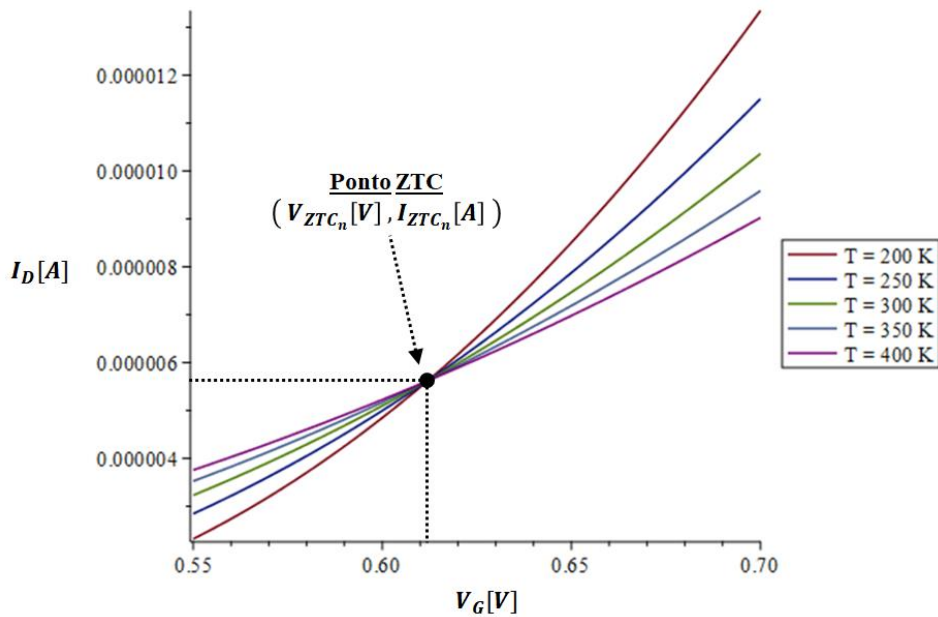


Figura 2.17: Ponto ZTC do MOSFET *nel* invariante com a temperatura para razão $W/L = 1$.

2.6 Condição G_{ZTC} (*Transconductance Zero Temperature Coefficient*)

Assim como apresentado na Seção 2.5, existe um ponto chamado de G_{ZTC} , onde as variações dos parâmetros dependentes da temperatura também são compensadas e, conseqüentemente, a transcondutância G_{ZTC} será invariante para qualquer valor de temperatura, [13] e [16].

A questão é verificar se as condições de existência deste ponto são aplicáveis aos transistores *nel* e *pel* do processo XFAB 0,18 μm . A fim de obter esta verificação, podemos reescrever (2.62) e (2.35) na devida ordem como:

$$V_G(T) = n_n \cdot \phi_T \cdot \left(\sqrt{1 + 4 \cdot i_f(T)} + \ln(\sqrt{1 + 4 \cdot i_D(T)} - 1) - 1 - \ln(2) \right) + V_{TH_n} \quad (2.67)$$

e

$$g_m = \frac{I_{ESP}}{2 \cdot \phi_T} \cdot \left(\sqrt{1 + 4 \cdot i_D(T)} - 1 \right), \quad (2.68)$$

nas quais, $\left(\frac{I_D}{I_{ESP}} \right) = i_D(T)$ por convenção, sendo $i_D(T)$ uma função que representa I_D dependente da temperatura. Substituindo em (2.67) e (2.68), a corrente específica I_{ESP} (2.27) e os parâmetros dependentes da temperatura da Seção 2.4.12, teremos nesta ordem:

$$V_G(T) = \frac{n_n \cdot k \cdot T \cdot \left[\sqrt{1 + 4 \cdot i_D(T)} + \ln(\sqrt{1 + 4 \cdot i_D(T)} - 1) - 1 - \ln(2) \right]}{q} + V_{TH_{T_0}} - \alpha_{V_{TH_n}} \cdot (T - T_0) \quad (2.69)$$

e

$$g_m = \frac{k_{p_n T_0} \cdot \left(\frac{T}{T_0} \right)^{\alpha_{k_{p_n}}} \cdot k \cdot T \cdot W \cdot \left(\sqrt{1 + 4 \cdot i_D(T)} - 1 \right)}{q \cdot L}. \quad (2.70)$$

A seguir, calculando $\frac{dV_G(T)}{dT}$ em (2.69) e $\frac{dg_m}{dT} = 0$ em (2.70), temos o sistema de equações:

$$\begin{cases} \frac{dV_G(T)}{dT} = 0 \\ \frac{dg_m}{dT} = 0 \end{cases} . \quad (2.71)$$

Resolvendo o sistema de equações (2.71), a fim de determinar $\frac{di_D}{dT}$ e $\frac{dV_G(T)}{dT}$, teremos como solução:

$$\frac{di_D}{dT} = \frac{1}{2} \cdot \frac{(\alpha_{\mu_n} + 1) \cdot \left[-4 \cdot i_D(T) + \sqrt{1 + 4 \cdot i_D(T)} - 1 \right]}{T} \quad (2.72)$$

e

$$\begin{aligned} \frac{dV_G(T)}{dT} &= \left[\frac{-4 \cdot i_D(T) \cdot k \cdot n_n \cdot \alpha_{\mu_n}}{q \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1)} \right] \\ &+ \left[\frac{(-1) \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1) \cdot n_n \cdot k \cdot \ln(2)}{q \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1)} \right] \\ &+ \left[\frac{(\sqrt{1 + 4 \cdot i_D(T)} - 1) \cdot n_n \cdot k}{q \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1)} \right] \\ &\cdot \left[\frac{\ln(\sqrt{1 + 4 \cdot i_D(T)} - 1) + \alpha_{\mu_n} - 1}{q \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1)} \right] \\ &+ \left[\frac{(-1) \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1) \cdot \alpha_{V_{THn}} \cdot q}{q \cdot (\sqrt{1 + 4 \cdot i_D(T)} - 1)} \right] . \end{aligned} \quad (2.73)$$

Note que em (2.73), para $\frac{dV_G(T)}{dT} = 0$, $i_{D(T)}$ deve ser constante com a temperatura. Entretanto, em (2.72) a derivada $\frac{di_D}{dT}$ é dependente de T . Com o objetivo de fazer $i_{D(T)}$ invariante com a temperatura, basta igualar (2.72) a zero, onde teremos:

$$\frac{1}{2} \cdot \frac{(\alpha_{\mu_n} + 1) \cdot \left[-4 \cdot i_D(T) + \sqrt{1 + 4 \cdot i_D(T)} - 1 \right]}{T} = 0 . \quad (2.74)$$

As soluções de (2.74) são $i_{D(T)} = 0$ e $i_{D(T)} = -0,25$. O valor $i_{D(T)} = -0,25$ é proibido no modelo EKV, e com $i_{D(T)} = 0$ o transistor estaria em corte, [23] e [24]. Ambas as soluções não servem, mas há outra possibilidade para que (2.74) seja satisfeita, fazendo $\alpha_{\mu_n} = -1$ e, portanto, a derivada $\frac{di_D}{dT}$ sempre será nula.

Então o ponto G_{ZTC} só é possível quando $\alpha_{\mu_n} = -1$. Conforme salientado na Seção 2.5, a condição de existência do ponto ZTC é $\alpha_{\mu_n} = -2$, evidenciando que, ao polarizar um transistor neste ponto, onde teremos I_{ZTC} constante, não significa que a transcondutância G_m será invariante com a temperatura.

A afirmação do parágrafo anterior foi comprovada usando em (2.63) os parâmetros extraídos do MOSFET *nel*, apresentados no Apêndice A, $V_{TH_{T_0}} = 0,39$ V, $k_{p_{n_{T_0}}} = 293,4 \cdot 10^{-6}$ A/V², $n_n = \alpha_n = 1,23$ e $T_0 = 300$ K, com dois valores para α_{μ_n} ($\alpha_{\mu_n} = -1$ e $\alpha_{\mu_n} = -2$). Para $\alpha_{\mu_n} = -1$, extraído de (2.63) a transcondutância g_m (2.35), foi plotado o gráfico da Figura 2.18.

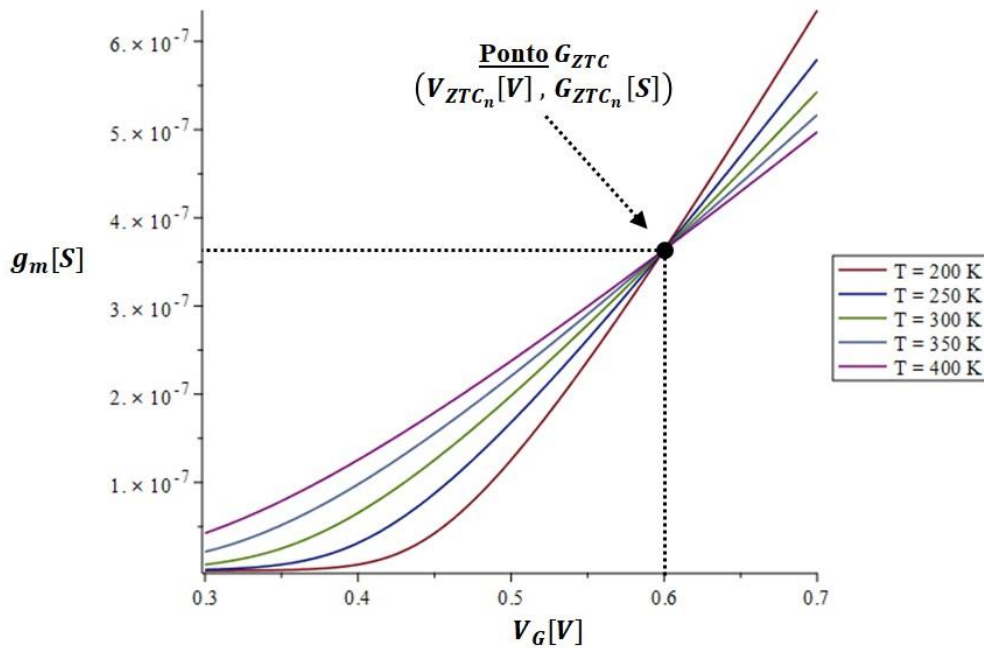


Figura 2.18: transcondutância g_m invariante com a temperatura no ponto G_{ZTC} para $\alpha_{\mu_n} = -1$.

Ademais, para $\alpha_{\mu_n} = -2$, extraído de (2.63) a transcondutância g_m (2.35), foi plotado o gráfico da Figura 2.19.

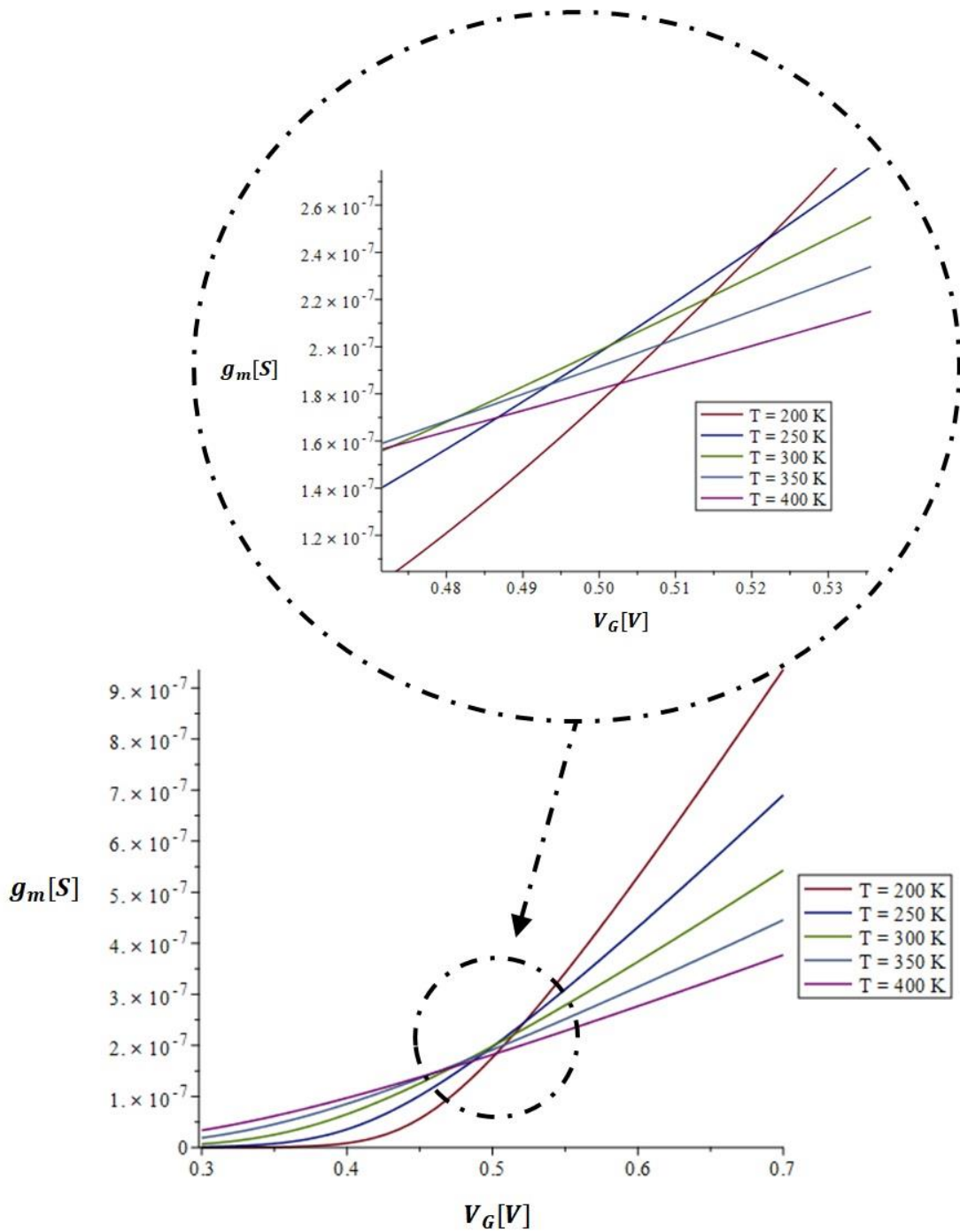


Figura 2.19: Não existência de um ponto de transcondutância g_m invariante com a temperatura para valores de $\alpha_{\mu_n} \neq -1$, neste caso com $\alpha_{\mu_n} = -2$.

Pelo exposto acima, o conceito do ponto G_{ZTC} não foi utilizado neste trabalho na intenção de manter o g_m do OTA constante. Pelo contrário, foi utilizado o chamado circuito de compensação de g_m (multiplicador de β), que fornece uma corrente de polarização variável com a temperatura, para compensar as variações de g_m . Já o conceito do ponto ZTC com corrente I_{ZTC} constante, abordado na Seção 2.5, foi utilizado no projeto do circuito de auto polarização do OTA. Esses circuitos serão expostos com mais detalhes nas seções adiante deste documento.

2.7 Amplificador Operacional de Transcondutância (OTA)

Um amplificador operacional de transcondutância (OTA) é um amplificador que converte a entrada de tensão diferencial numa saída de corrente elétrica. Idealmente, pode-se dizer que a corrente de saída do OTA I_{out} é definida por:

$$I_{out} = \Delta V_{in} \cdot g_m , \quad (2.75)$$

onde ΔV_{in} é a tensão diferencial de entrada e g_m é o ganho de transcondutância. Há dois tipos de OTA: saída simples (*single-ended*) e totalmente diferencial (*fully differential*) conforme a Figura 2.20 [23].

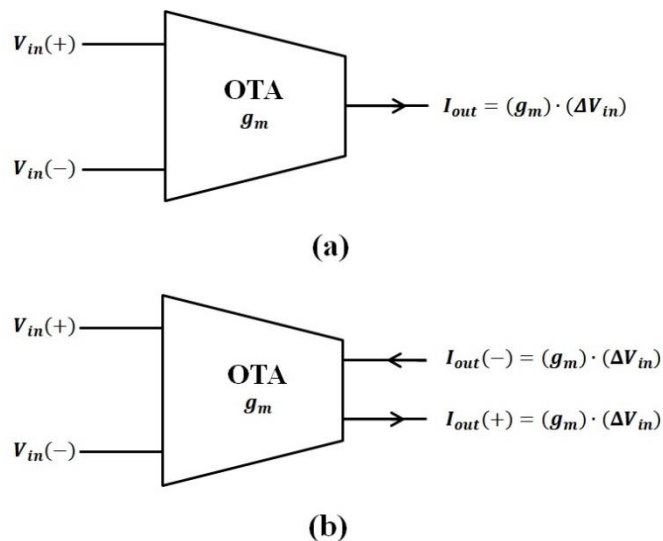


Figura 2.20: Símbolos do OTA (a) OTA *single-ended* (b) OTA *fully differential*.

Ademais, os dois tipos de OTA possuem elevada impedância de saída e ampla banda passante na sua resposta em frequência, [35]-[36].

O transcondutor utilizando neste trabalho foi o de topologia *fully differential*, mostrado na Figura 2.20(b), por possuir maior excursão de sinal de saída em relação à implementação com saída simples *single-ended*, [23] e [36]. Sendo assim, todos os conceitos e informações daqui em diante neste documento estarão fazendo menção ao transcondutor do tipo *fully differential*.

O amplificador operacional de transcondutância é composto por três blocos de circuitos, mostrados na Figura 2.21 e Figura 2.22 [23]:

- Amplificador diferencial de entrada;
- Circuito de compensação de modo comum (CMFB);
- Estágio de saída em cascode dobrado (espelhos de corrente *folded cascode*) formado por *cascode* superior e *cascode* inferior (com quatro ou três transistores).

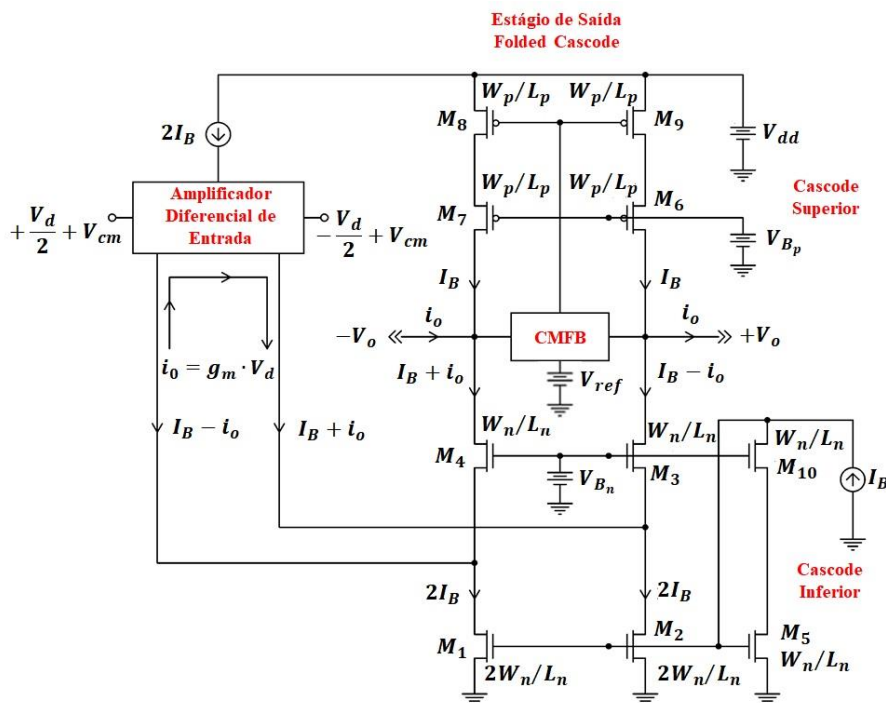


Figura 2.21: Topologia de OTA com 4 transistores no *cascode* inferior.

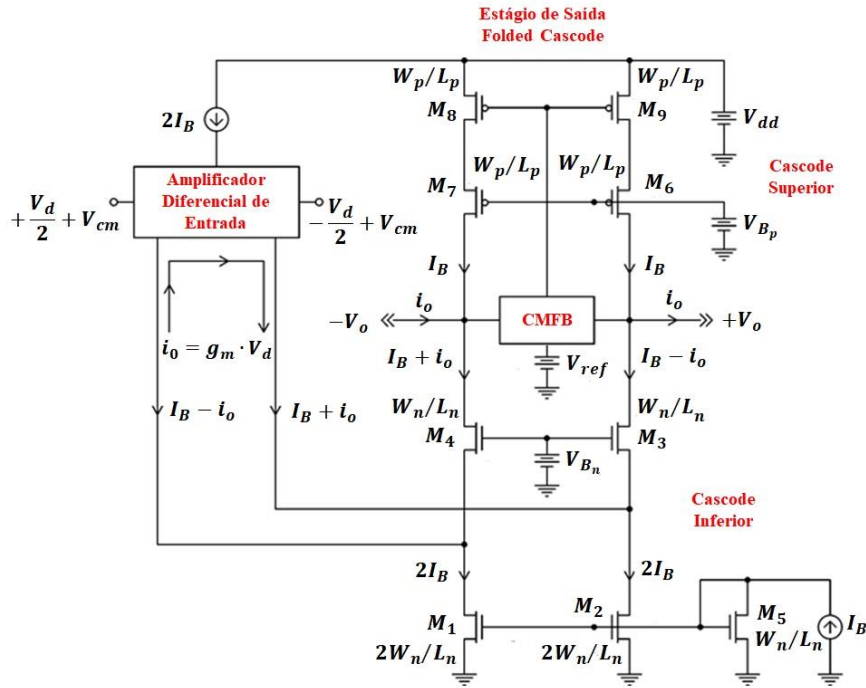


Figura 2.22: Topologia de OTA com 3 transistores no *cascode* inferior.

Na Figura 2.21 e Figura 2.22, I_B é a corrente de polarização DC (*Direct Current*), i_o a corrente de sinal, V_{cm} a tensão de modo comum, V_{ref} a tensão de referência do controle de modo comum, V_d a tensão diferencial de entrada, V_{B_p} a tensão de polarização DC do espelho *folded cascode* superior, V_{B_n} a tensão de polarização do espelho *folded cascode* inferior, V_{dd} a tensão de alimentação do circuito, g_m a transcondutância do par diferencial de entrada, W e L as dimensões dos MOSFETS e, por fim, $-V_o$ e $+V_o$ as tensões de saída do OTA.

A topologia de OTA utilizada neste trabalho foi a indicada na Figura 2.22, com a diferença de que a realimentação do circuito CMFB foi ligada no cascode inferior. A escolha para esta implementação é devido ao fato da tensão de polarização V_{b_n} , do espelho de corrente *folded cascode* com quatro transistores, ter forte influência no valor da tensão de saída mínima $V_{o_{min}}$, o que restringe os valores a serem utilizados em V_{b_n} . O espelho com três transistores tem valores mais flexíveis para V_{b_n} , pois tem menor influência na tensão de saída $V_{o_{min}}$, [23] e [36].

2.8 Circuito de Controle de Modo Comum (CMFB)

Por se tratar de um OTA totalmente diferencial, o circuito de controle de modo comum (CMFB) se torna necessário para controlar a tensão de modo comum nas saídas $-V_o$ e $+V_o$. No circuito da Figura 2.22 da Seção anterior, consideremos que a corrente de polarização DC nos transistores M_8 e M_9 seja levemente diferente da corrente drenada por M_3 e M_4 devido a descasamentos entre os componentes. Conseqüentemente, uma tensão DC de modo comum aparecerá na saída do OTA devido a essa diferença nas correntes de polarização. Dependendo da diferença entre as correntes, a tensão de modo comum pode ser grande o suficiente para fazer com que os MOSFETs de canal N, ou canal P, no *cascode* de saída entrem na região de triodo por causa da alta impedância de saída do OTA. O controle de modo comum é feito medindo-se a tensão de modo comum nas saídas $-V_o$ e $+V_o$, e essa medição é utilizada para corrigir as correntes de polarização até que os erros de descasamento sejam compensados e a tensão de modo comum na saída se estabilize próximo ao valor de referência $V_{ref} = V_{cm}$, [35] e [36].

Uma versão com componentes ideais do circuito de controle de modo comum pode ser implementada conforme indicado na Figura 2.23 [37].

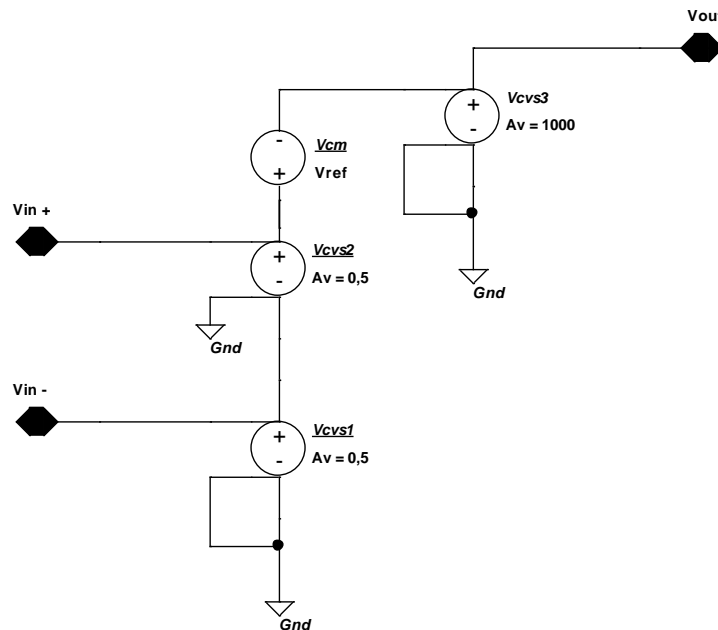


Figura 2.23: Circuito de controle de modo comum com componentes ideais.

Uma topologia de CMFB com componentes não ideais é a que usa dois pares diferenciais ligados em paralelo, iguais (mesmos valores de W e L) ao que for utilizado na entrada do OTA [36], conforme indicada no circuito da Figura 2.24. As razões $(2W_n/L_n)$ e (W_p/L_p) são as mesmas apresentadas na Figura 2.22 da Seção 2.7.

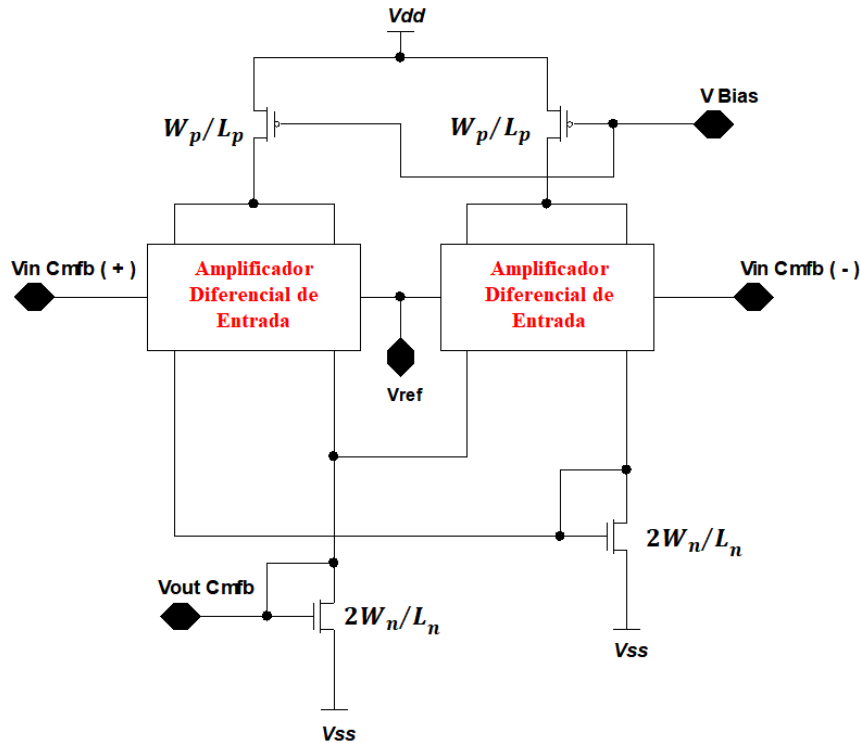


Figura 2.24: Topologia de circuito de controle de modo comum utilizado neste trabalho.

2.9 Amplificadores Diferenciais em Inversão Forte

A grande maioria dos circuitos integrados CMOS, sejam eles para aplicações contínuas ou discretas, faz uso de amplificadores diferenciais. Os amplificadores com MOSFETs operando em inversão forte são amplamente utilizados como estágio de entrada de amplificadores operacionais de tensão e de transcondutância. A operação em inversão forte, quando comparada à inversão fraca e moderada, tem como principais vantagens [23]:

- Menor erro de descasamento;
- Resposta em frequência mais ampla;
- Maior excursão do sinal de entrada.

Neste capítulo serão apresentados os amplificadores mais comuns que operam no modo de operação com inversão forte.

2.9.1 Amplificador Diferencial Simples

Esse é o tipo mais simples de amplificador diferencial, pois possui um par simétrico de MOSFETs com topologia apresentada na Figura 2.25.

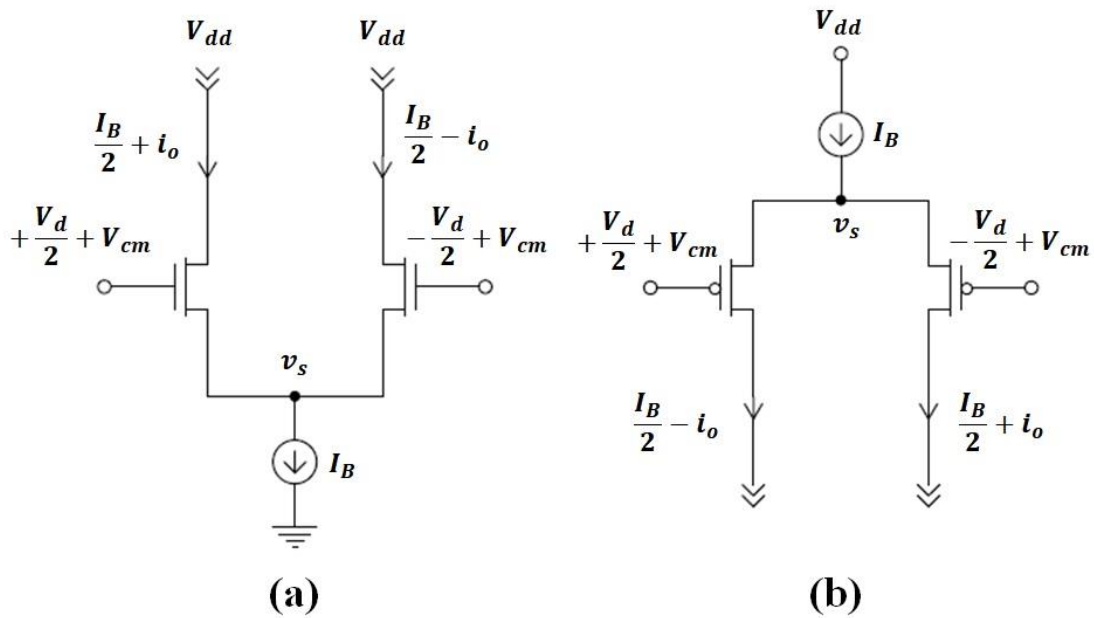


Figura 2.25: Topologia do amplificador diferencial simples (a) Com MOSFETs canal N (b) Com MOSFETs canal P.

A curva de transcondutância g_{m_d} em função da tensão diferencial de entrada V_d é indicada na Figura 2.26.

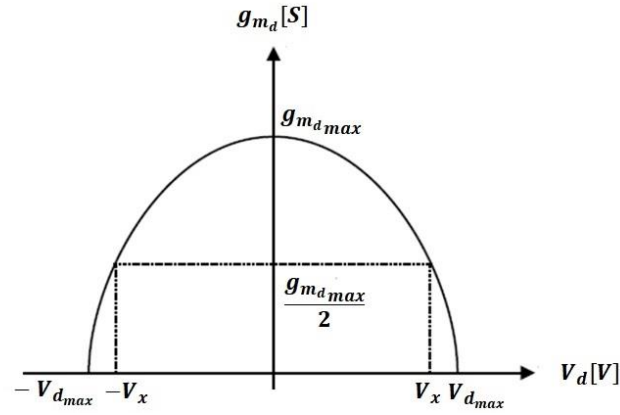


Figura 2.26: Gráfico da transcondutância g_{m_d} em função de V_d .

Para projeto desta implementação [23] de amplificador, usam-se as seguintes relações:

$$g_{m_{d,max}} = \frac{1}{2} \cdot \sqrt{\frac{\beta \cdot I_B}{\alpha_{n,pT_0}}}, \quad (2.76)$$

$$V_{d,max} = \sqrt{\frac{2 \cdot \alpha_{n,pT_0} \cdot I_B}{\beta}}, \quad (2.77)$$

$$g_{m_d}(V_x) = \frac{g_{m_{d,max}}}{2}, \quad (2.78)$$

$$V_x = 1,076 \cdot \sqrt{\frac{\alpha_{n,pT_0} \cdot I_B}{\beta}} \quad (2.79)$$

e

$$g_{m_d} = \frac{1}{8} \cdot \frac{(\sqrt{1 + 4 \cdot IC} - 1) \cdot I_B}{n_{n,pT_0} \cdot \phi_T \cdot IC}. \quad (2.80)$$

2.9.2 Amplificador Diferencial com Dois Pares Assimétricos

Nesta topologia, dois pares assimétricos são usados para formar uma curva de transcondutância mais plana que a obtida na Seção 2.9.1. Sua implementação é indicada na Figura 2.27.

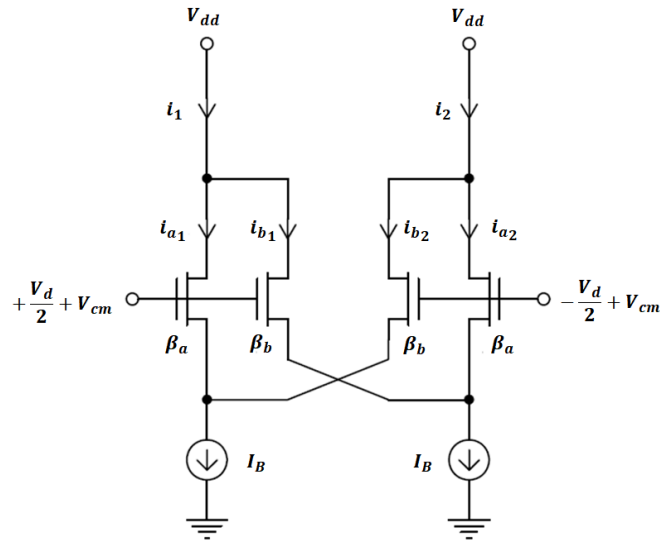


Figura 2.27: Topologia do amplificador diferencial com dois pares assimétricos.

A curva de transcondutância g_{m_d} em função da tensão diferencial de entrada V_d é apresentada na Figura 2.28.

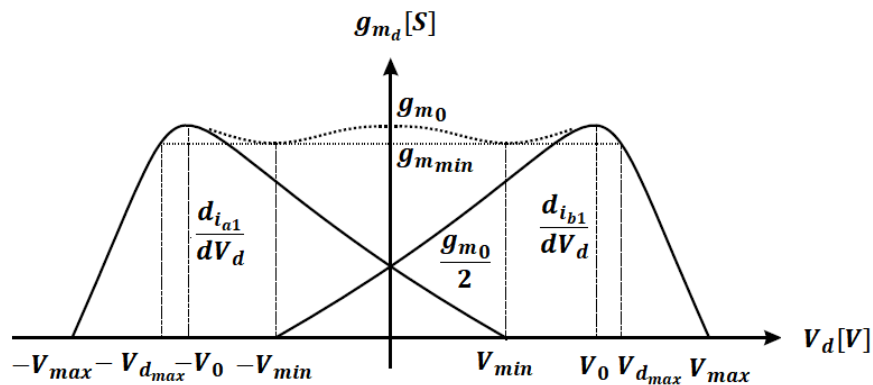


Figura 2.28: Gráfico da transcondutância g_{m_d} em função de V_d .

Da Figura 2.28, temos as seguintes relações matemáticas [23]:

$$\begin{cases} g_{m_d}(-V_{d_{max}}) = g_{m_{min}} \\ g_{m_d}(-V_{min}) = g_{m_{min}} \\ g_{m_d}(-V_0) = g_{m_0} \end{cases} , \quad (2.81)$$

$$I_B = 1,05133 \cdot g_{m_0} \cdot V_{d_{max}} , \quad (2.82)$$

$$\beta_a = \frac{14,3675 \cdot \alpha_{n,p_{T0}} \cdot g_{m_0}}{V_{d_{max}}} \quad (2.83)$$

e

$$\beta_b = \frac{1,51977 \cdot \alpha_{n,p_{T0}} \cdot g_{m_0}}{V_{d_{max}}} . \quad (2.84)$$

2.9.3 Amplificador Diferencial com Dois Pares Assimétricos e Um Simétrico

O *ripple* na curva de transcondutância do amplificador apresentado na Seção 2.9.2 pode ser reduzido, diminuindo a distância entre as tensões $-V_0$ e $+V_0$. Apesar disso, este procedimento faz com que a transcondutância em $V_d = 0$ seja maior que a mensurada em $V_d = -V_0$ e $V_d = +V_0$, impedindo a condição *equiripple*. Este problema pode ser sanado adicionado um par diferencial simétrico (transistores com β_c) em paralelo, e com as conexões invertidas de maneira que a transcondutância seja negativa, conforme apresentado na Figura 2.29. Desta maneira, o excesso de transcondutância em $V_d = 0$, devido aos pares assimétricos, pode ser corrigido com a transcondutância negativa do par simétrico, de modo a preservar a condição *equiripple*, conforme apresentado no gráfico da Figura 2.30 [23].

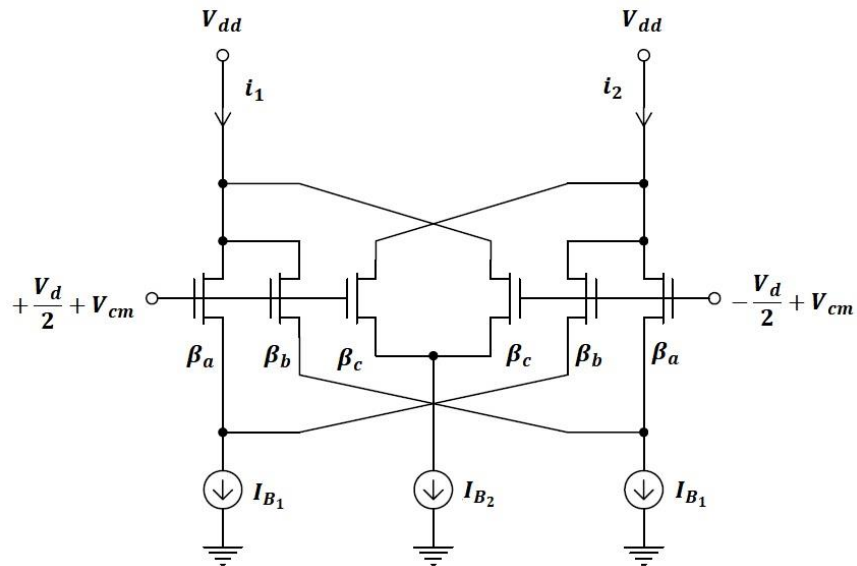


Figura 2.29: Circuito do amplificador diferencial com dois pares assimétricos e um simétrico.

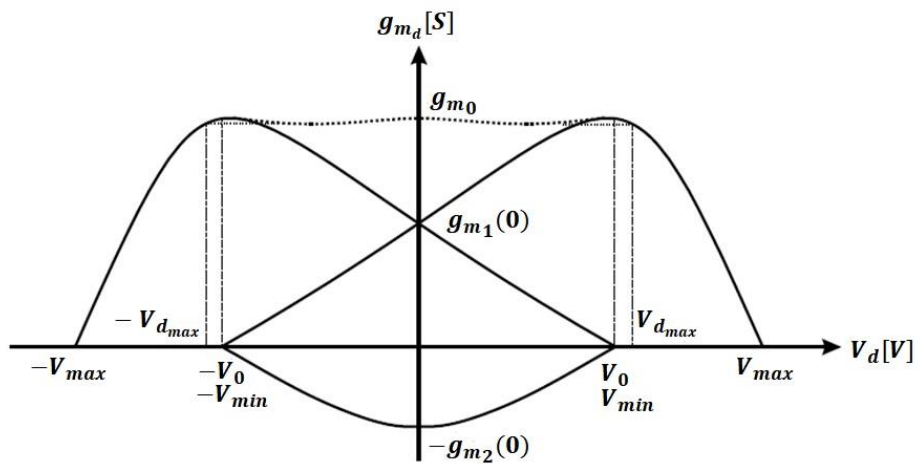


Figura 2.30: Curva de transcondutância do amplificador diferencial com dois pares assimétricos e um par simétrico em função da tensão diferencial V_d .

As equações para projeto [23] são definidas por:

$$\beta_a = 5,31 \cdot \frac{\alpha_{n,pT_0} \cdot g_{m_0}}{V_{d,max}}, \quad (2.85)$$

$$\beta_b = 1,25 \cdot \frac{\alpha_{n,pT_0} \cdot g_{m_0}}{V_{d,max}}, \quad (2.86)$$

$$\beta_c = 1,61 \cdot \frac{\alpha_{n,p} T_0 \cdot g_{m_0}}{V_{d_{max}}}, \quad (2.87)$$

$$I_{B_1} = 1,69 \cdot g_{m_0} \cdot V_{d_{max}}, \quad (2.88)$$

$$I_{B_2} = 0,51 \cdot g_{m_0} \cdot V_{d_{max}} \quad (2.89)$$

e

$$g_{m_{min}} = 0,97 \cdot g_{m_0}. \quad (2.90)$$

2.9.4 Amplificador Diferencial com Degeneração de Fonte

Outra maneira de alongar a faixa plana de entrada do amplificador diferencial é com o uso da degeneração de fonte, que consiste no uso de um resistor entre os terminais de fonte dos MOSFETs. Uma topologia de circuito que utiliza MOSFETs na região de trabalho triodo (transistores com β_b), para fazer o papel do resistor, [23] e [38], é apresentada na Figura 2.31.

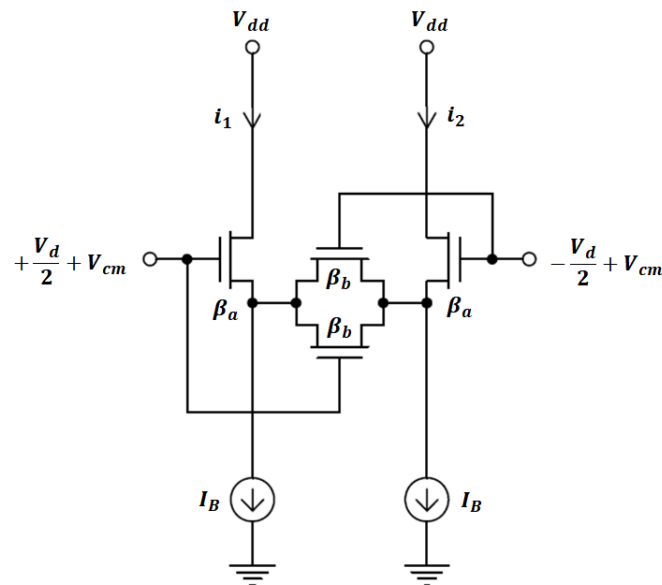


Figura 2.31: Amplificador diferencial com degeneração de fonte.

Ademais, a curva de transcondutância [23] é mostrada na Figura 2.32.

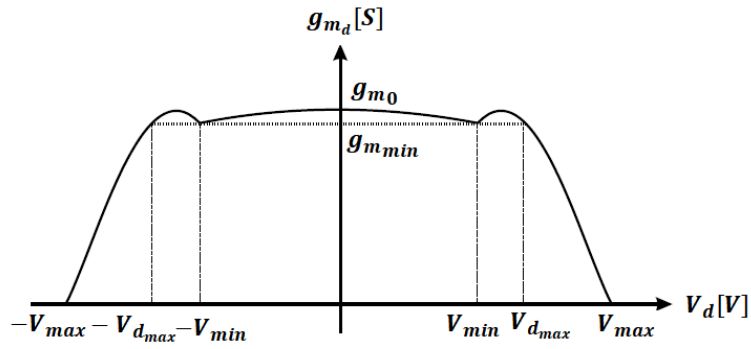


Figura 2.32: Gráfico de transcondutância em função da tensão diferencial V_d do amplificador diferencial com degeneração de fonte.

O projeto desta topologia de amplificador é delimitado pelas equações:

$$\beta_a = 12,45 \cdot \frac{\alpha_{n,p} T_0 \cdot g_{m_0}}{V_{d_{max}}}, \quad (2.91)$$

$$\beta_b = 1,86 \cdot \frac{\alpha_{n,p} T_0 \cdot g_{m_0}}{V_{d_{max}}}, \quad (2.92)$$

$$I_B = 1,15 \cdot g_{m_0} \cdot V_{d_{max}} \quad (2.93)$$

e

$$g_{m_{min}} = 0,92 \cdot g_{m_0}. \quad (2.94)$$

2.9.5 Amplificador Diferencial Usado no OTA Proposto

O amplificador diferencial utilizado neste trabalho foi o de topologia de dois pares assimétricos, apresentado na Seção 2.9.2, por possuir uma faixa plana na curva de g_{m_d} , e também um baixo valor de índice de distorção harmônica (THD) em comparação com o da Seção 2.9.1 (par diferencial simples) [36]. Ademais, o amplificador com par diferencial simples será objeto de comparação com outros trabalhos que o utilizaram, no capítulo de simulações deste documento, para comprovar a eficácia do OTA proposto neste trabalho.

O amplificador de dois pares assimétricos e um par simétrico (Seção 2.9.3), embora tenha curva plana de g_{m_d} , e também melhor valor de THD [23], [36], comparado ao de par simples, não foi escolhido por ter o inconveniente de precisar de três fontes de corrente para sua polarização, uma a mais que o amplificador selecionado da Seção 2.9.2, e gerar uma diferença de potencial entre porta e fonte muito elevada, o que prejudica a polarização do transistor que implementa a fonte de corrente de polarização, principalmente com baixa tensão de alimentação.

Por fim, o par diferencial com resistor de degeneração (Seção 2.9.4), não foi escolhido por ter menor excursão de sinal de transcondutância g_{m_d} , em comparação com os das Seções 2.9.2 e 2.9.3 [36], e não permitir a compensação da transcondutância dos resistores CMOS com o circuito multiplicador de β .

2.10 Espelhos de Corrente

Os espelhos de corrente utilizados foram o simples e o *folded cascode*, [23], [36] (com três transistores), indicados na Figura 2.33.

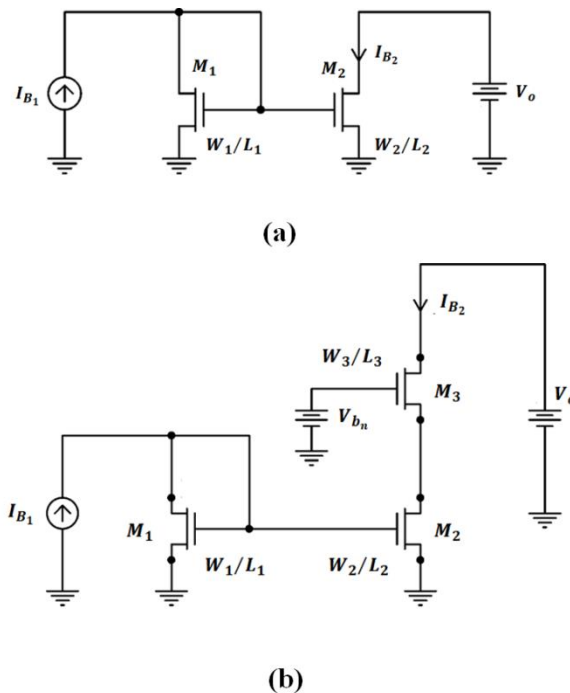


Figura 2.33: Espelhos de corrente utilizados nos circuitos deste trabalho (a) espelho de corrente simples (b) espelho de corrente *folded cascode* com três MOSFETS.

Em geral, espelhos de corrente são usados para gerarem uma corrente de referência para o circuito. Conforme indicado na Figura 2.33, a corrente de referência constitui a corrente de saída I_{B_2} , idealmente, proporcional à corrente de entrada I_{B_1} , com relação matemática definida por:

$$I_{B_2} = I_{B_1} \cdot \frac{\left(\frac{W_2}{L_2}\right)}{\left(\frac{W_1}{L_1}\right)}. \quad (2.95)$$

Essa relação é válida somente se mantivermos os transistores M_1 , M_2 e M_3 saturados [23], [39].

O espelho de corrente simples foi utilizado nos circuitos de auto polarização, CMFB e compensação de g_m (multiplicador de β), que serão discutidos mais adiante neste documento. Ademais, o espelho de corrente *folded cascode*, foi usado como estágio de saída do OTA proposto, conforme indicado na Figura 2.22 da Seção 2.7.

Para o espelho de corrente *folded cascode* [23], [36], [39], temos as seguintes características:

- Valores mais flexíveis para tensão de polarização V_{b_n} ;
- V_{b_n} deve ser tal que assegure M_2 e M_3 na região de trabalho saturação;
- V_{b_n} tem influência menor no valor da tensão de saída mínima $V_{o_{min}}$ com relação à topologia com quatro transistores identificada na Figura 2.21 da Seção 2.7.

2.10.1 Cálculo da Tensão de Polarização do *Folded Cascode* em Inversão Forte com Três Transistores

Conforme mencionado na Seção 2.10, a tensão de polarização V_{b_n} deve garantir saturação para os MOSFETs M_2 e M_3 , levando em consideração a variação da corrente i_o , com $-i_{o_{max}} \leq i_o \leq i_{o_{max}}$ e da tensão de saída V_o . O esquemático de projeto é mostrado na Figura 2.34 a seguir.

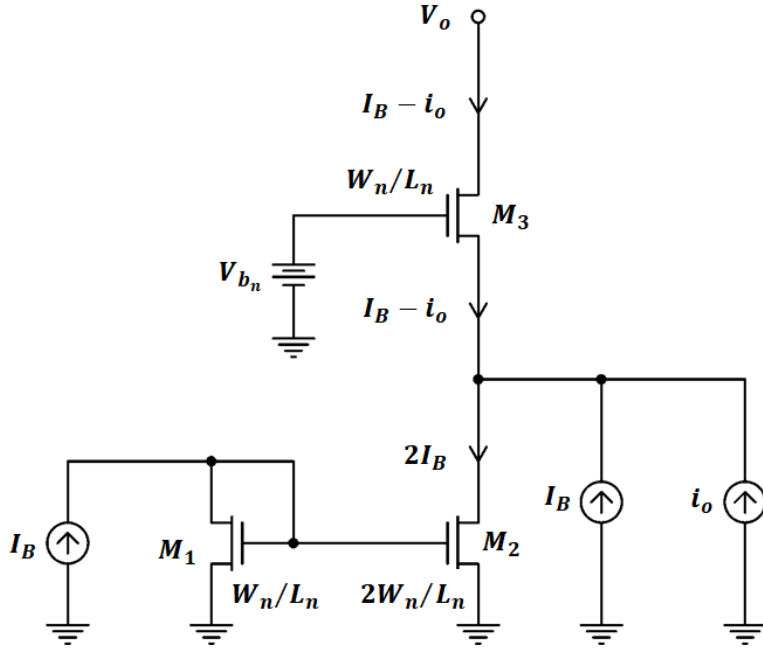


Figura 2.34: Esquemático de projeto do *folded cascode* com três transistores.

As equações de projeto [23], [36], [39] são definidas por:

Saturação de $M_2 \rightarrow$

$$V_{bn} \leq V_{THn} + \left(\frac{1}{\alpha_{nT_0}} + \sqrt{1 + \frac{i_{0max}}{I_B}} \right) \cdot \Delta V_{gs} , \quad (2.96)$$

Saturação de $M_3 \rightarrow$

$$V_{bn} \geq V_{0min} + V_{THn} + \left(1 - \frac{1}{\alpha_{nT_0}} \right) \cdot \sqrt{1 - \frac{i_{0max}}{I_B}} \cdot \Delta V_{gs} , \quad (2.97)$$

Limite do modo de operação inversão forte \rightarrow

$$\Delta V_{gsmin} = 2 \cdot \alpha_{nT_0} \cdot \phi_T \cdot \sqrt{IC_{min}} \quad (2.98)$$

e

$$\Delta V_{gsmin} \leq \Delta V_{gsim} . \quad (2.99)$$

As condições de projeto em (2.96), (2.97), (2.98) e (2.99) são ilustradas no gráfico da Figura 2.35.

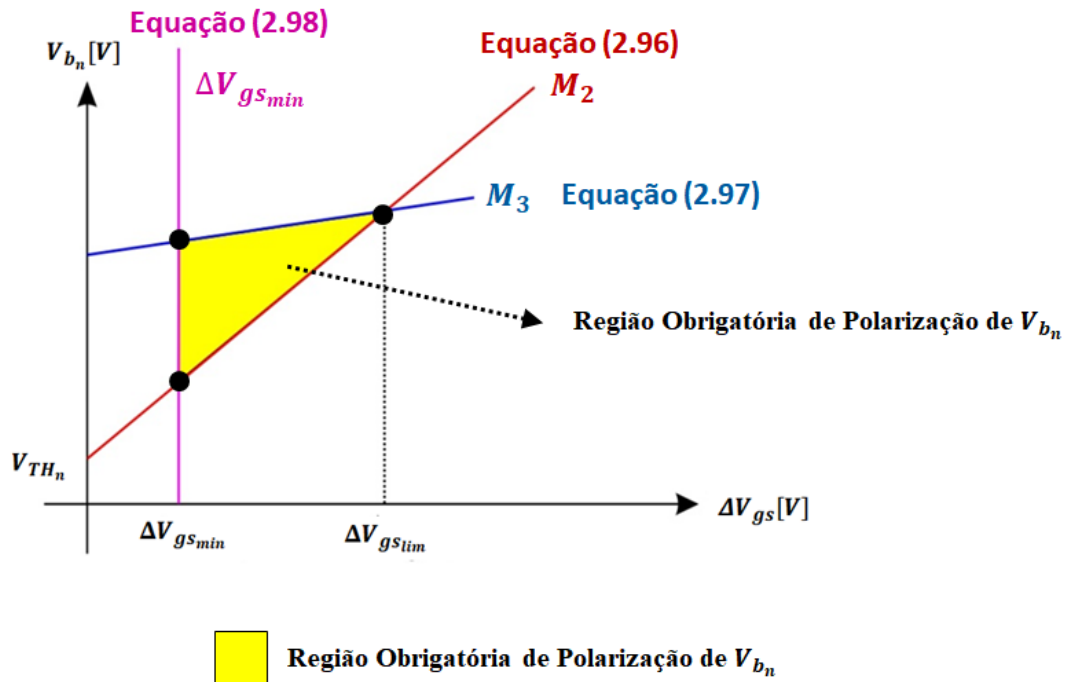


Figura 2.35: Condições de contorno para cálculo da tensão de polarização V_{b_n} .

Conforme mencionado na Seção 2.6 deste documento, foi utilizado neste trabalho o circuito de compensação de g_m (multiplicador de β) para manter o g_m constante do OTA com a variação de temperatura. Conforme será mostrado mais adiante no capítulo sobre o circuito multiplicador de β , a corrente de polarização I_B com influência da temperatura é definida por $I_B = I_{B_{T_0}} \cdot \left(\frac{T}{T_0}\right)^{-\alpha_{\mu_n}}$.

Segundo [23], [36], [39], a condição mais restritiva para V_{b_n} ocorre na temperatura $T = T_{max}$. Substituindo $I_B = I_{B_{T_0}} \cdot \left(\frac{T}{T_0}\right)^{-\alpha_{\mu_n}}$ e os parâmetros dependentes da temperatura, indicados nas Seções 2.4.11 e 2.4.12, nas condições de contorno (2.96), (2.97) e (2.98), teremos, nesta ordem:

$$V_{0min} \geq \left(\frac{2 \cdot \phi_{T_0} \cdot \sqrt{IC_{min}} \cdot \left(\frac{T}{T_0}\right)}{\sqrt{1 + \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + \sqrt{1 - \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}}} \right) \quad (2.100)$$

$$\cdot \left[\left(\sqrt{1 + \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + 1 \right) \cdot \left(\sqrt{1 - \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + 1 \right) + (2 \cdot \alpha_{nT_0}) \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}} \right],$$

$$\Delta V_{gslim} = \alpha_{nT_0} \cdot V_{0min} \cdot \left(\sqrt{1 + \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + \sqrt{1 - \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} \right) \quad (2.101)$$

$$\cdot \left[\frac{1}{\left(\sqrt{1 + \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + 1 \right) \cdot \left(\sqrt{1 - \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} + 1 \right) + 2 \cdot \alpha_{nT_0} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu_n}} \cdot \frac{i_{0max}}{I_{B_0}}} \right]$$

e

$$\Delta V_{gsmin} = 2 \cdot \alpha_{nT_0} \cdot \phi_{T_0} \cdot \sqrt{IC_{min}} \cdot \left(\frac{T}{T_0}\right). \quad (2.102)$$

A fim de testar as condições de projeto, foram substituídos em (2.100), (2.101) e (2.102) os coeficientes de variação térmica $\alpha_{\mu_n} = -1,7$ e $\alpha_{V_{THn}} = -0,74 \cdot 10^{-3}$ (Tabela 2.1 da Seção 2.4.12), $\phi_{T_0} = 26$ mV, os parâmetros de processo do Apêndice A $k_{p_{nT_0}} = 293 \cdot 10^{-6}$ A/V², $V_{THnT_0} = 0,39$ V, $\alpha_{nT_0} = 1,23$ e $T_0 = 300$ K. Ademais, como parâmetros de projeto de teste, foram usados $I_{B_0} = 10$ μ A, $i_{0max} = 5$ μ A, $T_{max} = 175$ °C (448 K), $T_{min} = -50$ °C (223 K) e $IC_{min} = 10$. Como resultado temos para V_{0min} o gráfico indicado na Figura 2.36.

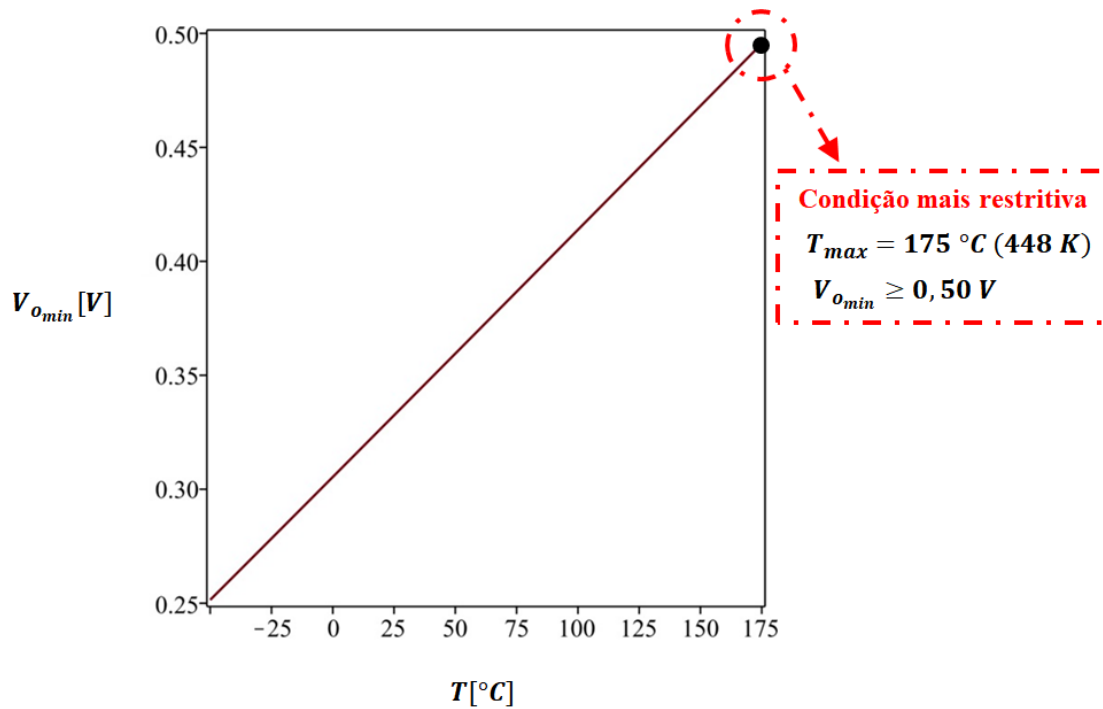
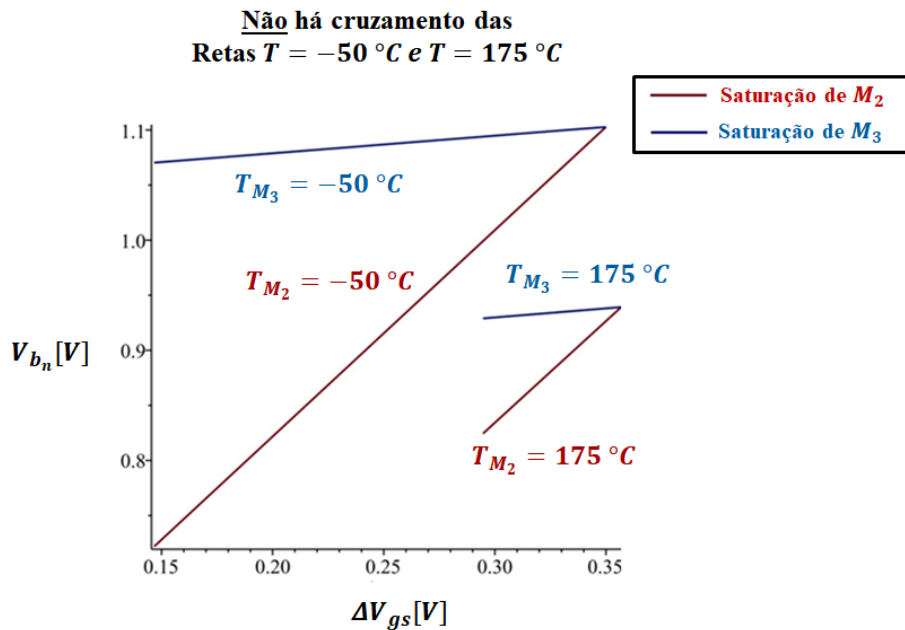


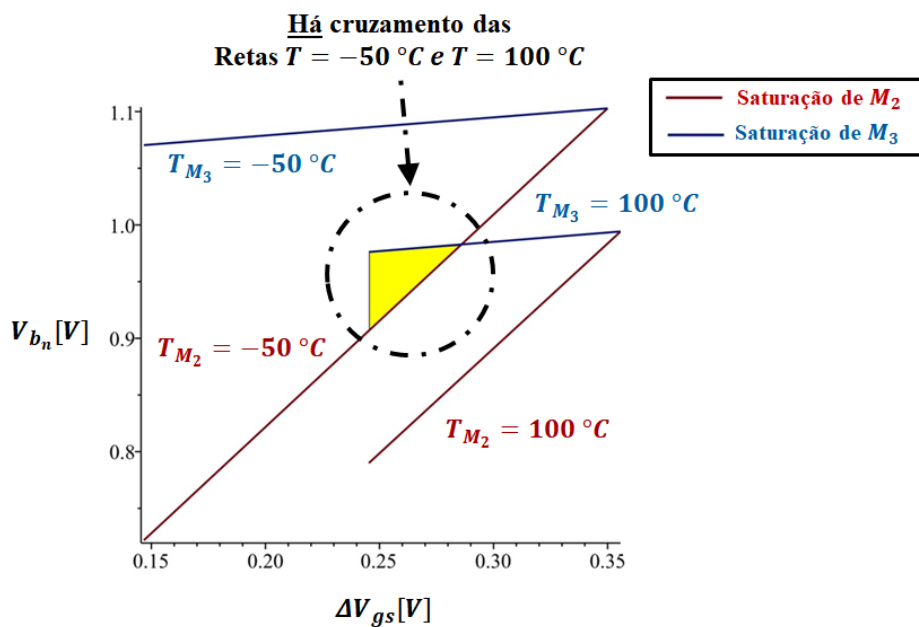
Figura 2.36: Gráfico de $V_{o_{min}}$ em função da temperatura com restrição de projeto $V_{o_{min}} \geq 0,50$ V.

Tomando como base a restrição $V_{o_{min}} \geq 0,50$ V do gráfico da Figura 2.36, foi escolhido como exemplo um valor $V_{o_{min}} = 0,6$ V onde tivemos os gráficos de V_{b_n} em função de ΔV_{gs} , nas temperaturas $T_{min} = -50$ °C (223 K), $T_{max} = 175$ °C (448 K) e $T_{max} = 100$ °C (373 K), apresentados na Figura 2.37 a seguir.



$$V_{0_{min}} = 0,6\text{ V} \quad T_{max} = 175\text{ }^\circ\text{C} \quad IC_{min} = 10$$

(a)



$$V_{0_{min}} = 0,6\text{ V} \quad T_{max} = 100\text{ }^\circ\text{C} \quad IC_{min} = 10$$

(b)

Figura 2.37: Cálculo de V_{b_n} com variação da temperatura T (a) não existência de uma região de polarização do espelho de corrente para faixa de temperatura $T_{min} = -50\text{ }^\circ\text{C}$ e $T_{max} = 175\text{ }^\circ\text{C}$ (b) existência de uma região de polarização do espelho de corrente para faixa de temperatura $T_{min} = -50\text{ }^\circ\text{C}$ e $T_{max} = 100\text{ }^\circ\text{C}$.

Nota-se que a condição de contorno mostrada no gráfico da Figura 2.36, com $V_{o_{min}} = 0,6 \text{ V}$, usada como exemplo, não atende a todas as faixas de temperatura, conforme expõem os gráficos (a) e (b) da Figura 2.37. Não se consegue fazer o projeto do espelho *folded cascode* com variação de temperatura, impondo-se um valor fixo no coeficiente de inversão IC_{min} . O OTA proposto neste trabalho deve funcionar na faixa de $-50 \text{ }^\circ\text{C}$ a $+175 \text{ }^\circ\text{C}$, e conforme mostrado no gráfico (b) da Figura 2.37, para inversão forte ($IC_{min} = 10$), só há região de polarização na faixa de $-50 \text{ }^\circ\text{C}$ a $+100 \text{ }^\circ\text{C}$. Isso mostra que analiticamente não é possível calcular o valor de polarização V_{b_n} para o espelho *folded cascode* sob a variação de temperatura especificada.

Conforme será detalhado mais adiante no capítulo de projeto desta dissertação, a solução encontrada para polarizar os espelhos *folded cascode* do estágio de saída do OTA foi achar o valor de V_{b_n} (*cascode* inferior) e de V_{b_p} (*cascode* superior) por varredura no simulador *Cadence*, escolhendo valores para IC_{min} a fim de calcular os valores de W_n e L_n (transistores do *cascode* inferior) e W_p e L_p (transistores do *cascode* superior) e observando se a corrente de polarização I_B está de acordo com a escolhida para a polarização dos circuitos do OTA, que neste caso foi $I_B = 10 \text{ } \mu\text{A}$ a uma temperatura de $27 \text{ }^\circ\text{C}$.

2.11 Circuito de Compensação de Transcondutância g_m (Multiplicador de β)

A transcondutância de MOSFETs desempenha um papel crítico em circuitos analógicos, influenciando em parâmetros de desempenho tais como ruído, ganho de pequenos sinais e velocidade. Por esta razão, é desejável polarizar os transistores de forma que sua transcondutância seja insensível às variações de temperatura, parâmetros de processo e tensão de alimentação [39].

Analisando [10], [39] e [40], foi utilizado o circuito da Figura 2.38. Esse circuito fornece uma corrente de polarização variável na temperatura que compensa as variações da transcondutância g_m , tornando-a invariante com a temperatura T . Qualquer circuito externo que usar a corrente I_B gerada pelo circuito multiplicador de β , através do espelho de corrente simples constituído pelos MOSFETs M_a ou M_b para polarização,

também terá seu g_m invariante com a temperatura. Lembrando que $\beta = k_p \cdot \frac{W}{L}$, conforme mencionado na Seção 2.2.1.

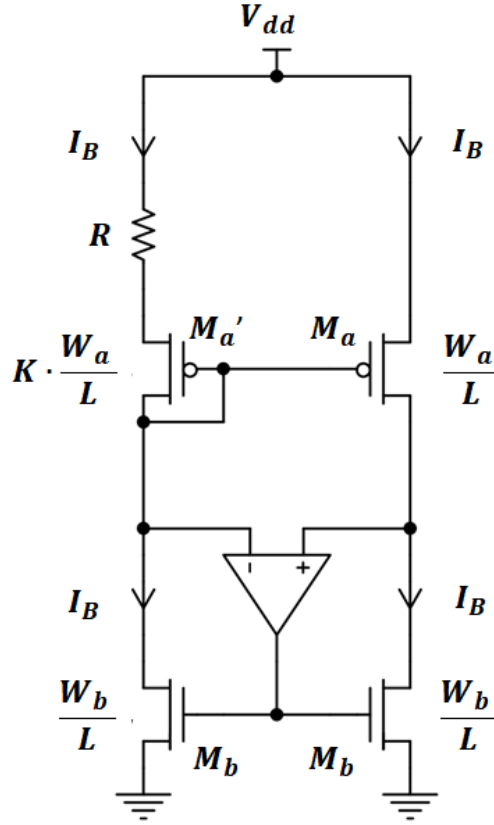


Figura 2.38: Circuito de compensação de g_m (multiplicador de β).

Neste trabalho, o cálculo das razões W/L dos MOSFETs M_a e M_b foi feito levando em consideração a transcondutância g_m em inversão forte [23], definida por:

$$g_m = \sqrt{\frac{2 \cdot I_B \cdot \beta}{\alpha_{n,pT_0}}} \quad (2.103)$$

A corrente de polarização I_B do circuito da Figura 2.38 [10], [39], [40] é definida pela relação:

$$I_B = \frac{2 \cdot \alpha_{n,pT_0}}{\beta \cdot R^2} \cdot \left(1 - \frac{1}{K}\right)^2 = \frac{2 \cdot \alpha_{n,pT_0}}{\beta_0 \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu n,p}} \cdot R^2} \cdot \left(1 - \frac{1}{K}\right)^2 = I_{B_0} \cdot \left(\frac{T}{T_0}\right)^{\alpha_{\mu n,p}} \quad (2.104)$$

Em (2.104) I_B é a corrente de polarização na temperatura T , T_0 a temperatura de referência com valor 27 °C (300 K), K é uma constante inteira maior que 1 e I_{B_0} é o valor da corrente de polarização na temperatura de referência. Neste projeto, foi usado para R o resistor de processo da XFAB *rpp1* que, conforme Apêndice C deste documento, varia muito pouco com a temperatura, pois tem o menor coeficiente de variação térmica, o que aperfeiçoa ainda mais o funcionamento do circuito multiplicador de β .

2.12 Circuito de Auto Polarização (Fonte de Corrente Constante Invariante Com a Temperatura)

Tomando por base [16], [23], [39] e [41], foi projetado o circuito da Figura 2.39 a seguir.

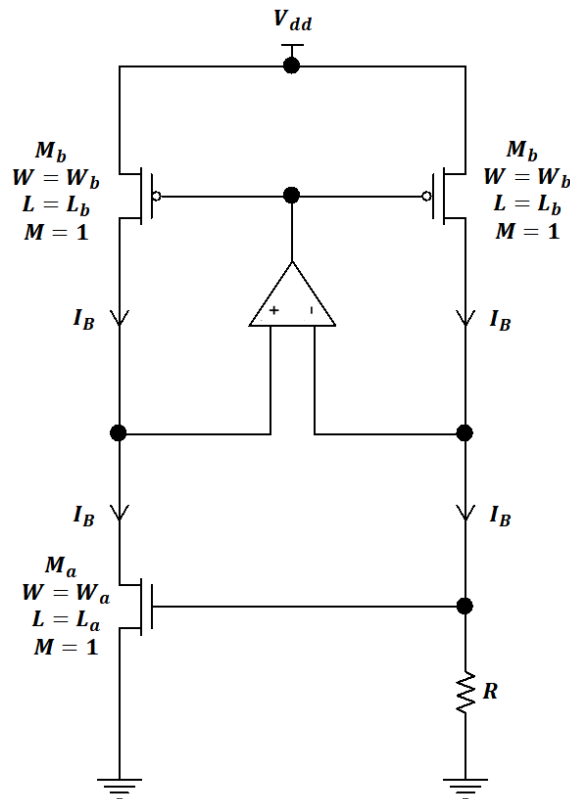


Figura 2.39: Circuito de auto polarização com corrente I_B invariante com a temperatura.

Ele é assim chamado, porque também é independente da tensão V_{dd} , dentro de certa faixa de variação. O circuito funciona de maneira que o amplificador operacional

força as tensões no dreno de M_a e no resistor R serem iguais devido a uma forte realimentação negativa. Da mesma forma, também força as tensões nas portas de M_b a serem iguais, e isto obriga as correntes nos drenos dos transistores M_b também serem iguais, no caso I_B . Mas a corrente I_B é gerada pelo transistor M_a , e se escolhermos R de forma que $V_{ZTC} = I_B \cdot R$, a tensão no gate de M_a vai gerar a própria corrente que o coloca no ponto ZTC. Desta forma, a corrente I_B deve ser muito pouco dependente da temperatura. Portanto, podemos fazer:

$$R = \frac{V_{ZTC}}{I_B} . \quad (2.105)$$

Em (2.105), o valor de V_{ZTC} é 0,61 V, conforme calculado na Seção 2.5 desta dissertação. Obviamente, como não temos o ponto ZTC exato, R deve passar por um ajuste fino no simulador. Outro ponto importante é escolher um resistor que seja pouco variante com a temperatura. No processo da XFAB, conforme indicado no Apêndice C deste documento, o resistor $rpp1$ é muito pouco dependente da temperatura.

Através da corrente I_B invariante, podemos gerar qualquer outro valor de corrente invariante, através de espelhos de corrente. Como o valor de V_{ZTC} está acima de $V_{TH_{T_0}}$, o transistor está operando em inversão forte. Se assumirmos que $\alpha_{\mu_n} \cong -2$, o dimensionamento de M_a é definido por:

$$\frac{W_a}{L_a} = \frac{2 \cdot \alpha_{n_{T_0}} \cdot I_B \cdot T_0^2}{k_{p_{n_{T_0}}} \cdot \alpha_{V_{THn}}^2} . \quad (2.106)$$

Para o dimensionamento de M_b , é mantida a mesma densidade de corrente do transistor NMOS M_a , fazendo $L_b = L_a$ conforme a equação:

$$W_b = \left(\frac{k_{p_{n_{T_0}}}}{k_{p_{p_{T_0}}}} \right) \cdot W_a . \quad (2.107)$$

Capítulo 3

Projeto do Circuito Integrado

O OTA proposto neste trabalho teve como ajustes finais de projeto os seguintes valores:

- Tensão de modo comum $V_{cm} = 700 \text{ mV}$;
- Excursão do sinal de entrada $V_{d_{max}} = 500 \text{ mV}$;
- Transcondutância diferencial $g_{m_d} = 12,5 \mu\text{S}$, constante na faixa de temperatura de $-50 \text{ }^\circ\text{C}$ (223 K) a $175 \text{ }^\circ\text{C}$ (448 K);
- Corrente de polarização $I_B = 10 \mu\text{A}$ (Para circuitos do OTA, compensação de g_m e circuito de auto polarização);
- Corrente de sinal de saída máxima $i_{o_{max}} = g_{m_d} \cdot V_{d_{max}} = 6,25 \mu\text{A}$.

A tecnologia de fabricação utilizada foi a do fabricante XFAB $0,18 \mu\text{m}$ com tensão máxima de alimentação $V_{dd} = 1,8 \text{ V}$, sendo assim com $V_{cm} = 700 \text{ mV}$, temos como tensão de saída máxima ($V_{o_{max}}$) e mínima ($V_{o_{min}}$) do OTA os valores conforme mostra a Figura 3.1.

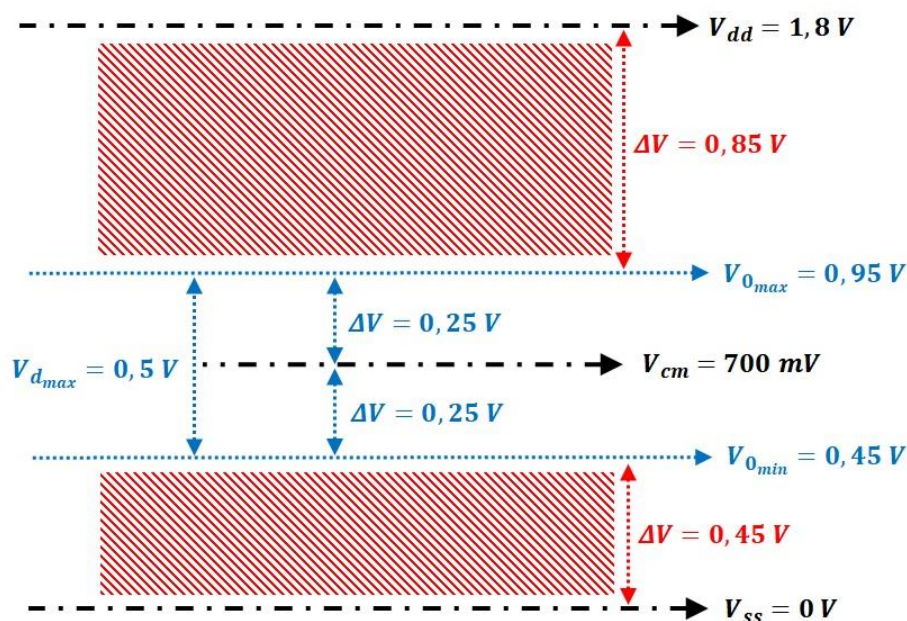


Figura 3.1: Ajuste final de projeto da excursão de saída OTA proposto.

Neste capítulo será apresentado como e porque alguns desses ajustes foram escolhidos.

3.1 Amplificador Diferencial de Entrada

Conforme mencionado na Seção 2.9.5, o amplificador diferencial usado neste projeto foi o de topologia com dois pares assimétricos (Seção 2.9.2). Substituindo $I_B = 10 \mu\text{A}$, $g_{m_0} = 12,5 \mu\text{S}$, $V_{d_{max}} = 500 \text{ mV}$ e $\alpha_{pT_0} = 1,21$ nas equações (2.82), (2.83) e (2.84), foram calculadas as dimensões W e L dos transistores M_{1a} , M_{2a} , M_{1b} e M_{2b} . Ademais, foi montado no simulador *Cadence Virtuoso* o circuito da Figura 3.2 para ajuste fino de g_{m_0} na temperatura de 27°C , fazendo uma varredura da tensão diferencial de entrada V_d de -2 V a $+2 \text{ V}$, obtendo-se os gráficos indicados em Figura 3.3 e Figura 3.4. O dimensionamento dos transistores do par diferencial é indicado na Tabela 3.1. A princípio, não é necessário ajustar as extremidades $-V_{d_{max}}$ e $+V_{d_{max}}$, mas apenas o valor de $g_{m_0} \approx 12,5 \mu\text{S}$ em $T = 27^\circ\text{C}$. O motivo da escolha da tensão de modo comum $V_{cm} = 700 \text{ mV}$ será abordado mais adiante nesta dissertação.

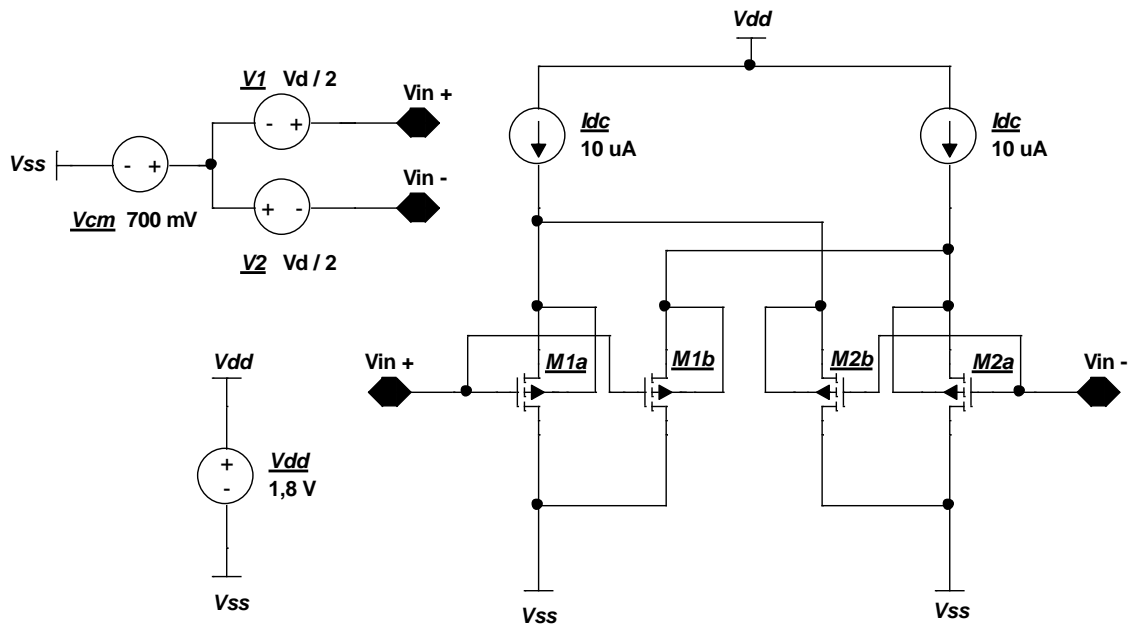


Figura 3.2: Circuito para ajuste de g_{m_0} do par diferencial.

Tabela 3.1: Dimensionamento dos transistores do par diferencial.

Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{1a}	24 μm	5,3 μm	1
M_{2a}	24 μm	5,3 μm	1
M_{1b}	2,5 μm	5,3 μm	1
M_{2b}	2,5 μm	5,3 μm	1

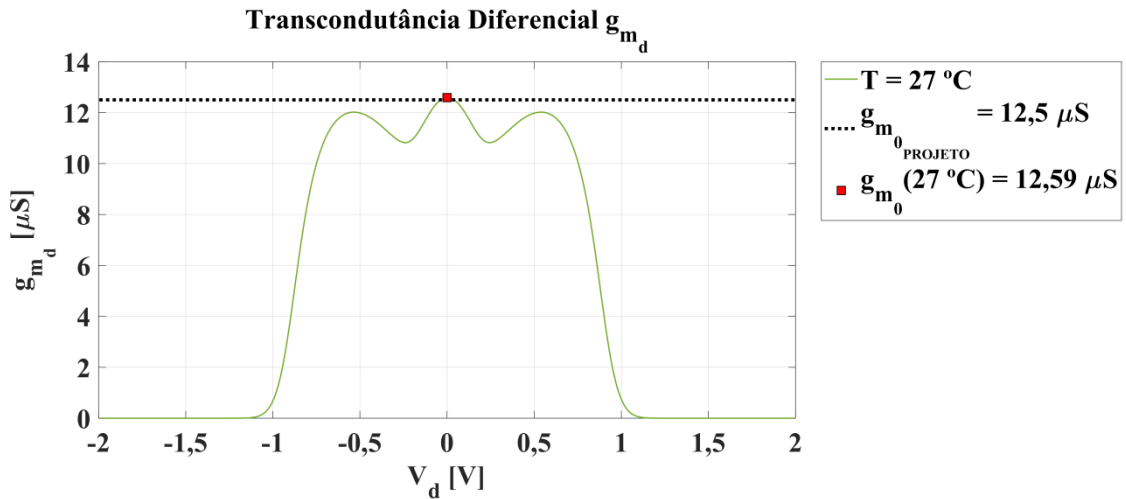


Figura 3.3: Transcondutância diferencial g_{m_d} na temperatura $T = 27\text{ }^\circ\text{C}$.

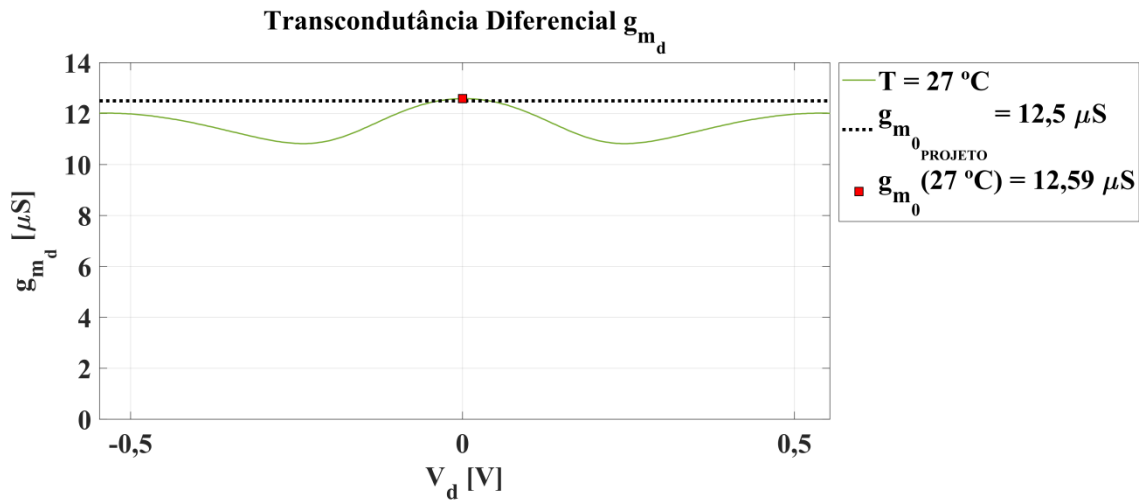


Figura 3.4: Transcondutância diferencial g_{m_d} na temperatura $T = 27\text{ }^\circ\text{C}$ dentro da faixa de excursão de sinal desejada no projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$.

Também foi feita no simulador uma varredura da temperatura na faixa de $-50\text{ }^{\circ}\text{C}$ a $175\text{ }^{\circ}\text{C}$, obtendo-se os gráficos mostrados na Figura 3.5 a Figura 3.8. Nota-se que a transcondutância varia sua amplitude, e é inversamente proporcional à temperatura.

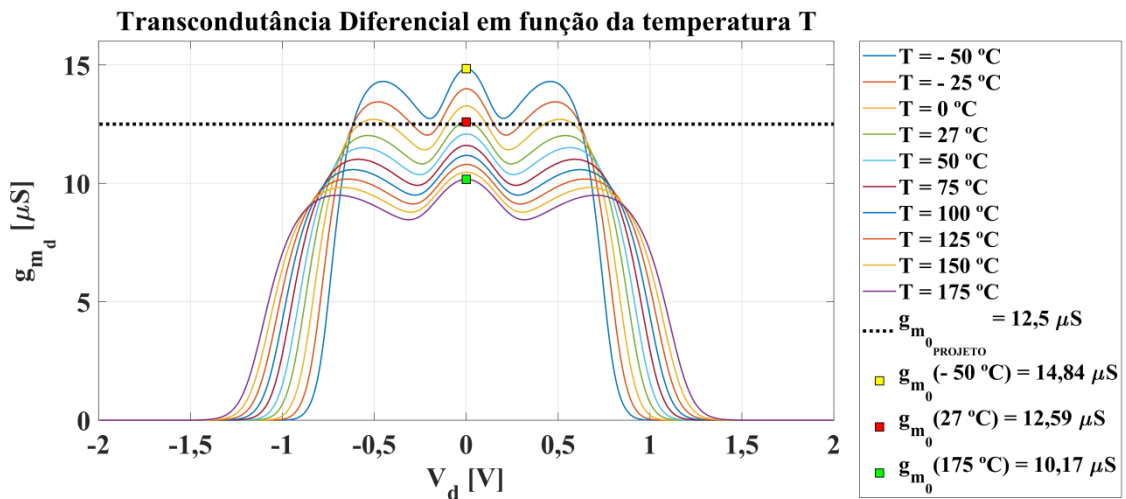


Figura 3.5: Transcondutância diferencial g_{m_d} em função da temperatura T .

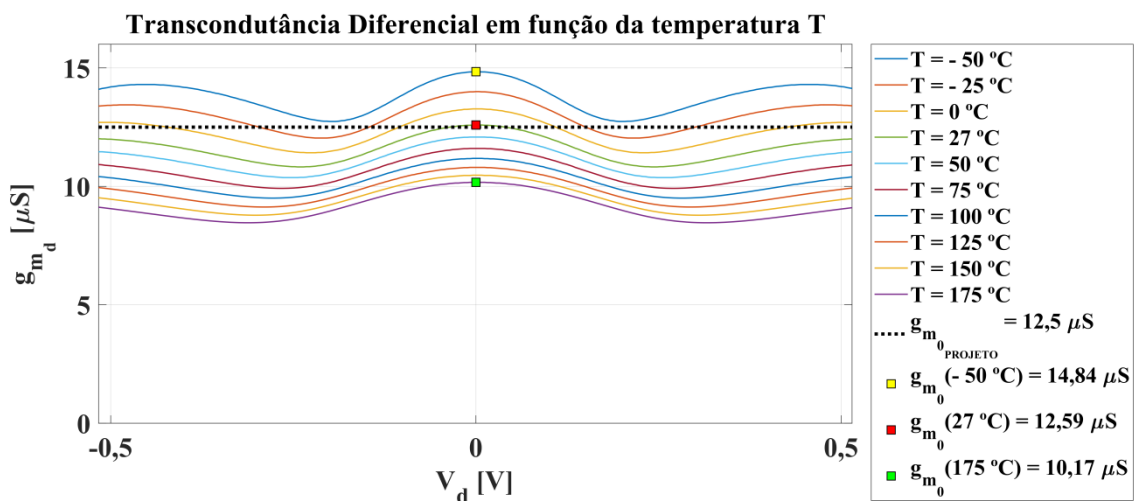


Figura 3.6: Transcondutância diferencial g_{m_d} em função da temperatura T dentro da faixa de excursão de sinal desejada no projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$.

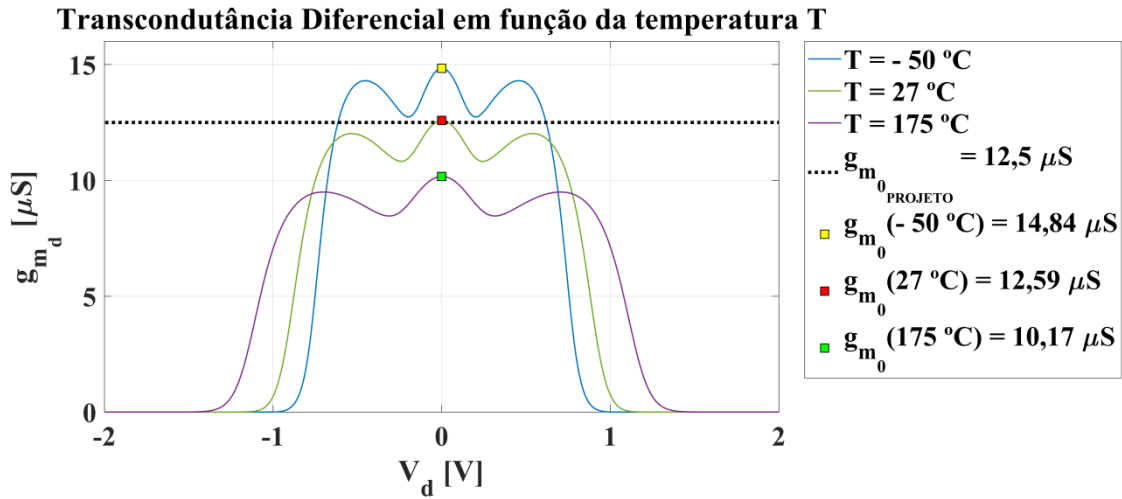


Figura 3.7: Transcondutância diferencial g_{m_d} em função da temperatura nos limites extremos $T = -50\text{ °C}$ e $T = 175\text{ °C}$, e na temperatura de referência $T_0 = 27\text{ °C}$.

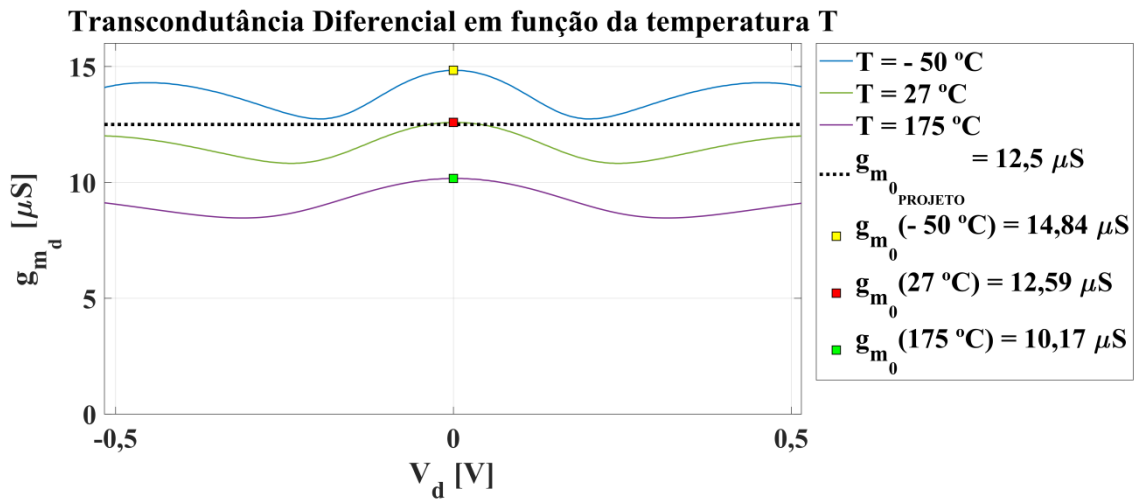


Figura 3.8: Transcondutância diferencial g_{m_d} em função da temperatura nos limites extremos $T = -50\text{ °C}$ e $T = 175\text{ °C}$, e na temperatura de referência $T_0 = 27\text{ °C}$ dentro da faixa de excursão de sinal desejada no projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$.

Tabela 3.2: Dimensionamento dos componentes do circuito multiplicador de β da Figura 3.9.

TRANSISTORES			
Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_1	41 μm	5 μm	1
M_2	5 μm	5 μm	2
M_3	41 μm	5 μm	2
M_4	5 μm	5 μm	2
M_5	1,5 μm	2 μm	1
M_6	1,5 μm	2 μm	1
M_7	5 μm	5 μm	2
M_8	8 μm	1 μm	1
M_9	8 μm	1 μm	1
M_{10}	8 μm	1 μm	1
M_{11}	5 μm	5 μm	1
CAPACITORES			
Capacitor	Valor		
C_{c1}	5 pF		
RESISTORES			
Resistor	Valor		
R_1	5875,35 Ω		

Tabela 3.3: Correntes de polarização DC do circuito da Figura 3.9, nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$.

Transistor	Corrente de Polarização DC (I_B)		
	$T = -50\text{ }^{\circ}\text{C}$	$T = 27\text{ }^{\circ}\text{C}$	$T = 175\text{ }^{\circ}\text{C}$
M_1	7,3 μA	10,18 μA	15,25 μA
M_2	7,3 μA	10,18 μA	15,25 μA
M_3	7,3 μA	10,18 μA	15,24 μA
M_4	7,3 μA	10,18 μA	15,24 μA
M_5	3,39 μA	4,79 μA	7,26 μA
M_6	3,89 μA	5,34 μA	7,81 μA
M_7	7,29 μA	10,14 μA	15,06 μA
M_8	3,39 μA	4,79 μA	7,26 μA
M_9	3,89 μA	5,34 μA	7,81 μA
M_{10}	3,64 μA	5,08 μA	7,59 μA
M_{11}	3,64 μA	5,08 μA	7,59 μA

A corrente utilizada para polarizar os circuitos, nos quais se deseja fazer a compensação de g_m , é a espelhada pelo transistor M_3 . No circuito da Figura 3.9, foi realizada uma varredura da temperatura na faixa $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$, gerando o gráfico da Figura 3.10 de corrente de polarização $I_{B_{M_3}}$ em função da temperatura.

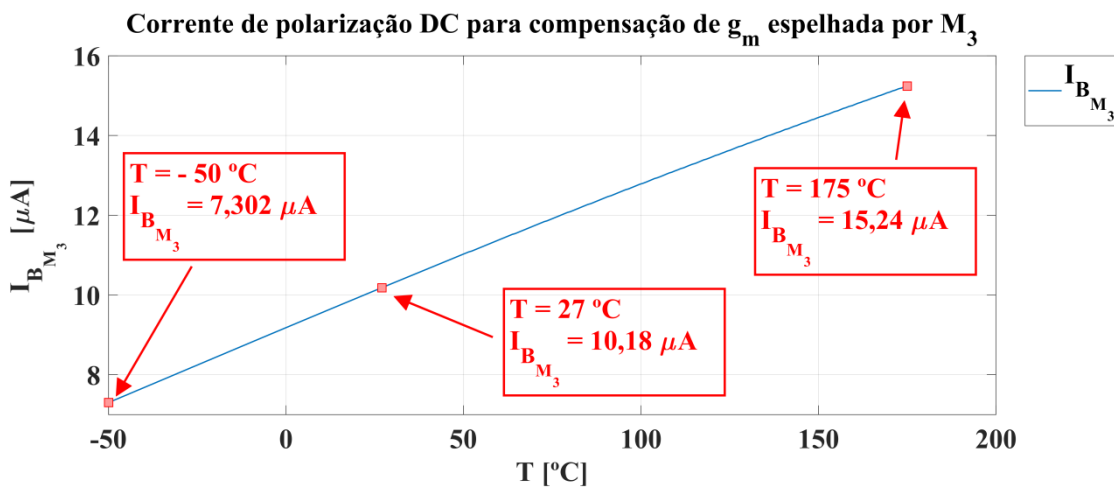


Figura 3.10: Corrente de polarização DC para compensação de g_m espelhada pelo transistor M_3 .

O resistor R_1 e o capacitor C_{c1} são componentes de processo da biblioteca XFAB $0,18 \mu m$, denominados, respectivamente, por *rpp1* e *cmm5t*.

O uso do capacitor C_{c1} foi devido ao fato de haver uma instabilidade no circuito da realimentação feita pelo amplificador operacional constituído pelos MOSFETs M_5 , M_6 , M_7 , M_8 e M_9 . O valor do capacitor foi determinado por meio da ferramenta *iprobe*, presente na biblioteca *analoglib* do simulador *Cadence Virtuoso*, através de simulações de margens de ganho e fase para averiguar a estabilidade em malha fechada do amplificador operacional, segundo o critério de estabilidade de *Barkhausen*. Para isso, no simulador, foi adicionado ao circuito da Figura 3.9 o componente *iprobe* segundo mostra a Figura 3.11.

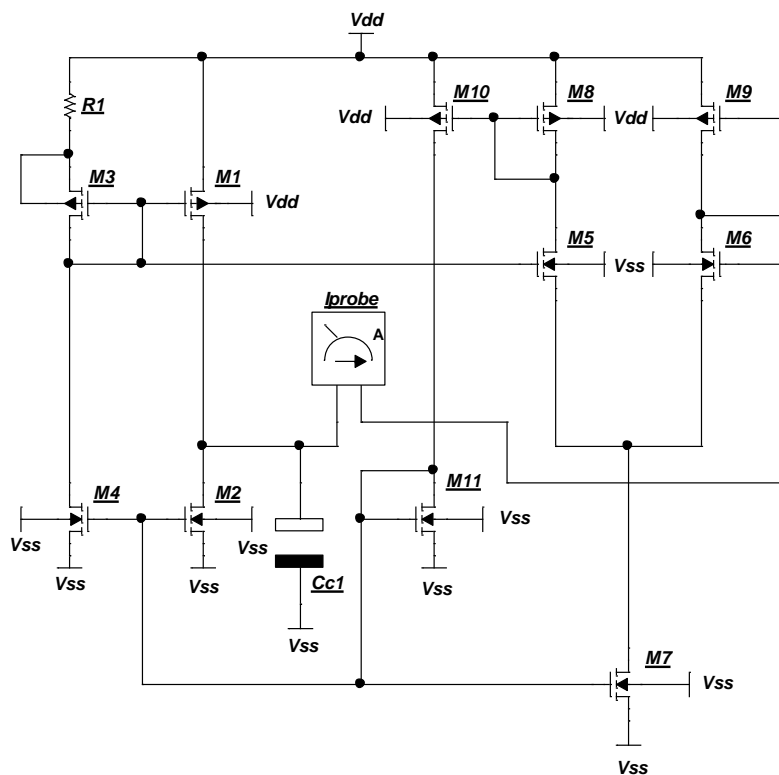


Figura 3.11: Ferramenta *iprobe* para análise de estabilidade no circuito multiplicador de β e determinação do valor do capacitor C_{c1} .

Os gráficos de resposta em frequência e de fase obtidos são os indicados na Figura 3.12 e Figura 3.13, nesta ordem. A frequência de corte é $9,209 \text{ kHz}$ e o ganho da banda passante é aproximadamente $39,05 \text{ dB}$. O valor da margem de ganho é a diferença entre o ganho 0 dB e o ganho da frequência onde a fase é 0° . A margem de ganho obtida foi $6,3474 \text{ dB}$. A margem de fase é dada pela diferença entre a fase 0° e a fase em que o ganho tem valor 0 dB . Para margem de fase teve-se o valor de $53,11^\circ$,

correspondendo à máxima variação que a fase pode sofrer sem que o circuito passe a ser instável em malha fechada. Sendo assim, $C_{c1} = 5 \text{ pF}$ é aceitável para o projeto.

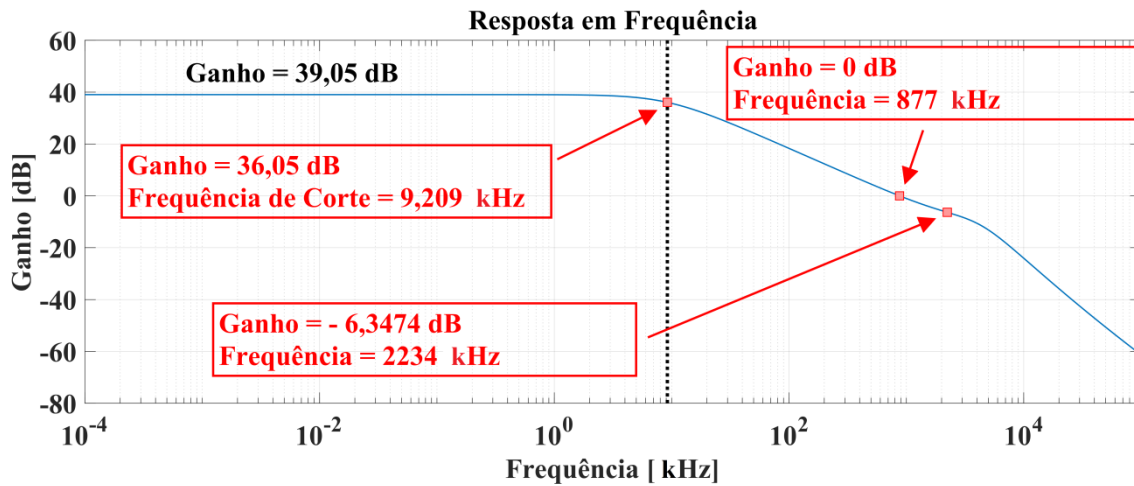


Figura 3.12: Gráfico de resposta em frequência gerado pela malha fechada do circuito.

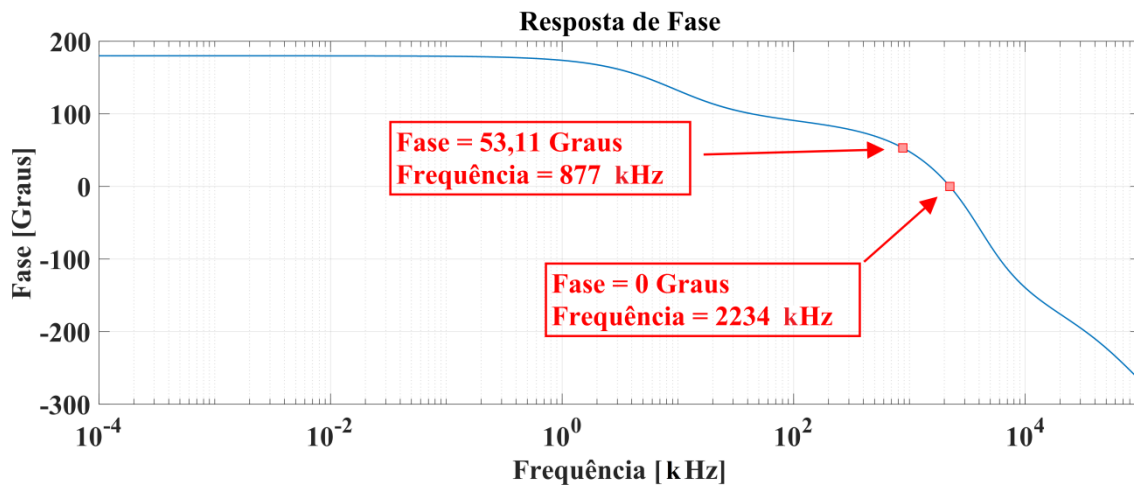


Figura 3.13: Gráfico de resposta de fase gerado pela malha fechada do circuito.

Uma observação importante deve ser feita a respeito deste circuito. O multiplicador de β possui dois pontos de estabilidade, um com $I_B = 0$ e outro com $I_B \neq 0$. É relatado na literatura a necessidade de um circuito de *startup*, para impedir que os transistores M_1 e M_3 iniciem cortados. A fim de verificar a necessidade ou não do uso de um circuito de *startup*, foi adicionada ao circuito da Figura 3.9 uma fonte de alimentação *vpulse* da biblioteca *analogLib*, conforme indicado na Figura 3.14. Os parâmetros de ajustes utilizados na fonte *vpulse* foram os seguintes:

- $Voltage\ 1 = 0\ V$;
- $Voltage\ 2 = 1,8\ V$;
- $Period = 12\ ms$;
- $Delay\ time = 100\ \mu s$;
- $Rise\ time = 1\ ms$;
- $Fall\ time = 1\ ms$;
- $Pulse\ width = 10\ ms$.

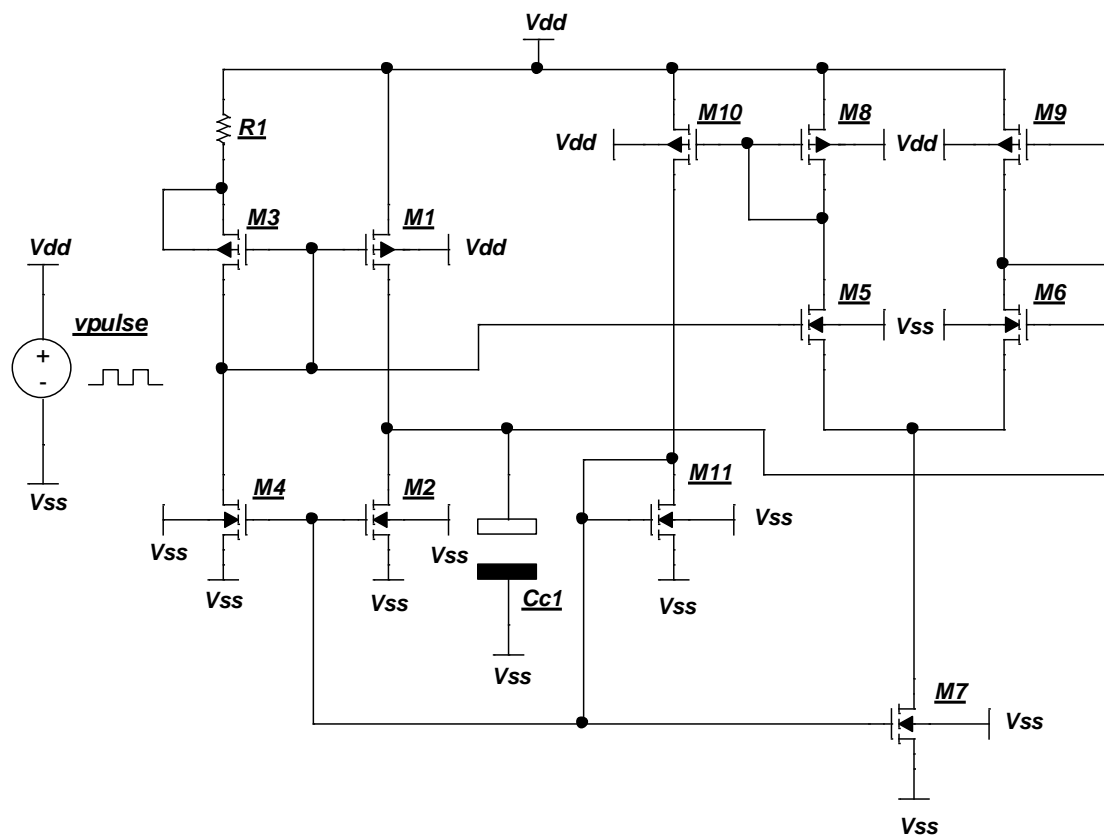


Figura 3.14: Circuito montado no simulador *Cadence* para verificação da necessidade ou não de um circuito de *startup*.

Exaustivas simulações de transiente, medindo a tensão V_{dd} e a corrente de polarização I_B na faixa de temperatura $-50\ ^\circ C \leq T \leq 175\ ^\circ C$, mostraram que no momento em que o circuito é ligado, os transistores M_1 e M_3 rapidamente se estabilizam na região de saturação, conforme é apresentado nos gráficos da Figura 3.15 e Figura 3.16. Portanto não houve necessidade da implementação de um circuito de *startup*.

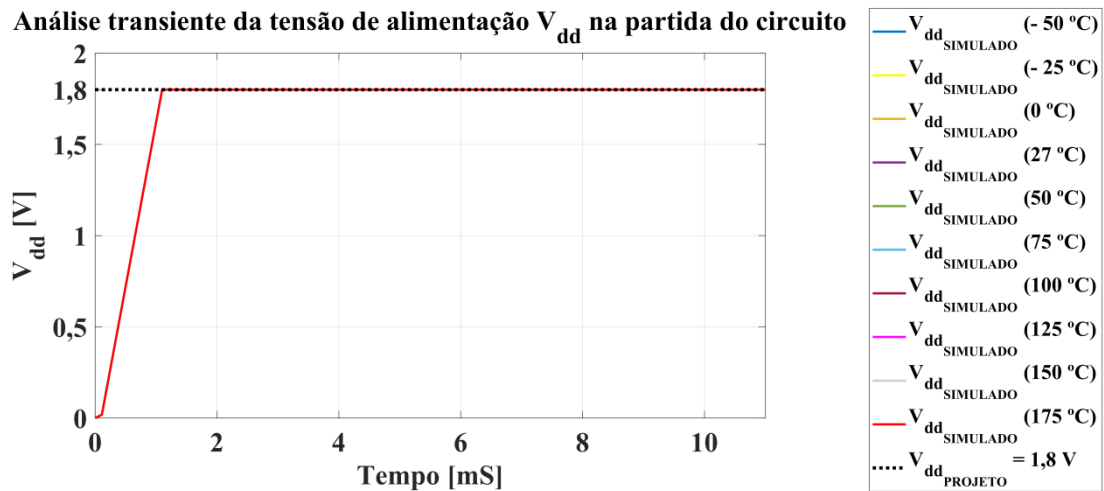


Figura 3.15: Análise transiente da tensão de alimentação V_{dd} , na partida do circuito, com a temperatura no intervalo $- 50\text{ °C} \leq T \leq 175\text{ °C}$.

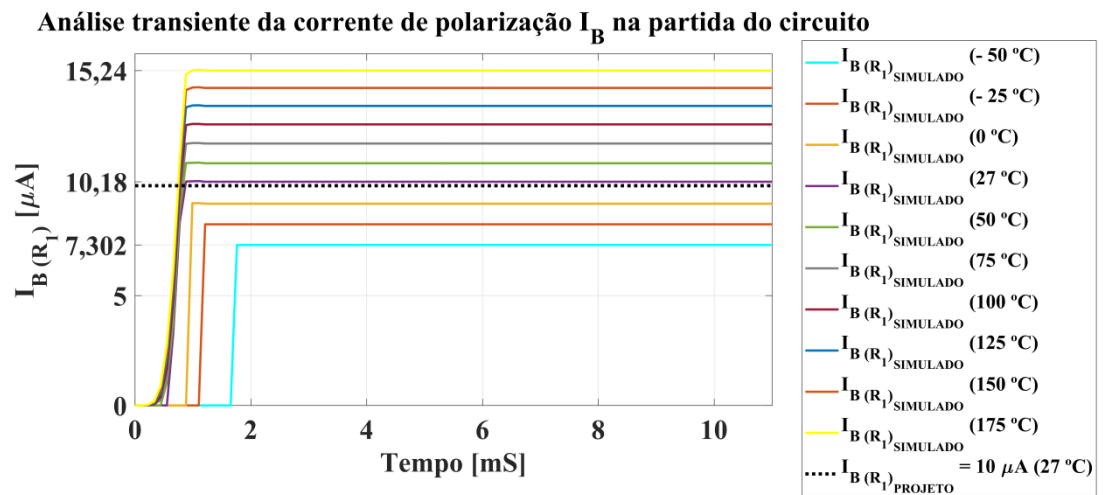


Figura 3.16: Análise transiente da corrente de polarização I_B , na partida do circuito, com a temperatura no intervalo $- 50\text{ °C} \leq T \leq 175\text{ °C}$.

3.3 Determinação da Tensão de Modo Comum (V_{cm})

Para a determinação do melhor valor da tensão V_{cm} , foi montado no simulador *Cadence* o circuito da Figura 3.17, onde o amplificador diferencial da Figura 3.2 é polarizado pela corrente de M_1 do multiplicador de β da Figura 3.9 através de um espelhamento ideal, usando uma fonte de tensão $V_3 = 0$ e duas fontes controladas por corrente com ganho 1, $cccs_1$ e $cccs_2$.

Os gráficos de $V_{Nó(1)}$ e $V_{Nó(2)}$ para $V_{cm} = 900$ mV e $V_{cm} = 700$ mV são indicados, nessa ordem na Figura 3.18 e Figura 3.19. Nota-se nestes gráficos que $V_{cm} = 900$ mV não é uma boa escolha, pois a tensão nos nós (1) e (2) ultrapassa o limite de V_{ddmax} (1,8 V). Em contra partida, com $V_{cm} = 700$ mV, temos $V_{Nó(1)}$ e $V_{Nó(2)}$ menores que V_{ddmax} (1,8 V) em toda a faixa de variação de temperatura.

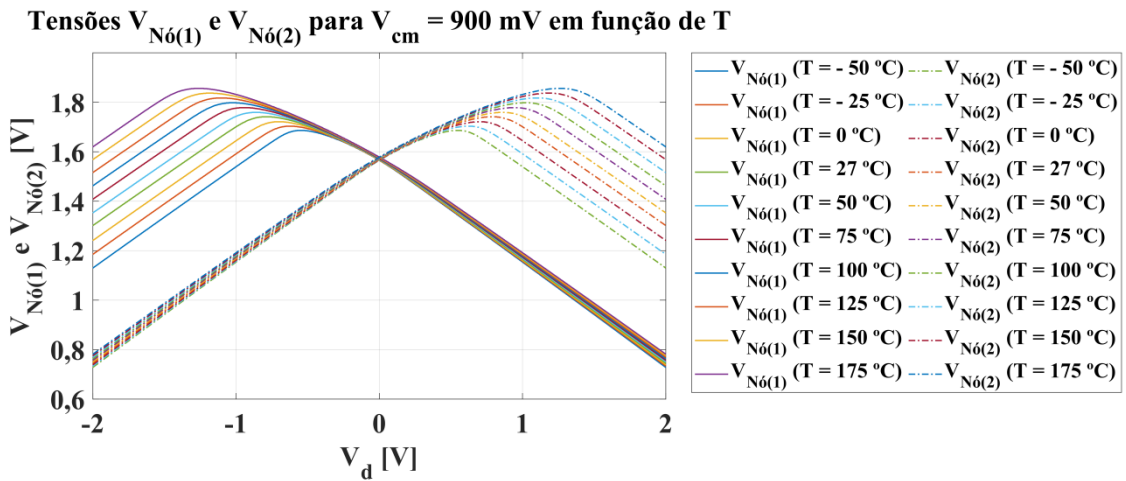


Figura 3.18: Tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 900$ mV, variando a tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura na faixa $-50 \text{ °C} \leq T \leq 175 \text{ °C}$.

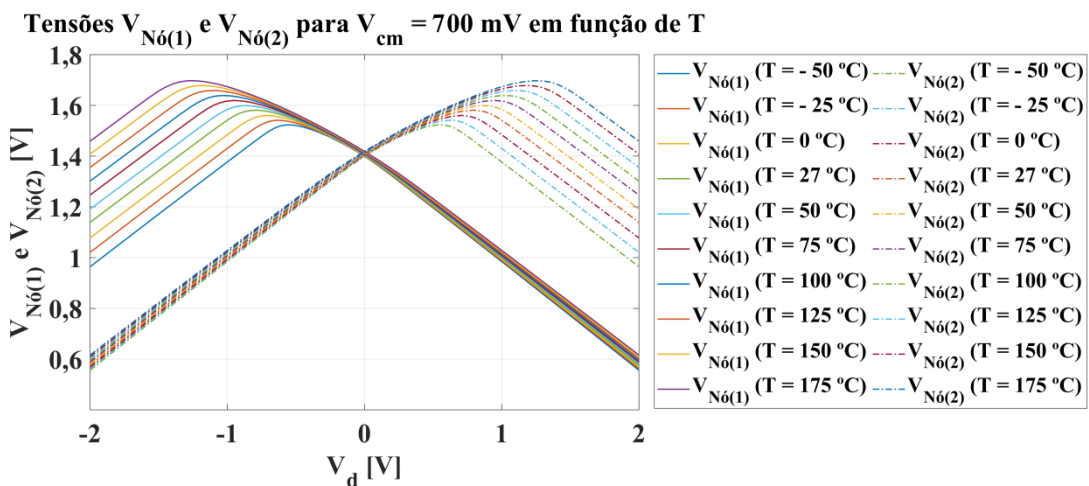


Figura 3.19: Tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 700$ mV, variando a tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura na faixa $-50 \text{ °C} \leq T \leq 175 \text{ °C}$.

Ademais, dentro da faixa de excursão de sinal na entrada $V_{d_{max}} = 500$ mV, escolhida para este projeto, temos as tensões nos nós (1) e (2) para $V_{cm} = 900$ mV e $V_{cm} = 700$ mV indicadas nos gráficos da Figura 3.20 e Figura 3.21, nesta ordem. Nota-se nestes gráficos que $V_{cm} = 700$ mV possui menor valor de $V_{Nó(1)}$ e $V_{Nó(2)}$ na temperatura mais severa $T = 175$ °C (piores casos de $V_{Nó(1)}$ e $V_{Nó(2)}$).

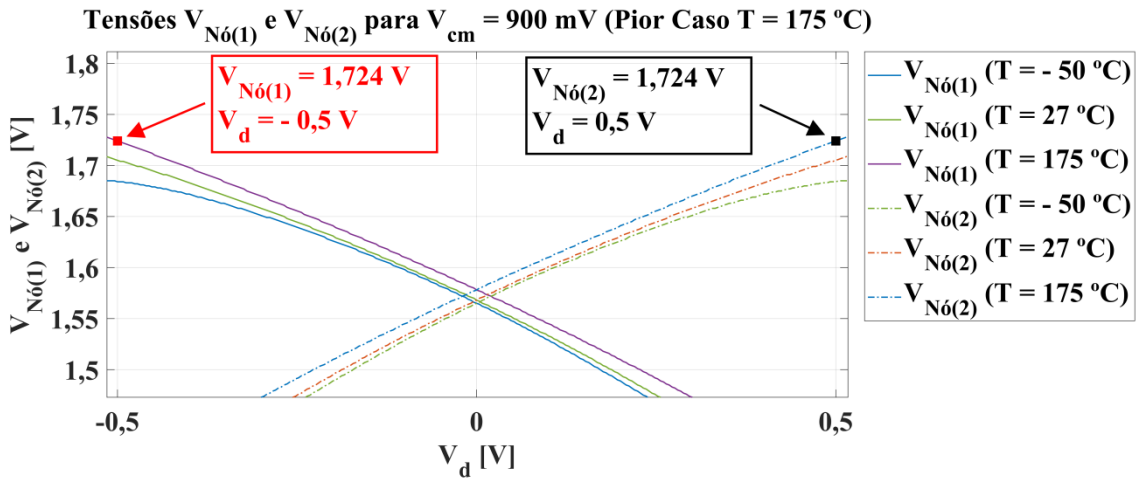


Figura 3.20: Pior caso de tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 900$ mV, variando a tensão diferencial de entrada na faixa -500 mV $\leq V_d \leq 500$ mV nas temperaturas $T = -50$ °C, $T = 27$ °C e $T = 175$ °C.

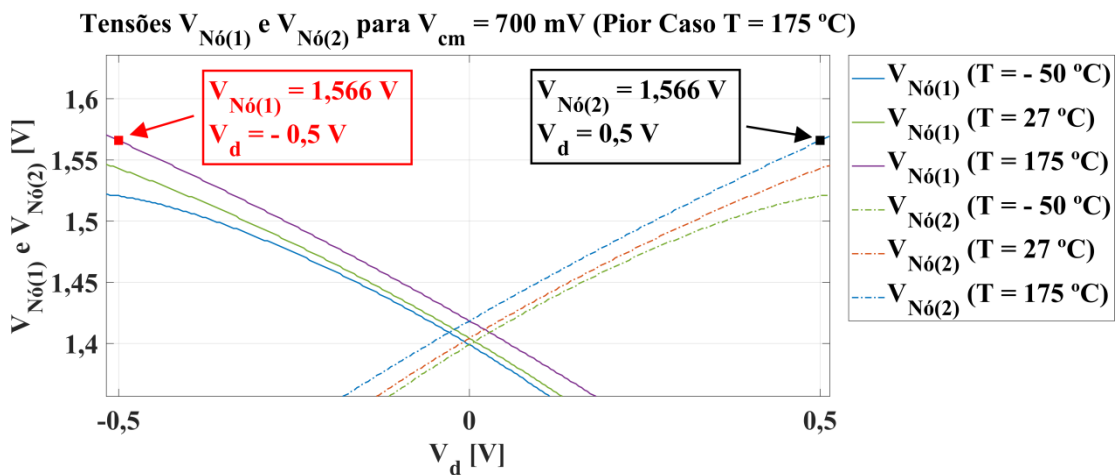


Figura 3.21: Pior caso de tensão nos nós (1) e (2) do circuito da Figura 3.17 com $V_{cm} = 700$ mV, variando a tensão diferencial de entrada na faixa -500 mV $\leq V_d \leq 500$ mV nas temperaturas $T = -50$ °C, $T = 27$ °C e $T = 175$ °C.

Pelo exposto acima, o valor para tensão de modo comum escolhido foi $V_{cm} = 700 \text{ mV}$, por proporcionar $V_{Nó(1)} = V_{Nó(2)} = 1,566 \text{ V}$, valor menor que $1,724 \text{ V}$ na temperatura de pior caso $T = 175 \text{ °C}$, dentro da faixa de excursão de sinal de entrada adotada no projeto ($V_{d_{max}} = 500 \text{ mV}$). Ainda para $T = 175 \text{ °C}$ em $V_{cm} = 700 \text{ mV}$, dentro da faixa de excursão de sinal de entrada $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, outros pontos indicados no gráfico da Figura 3.22 serão usados na Seção 3.4.1, adiante neste documento.

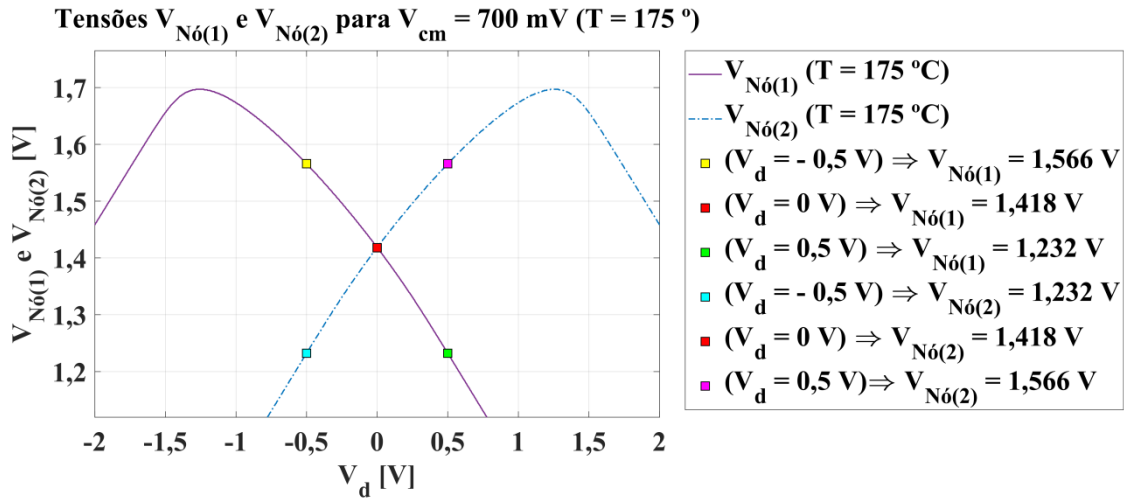


Figura 3.22: Demais valores de tensão nos nós (1) e (2) em $V_{cm} = 700 \text{ mV}$ para temperatura de pior caso $T = 175 \text{ °C}$, na faixa de excursão de sinal de entrada $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$.

3.4 Circuito de Compensação de Transcondutância (Multiplicador de β) Modificado

No circuito da Figura 3.9 (Seção 3.2), o transistor M_3 é que fica encarregado de fazer a cópia da corrente de polarização para circuitos externos, nos quais se deseja tornar a transcondutância g_m invariante com a temperatura. O resistor *pp1* (R_1) proporcionará uma queda de tensão na alimentação do espelho de corrente simples, constituído pelos MOSFETs M_3 e M_1 no circuito multiplicador de β . A tensão de polarização do espelho de corrente no terminal *porta* de M_3 (V_{GM_3}), em função da temperatura é indicada na Figura 3.23.

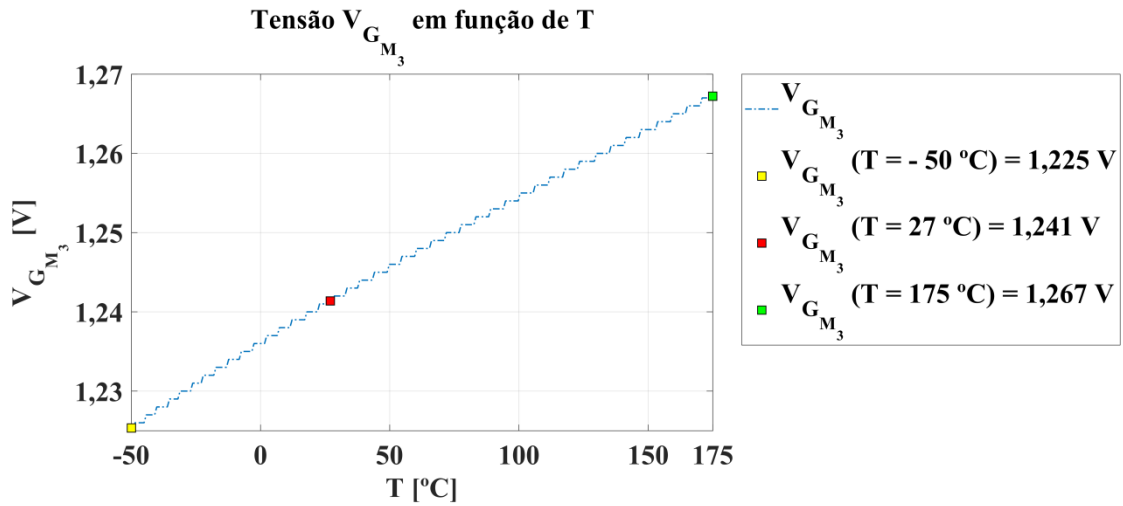


Figura 3.23: Tensão $V_{G_{M_3}}$ em função da temperatura.

Conforme indicado no gráfico da Figura 3.23, a tensão $V_{G_{M_3}}$ possui valor muito baixo para polarizar os transistores, que irão constituir as fontes de corrente de polarização do amplificador diferencial de entrada na região de saturação, dentro da faixa de temperatura $-50\text{ °C} \leq T \leq 175\text{ °C}$. Isso compromete a exatidão da cópia de corrente de polarização para os circuitos externos nos quais se deseja compensar a transcondutância g_m . Para resolver esse problema, optou-se por fazer a cópia de corrente por meio do transistor M_{11} , adicionando os MOSFETs M_{12} e M_{13} no circuito multiplicador de β da Figura 3.9 (Seção 3.2). Ademais, foram adicionados os transistores M_{14} e M_{15} para polarizar o par diferencial. Os novos circuitos do amplificador diferencial polarizado pelo circuito multiplicador de β , com os transistores M_{12} , M_{13} , M_{14} e M_{15} adicionados, são mostrados na Figura 3.24 e Figura 3.25 nesta ordem.

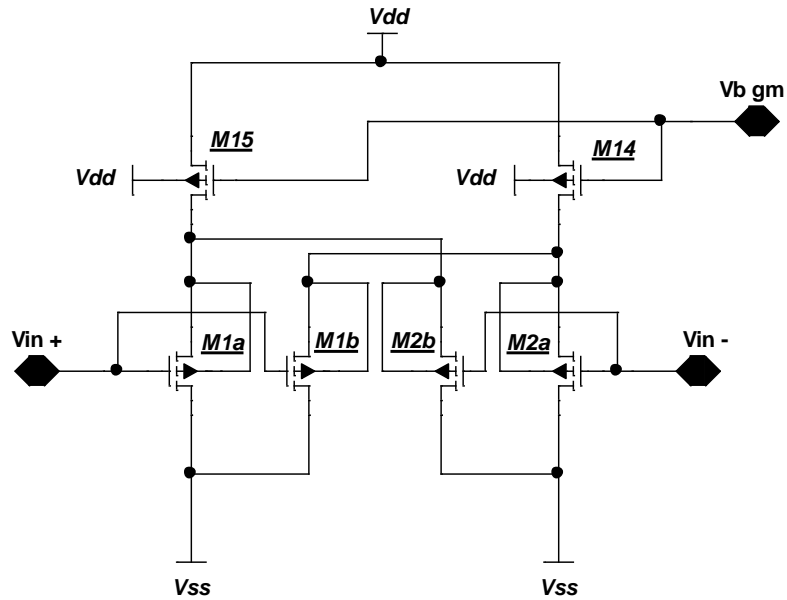


Figura 3.24: Amplificador diferencial polarizado por M_{14} e M_{15} .

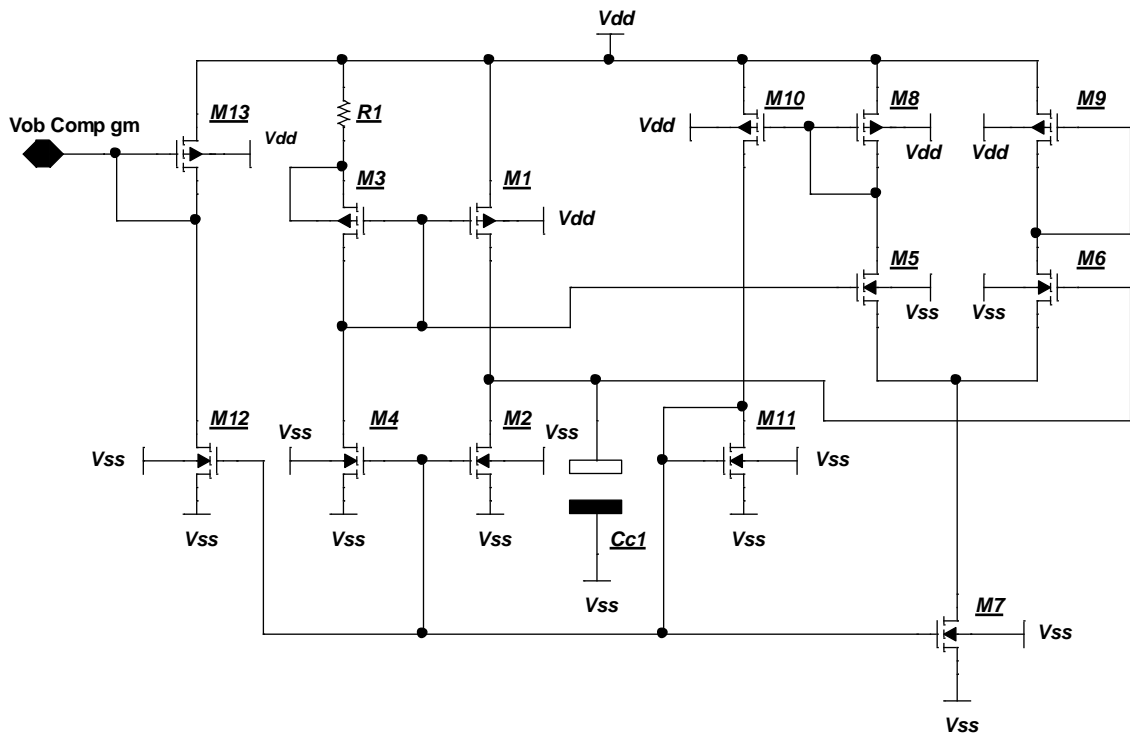


Figura 3.25: Circuito de compensação de g_m com inclusão dos transistores M_{12} e M_{13} .

No circuito da Figura 3.25, M_{12} terá valores de W e L iguais aos de M_{11} , porém com multiplicidade $M_{M_{12}} = 2$, pois, conforme indicado na Tabela 3.3 (Seção 3.2), temos corrente de polarização $I_{B_{M_{11}}}(27^\circ\text{C}) = 5,077 \mu\text{A}$ e deseja-se ter

$I_{B_{M_{12}}}(27\text{ }^\circ\text{C}) \approx 10\text{ }\mu\text{A}$. Os circuitos amplificador diferencial (Figura 3.24) e compensação de g_m (Figura 3.25) são conectados através dos terminais ($Vb\ gm$) e ($Vob\ Comp\ gm$).

3.4.1 Determinação de W e L dos Transistores M_{13} , M_{14} e M_{15}

A fim de encontrar o dimensionamento de M_{13} , M_{14} e M_{15} , foi montado no *Cadence* o circuito de teste da Figura 3.26. Neste circuito foi usada a condição de pior caso (Seção 3.3) da temperatura $T = 175\text{ }^\circ\text{C}$. A fonte de corrente ideal I_{dc} ($15,25\text{ }\mu\text{A}$) representa a corrente de polarização gerada pelo circuito de compensação de g_m na temperatura $T = 175\text{ }^\circ\text{C}$ (Tabela 3.3 da Seção 3.2). As fontes de tensão $V_{s_{M_{15}}}$ e $V_{s_{M_{14}}}$ representam, nesta ordem, as tensões nos nós (1) e (2) abordadas na Seção 3.3.

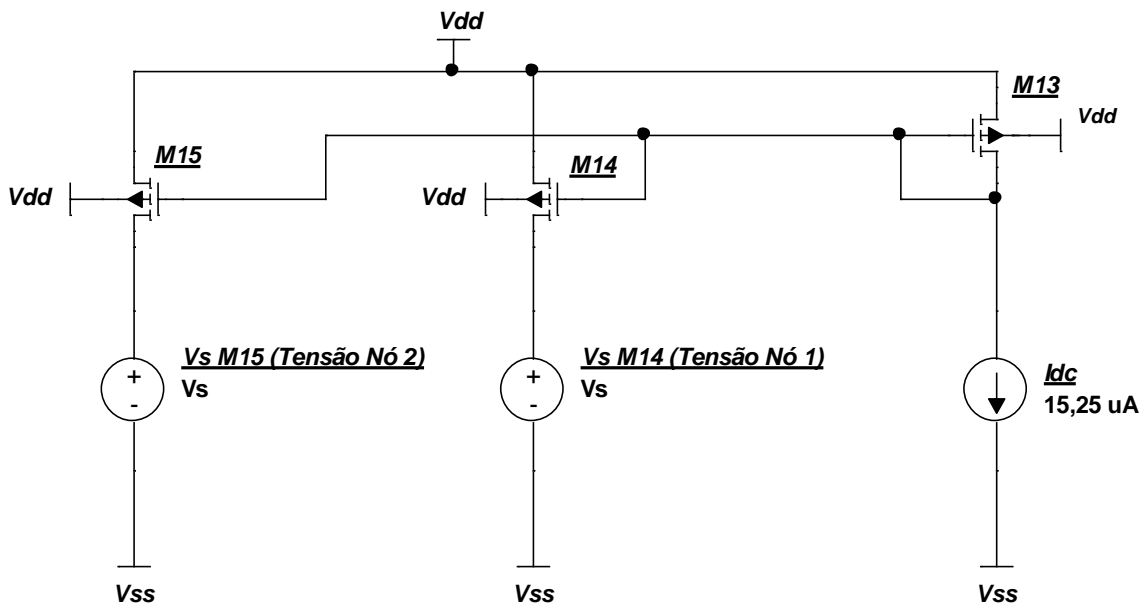


Figura 3.26: Circuito de teste montado no simulador *Cadence* para encontrar o dimensionamento de M_{13} , M_{14} e M_{15} .

Foi realizada a varredura de V_s na faixa $0\text{ V} \leq V_s \leq 1,8\text{ V}$, nos três pontos de temperatura ($-50\text{ }^\circ\text{C}$, $27\text{ }^\circ\text{C}$ e $175\text{ }^\circ\text{C}$) com a finalidade de medir a corrente I_{DS} espelhada nos transistores M_{14} e M_{15} . O ajuste de dimensionamento ótimo encontrado para M_{13} , M_{14} e M_{15} é indicado na Tabela 3.4.

Tabela 3.4: Ajuste de dimensionamento ótimo para os MOSFETs M_{13} , M_{14} e M_{15} .

Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{13}	4,1 μm	1 μm	4
M_{14}	4,1 μm	1 μm	4
M_{15}	4,1 μm	1 μm	4

Este ajuste foi alcançado tomando por base os valores de tensão nos nós (1) e (2) indicados no gráfico da Figura 3.22 (Seção 3.3). O valor da corrente espelhada I_{DS} em M_{14} e M_{15} foi analisado nestas tensões de nó (1 e 2) por meio dos gráficos exibidos na Figura 3.27 e Figura 3.28. Nota-se nesses gráficos que a corrente I_{DS} do MOSFET M_{15} encontra-se numa faixa plana, próxima do valor $I_B = 15,25 \mu\text{A}$, que é a corrente de polarização fornecida pelo circuito de compensação de g_m na temperatura de $175 \text{ }^\circ\text{C}$. Portanto, o ajuste de dimensionamento para os transistores M_{13} , M_{14} e M_{15} (Tabela 3.4) é uma boa escolha.

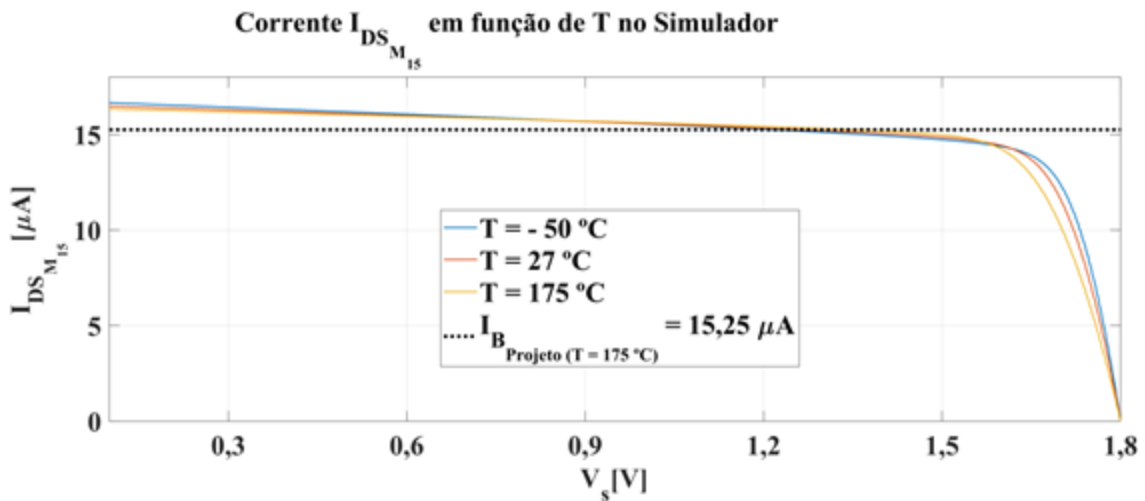


Figura 3.27: Corrente I_{DS} no transistor M_{15} variando V_s na faixa $0 \text{ V} \leq V_s \leq 1,8 \text{ V}$ para as temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

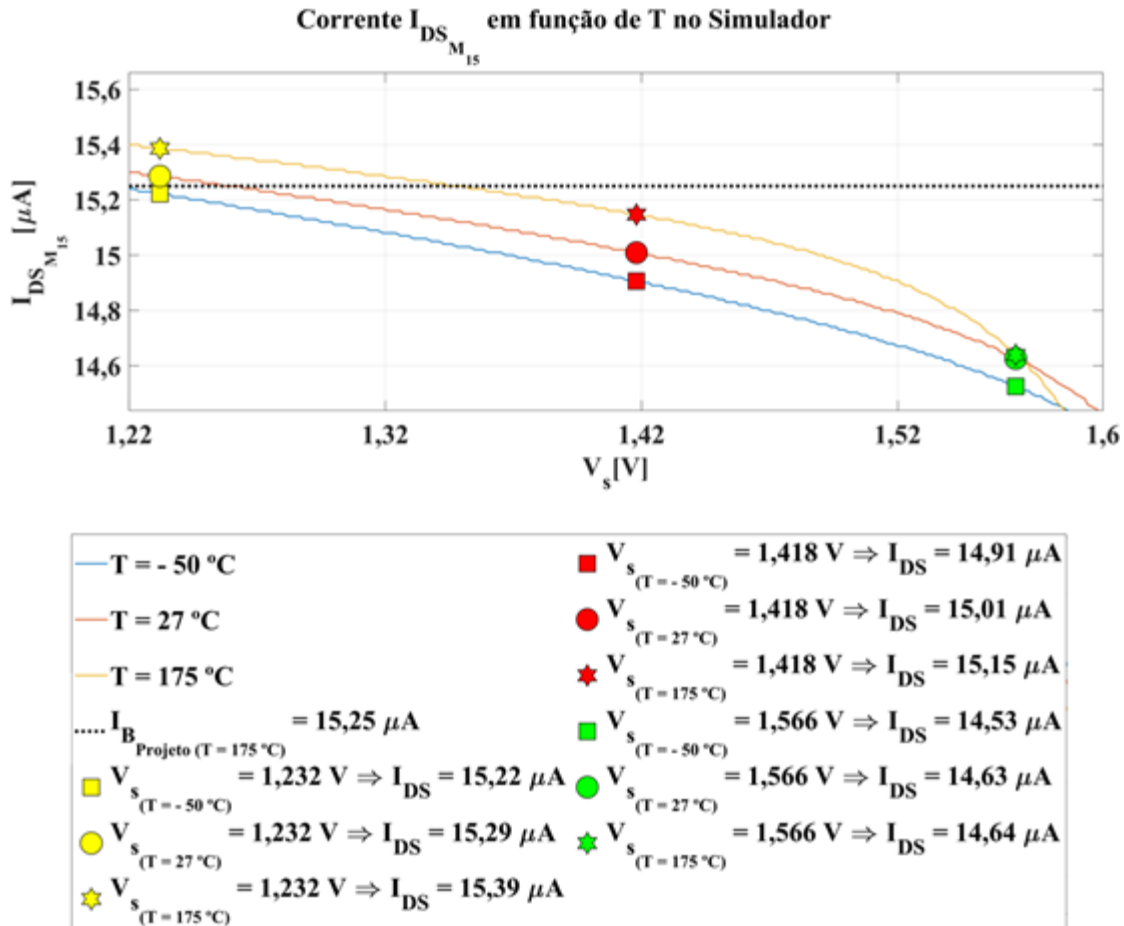


Figura 3.28: Valores de V_s em função de T que definem a excursão de sinal de entrada no projeto conforme indicados no gráfico da Figura 3.22 (Seção 3.3).

3.5 Estágio de Saída em Cascode

Neste tópico será abordado o projeto dos espelhos superior e inferior do estágio de saída em *cascode* do OTA indicado na Figura 3.29. Conforme demonstrado na Seção 2.10.1, não há como fazer o projeto do espelho *folded cascode* de maneira analítica. Sendo assim, para o dimensionamento dos transistores, foram realizados testes com diferentes valores de coeficiente de inversão IC_{min} , levando em consideração a corrente de polarização $I_B \approx 10,18\text{ }\mu\text{A}$ gerada pelo circuito de compensação de g_m na temperatura $T = 27\text{ °C}$ (300 K), e as especificações de tensões de saída mínima ($V_{o_{min}} = 0,45\text{ V}$), modo comum ($V_{cm} = 0,7\text{ V}$) e saída máxima ($V_{o_{max}} = 0,95\text{ V}$) indicadas na Figura 3.1 no início do Capítulo 3 deste documento.

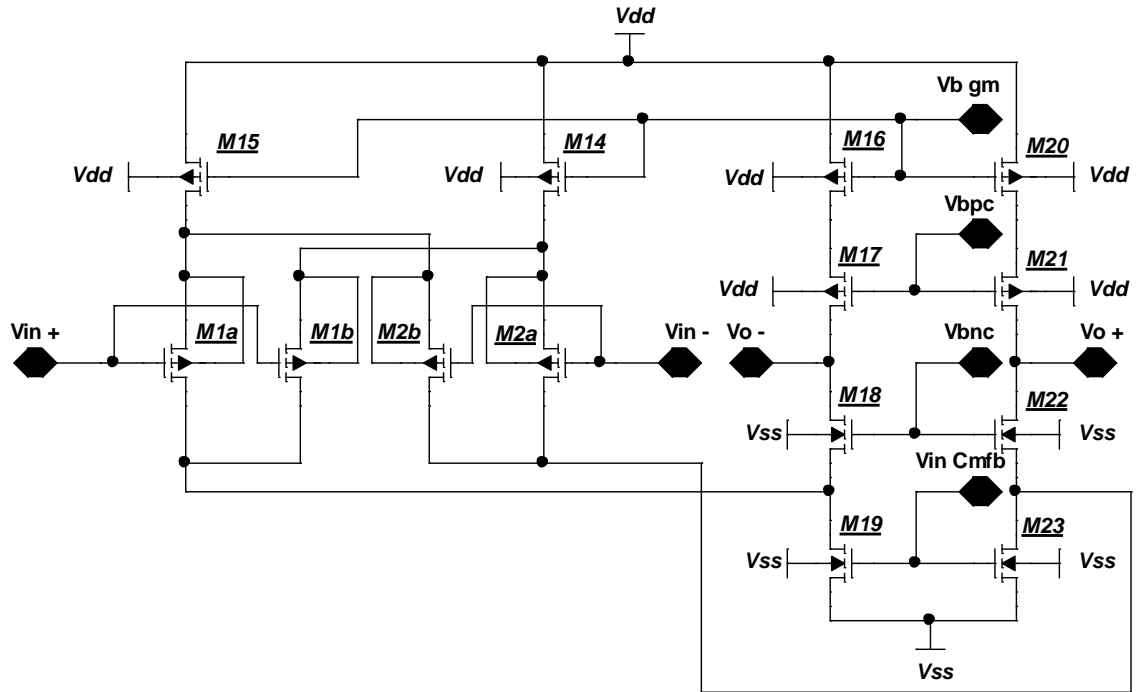


Figura 3.29: OTA *fully differential* proposto neste trabalho com amplificador diferencial de entrada e estágio de saída cascode.

No circuito da Figura 3.29, os MOSFETs M_{16} , M_{17} , M_{20} e M_{21} possuem iguais dimensões W e L , pois são percorridos pela mesma corrente de projeto $I_B \approx 10 \mu\text{A}$ (27°C), e constituem o espelho *cascode* superior. O espelho *cascode* inferior é constituído pelos transistores M_{18} , M_{19} , M_{22} e M_{23} , nos quais M_{18} e M_{22} são percorridos por $I_B \approx 10 \mu\text{A}$ (27°C), ademais, M_{19} e M_{23} percorridos por $I_B \approx 20 \mu\text{A}$ (27°C). No espelho inferior, os valores de W e L são iguais, porém a multiplicidade M terá a relação:

$$M_{M_{19},M_{23}} = 2 \cdot M_{M_{18},M_{22}} \cdot \quad (3.1)$$

Os terminais ($Vb gm$) e ($Vin Cmf b$) são, nesta ordem, pino de entrada para polarização proveniente do circuito de compensação de g_m e pino de entrada de realimentação do circuito de controle de modo comum.

3.5.1 Dimensionamento do Espelho de Corrente em Cascode Superior

No dimensionamento dos transistores do espelho *em cascode* superior, para facilidade de projeto, inicialmente foi selecionado o mesmo ajuste dos transistores M_{13} , M_{14} e M_{15} (Tabela 3.4 da Seção 3.4.1) com $W_p = 4,1 \mu\text{m}$, $L_p = 1 \mu\text{m}$ e multiplicidade $M_p = 4$. O coeficiente de inversão (IC) para este dimensionamento pode ser calculado através da equação (2.27) do modelo EKV (Seção 2.3)

$$IC = \frac{I_B}{2 \cdot \alpha_{pT_0} \cdot (\phi_{T_0})^2 \cdot k_{pT_0} \cdot \left(\frac{W_p}{L_p}\right)}$$

Substituindo $I_B = 10 \mu\text{A}$ (corrente espelhada pelo circuito multiplicador de β a 27°C), $W = 16,4 \mu\text{m}$, $L = 1 \mu\text{m}$, $\phi_{T_0} = 26 \text{ mV}$, $\alpha_{pT_0} = 1,21$ e $k_{pT_0} = 74,4 \mu\text{A}/\text{V}^2$, temos o valor de $IC = 5$. A tensão de polarização do espelho V_{bp} foi selecionada fazendo a varredura no simulador até encontrar um valor de corrente de polarização $I_B \approx 10 \mu\text{A}$ constante. Ademais, também foi realizada a varredura da tensão de saída V_o do *cascode* dentro da faixa $0 \text{ V} \leq V_o \leq 1,8 \text{ V}$ para as temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$. O circuito de teste montado no *Cadence* é o indicado na Figura 3.30. Simulando o circuito com ajuste de $V_{bp} = 800 \text{ mV}$, foram obtidos os gráficos indicados na Figura 3.31 e Figura 3.32.

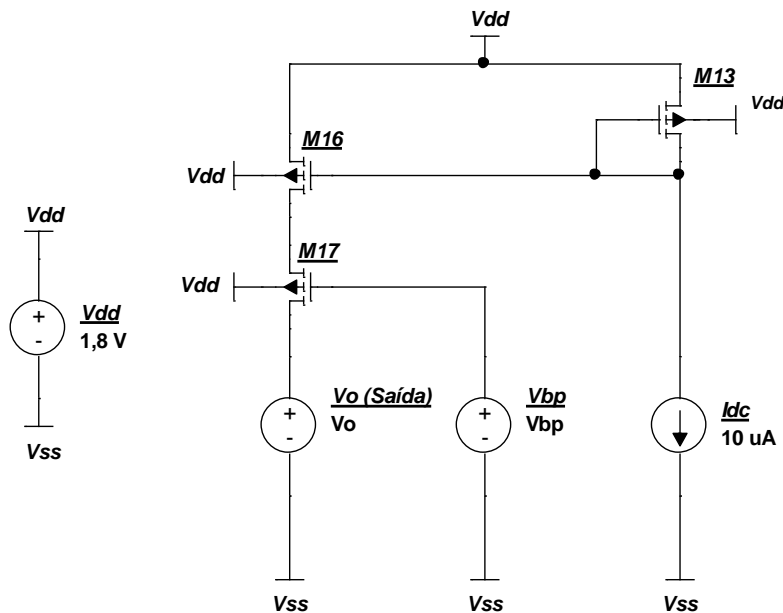


Figura 3.30: Circuito de teste montado no *Cadence* para determinação da tensão de polarização do espelho (V_{bp}) e dimensionamento dos transistores M_{16} , M_{17} , M_{20} e M_{21} .

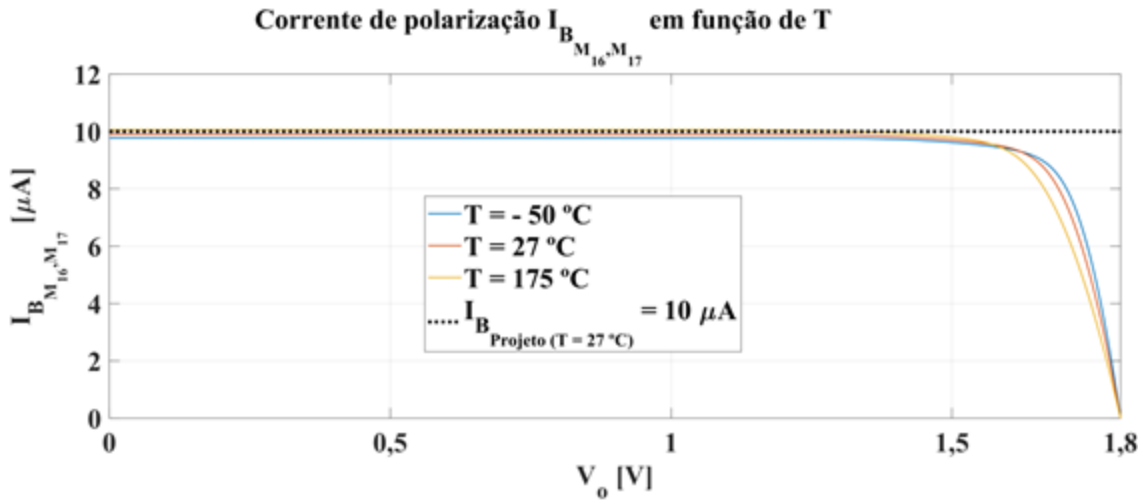


Figura 3.31: Corrente de polarização I_B nos MOSFETs M_{16} e M_{17} nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0\text{ V} \leq V_o \leq 1,8\text{ V}$.

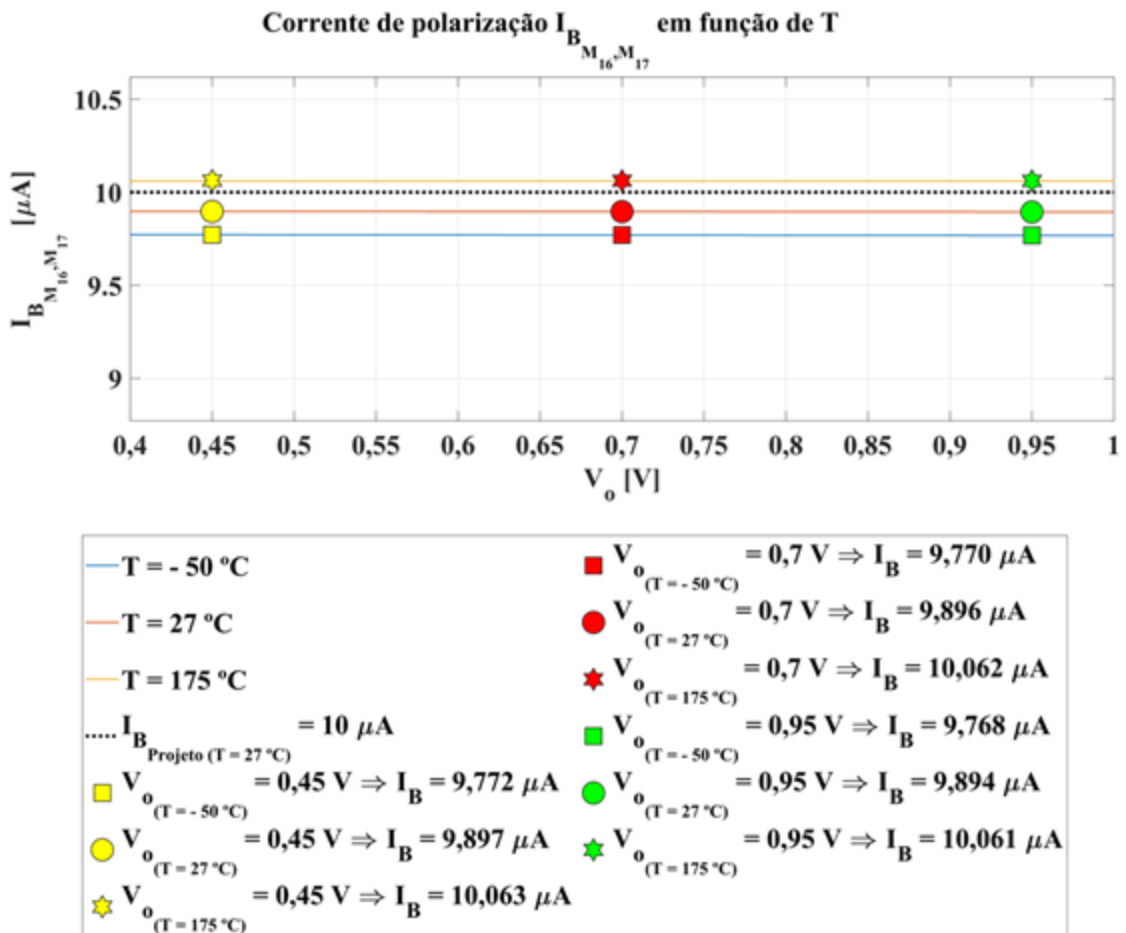


Figura 3.32: Corrente de polarização I_B nos MOSFETs M_{16} e M_{17} nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$ com V_o na faixa entre $V_{o_{\min}} = 0,45\text{ V}$ e $V_{o_{\max}} = 0,95\text{ V}$.

Nota-se nos gráficos indicados na Figura 3.31 e Figura 3.32, que a corrente de polarização I_B permanece numa faixa plana com valores próximos de $I_{B_{Projeto}}$ (10 μ A), dentro da faixa de excursão do sinal de saída desejada ($0,45 \text{ V} \leq V_o \leq 0,95 \text{ V}$). Portanto, os ajustes selecionados para dimensionamento dos transistores e da tensão de polarização do espelho de corrente Vb_p são boas escolhas de projeto. Os ajustes finais são indicados na Tabela 3.5.

Tabela 3.5: Ajustes finais de projeto do espelho de corrente em *cascode* superior.

TRANSISTORES DO ESPELHO EM <i>CASCODE</i> SUPERIOR			
Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{16}	4,1 μm	1 μm	4
M_{17}	4,1 μm	1 μm	4
M_{20}	4,1 μm	1 μm	4
M_{21}	4,1 μm	1 μm	4
POLARIZAÇÃO DO ESPELHO EM <i>CASCODE</i> SUPERIOR			
Tensão	Valor		
Vb_p	800 mV		

3.5.2 Dimensionamento do Espelho de Corrente em *Cascode* Inferior

No dimensionamento dos transistores do *cascode* inferior foi escolhido, por tentativa, um coeficiente de inversão $IC = 0,35$. Substituindo na equação do modelo

EKV (Seção 2.3) $IC = \frac{I_B}{2 \cdot \alpha_{nT_0} \cdot (\phi_{T_0})^2 \cdot k_{nT_0} \cdot \left(\frac{W_n}{L_n}\right)}$ o coeficiente de inversão $IC = 0,35$,

$I_B = 10 \mu\text{A}$ (corrente espelhada pelo circuito multiplicador de β a 27°C),

$\phi_{T_0} = 26 \text{ mV}$, $\alpha_{nT_0} = 1,23$ e $k_{nT_0} = 293,4 \mu\text{A}/\text{V}^2$, temos como resultado

$W_n = 58 \mu\text{m}$ e $L_n = 1 \mu\text{m}$. De acordo com a equação (3.1) (Seção 3.5), teremos como dimensionamento dos MOSFETs:

- Largura $W_{M_{18},M_{19},M_{22},M_{23}} = 29 \mu\text{m}$;
- Comprimento $L_{M_{18},M_{19},M_{22},M_{23}} = 1 \mu\text{m}$;
- Multiplicidade $M_{M_{18},M_{22}} = 2$;

- Multiplicidade $M_{M_{19},M_{23}} = 4$;

A tensão de polarização do espelho V_{bn} foi selecionada fazendo uma varredura no simulador, levando em consideração a especificação de projeto $i_{o_{max}} = 6,25 \mu A$ e a corrente de polarização $I_{B_{Projeto}}(T=27^\circ C) = 10 \mu A$, sob três condições de teste indicadas na Tabela 3.6. Ademais, foi realizada a varredura da tensão de saída V_o do *cascode* dentro da faixa $0 V \leq V_o \leq 1,8 V$ para as temperaturas $T = -50^\circ C$, $T = 27^\circ C$ e $T = 175^\circ C$.

O circuito de teste montado no *Cadence* é o indicado na Figura 3.33.

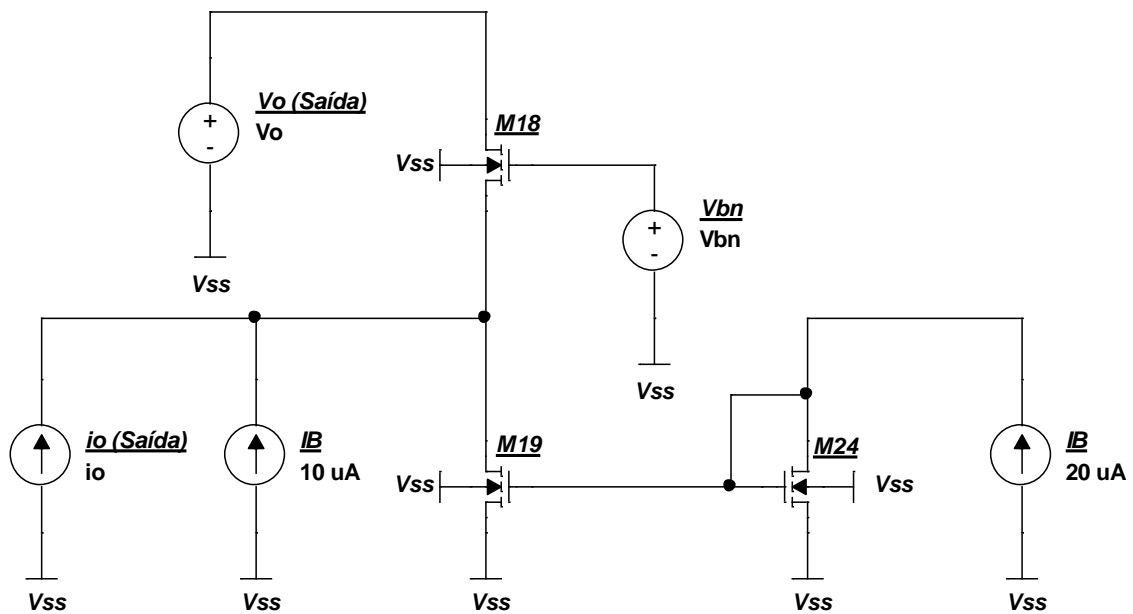


Figura 3.33: Circuito montado no *Cadence* para validação dos ajustes de projeto do *cascode* inferior.

O transistor M_{24} pertence ao circuito de controle de modo comum (CMFB), que será detalhado mais adiante, e tem o mesmo dimensionamento de M_{19} . M_{24} é o responsável por enviar o sinal de realimentação proveniente do circuito CMFB para o estágio de saída cascode do OTA.

Simulando o circuito com ajuste de $V_{bn} = 564 \text{ mV}$, e levando em consideração as condições de validação da Tabela 3.6, foram obtidos os resultados indicados nos gráficos da Figura 3.34 a Figura 3.39. É fácil notar nestes gráficos que os valores de corrente no dreno de M_{18} estão numa faixa plana e constante para cada uma das

condições de teste, dentro da faixa de excursão do sinal de saída desejada ($0,45 \text{ V} \leq V_o \leq 0,95 \text{ V}$).

Tabela 3.6: Condições realizadas no circuito de teste montado no *Cadence*, a fim de validar os ajustes de dimensionamento dos MOSFETs e da tensão de polarização V_{b_n} do *cascode* inferior.

Condições de Teste	Corrente de Sinal na Saída (i_o)	Corrente de Polarização $I_{B_{Projeto}} (T = 27^\circ\text{C})$	Corrente no Dreno de M_{18} ($I_{D_{M_{18}}}$)
Condição 1	$0 \mu\text{A}$	$10 \mu\text{A}$	$10 \mu\text{A}$
Condição 2	$-6,25 \mu\text{A}$	$10 \mu\text{A}$	$16,25 \mu\text{A}$
Condição 3	$6,25 \mu\text{A}$	$10 \mu\text{A}$	$3,75 \mu\text{A}$

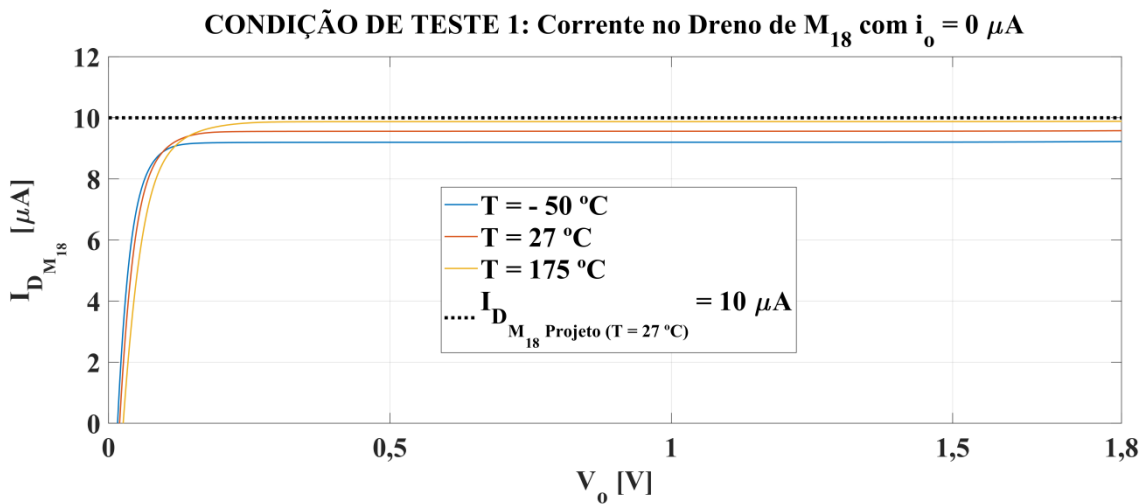


Figura 3.34: Condição de teste 1 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0 \text{ V} \leq V_o \leq 1,8 \text{ V}$.

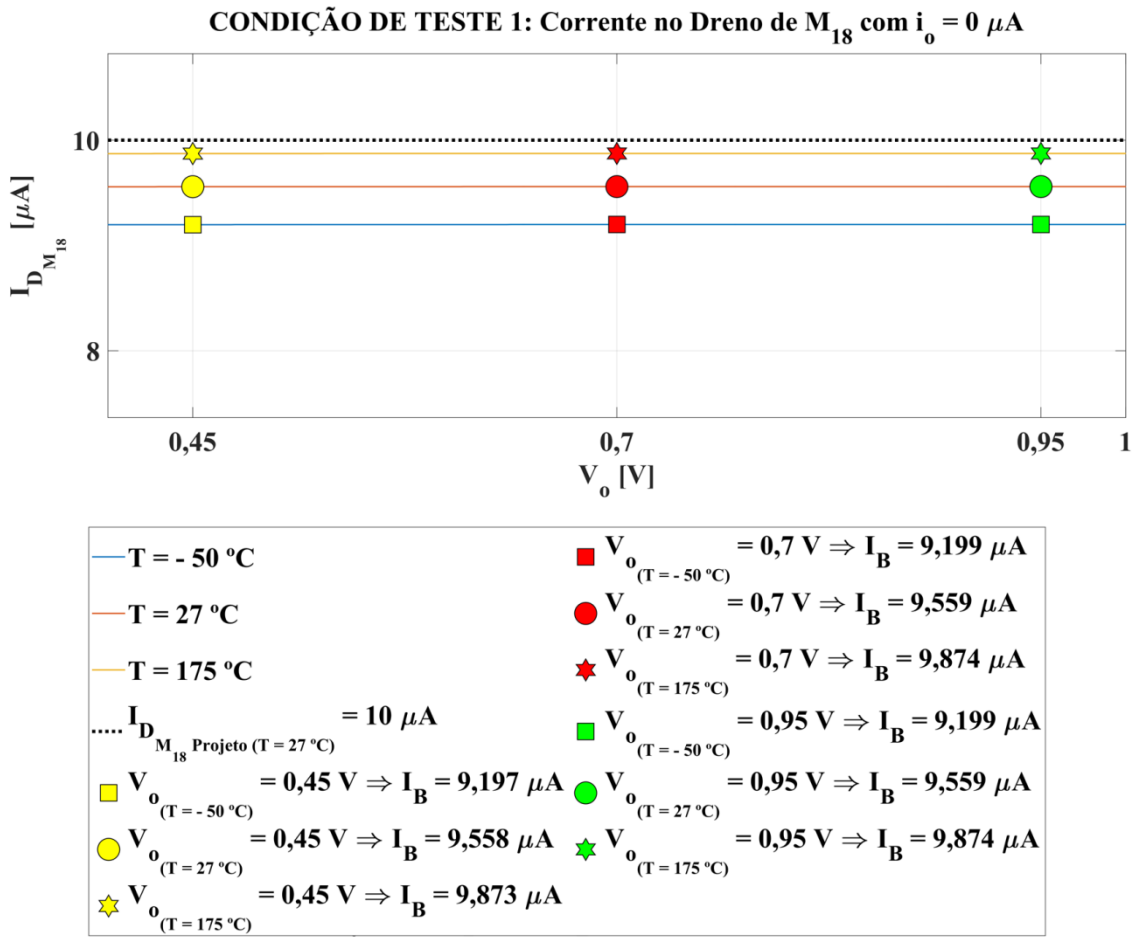


Figura 3.35: Condição de teste 1 da Tabela 3.6 nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{min}} = 0,45 \text{ V}$ e $V_{o_{max}} = 0,95 \text{ V}$.

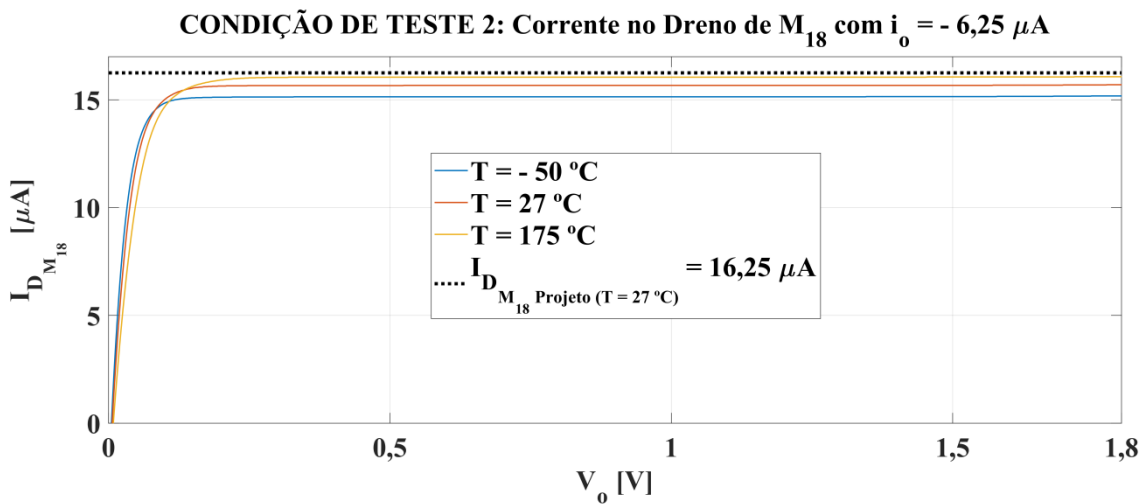


Figura 3.36: Condição de teste 2 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0 \text{ V} \leq V_o \leq 1,8 \text{ V}$.

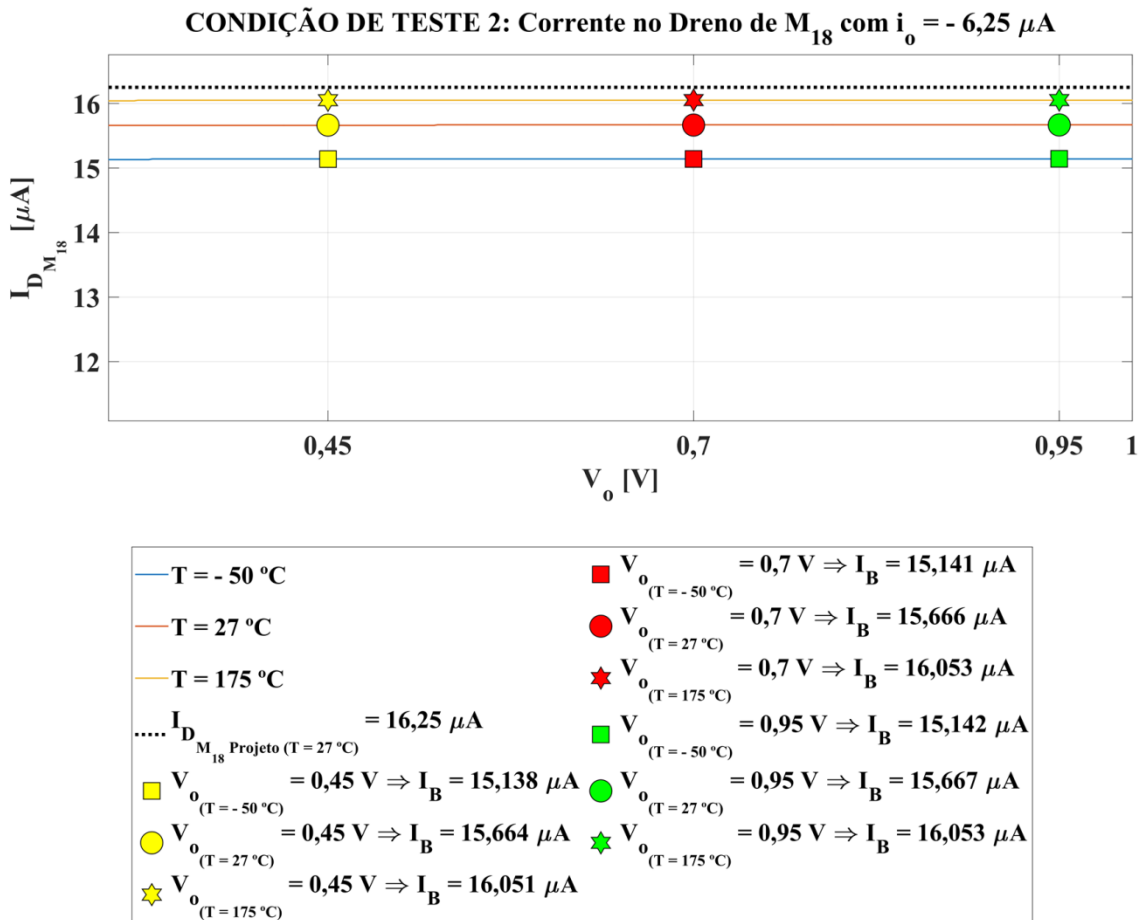


Figura 3.37: Condição de teste 2 da Tabela 3.6 nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$ com V_o na faixa entre $V_{o_{min}} = 0,45 \text{ V}$ e $V_{o_{max}} = 0,95 \text{ V}$.

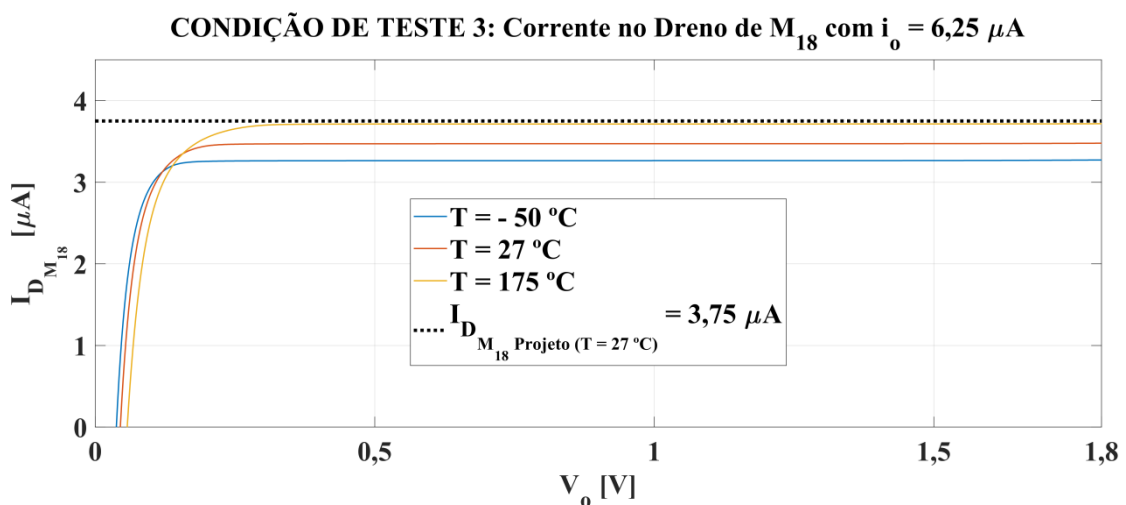


Figura 3.38: Condição de teste 3 da Tabela 3.6 do espelho de corrente nas temperaturas $T = -50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$ com varredura da tensão de saída V_o do OTA na faixa $0 \text{ V} \leq V_o \leq 1,8 \text{ V}$.

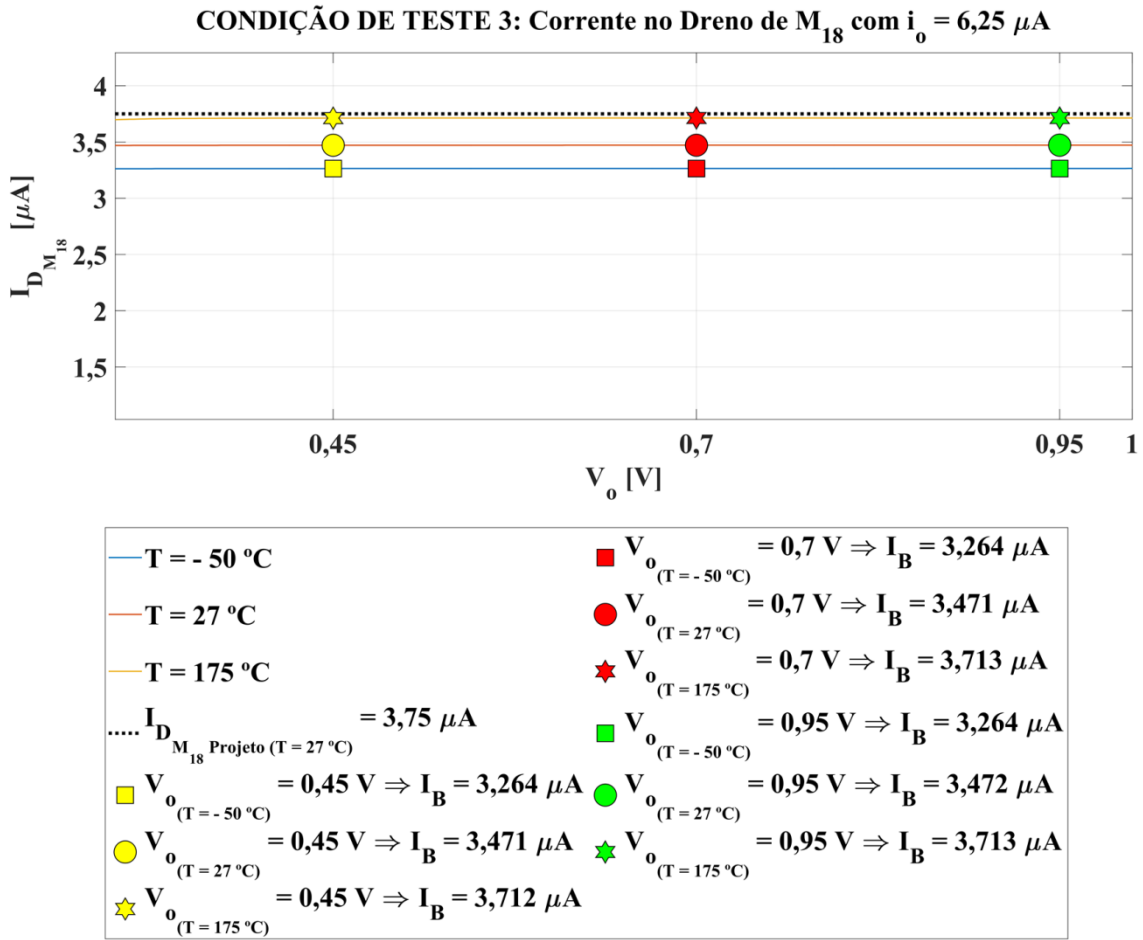


Figura 3.39: Condição de teste 3 da Tabela 3.6 nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$ com V_o na faixa entre $V_{o_{min}} = 0,45\text{ V}$ e $V_{o_{max}} = 0,95\text{ V}$.

Portanto, os ajustes selecionados, para o dimensionamento dos transistores e da tensão de polarização do espelho de corrente V_{b_n} são boas escolhas de projeto. Os ajustes finais são indicados na Tabela 3.7.

Tabela 3.7: Ajustes finais de projeto do espelho de corrente em *cascode* inferior.

TRANSISTORES DO ESPELHO EM <i>CASCADE</i> INFERIOR			
Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{18}	29 μm	1 μm	2
M_{19}	29 μm	1 μm	4
M_{22}	29 μm	1 μm	2
M_{23}	29 μm	1 μm	4
POLARIZAÇÃO DO ESPELHO EM <i>CASCADE</i> INFERIOR			
Tensão	Valor		
V_{b_n}	564 mV		

3.6 Circuito de Auto Polarização (Fonte de Corrente Constante Invariante com a Temperatura)

Para o projeto do circuito de auto polarização, foram usados nas equações (2.105), (2.106) e (2.107) da Seção 2.12, os seguintes parâmetros de projeto:

- $I_B = 10 \mu\text{A}$;
- $\alpha_{p_{T_0}} = \alpha_{n_{T_0}} = 1,21$;
- $L_a = L_b = 5 \mu\text{m}$;
- $V_{ZTC} = 0,61 \text{ V}$;
- $k_{p_{n_{T_0}}} = 293,4 \mu\text{A/V}^2$;
- $k_{p_{p_{T_0}}} = 74,4 \mu\text{A/V}^2$.

O circuito obtido é o indicado na Figura 3.40, com os dimensionamentos dos componentes mostrados na Tabela 3.8.

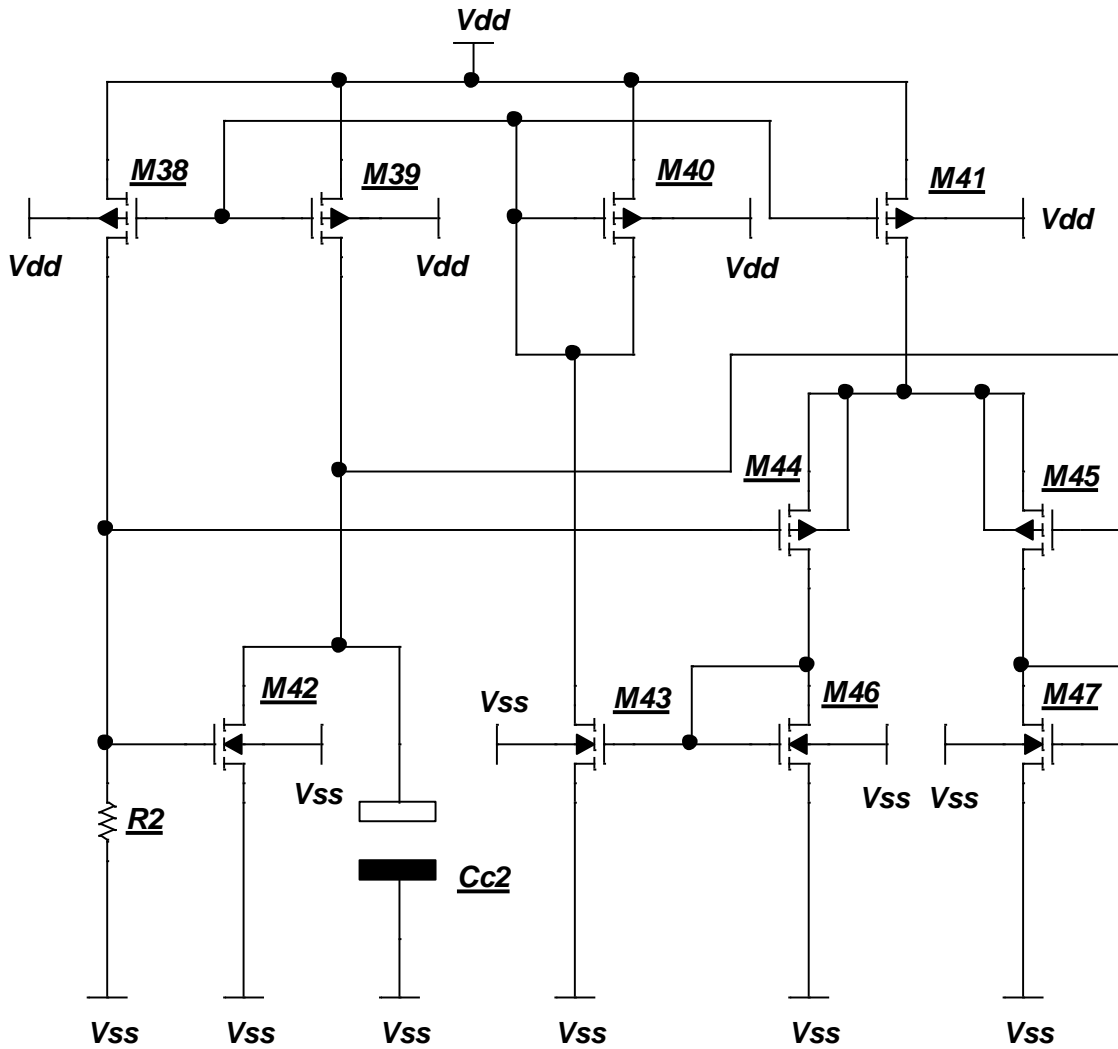


Figura 3.40: Circuito de auto polarização (fonte de corrente constante invariante com a temperatura).

Tabela 3.8: Dimensionamento dos componentes do circuito de auto polarização indicado na Figura 3.40.

TRANSISTORES			
Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{38}	8,5 μm	5 μm	4
M_{39}	8,5 μm	5 μm	4
M_{40}	8,5 μm	5 μm	2
M_{41}	8,5 μm	5 μm	4
M_{42}	6,2 μm	5 μm	1
M_{43}	3 μm	1 μm	1
M_{44}	3 μm	1 μm	1
M_{45}	3 μm	1 μm	1
M_{46}	3 μm	1 μm	1
M_{47}	3 μm	1 μm	1
CAPACITORES			
Capacitor	Valor		
C_{c2}	5 pF		
RESISTORES			
Resistor	Valor		
R_2	65 K Ω		

As dimensões dos transistores foram escolhidas de forma a manter as densidades de corrente iguais.

A fim de polarizar qualquer circuito externo com corrente constante e invariante na temperatura, a corrente a ser usada é a espelhada pelo transistor M_{38} , que para este projeto tem valor $I_{B_{M_{38}}} \approx 10,18 \mu\text{A}$ dentro da faixa de temperatura $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$, conforme mostrado no gráfico da Figura 3.41.

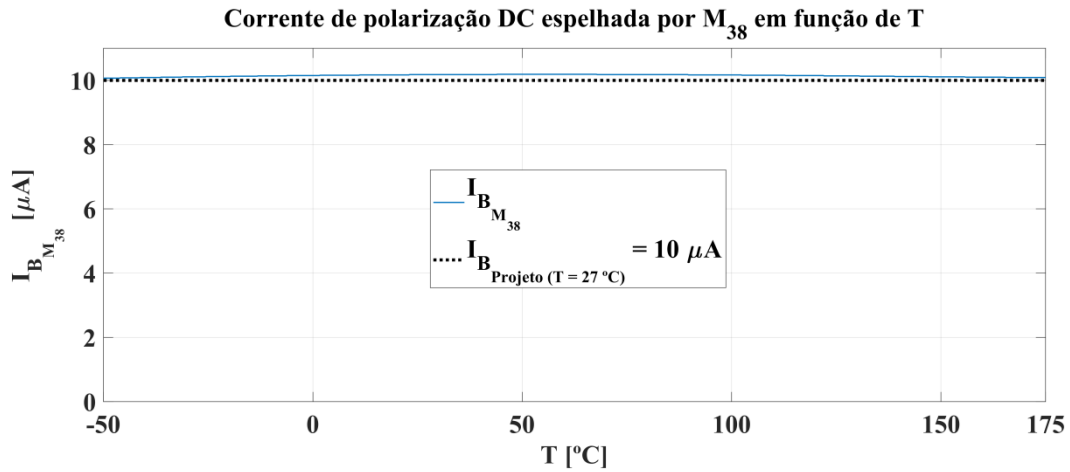


Figura 3.41: Corrente de polarização DC espelhada por M_{38} em função da temperatura.

Para o resistor R_2 e o capacitor C_{c2} , também foram utilizados os componentes de processo da XFAB, nesta ordem, *rpp1* e *cm5t*. O capacitor C_{c2} é necessário para garantir a estabilidade do circuito. Da mesma forma realizada no projeto do Circuito Multiplicador de β (Seção 3.2), foi utilizada a ferramenta *Iprobe* para validar o valor do capacitor $C_{c2} = 5$ pF, indicado na Tabela 3.8, com medições de respostas em frequência e de fase, a fim de calcular as margens de fase e ganho. Para isso foi montado no *Cadence* o circuito da Figura 3.42.

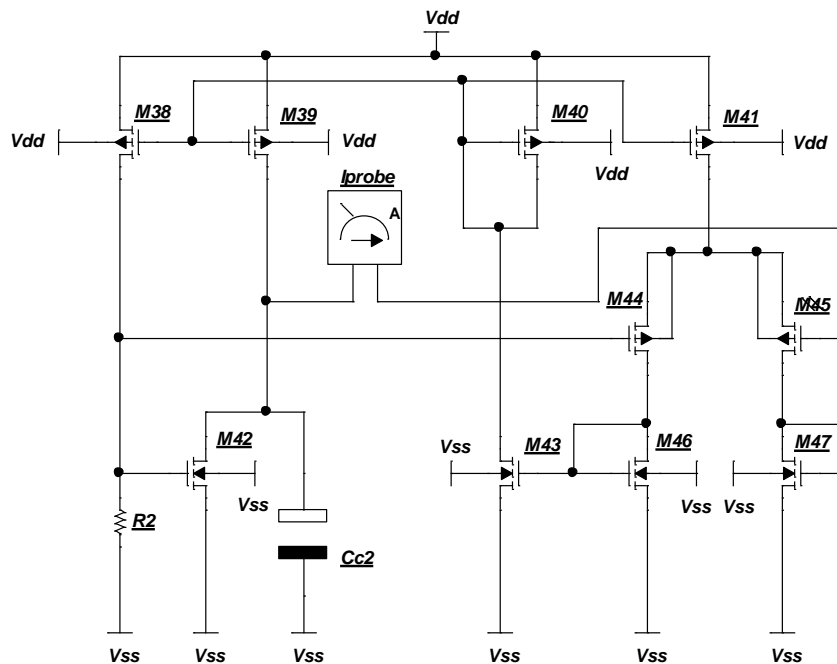


Figura 3.42: Ferramenta *iprobe* para análise de estabilidade no circuito de auto polarização e determinação do valor do capacitor C_{c2} .

Os gráficos de resposta em frequência de módulo e fase obtidos são os indicados na Figura 3.43 e Figura 3.44 nesta ordem. A frequência de corte é 10,162 kHz e o ganho da banda passante é aproximadamente 44,52 dB. A margem de ganho obtida foi 11,39 dB e para margem de fase tivemos 67,8°, correspondendo à máxima variação que a fase pode sofrer sem que o circuito passe a ser instável em malha fechada. Sendo assim, $C_{c2} = 5 \text{ pF}$ é aceitável para o projeto.

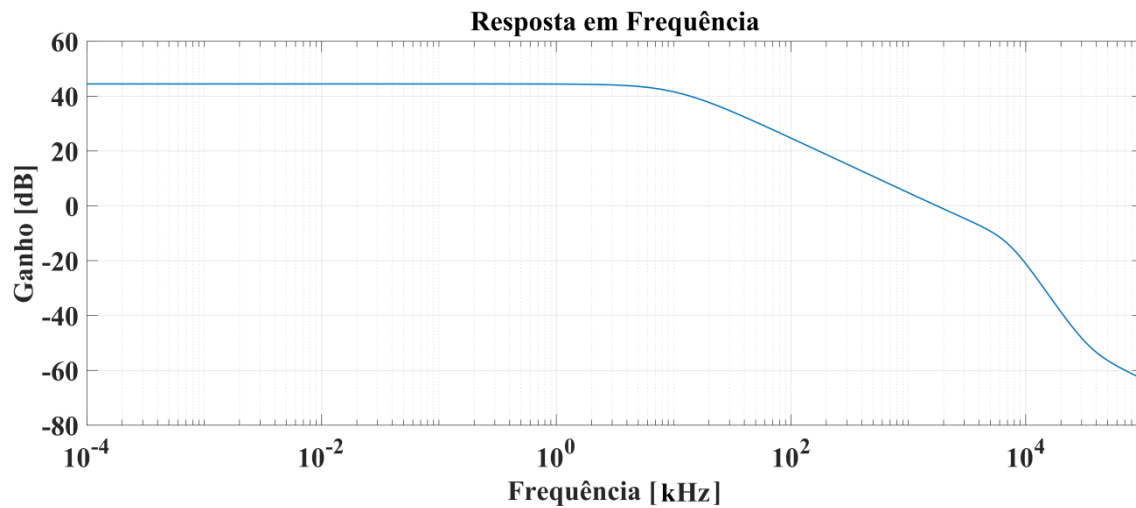


Figura 3.43: Gráfico de resposta em frequência gerado pela malha fechada do circuito.

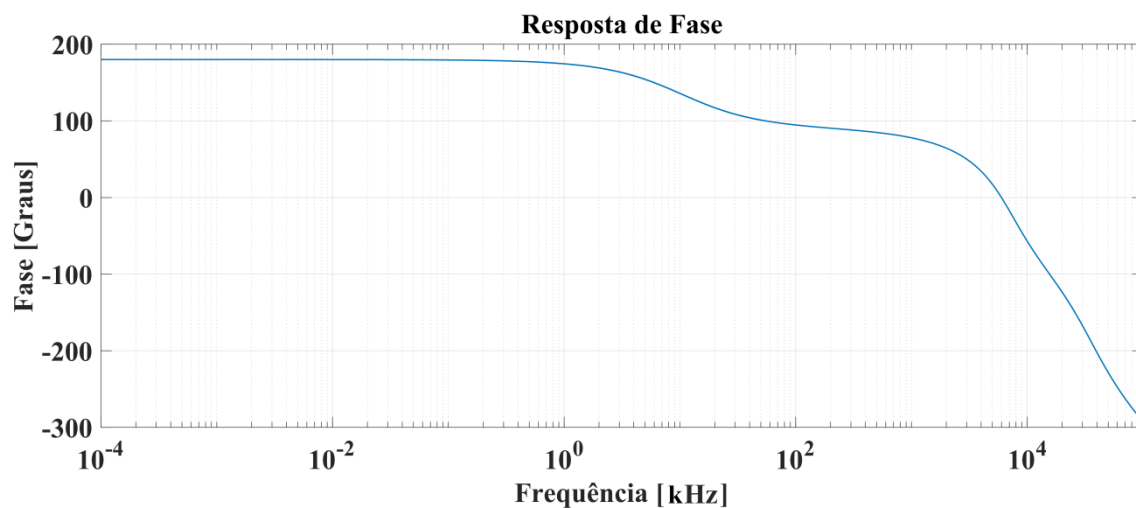


Figura 3.44: Gráfico de resposta de fase gerado pela malha fechada do circuito.

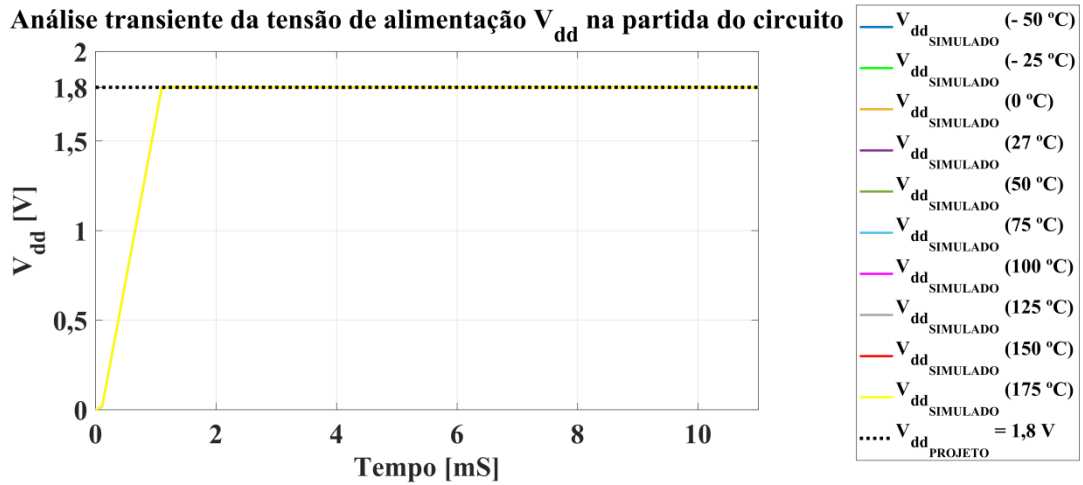


Figura 3.46: Análise transiente da tensão de alimentação V_{dd} , na partida do circuito, com a temperatura no intervalo $- 50\text{ °C} \leq T \leq 175\text{ °C}$.

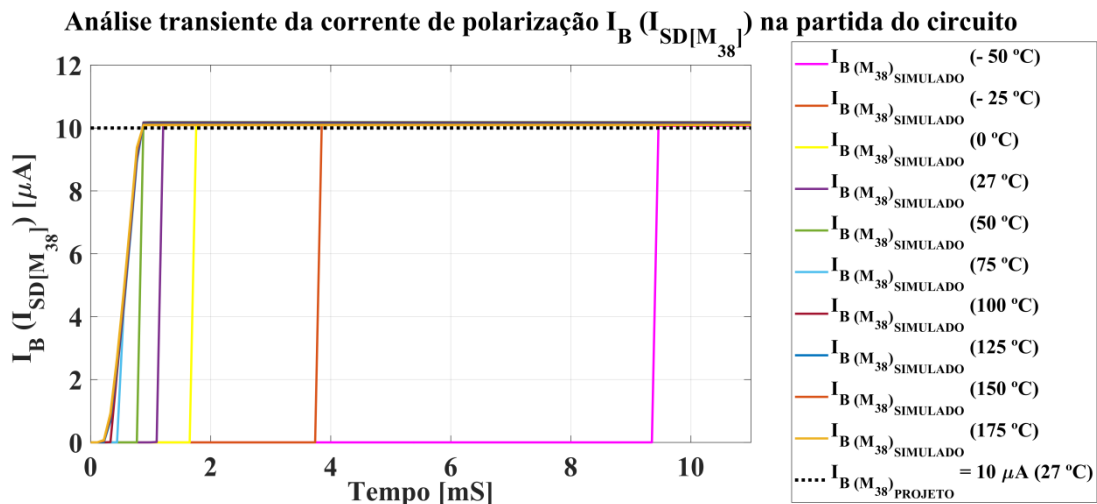


Figura 3.47: Análise transiente da corrente de polarização I_B , na partida do circuito, com a temperatura no intervalo $- 50\text{ °C} \leq T \leq 175\text{ °C}$.

3.7 Circuito de Auto Polarização (Fonte de Corrente Constante Invariante com a Temperatura) Modificado

Conforme apresentado nas Seções 3.5.1 e 3.5.2, os valores finais de ajuste das tensões de polarização dos espelhos *em cascode* foram $V_{b_p} = 800$ mV e $V_{b_n} = 564$ mV. A fim de adequar o circuito de auto polarização projetado na Seção 3.6 (Figura 3.40) para gerar esses valores de tensão, foram adicionados os transistores M_{48} e M_{49} , juntamente com os resistores R_3 (*rpp1*) e R_4 (*rpp1*), conforme indicados no esquemático da Figura 3.48 a seguir.

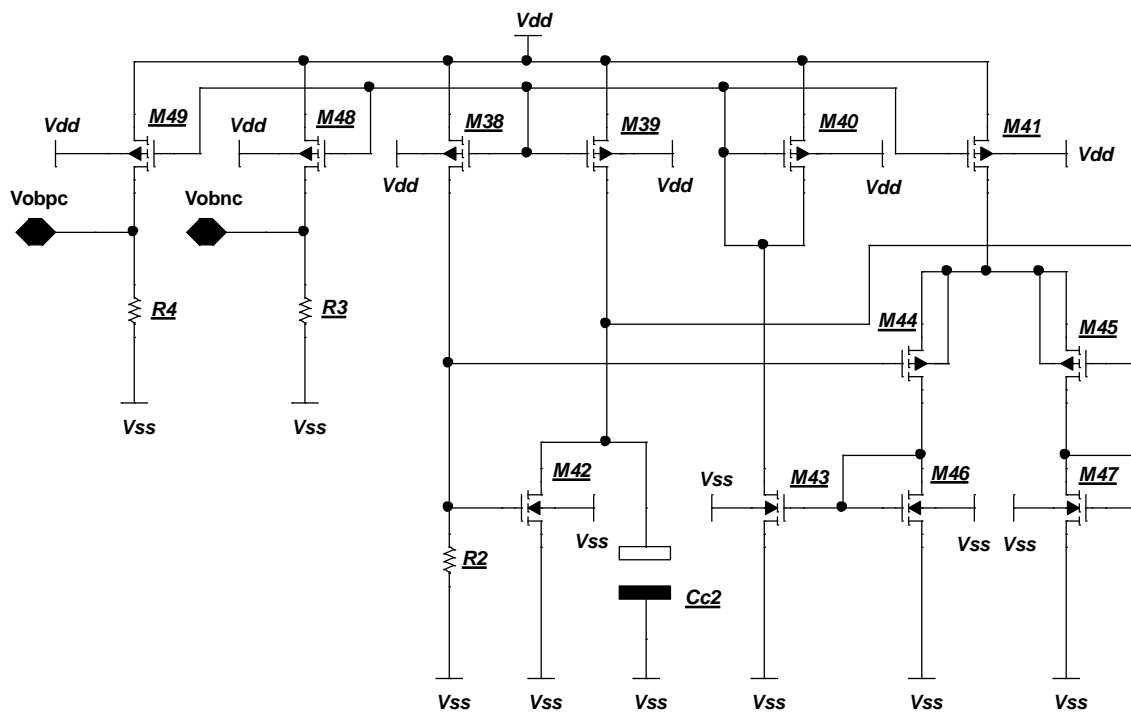


Figura 3.48: Circuito de auto polarização modificado.

Os MOSFETs M_{48} e M_{49} possuem as mesmas dimensões de M_{38} . Ademais, os resistores R_3 e R_4 , nesta ordem, foram calculados levando em consideração $V_{b_n} = 564$ mV e $V_{b_p} = 800$ mV e a corrente de polarização constante $I_B = 10,18$ μ A. Os terminais (*Vobnc*) e (*Vobpc*) fornecerão respectivamente $V_{b_n} \approx 564$ mV e $V_{b_p} \approx 800$ mV, invariantes com a temperatura, para polarizar os espelhos do estágio de

saída *cascode* do OTA. O dimensionamento desses componentes é indicado na Tabela 3.9.

Tabela 3.9: Dimensionamento de M_{48} , M_{49} , R_3 e R_4 no circuito de auto polarização modificado da Figura 3.48.

TRANSISTORES			
Transistor	Largura (W)	Comprimento (L)	Multiplicidade (M)
M_{48}	8,5 μm	5 μm	4
M_{49}	8,5 μm	5 μm	4
RESISTORES			
Resistor	Valor		
R_3	$R_3 = \left(\frac{V_{b_n}}{I_B}\right) = \left(\frac{0,564}{10,18 \mu}\right) \Rightarrow R_3 \approx 55348,8 \Omega$		
R_4	$R_4 = \left(\frac{V_{b_p}}{I_B}\right) = \left(\frac{0,8}{10,18 \mu}\right) \Rightarrow R_4 \approx 78663,1 \Omega$		

As tensões de polarização geradas nas saídas (V_{obnc}) e (V_{obpc}) em função da temperatura são indicadas, nesta ordem, nos gráficos da Figura 3.49 e Figura 3.50. Nota-se nestes gráficos, que as tensões de polarização permanecem constantes e próximas dos valores de projeto no intervalo de variação da temperatura. Portanto, os ajustes dos componentes indicados na Tabela 3.9 são boas escolhas de projeto.

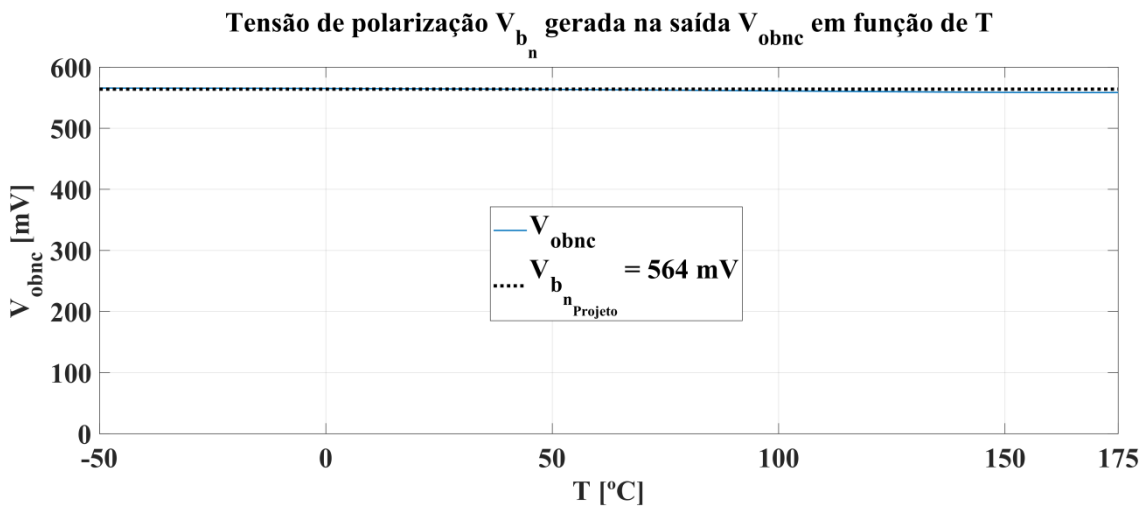


Figura 3.49: Tensão de polarização do espelho em *cascode* inferior gerada na saída (V_{obnc}) em função da temperatura na faixa $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

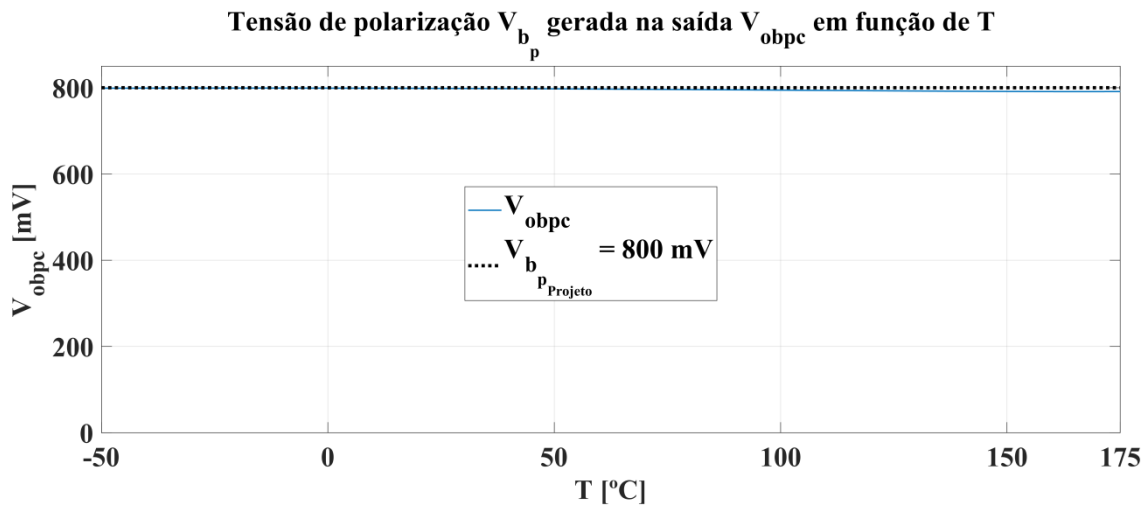


Figura 3.50: Tensão de polarização do espelho em *cascode* superior gerada na saída (V_{obpc}) em função da temperatura na faixa $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$.

3.8 Circuito de Controle de Modo Comum

De acordo com a Figura 2.24 (Seção 2.8), podem ser aproveitadas as mesmas dimensões dos transistores que constituem o par diferencial de entrada e os espelhos em *cascode* superior e inferior do OTA para dimensionar os MOSFETs do circuito de controle de modo comum (CMFB). O esquemático do circuito CMFB é o exposto na Figura 3.51 em seguida.

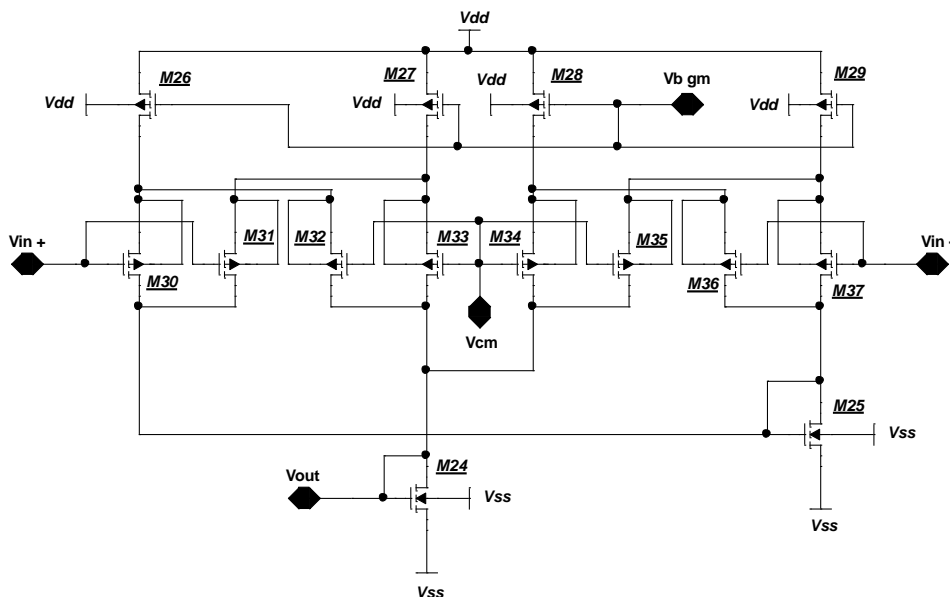


Figura 3.51: Circuito de controle de modo comum (CMFB).

O dimensionamento dos transistores do circuito CMFB e suas equivalências são indicados na Tabela 3.10.

Tabela 3.10: Dimensionamento dos MOSFETs do circuito CMFB indicado na Figura 3.51 e suas respectivas equivalências de dimensionamento de acordo com Figura 2.24 (Seção 2.8).

TRANSISTORES				
Circuito CMFB	Equivalência de Dimensionamento	W	L	M
M_{30} e M_{34}	M_{1a} (Par diferencial de entrada)	24 μm	5,3 μm	1
M_{33} e M_{37}	M_{2a} (Par diferencial de entrada)	24 μm	5,3 μm	1
M_{31} e M_{35}	M_{1b} (Par diferencial de entrada)	2,5 μm	5,3 μm	1
M_{32} e M_{36}	M_{2b} (Par diferencial de entrada)	2,5 μm	5,3 μm	1
M_{26} , M_{27} , M_{28} e M_{29}	M_{16} , M_{17} , M_{20} e M_{21} (Espelho <i>folded cascode</i> superior)	4,1 μm	1 μm	4
M_{24} e M_{25}	M_{19} e M_{23} (Espelho <i>folded cascode</i> inferior)	29 μm	1 μm	4

A fim de testar o funcionamento do circuito CMFB projetado, foi montado no *Cadence* o esquemático de teste indicado na Figura 3.52, usando os blocos de circuito projetados nestes trabalho (OTA, circuito de compensação de g_m modificado, circuito de auto polarização modificado e circuito CMFB). Neste circuito foi realizada varredura da tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$, e da temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$, com o objetivo de medir a tensão de modo comum V_{ocm} na saída do OTA. Os gráficos obtidos são os indicados na Figura 3.53 até Figura 3.56. É fácil notar nestes gráficos que a tensão V_{ocm} permanece numa faixa plana com valor $V_{ocm} \approx 716\text{ mV}$, sendo um valor aceitável em comparação com o valor de projeto $V_{ocm\text{projeto}} = 700\text{ mV}$.

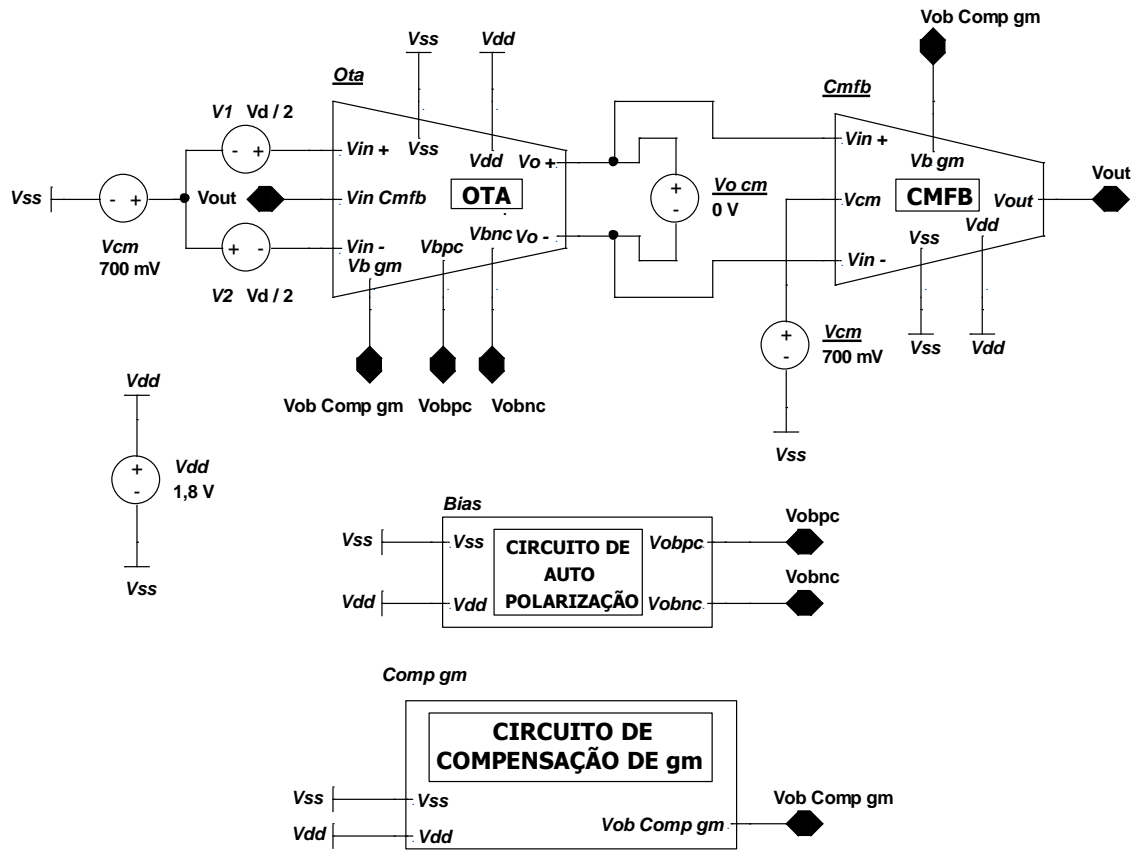


Figura 3.52: Circuito de teste montado no *Cadence* para fazer medição da tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

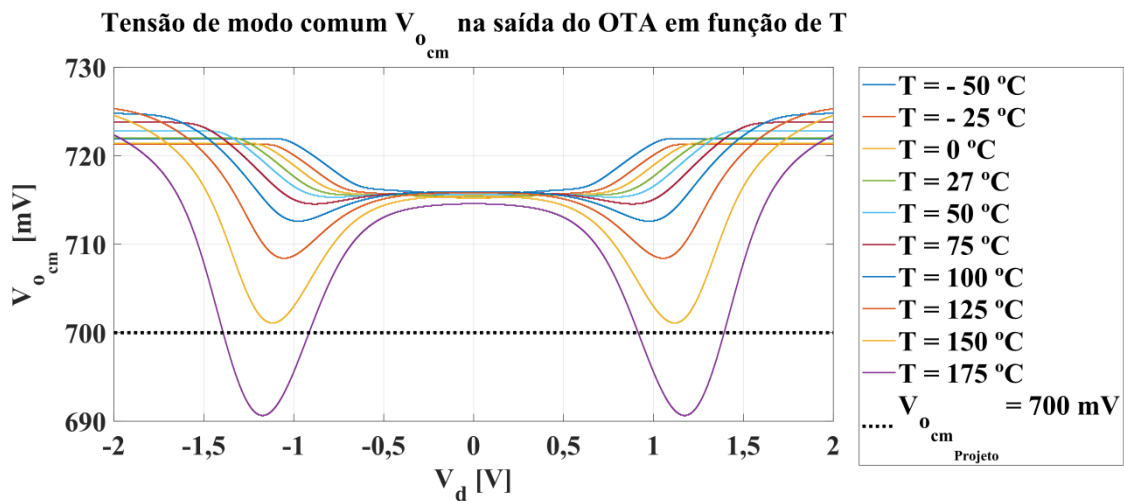


Figura 3.53: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

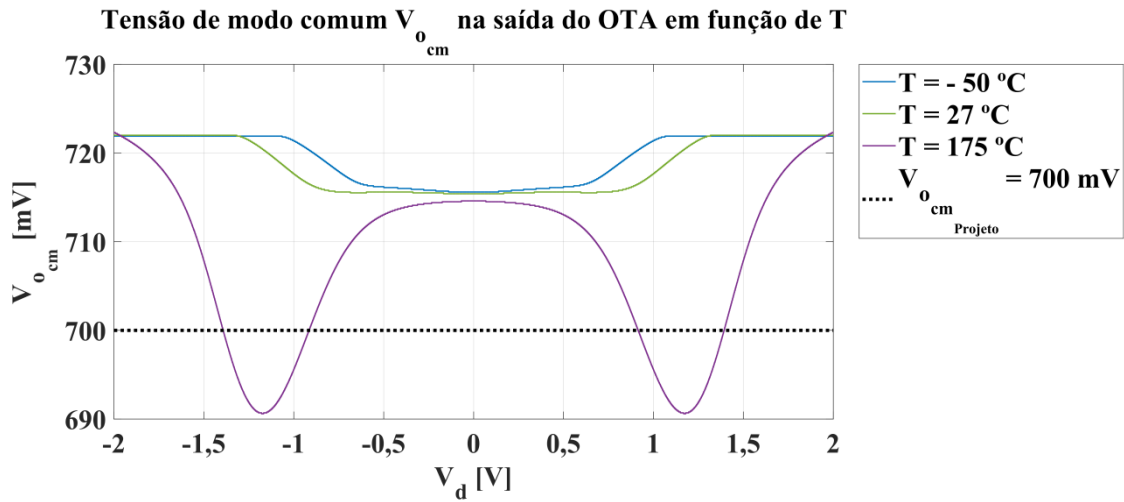


Figura 3.54: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, variando a tensão diferencial de entrada V_d na faixa $- 2 \text{ V} \leq V_d \leq 2 \text{ V}$ nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

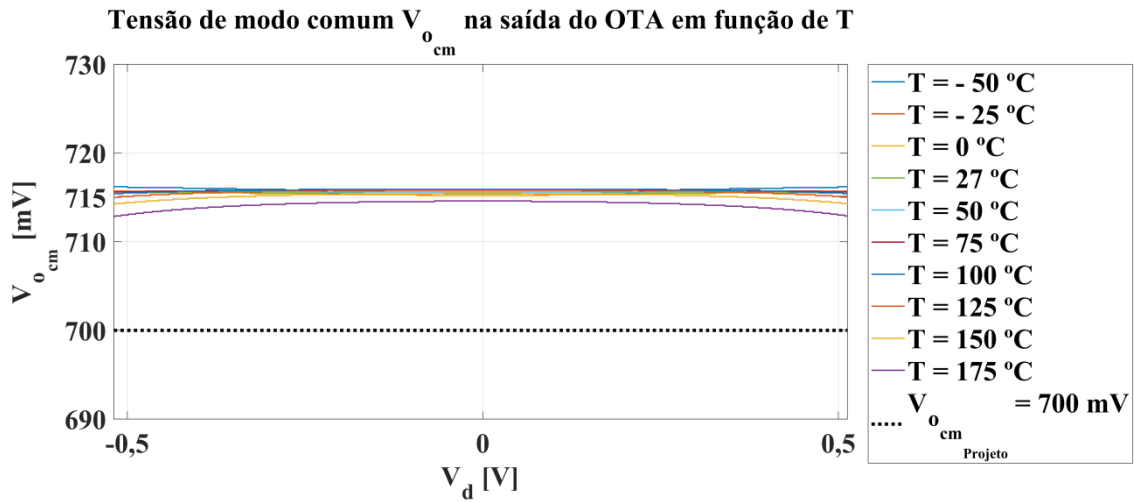


Figura 3.55: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, na faixa de projeto $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, com a temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

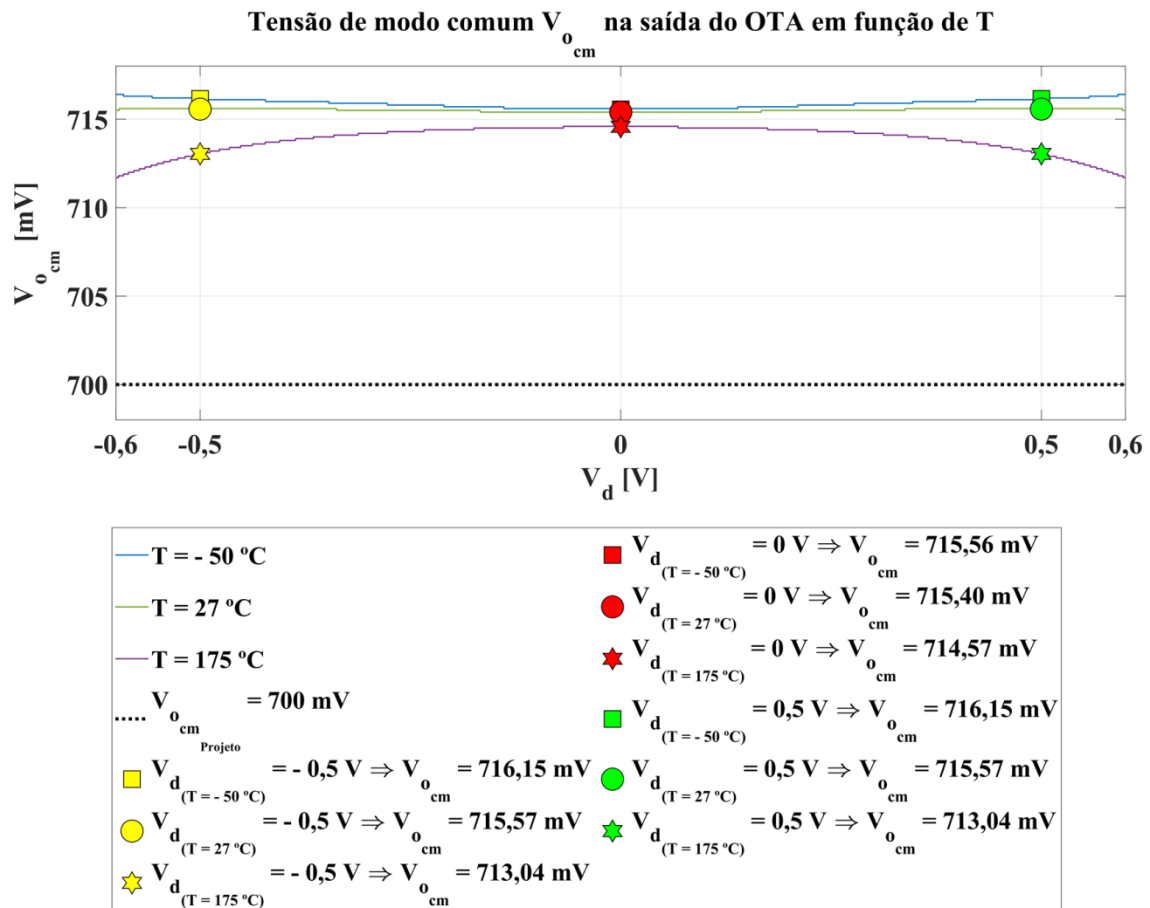


Figura 3.56: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA, na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$, nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$.

Portando o circuito CMFB projetado está dentro das expectativas de projeto.

3.9 Projeto Otimizado do OTA com Par Diferencial Simples para Comparação na Medição de Distorção Harmônica (THD)

Conforme mencionado no início do capítulo de introdução (Capítulo 1), em [5], [6] e [12], foram propostos OTAs insensíveis à variação de temperatura com par diferencial simples na entrada. O objetivo deste capítulo é apresentar o projeto otimizado de um OTA com par diferencial simples, usando a mesma metodologia deste

trabalho, com o objetivo de comparar as medições de distorção harmônica (THD) do OTA proposto e das referências [5], [6] e [12].

Os blocos de circuito compensação de g_m e auto polarização utilizados para polarização do OTA otimizado com par diferencial simples foram os mesmos propostos por este trabalho, nesta ordem, nas Seções 3.4 e 3.7 apresentadas anteriormente. Isso porque a densidade da corrente de polarização I_B foi mantida e, conseqüentemente, as tensões de polarização dos espelhos de corrente em *cascode* superior (V_{b_p}) e inferior (V_{b_n}) podem ser as mesmas do projeto original (Seções 3.5.1 e 3.5.2).

A fim de manter a mesma densidade de corrente de polarização, foi aplicado nas larguras W e correntes I_B , nos MOSFETs do OTA (par diferencial de entrada e estágio de saída *cascode*) e do circuito de controle de modo comum (CMFB), o fator Razão_{Otimização} definido por:

$$\text{Razão}_{\text{Otimização}} = \left(\frac{I_{B(\text{OTA Deste Trabalho})}^{(T=27^\circ\text{C})}}{I_{B(\text{Otimização})}^{(T=27^\circ\text{C})}} \right), \quad (3.2)$$

na qual $I_{B(\text{OTA Deste Trabalho})}^{(T=27^\circ\text{C})} \approx 10,18 \mu\text{A}$ (Tabela 3.3 na Seção 3.2) e $I_{B(\text{Otimização})}^{(T=27^\circ\text{C})}$ é a nova corrente de polarização, cujo cálculo será detalhado na próxima Seção deste capítulo.

3.9.1 Dimensionamento do Par Diferencial Simples de Entrada e Determinação do Fator Razão_{Otimização}

Para dimensionamento do par diferencial simples do OTA otimizado foram usados os seguintes parâmetros de projeto:

- $g_{m_d} = 12,5 \mu\text{S}$;
- $\alpha_{p_{T_0}} = 1,21$;
- $k_{p_{p_{T_0}}} = 74,4 \mu\text{A}/\text{V}^2$;
- $IC = 5$ (mesmo coeficiente de inversão usado nos MOSFETs do espelho de corrente *folded cascode* superior da Seção 3.5.1);
- $\phi_{T_0} = 26 \text{ mV}$.

Substituindo os parâmetros acima na equação da transcondutância [23] de pequenos sinais do amplificador diferencial simples definida por:

$$g_{m_d} = \frac{1}{8} \cdot \frac{(\sqrt{1 + IC} - 1) \cdot I_B'}{\alpha_{pT_0} \cdot \phi_{T_0} \cdot IC}, \quad (3.3)$$

foi determinada a corrente de polarização do par diferencial $I_B' \approx 4,4 \mu\text{A}$. A relação de $I_B^{(T=27^\circ\text{C})}$, em (3.2), com I_B' é expressa por:

$$I_B' = 2 \cdot I_B^{(T=27^\circ\text{C})}, \quad (3.4)$$

conforme indicado na Figura 3.57.

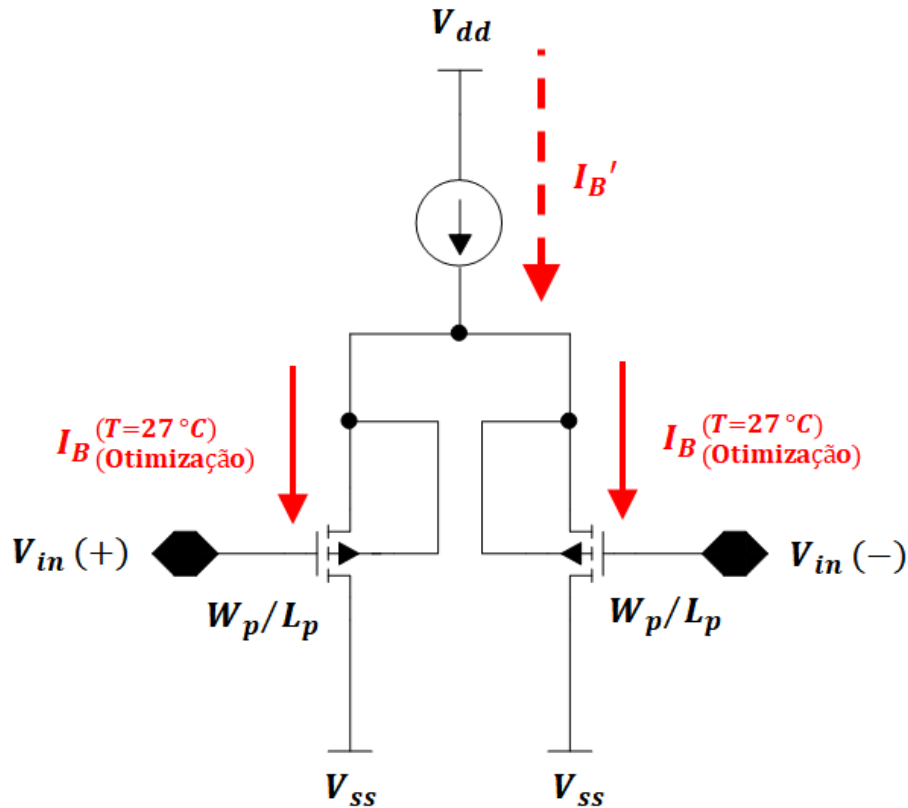


Figura 3.57: Correntes I_B' e $I_B^{(T=27^\circ\text{C})}$ no amplificador diferencial simples.

Substituindo $I_B' \approx 4,4 \mu\text{A}$ em (3.4), temos $I_B^{(T=27^\circ\text{C})} \approx 2,2 \mu\text{A}$. Para o cálculo da razão (W_p/L_p) indicada na Figura 3.57, foram substituídos na equação do modelo EKV (Seção 2.3) $IC = \frac{I_B}{2 \cdot \alpha_{pT_0} \cdot (\phi_{T_0})^2 \cdot k_{pT_0} \cdot \left(\frac{W_p}{L_p}\right)}$, o coeficiente de inversão $IC = 5$, $\alpha_{pT_0} = 1,21$, $k_{pT_0} = 74,4 \mu\text{A}/\text{V}^2$, $\phi_{T_0} = 26 \text{ mV}$ e $I_B^{(T=27^\circ\text{C})} \approx 2,2 \mu\text{A}$. O valor calculado para a razão de dimensionamento foi $(W_p/L_p) \approx 3,61 \mu\text{m}$. Ademais, foi montado no *Cadence* o circuito de teste da Figura 3.58, através do qual, por ajuste, obteve-se $(W_p/L_p) = 2,4 \mu\text{m}$. Variando a tensão diferencial de entrada V_d na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura no intervalo $-50^\circ\text{C} \leq T \leq 175^\circ\text{C}$, foram plotadas as curvas de g_{m_d} com ajuste de $g_{m_d(T=27^\circ\text{C})} \approx 12,5 \mu\text{S}$ indicadas na Figura 3.59 até Figura 3.62 a seguir.

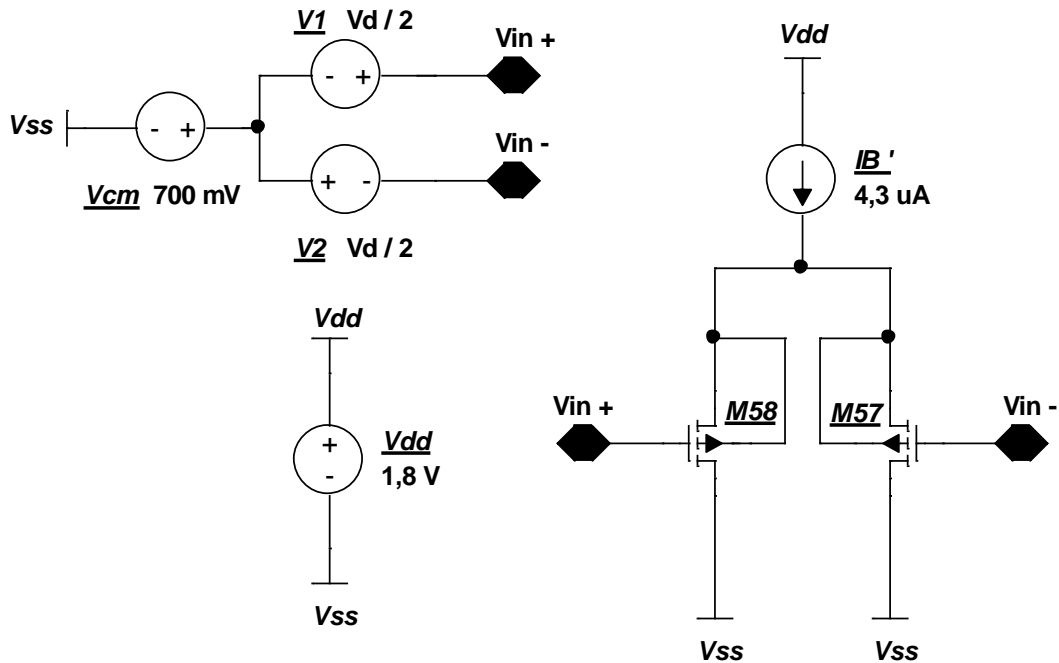


Figura 3.58: Circuito de teste montado no *Cadence* para ajuste da razão W_p/L_p dos MOSFETs M_{58} e M_{59} , com a tensão diferencial de entrada V_d na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e a temperatura no intervalo $-50^\circ\text{C} \leq T \leq 175^\circ\text{C}$.

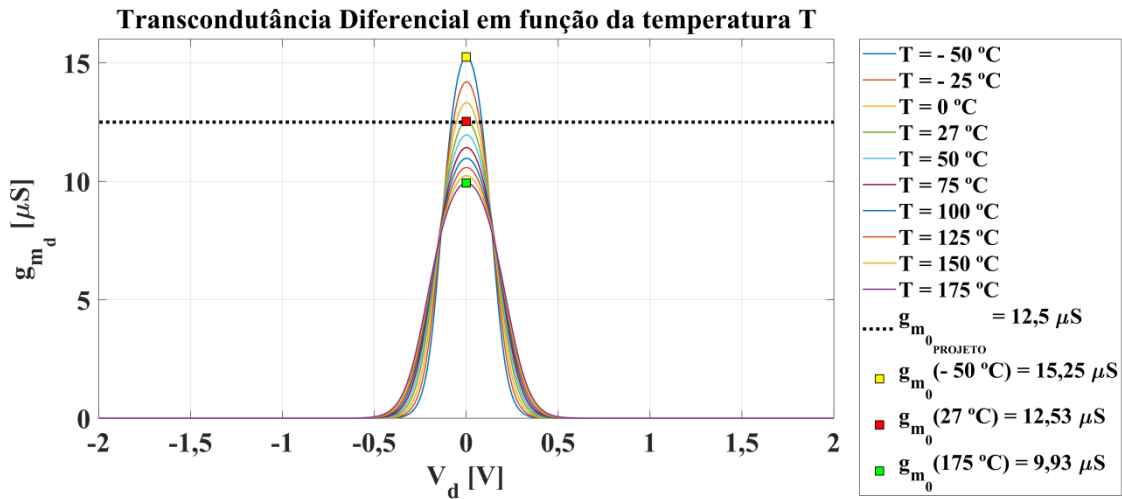


Figura 3.59: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

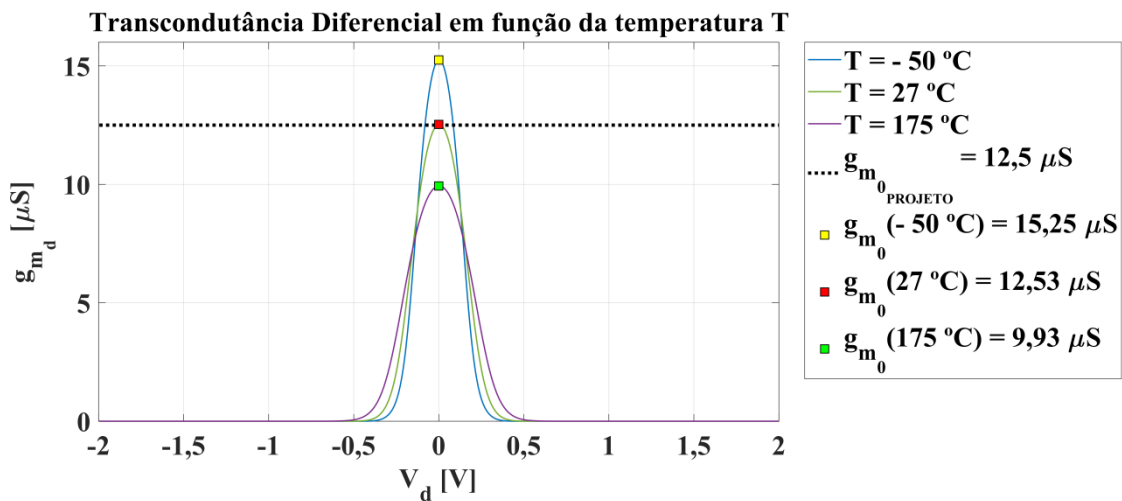


Figura 3.60: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ nas temperaturas $T = -50\text{ }^\circ\text{C}$, $T = 27\text{ }^\circ\text{C}$ e $T = 175\text{ }^\circ\text{C}$.

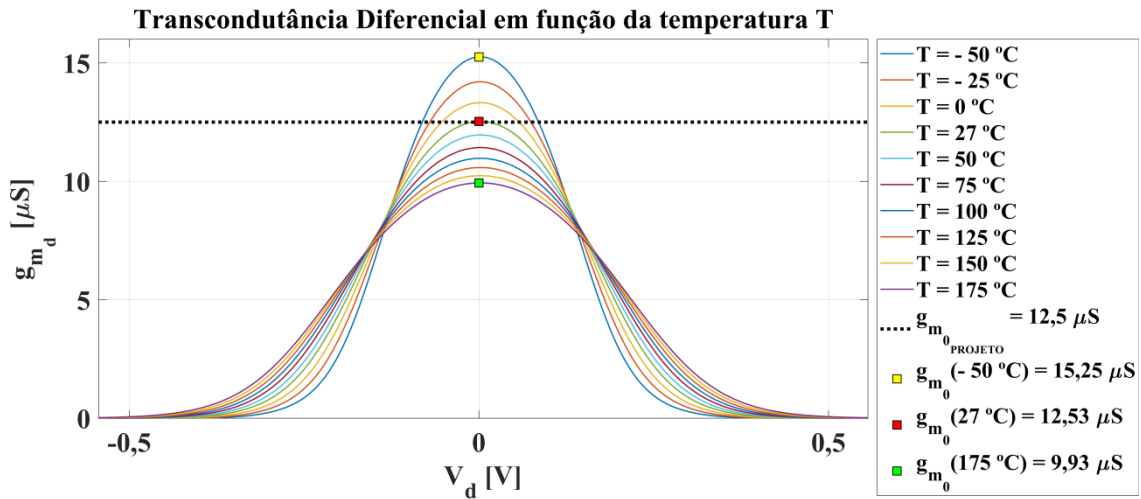


Figura 3.61: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa de projeto $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, com a temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

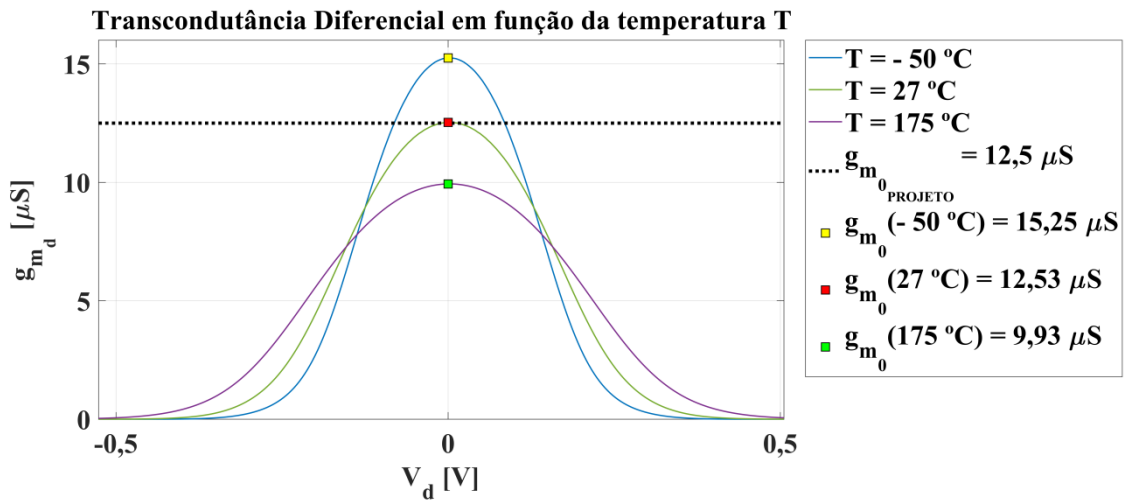


Figura 3.62: Transcondutância diferencial g_{m_d} com a tensão diferencial de entrada V_d na faixa de projeto $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

Conforme detalhado na Seção 3.9.1, os MOSFETs que constituem os pares diferenciais simples (M_{57} e M_{58} na Figura 3.63) e (M_{59} , M_{60} , M_{61} e M_{62} na Figura 3.64) têm seus ajustes de dimensionamento indicados na Tabela 3.11.

Tabela 3.11: Dimensionamento dos MOSFETs que constituem os pares diferenciais nos circuitos otimizados do OTA (Figura 3.63) e de controle de modo comum (CMFB) (Figura 3.64).

Projeto do OTA otimizado com par diferencial simples ([5],[6] e [12])			
MOSFET	I'_{BT_0}	W'	L'
$M_{57}, M_{58}, M_{59}, M_{60}, M_{61}$ e M_{62}	2,2 μ A	2,4 μ m	1 μ m

Ademais, para dimensionamento dos outros transistores, de acordo com (3.2), Razão_{Otimização} = $\left(\frac{I_{B(OTA\ Deste\ Trabalho)}^{(T=27\ ^\circ C)}}{I_{B(Otimização)}^{(T=27\ ^\circ C)}} \right)$, na qual, $I_{B(OTA\ Deste\ Trabalho)}^{(T=27\ ^\circ C)} \approx 10,18\ \mu$ A (Seção 3.7) e $I_{B(Otimização)}^{(T=27\ ^\circ C)} \approx 2,2\ \mu$ A (Seção 3.9.1). Portanto, como valor para a razão de otimização, temos Razão_{Otimização} $\approx 4,6$. Conforme mencionado na Seção 3.9, a fim de manter a densidade de corrente J igual à do projeto original (proposto pelo autor), o fator Razão_{Otimização} foi usado, dividindo as correntes de polarização I_{BT_0} e larguras W do projeto original por 4,6 e mantendo L constante para determinar os novos valores otimizados I_{BT_0}' , W' e L' . O dimensionamento dos demais transistores da Figura 3.63 e Figura 3.64 é indicado na Tabela 3.12 e Tabela 3.13 a seguir.

Tabela 3.12: Dimensionamento dos MOSFETs do OTA e circuito CMFB otimizados com par diferencial simples usando a razão de otimização de valor 4,6.

Projeto do OTA (autor)					Projeto do OTA otimizado com par diferencial simples ([5], [6] e [12])			
MOSFET	$I_{B_{T_0}}$	W	L	M	MOSFET	$I_{B_{T_0}}'$	W'	L'
M_{16}, M_{17}, M_{20} e M_{21}	10,18 μ A	4,1 μ m	1 μ m	4	M_{16}, M_{17}, M_{20} e M_{21}	2,2 μ A	3,5 μ m	1 μ m
M_{18} e M_{22}	10,18 μ A	29 μ m	1 μ m	2	M_{18} e M_{22}	2,2 μ A	12,5 μ m	1 μ m
M_{19} e M_{23}	20,36 μ A	29 μ m	1 μ m	4	M_{19} e M_{23}	4,4 μ A	25 μ m	1 μ m
M_{24} e M_{25}	20,36 μ A	29 μ m	1 μ m	4	M_{24} e M_{25}	4,4 μ A	25 μ m	1 μ m

Cálculo dos novos valores de W e $I_{B_{T_0}}$, fazendo

$$W' = W / (\text{Razão}_{\text{otimização}})^e$$

$$I_{B_{T_0}}' = I_{B_{T_0}} / (\text{Razão}_{\text{otimização}})'$$

mantendo L constante ($L = L'$).

Tabela 3.13: Dimensionamento dos MOSFETs do OTA e circuito CMFB otimizados com par diferencial simples.

Projeto do OTA otimizado com par diferencial simples ([5], [6] e [12])			
MOSFET	$I'_{B_{T_0}} = 2 \cdot I'_{B_{T_0}(M_{16}, M_{17}, M_{20}, M_{21})}$	$W' = 2 \cdot W'_{(M_{16}, M_{17}, M_{20}, M_{21})}$	L'
M_{14}	4,4 μ A	7 μ m	1 μ m
M_{26}	4,4 μ A	7 μ m	1 μ m
M_{27}	4,4 μ A	7 μ m	1 μ m

3.9.3 Teste dos Circuitos OTA e CMFB Otimizados Junto com os Blocos Compensação de g_m e Circuito de Auto Polarização

Para validar os circuitos OTA e CMFB otimizados da Seção 3.9.2, foi montado no simulador *Cadence* o esquemático de teste indicado na Figura 3.65, com polarização feita pelos blocos compensação de g_m (Seção 3.4) e circuito de auto polarização (Seção 3.7).

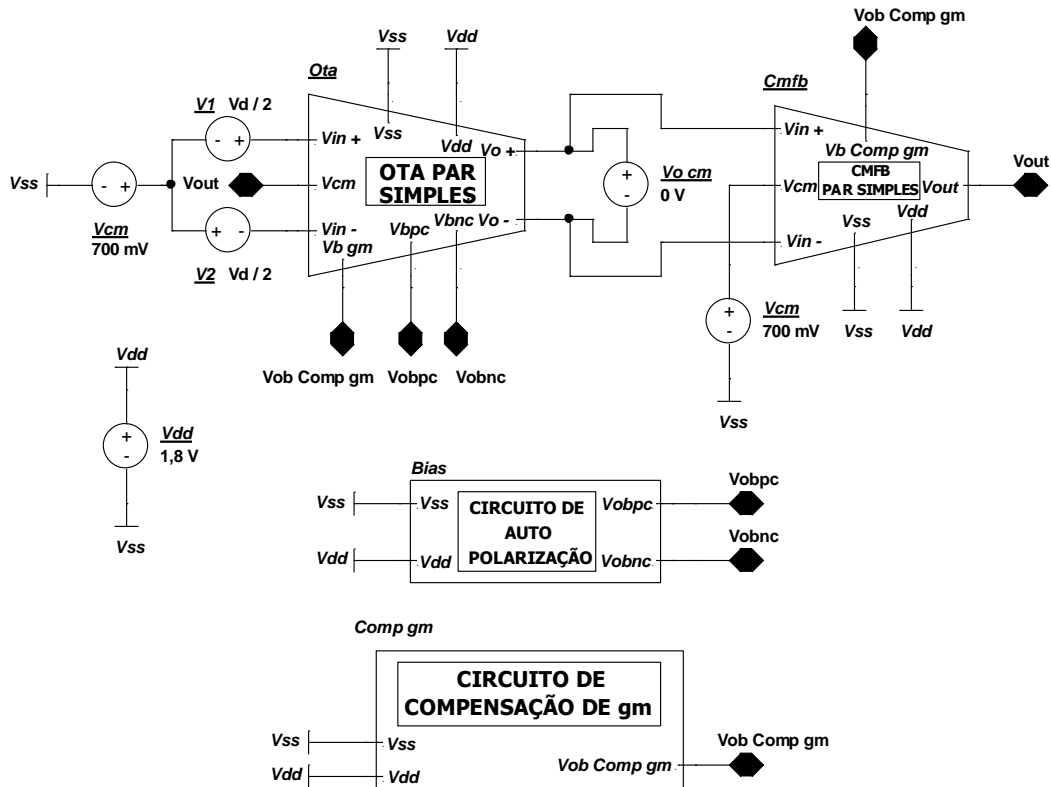


Figura 3.65: Circuito de teste montado no *Cadence* para teste e validação do OTA e circuito CMFB com pares diferenciais simples otimizados.

Neste circuito foram feitas medições da transcondutância diferencial g_{m_d} e da tensão de saída de modo comum $V_{o_{cm}}$ na saída do OTA, por meio de varredura da tensão diferencial de entrada V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$. Os gráficos obtidos de g_{m_d} e $V_{o_{cm}}$ em função da temperatura são indicados, por essa ordem, na Figura 3.66 até Figura 3.73. É fácil notar que a transcondutância diferencial g_{m_0} do OTA otimizado com par diferencial simples se mantém constante com a variação da temperatura. Ademais, a tensão de saída de modo comum teve valores próximos de $V_{o_{cm_{Projeto}}}$ (700 mV).

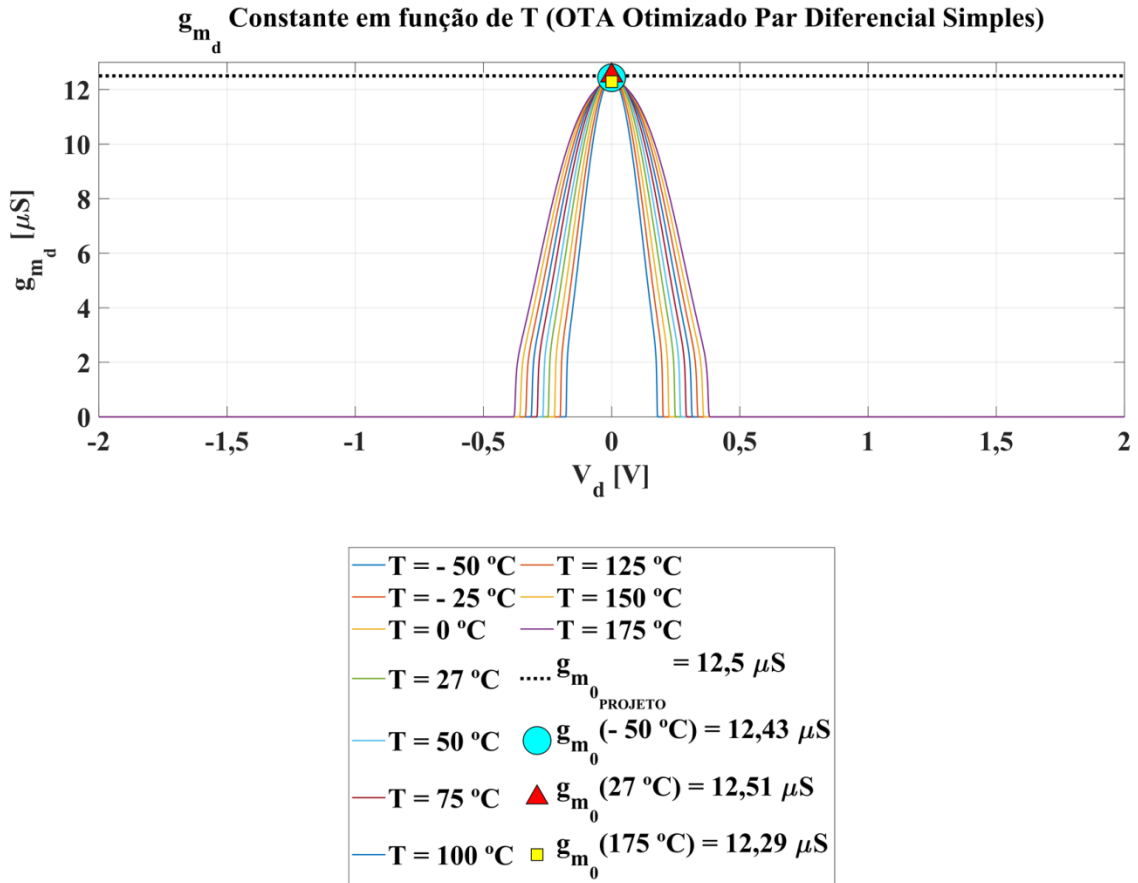


Figura 3.66: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e temperatura no intervalo $-50 \text{ °C} \leq T \leq 175 \text{ °C}$.

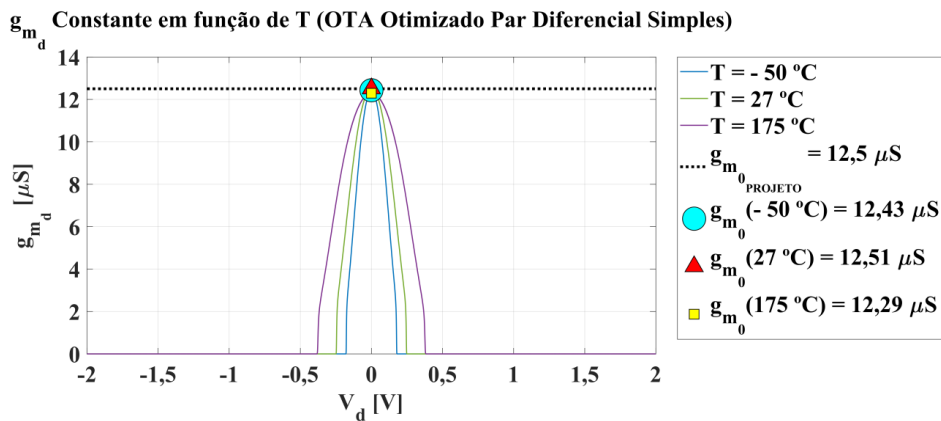


Figura 3.67: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$, nas temperaturas $T = -50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

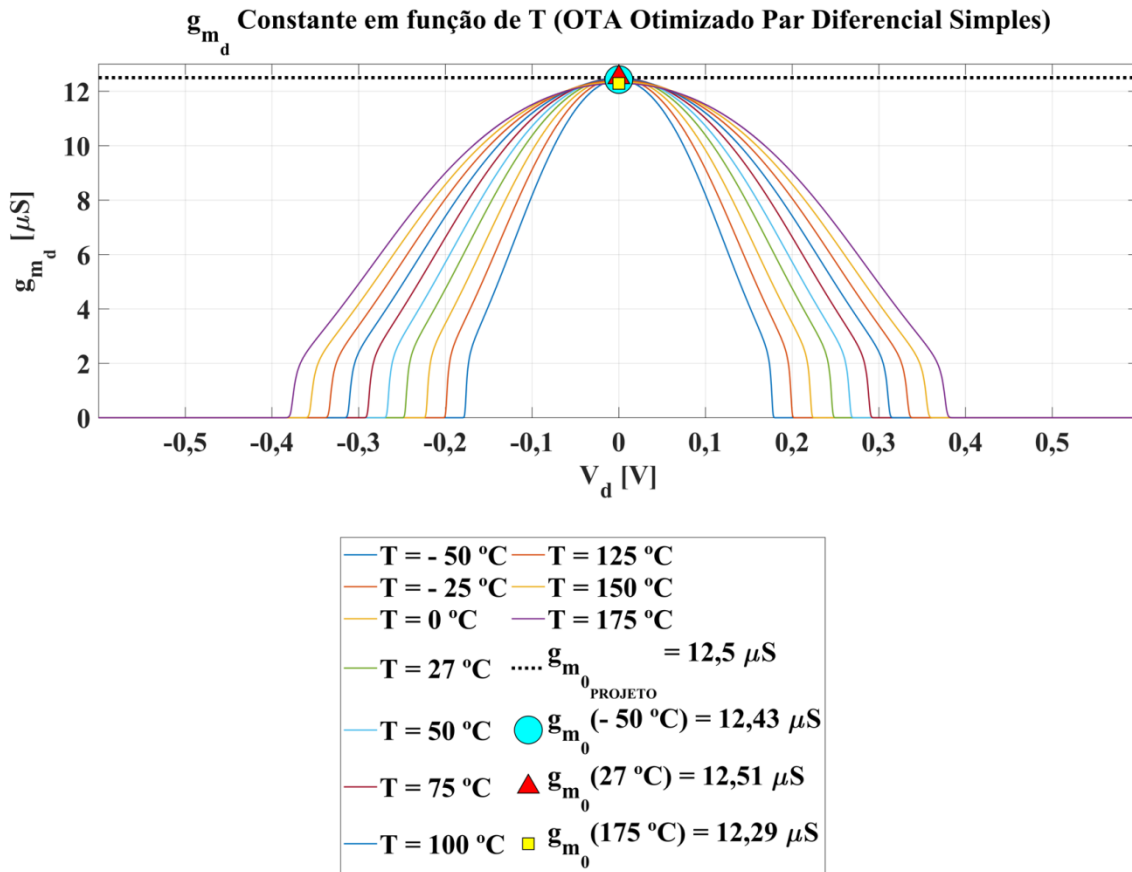


Figura 3.68: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ e temperatura no intervalo $- 50 \text{ °C} \leq T \leq 175 \text{ °C}$.

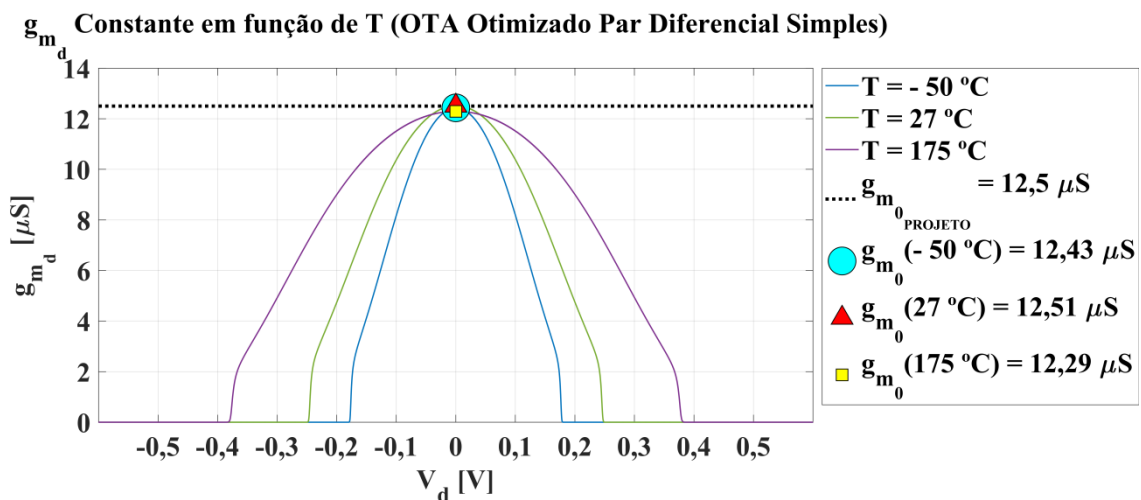


Figura 3.69: g_{m_d} constante do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, nas temperaturas $T = - 50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

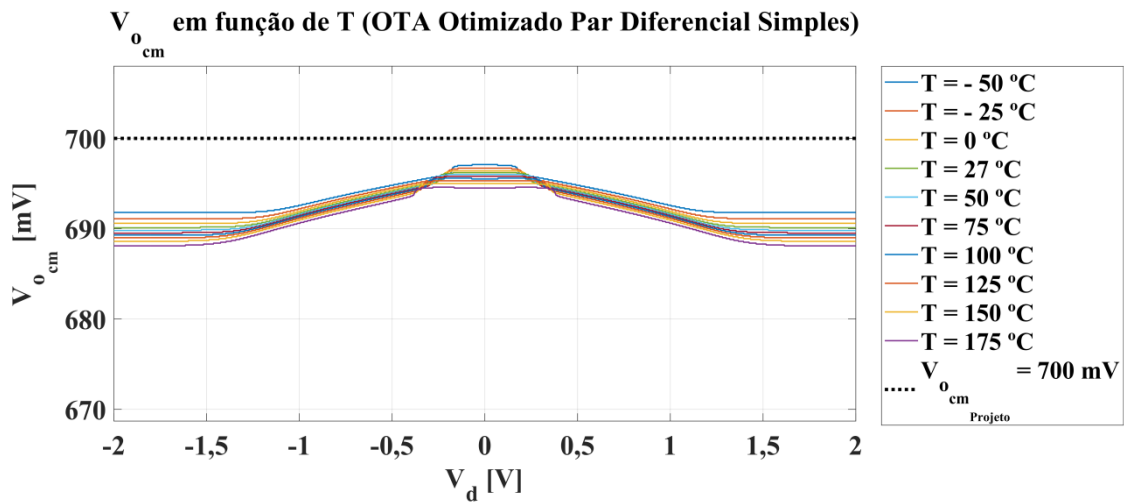


Figura 3.70: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e temperatura no intervalo $-50\text{ °C} \leq T \leq 175\text{ °C}$.

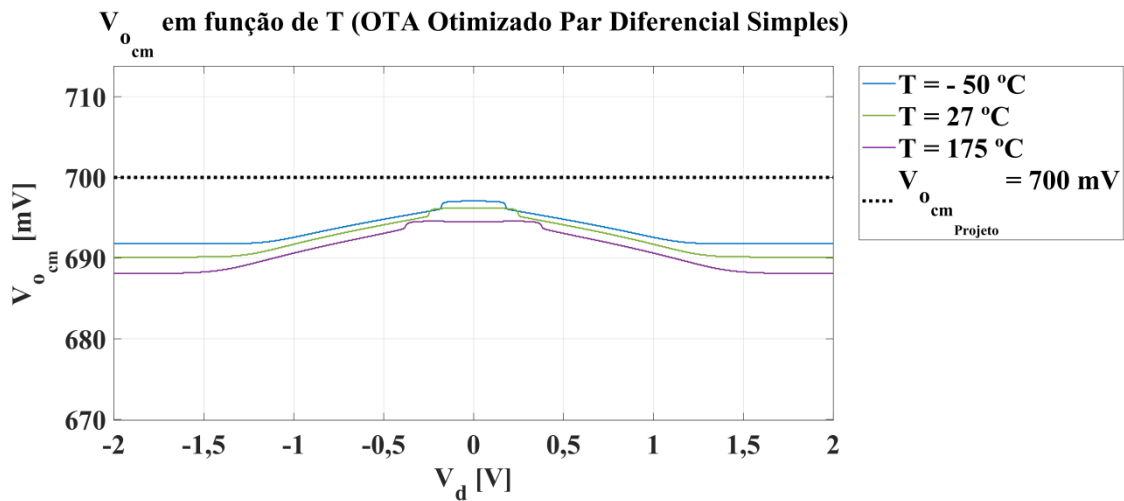


Figura 3.71: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$, nas temperaturas $T = -50\text{ °C}$, $T = 27\text{ °C}$ e $T = 175\text{ °C}$.

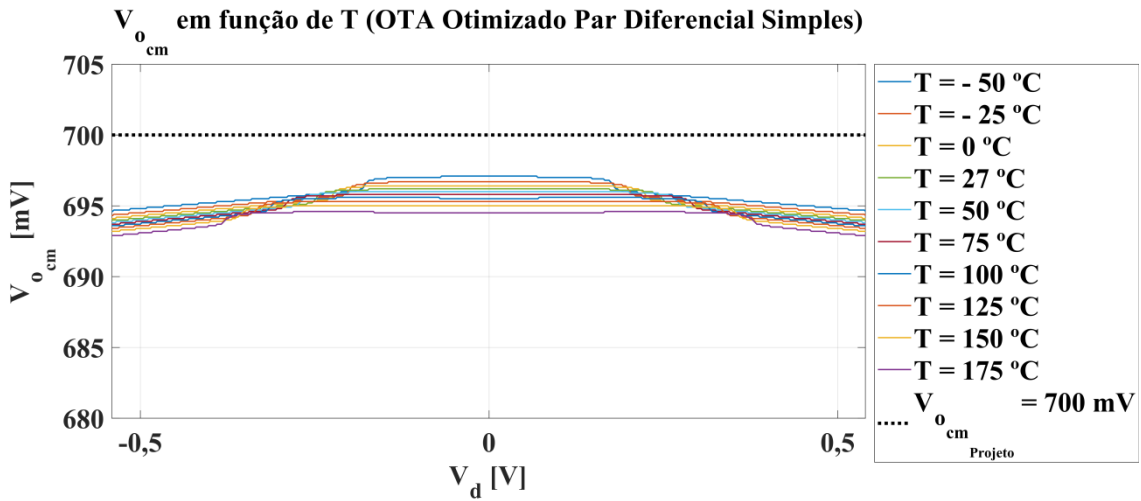


Figura 3.72: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ e temperatura no intervalo $- 50 \text{ °C} \leq T \leq 175 \text{ °C}$.

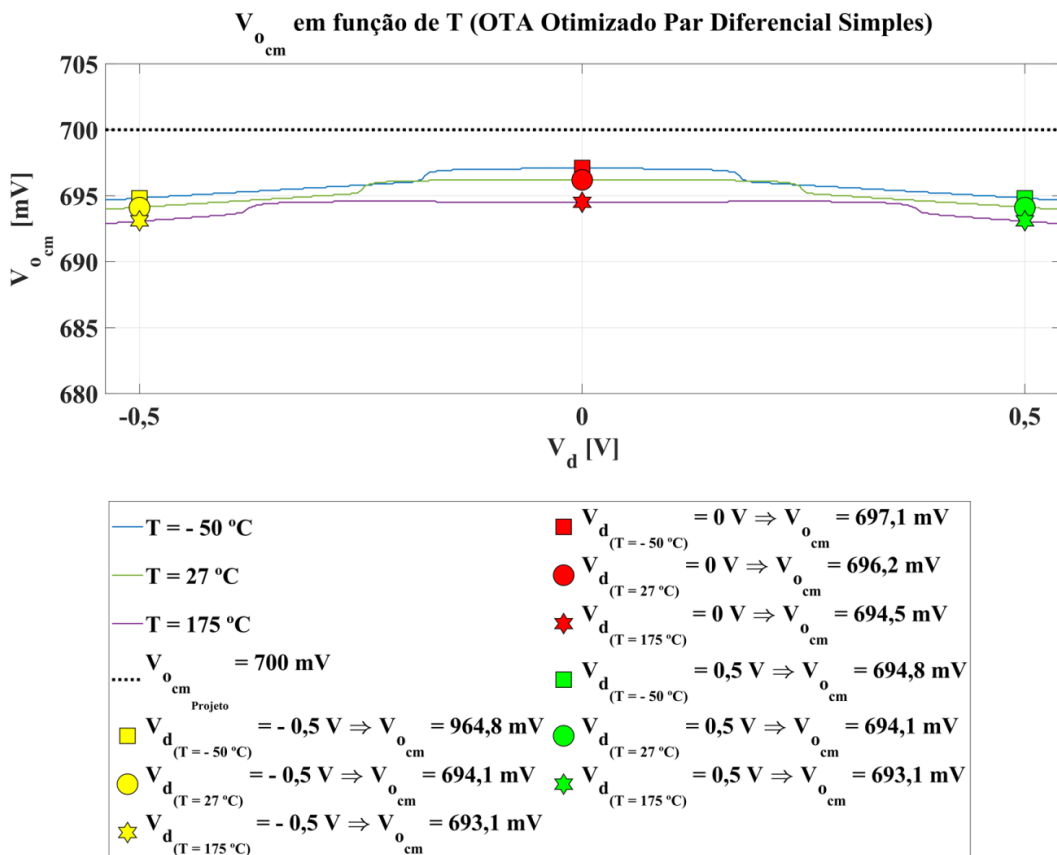


Figura 3.73: Tensão de saída de modo comum $V_{o_{cm}}$ do OTA otimizado de par diferencial simples ([5], [6] e [12]) com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, nas temperaturas $T = - 50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

Portando, os circuitos do OTA e de controle de modo comum (CMFB) otimizados com par diferencial simples podem ser usados nas medições de distorção harmônica (THD), a fim de comparar o desempenho entre o OTA proposto por essa dissertação e o OTA das referências [5], [6] e [12].

Capítulo 4

Resultados de Simulação

Neste capítulo foram realizadas medições e cálculos de desempenho do OTA proposto. Ademais, foi feita a simulação de distorção harmônica (THD) dos OTAs proposto e o otimizado com par diferencial simples ([5], [6] e [12]), com o objetivo de comparar qual topologia de par diferencial tem menor distorção harmônica.

4.1 Curvas $g_{m_d} \times V_d \times T$ (OTA Proposto)

Através do circuito esquemático da Figura 4.1, montado no *Cadence*, foram obtidas as curvas $g_{m_d} \times V_d \times T$, indicadas na Figura 4.2 até Figura 4.5.

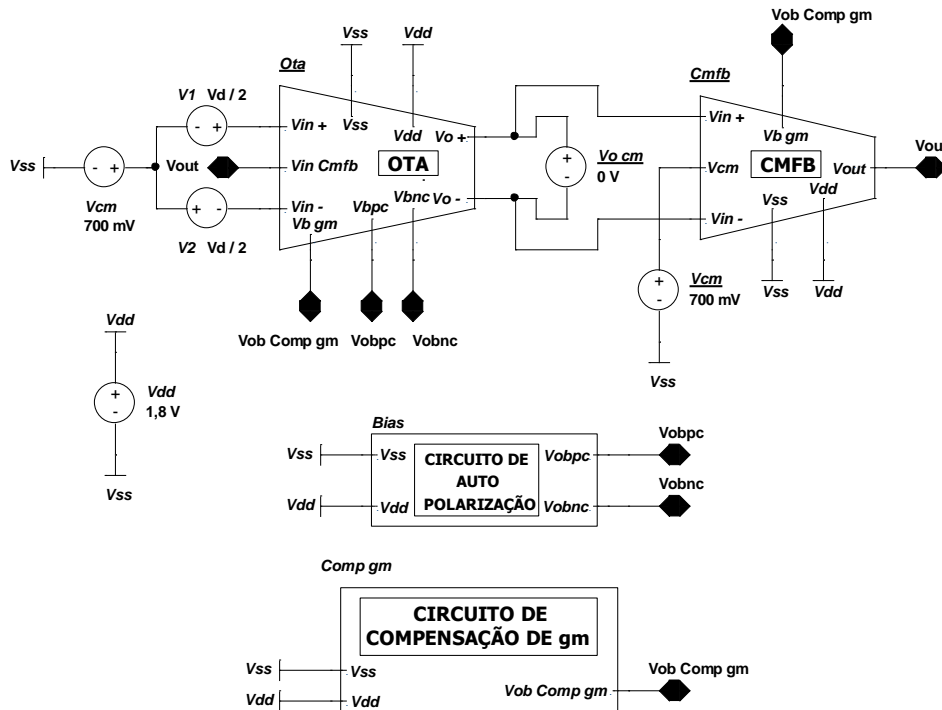


Figura 4.1: Circuito de teste montado no *Cadence* para medição das curvas $g_{m_d} \times V_d \times T$ do OTA, variando a tensão diferencial de entrada na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$ e a temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

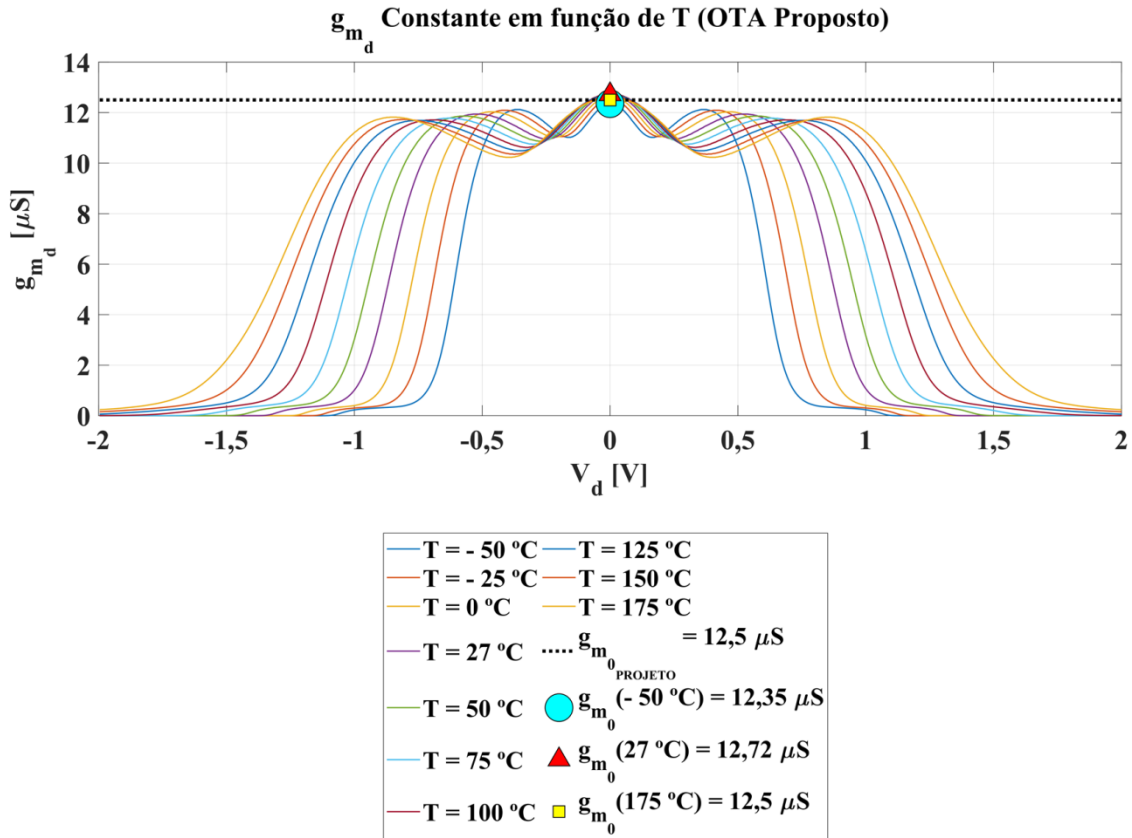


Figura 4.2: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$ e temperatura no intervalo $-50 \text{ °C} \leq T \leq 175 \text{ °C}$.

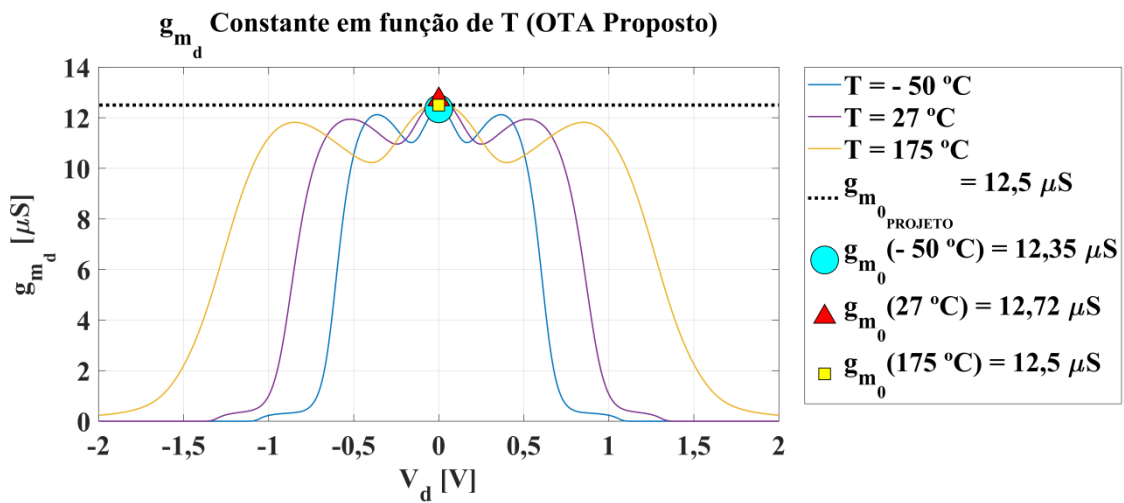


Figura 4.3: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$, nas temperaturas $T = -50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

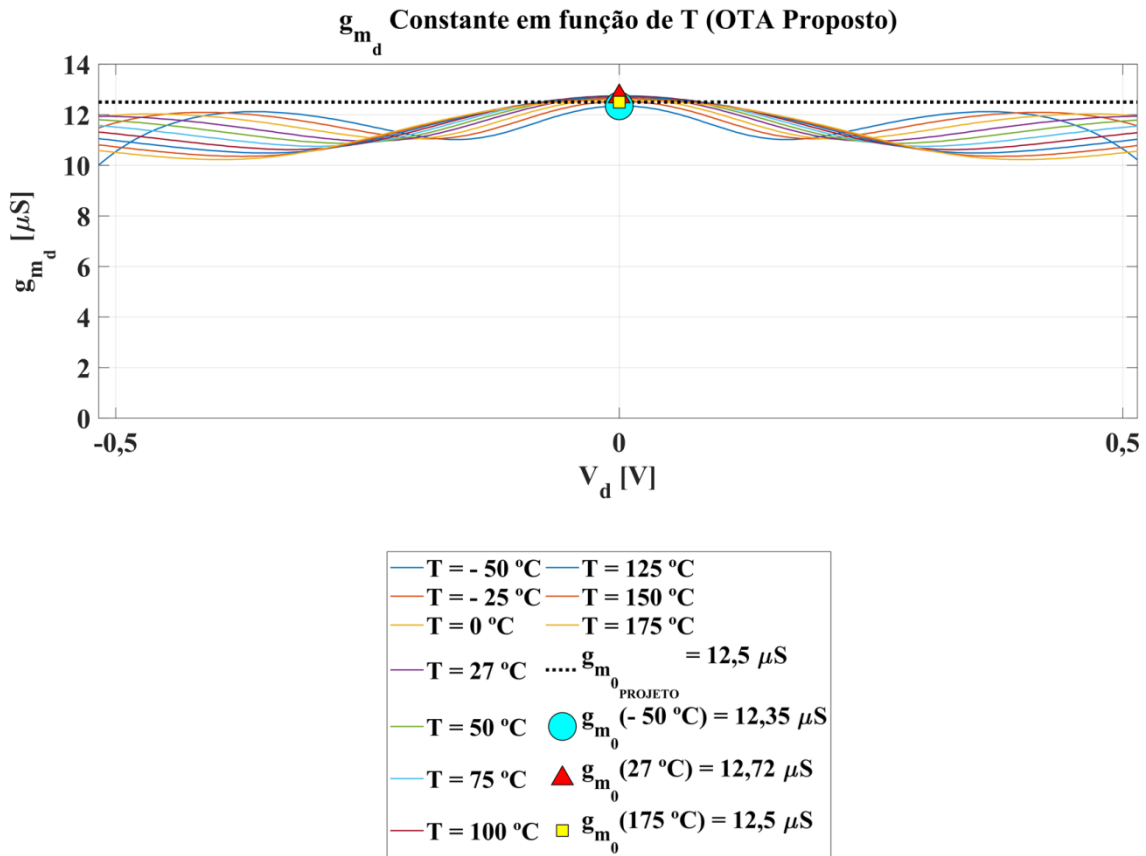


Figura 4.4: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$ e temperatura no intervalo $- 50 \text{ °C} \leq T \leq 175 \text{ °C}$.

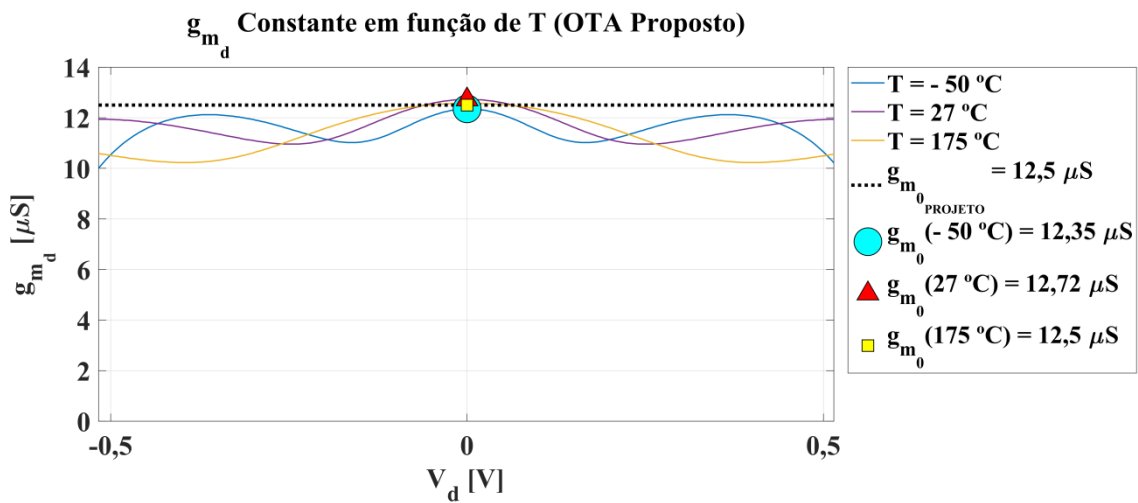


Figura 4.5: g_{m_d} constante do OTA proposto com tensão diferencial de entrada na faixa $- 500 \text{ mV} \leq V_d \leq 500 \text{ mV}$, nas temperaturas $T = - 50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

Nota-se nestes gráficos que a transcondutância diferencial g_{m_d} está constante e próxima ao valor de projeto g_{m_0} (12,5 μ S), dentro da faixa de excursão de sinal de entrada desejada $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$.

4.2 Variação em Partes por Milhão (ppm) do $g_{m_d}|_{V_d=0}$ Com Temperatura no Intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$ (OTA Proposto)

Para calcular a variação em partes por milhão (*ppm*) [16] da transcondutância $g_{m_d}|_{V_d=0}$, com a temperatura no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$, foi utilizada a equação:

$$CT_{Efetivo} = \frac{(g_{m_{0max}} - g_{m_{0min}})}{(T_{max} - T_{min}) \cdot g_{m_{0nominal}}} \cdot 10^6, \quad (4.1)$$

na qual $CT_{Efetivo}$ é coeficiente de temperatura efetivo, $g_{m_{0max}}$ a transcondutância máxima em $V_d = 0$, $g_{m_{0min}}$ a transcondutância mínima em $V_d = 0$, T_{max} a temperatura máxima, T_{min} a temperatura mínima e $g_{m_{0nominal}}$ a transcondutância nominal de projeto. Conforme indicado na Seção 4.1, foram substituídos em (4.1), os valores da Tabela 4.1 a seguir.

Tabela 4.1: Valores substituídos na equação (4.1) do cálculo de $CT_{Efetivo}$.

Variáveis de (4.1)	Valor
$g_{m_{0max}}$	$g_{m_0}(175 \text{ }^\circ\text{C}) = 12,5 \text{ } \mu\text{S}$
$g_{m_{0min}}$	$g_{m_0}(-50 \text{ }^\circ\text{C}) = 12,35 \text{ } \mu\text{S}$
T_{max}	175 $^\circ\text{C}$
T_{min}	-50 $^\circ\text{C}$
$g_{m_{0nominal}}$	12,5 μS

Foi obtido para o OTA proposto um coeficiente de variação térmica $CT_{Efetivo} \approx 53,3 \text{ ppm}/^\circ\text{C}$ para o ponto de transcondutância g_{m_0} no intervalo de temperatura $-50^\circ\text{C} \leq T \leq 175^\circ\text{C}$.

4.3 Curva de Ganho de Tensão DC, com $V_d \approx 0$, Versus Temperatura $A_{V_{DC}}|_{V_d \approx 0} \times T$ (OTA Proposto)

Para fazer a medição do ganho de tensão DC na saída do OTA, com tensão diferencial de entrada $V_d \approx 0$ (V_d de pequenos sinais), foi montado no *Cadence* o circuito da Figura 4.6 a seguir.

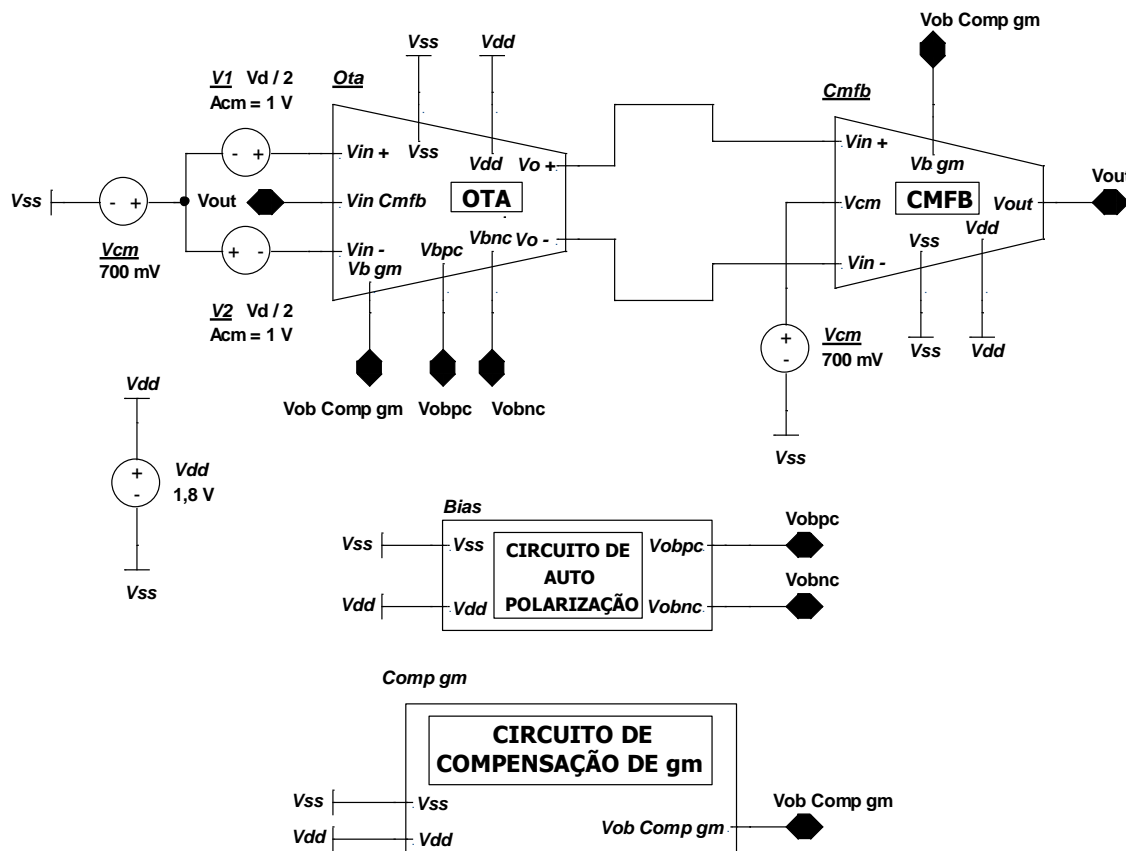


Figura 4.6: Circuito de teste montado no *Cadence* para medição das curvas de ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz e temperatura no intervalo $-50^\circ\text{C} \leq T \leq 175^\circ\text{C}$.

Os gráficos obtidos são os indicados em Figura 4.7 e Figura 4.8 abaixo.

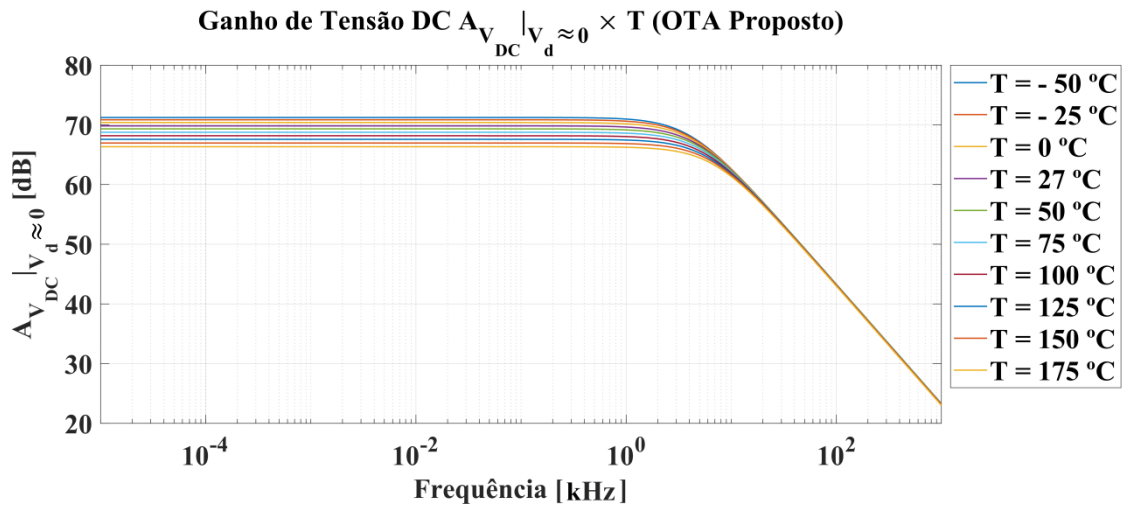


Figura 4.7: Ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz e temperatura no intervalo $-50^\circ\text{C} \leq T \leq 175^\circ\text{C}$.

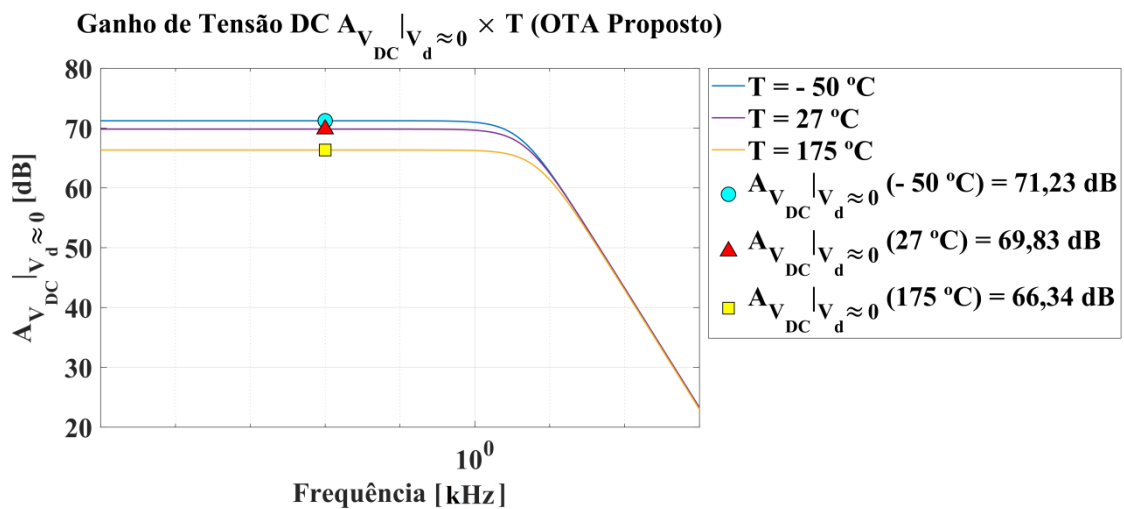


Figura 4.8: Ganho de tensão DC na saída do OTA, com $V_d \approx 0$, varredura da frequência de 0,01 Hz a 1 MHz nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$.

Nota-se nos gráficos da Figura 4.7 e Figura 4.8 que o ganho $A_{V_{DC}}|_{V_d \approx 0}$ na saída do OTA varia com a temperatura na faixa entre 71,23 dB (-50°C) e 66,34 dB (175°C), que é um bom resultado de projeto.

4.4 Curva de Ganho de Modo Comum Versus Temperatura $A_{CMFB} \times T$ (OTA Proposto)

Para fazer a medição do ganho de modo comum, foi montado no *Cadence* o circuito da Figura 4.9. Neste circuito foi realizada uma análise de estabilidade usando a ferramenta *iprobe*, e os gráficos obtidos são os apresentados na Figura 4.10 e Figura 4.11.

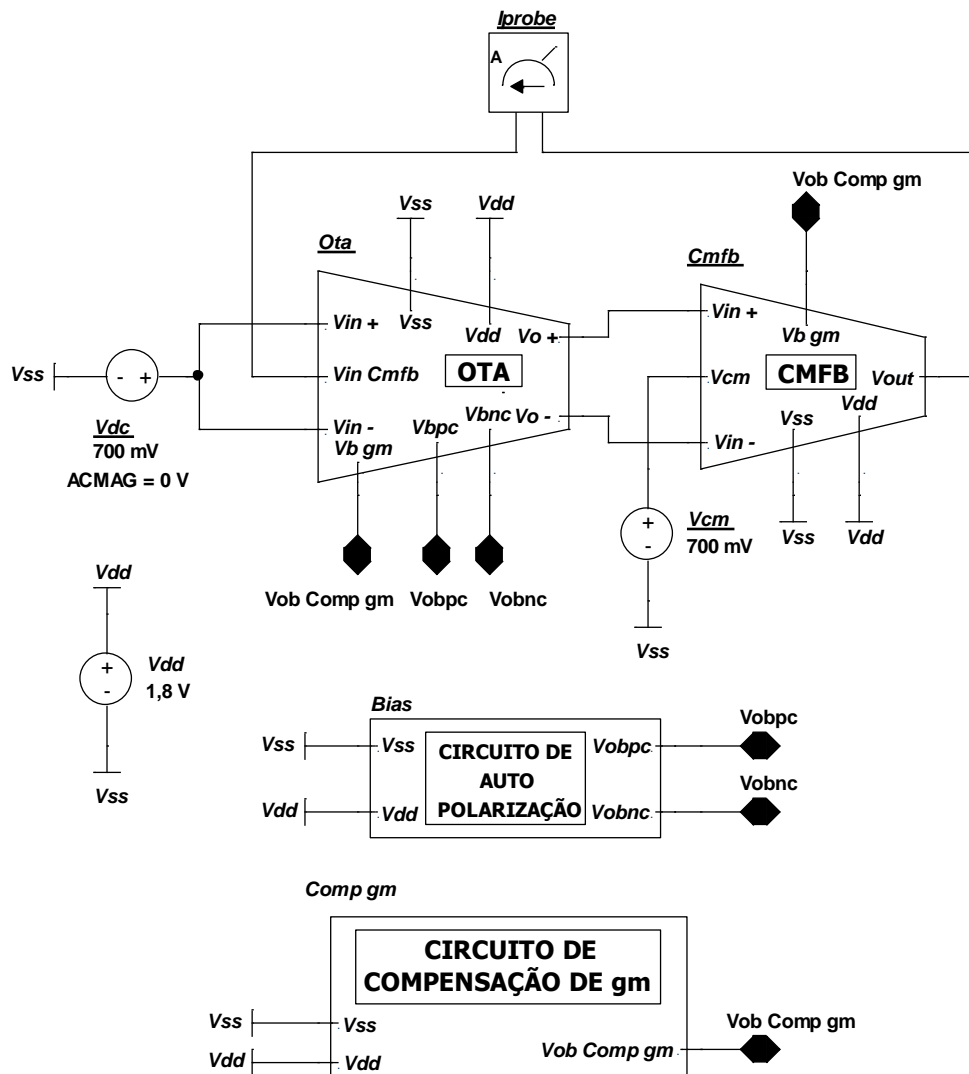


Figura 4.9: Circuito de teste montado no *Cadence*, para simulação do ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz e temperatura no intervalo $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$.

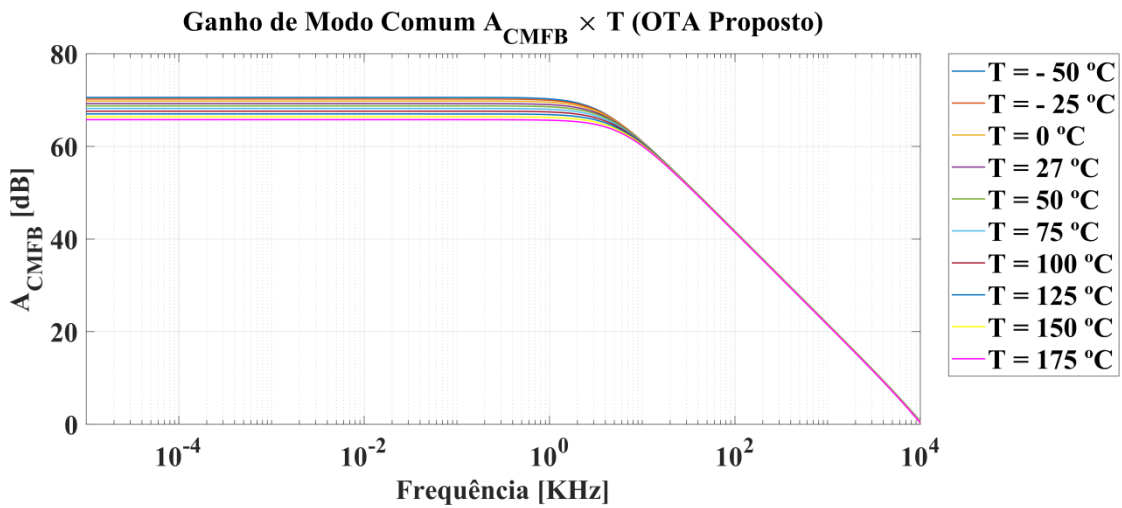


Figura 4.10: Ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz e temperatura no intervalo $-50\text{ °C} \leq T \leq 175\text{ °C}$.

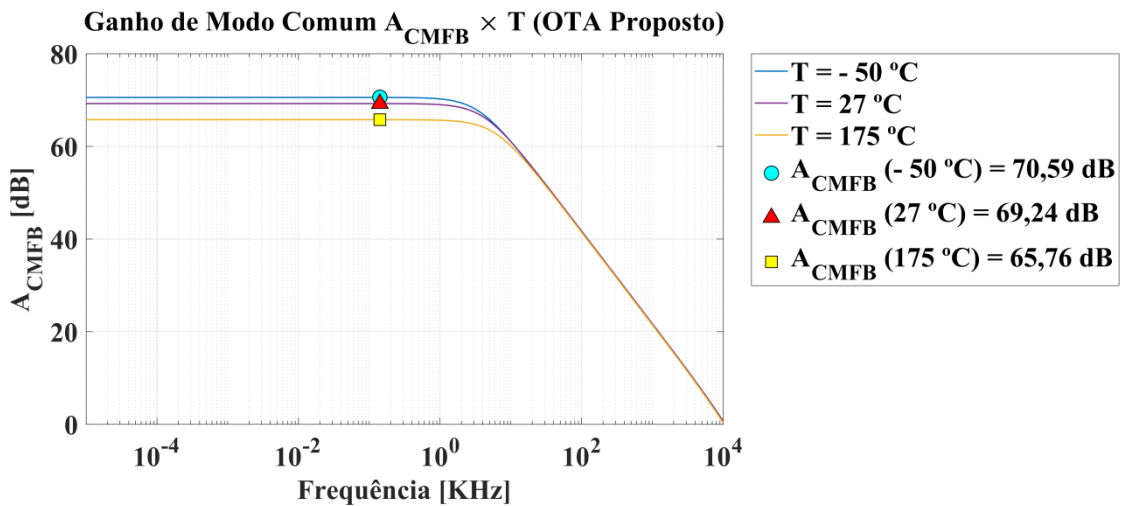


Figura 4.11: Ganho de modo comum, com varredura da frequência de 0,01 Hz a 10 MHz nas temperaturas $T = -50\text{ °C}$, $T = 27\text{ °C}$ e $T = 175\text{ °C}$.

4.5 Simulação de Monte Carlo da Curva $g_{m_d} \times V_d$ nas Temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$ (OTA Proposto)

A fim de avaliar o comportamento das curvas de transcondutância diferencial g_{m_d} da saída do OTA, nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$, sob variações do processo de fabricação e descasamento (*mismatch*), foram realizadas simulações de Monte Carlo com 500 rodadas, no circuito montado no *Cadence* indicado na Figura 4.12. Os gráficos obtidos são os apresentados na Figura 4.13 até Figura 4.18. Nota-se nestes gráficos que os formatos característicos das curvas originais são iguais aos das variações de Monte Carlo, e também próximos de $12,5 \mu\text{S}$ ($g_{m_{0\text{PROJETO}}}$) no intervalo de projeto $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$. Portanto, o OTA proposto teve desempenho satisfatório.

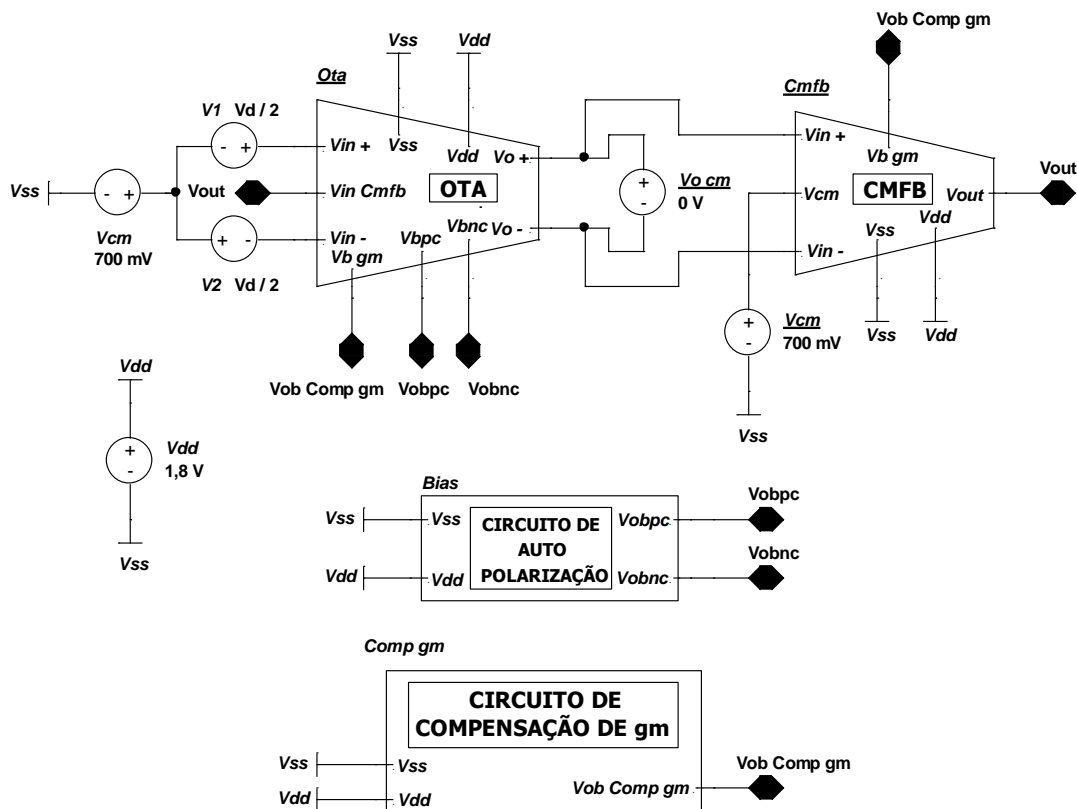


Figura 4.12: Circuito de teste montado no *Cadence* para simulação de Monte Carlo (500 rodadas) das curvas $g_{m_d} \times V_d \times T$ do OTA, sob variações do processo de fabricação e descasamento (*mismatch*), variando a tensão diferencial de entrada V_d na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$, nas temperaturas $T = -50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$.

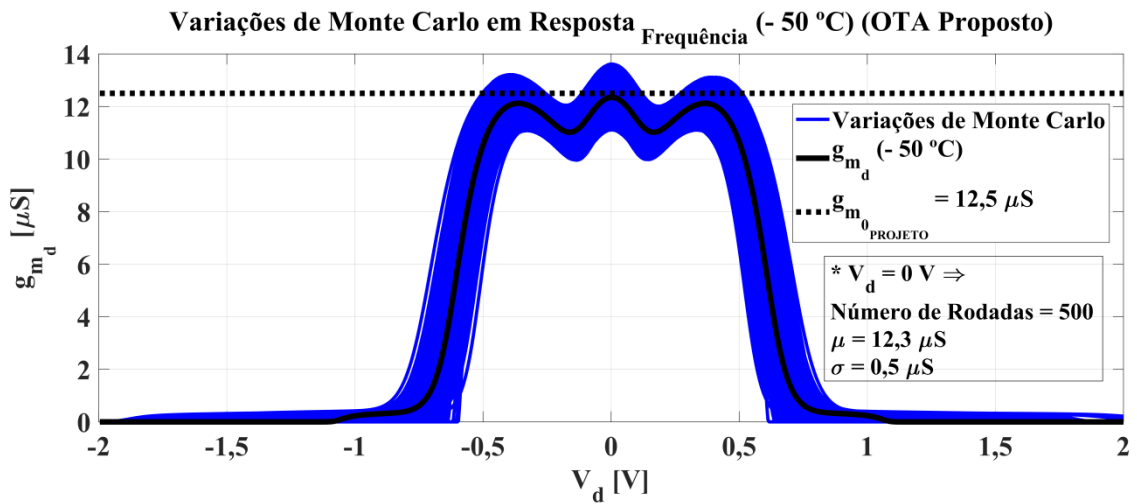


Figura 4.13: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = - 50^\circ C$, com V_d na faixa $- 2 V \leq V_d \leq 2 V$.

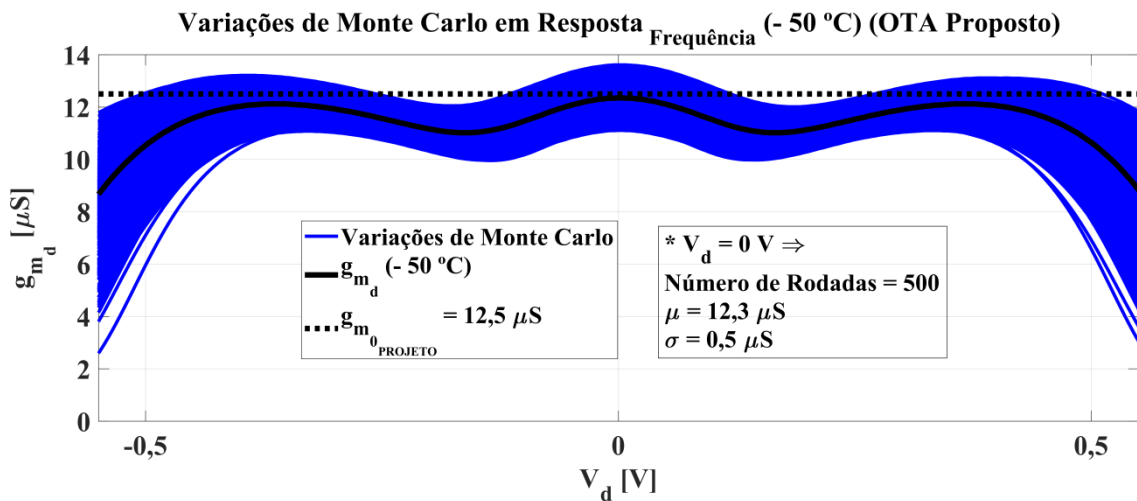


Figura 4.14: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = - 50^\circ C$, com V_d na faixa de projeto $- 500 mV \leq V_d \leq 500 mV$.

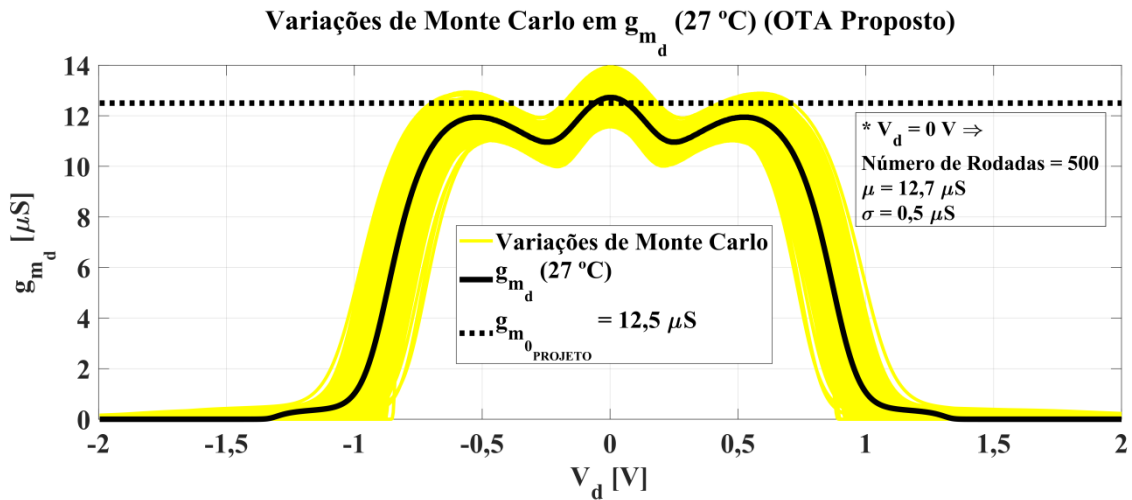


Figura 4.15: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = 27\text{ °C}$, com V_d na faixa $-2\text{ V} \leq V_d \leq 2\text{ V}$.

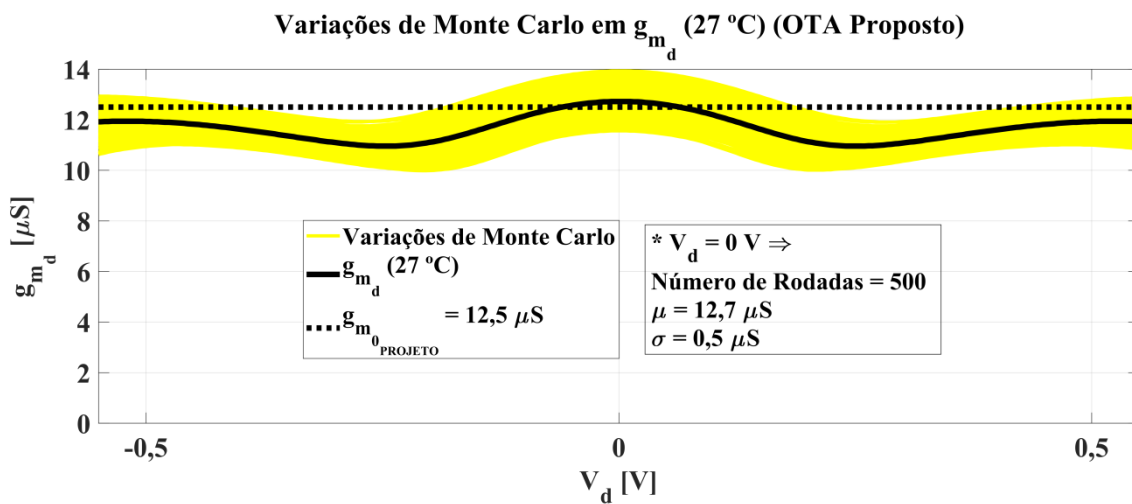


Figura 4.16: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = 27\text{ °C}$, com V_d na faixa de projeto $-500\text{ mV} \leq V_d \leq 500\text{ mV}$.

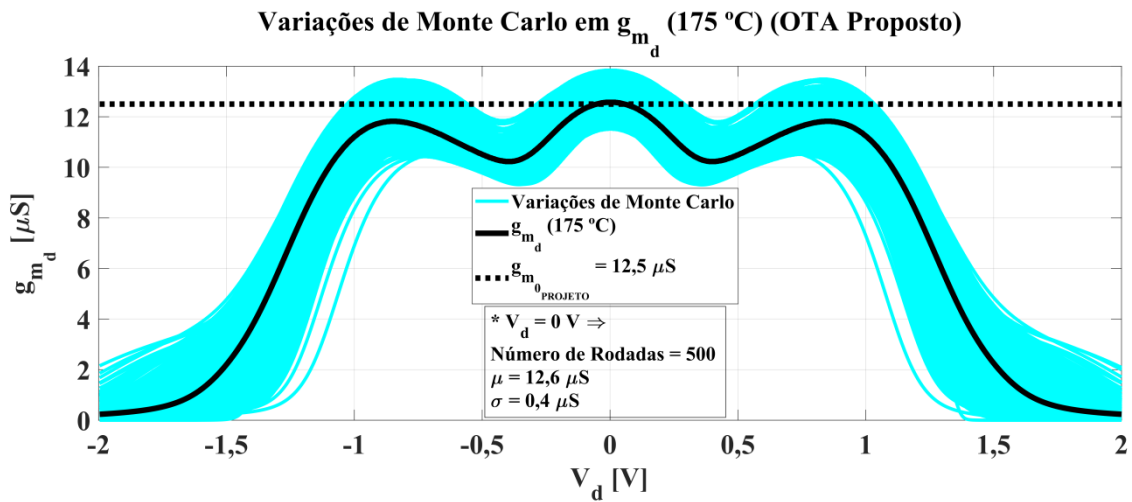


Figura 4.17: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = 175 \text{ °C}$, com V_d na faixa $-2 \text{ V} \leq V_d \leq 2 \text{ V}$.

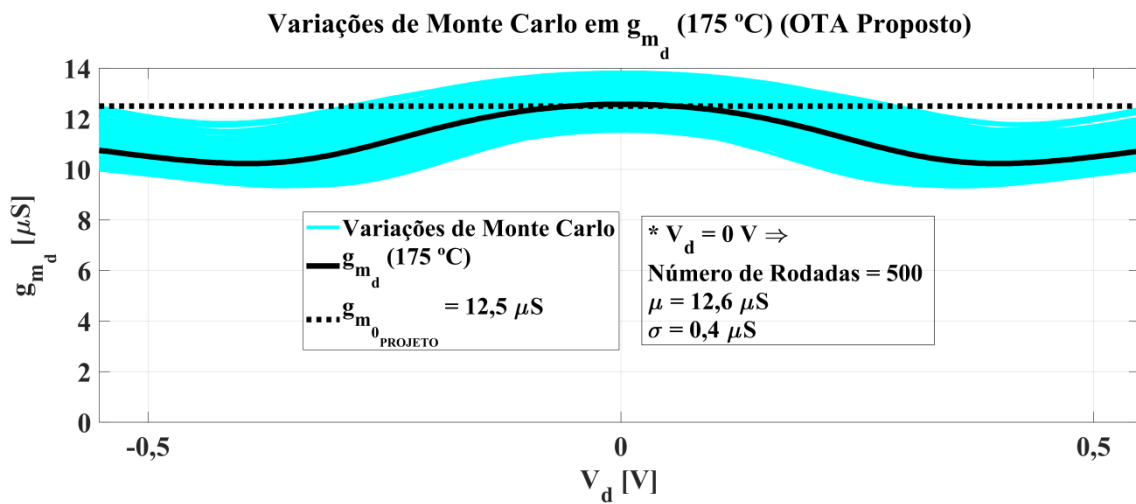


Figura 4.18: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da transcondutância diferencial na temperatura $T = 175 \text{ °C}$, com V_d na faixa de projeto $-500 \text{ mV} \leq V_d \leq 500 \text{ mV}$.

4.6 Simulação de Monte Carlo da Tensão de *Offset* Diferencial de Entrada $V_{Offset_{Entrada}}$ nas Temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$ (OTA Proposto)

A tensão $V_{Offset_{Entrada}}$ do OTA é definida por:

$$V_{Offset_{Entrada}} = V_{in(+)} - V_{in(-)} , \quad (4.2)$$

na qual $V_{in(+)}$ e $V_{in(-)}$ são as entradas do OTA com realimentação unitária. Para medir a tensão de *offset* diferencial da entrada do OTA, nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$, foi utilizado no *Cadence* o circuito de teste indicado na Figura 4.19. Ademais, neste circuito, foram realizadas simulações de Monte Carlo (500 rodadas) com variações dos parâmetros de processo e descasamento (*mismatch*).

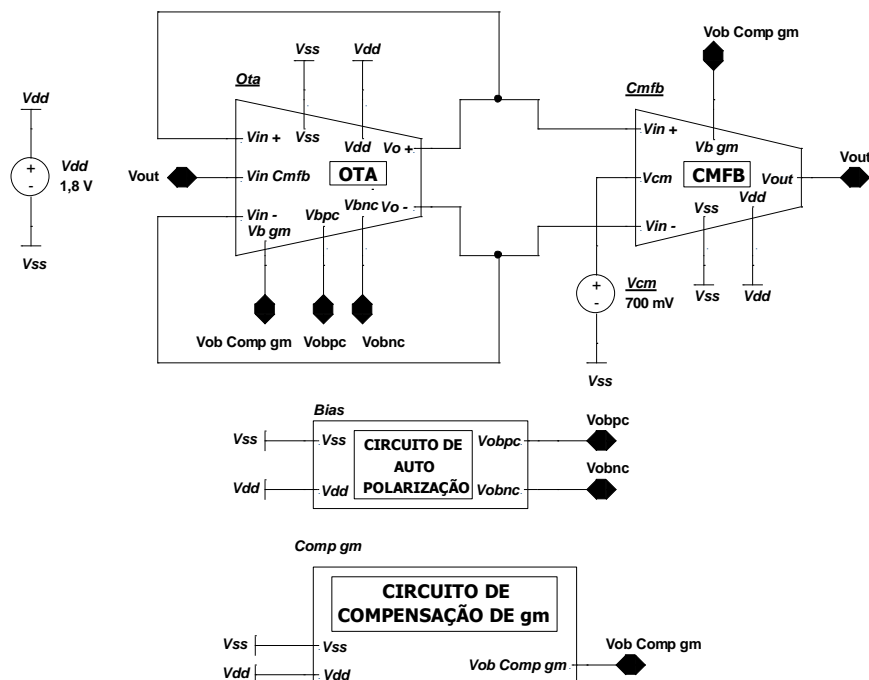


Figura 4.19: Circuito de teste montado no *Cadence* para simulação de Monte Carlo (500 rodadas) da tensão de *offset* de entrada do OTA, sob variações do processo de fabricação e descasamento (*mismatch*), nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

Os histogramas das variações de Monte Carlo de $V_{Offset_{Entrada}}$ nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$, são exibidos, nesta ordem, na Figura 4.20, Figura 4.21 e Figura 4.22.

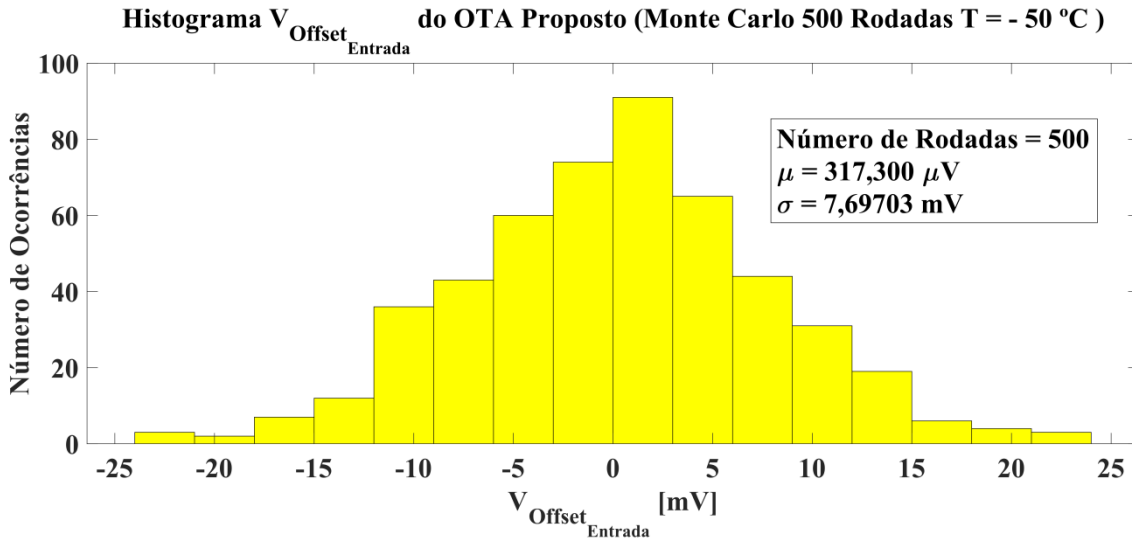


Figura 4.20: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de entrada do OTA na temperatura $T = -50\text{ }^{\circ}\text{C}$.

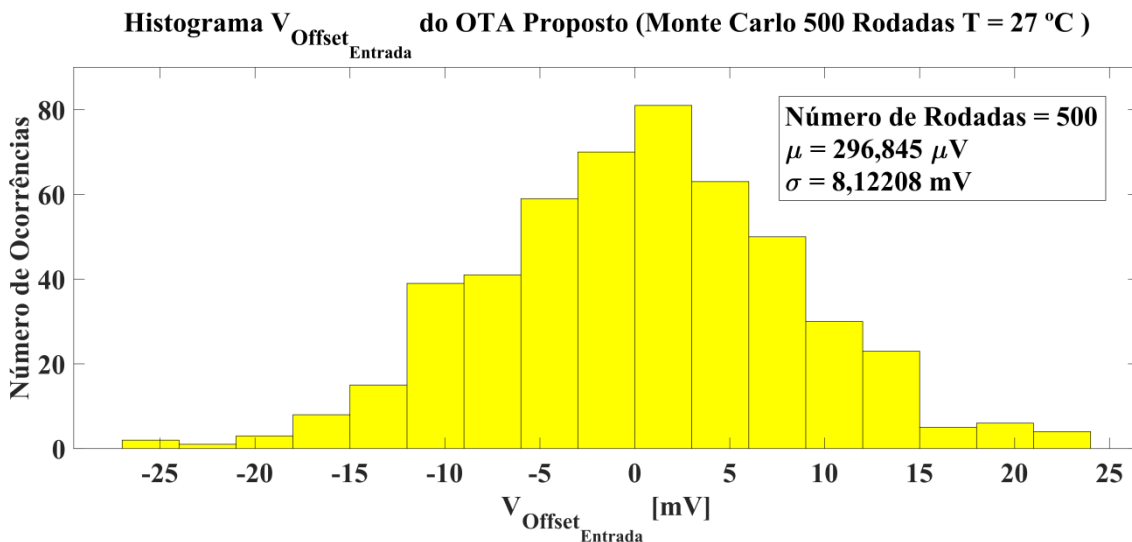


Figura 4.21: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de entrada do OTA na temperatura $T = 27\text{ }^{\circ}\text{C}$.

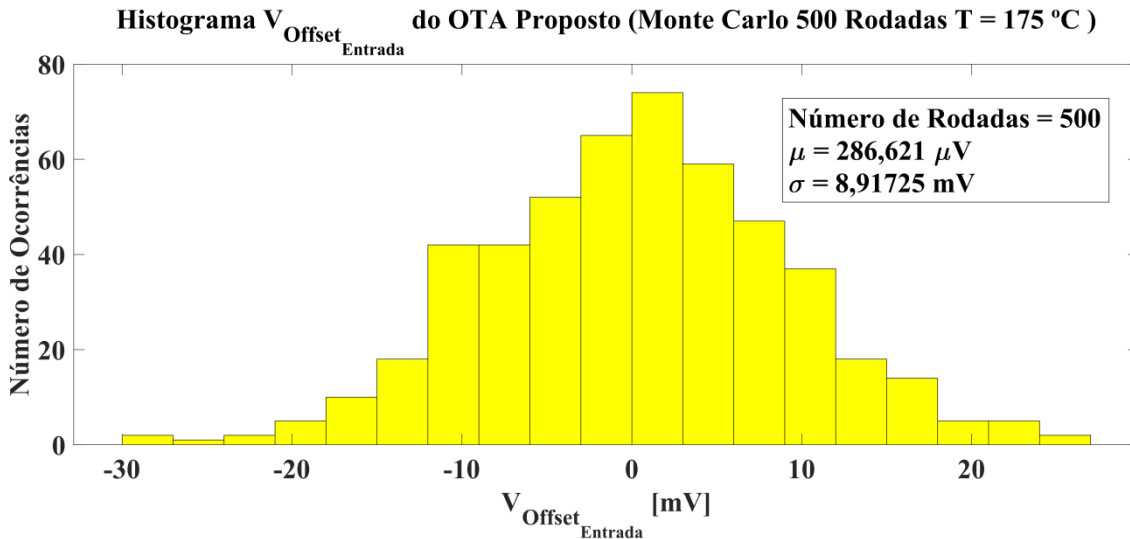


Figura 4.22: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de entrada do OTA na temperatura $T = 175\text{ }^{\circ}\text{C}$.

Os dados estatísticos destes histogramas são resumidos na Tabela 4.2 a seguir. Pode-se observar nesta tabela que a tensão de *offset* de entrada tem baixa variação no intervalo de temperatura $-50\text{ }^{\circ}\text{C} \leq T \leq 175\text{ }^{\circ}\text{C}$, em comparação com a faixa de projeto de excursão do sinal de entrada $-500\text{ mV} \leq V_d \leq 500\text{ mV}$. Portanto, o OTA apresentou valores satisfatórios quanto a este parâmetro de desempenho.

Tabela 4.2: Resumo dos dados estatísticos apresentados nos histogramas da Figura 4.20, Figura 4.21 e Figura 4.22.

	$T = -50\text{ }^{\circ}\text{C}$	$T = 27\text{ }^{\circ}\text{C}$	$T = 175\text{ }^{\circ}\text{C}$
$\mu_{V_{Offset_{Entrada}}}$	317,300 μV	296,845 μV	286,621 μV
$\sigma_{V_{Offset_{Entrada}}}$	7,69703 mV	8,12208 mV	8,91725 mV
$\mu_{V_{Offset_{Entrada}}} + 3\sigma_{V_{Offset_{Entrada}}}$	23,40809 mV	24,66309 mV	27,03837 mV
$\mu_{V_{Offset_{Entrada}}} - 3\sigma_{V_{Offset_{Entrada}}}$	- 22,77409 mV	- 24,06939 mV	- 26,46513 mV

4.7 Simulação de Monte Carlo da Tensão de *Offset* de Modo Comum $V_{Offset(Modo Comum)}$ na Saída do OTA Com Temperaturas $T = - 50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$ (OTA Proposto)

A tensão $V_{Offset(Modo Comum)}$ do OTA é definida por:

$$V_{Offset(Modo Comum)} = \frac{V_o(+)+V_o(-)}{2}, \quad (4.3)$$

na qual, $V_o(+)$ e $V_o(-)$, são as saídas do OTA. Para medir a tensão de *offset* de modo comum na saída do OTA, nas temperaturas $T = - 50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$, foi utilizado no *Cadence* o circuito de teste indicado na Figura 4.23. Nele foram realizadas uma análise AC, com a frequência variando de $0,01\text{ Hz}$ a 100 kHz , e simulações de Monte Carlo (500 rodadas) com variações dos parâmetros de processo e descasamento (*mismatch*).

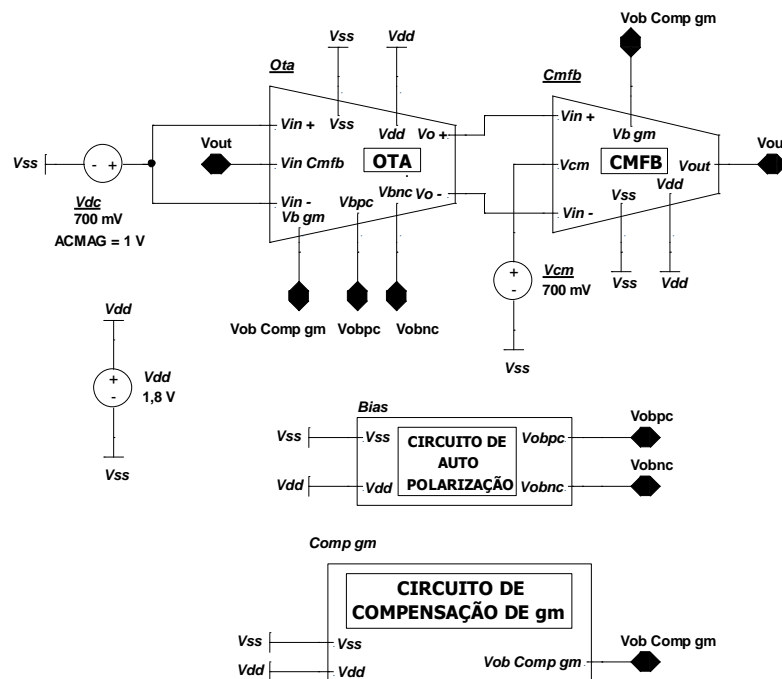


Figura 4.23: Circuito de teste montado no *Cadence* para simulação de Monte Carlo (500 rodadas) da tensão de *offset* de modo comum, sob variações do processo de fabricação e descasamento (*mismatch*).

Os histogramas das variações de Monte Carlo de $V_{Offset(Modo\ Comum)}$ nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$, são exibidos, nesta ordem, na Figura 4.24, Figura 4.25 e Figura 4.26.

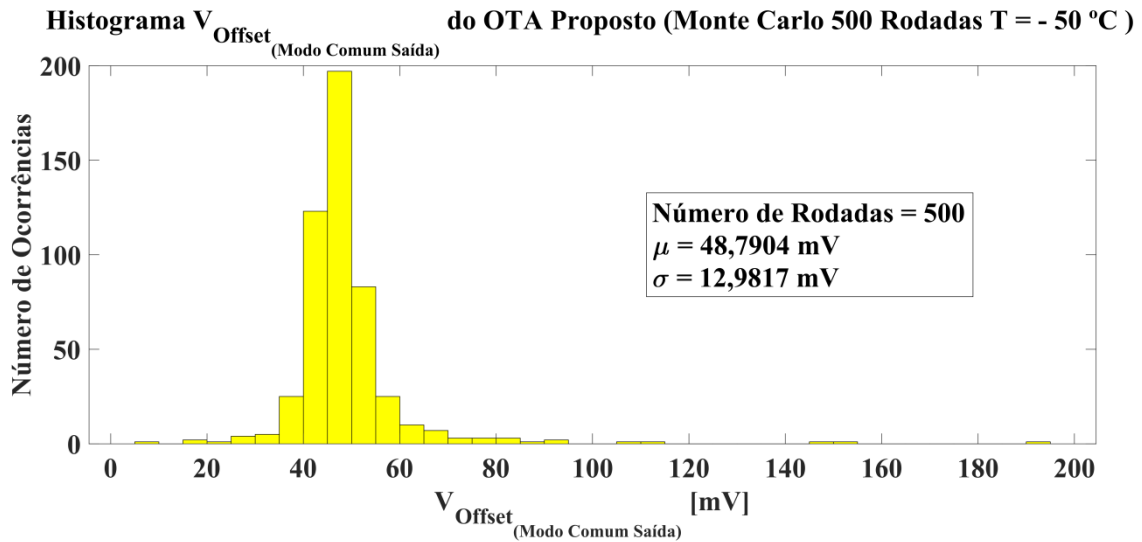


Figura 4.24: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de modo comum na saída do OTA, com temperatura $T = -50\text{ }^{\circ}\text{C}$.

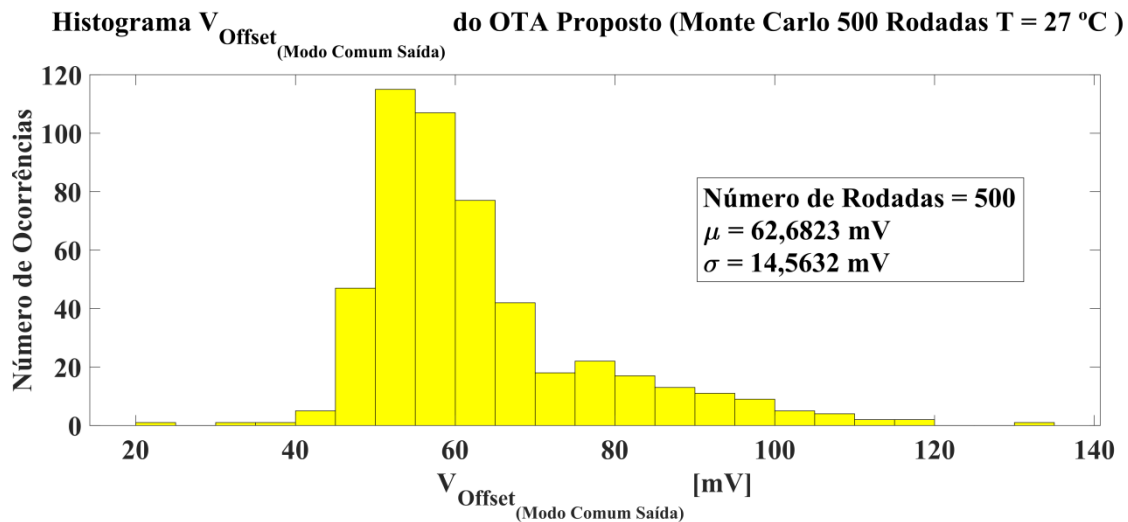


Figura 4.25: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de modo comum na saída do OTA, com temperatura $T = 27\text{ }^{\circ}\text{C}$.

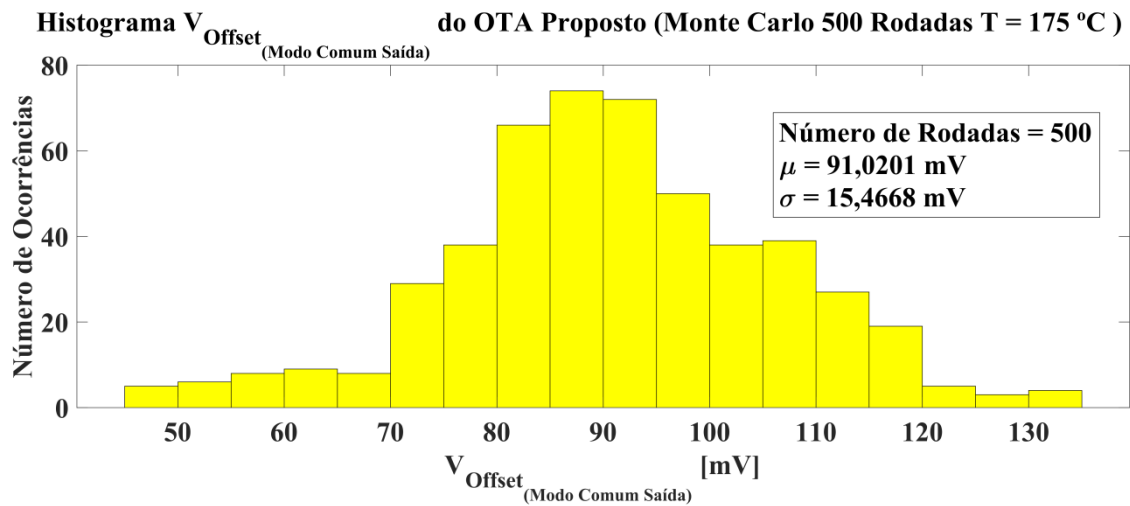


Figura 4.26: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da tensão de *offset* de modo comum na saída do OTA, com temperatura $T = 175\text{ }^{\circ}\text{C}$.

Os dados estatísticos destes histogramas são resumidos na a seguir.

Tabela 4.3: Resumo dos dados estatísticos apresentados nos histogramas da Figura 4.24, Figura 4.25 e Figura 4.26.

	$T = -50\text{ }^{\circ}\text{C}$	$T = 27\text{ }^{\circ}\text{C}$	$T = 175\text{ }^{\circ}\text{C}$
$\mu_{V_{OffsetEntrada}}$	48,7904 mV	62,6823 mV	91,0201 mV
$\sigma_{V_{OffsetEntrada}}$	12,9817 mV	14,5632 mV	15,4668 mV
$\mu_{V_{OffsetEntrada}} + 3\sigma_{V_{OffsetEntrada}}$	87,7354 mV	106,372 mV	137,420 mV
$\mu_{V_{OffsetEntrada}} - 3\sigma_{V_{OffsetEntrada}}$	9,84538 mV	18,9927 mV	44,6198 mV

4.8 Curvas de Distorção Harmônica $THD \times V_d \times T$ dos OTAs Proposto e Otimizado Com Par Diferencial Simples

Nesta Seção são apresentadas as simulações que mostram a distorção harmônica do OTA proposto e do OTA otimizado com par diferencial simples ([5], [6] e [12]), no intuito de verificar o quanto a corrente de saída distorce em função da amplitude da tensão diferencial de entrada V_d , com a temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$. Sendo assim, aos circuitos de teste montados no *Cadence*, Figura 4.27 e Figura 4.28, foram aplicadas à entrada diferencial do OTAs (proposto e o otimizado) duas fontes senoidais de amplitude variável de 10 mV a 1 V com frequência de 1 kHz. Ademais, foi feita a varredura da temperatura na faixa $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

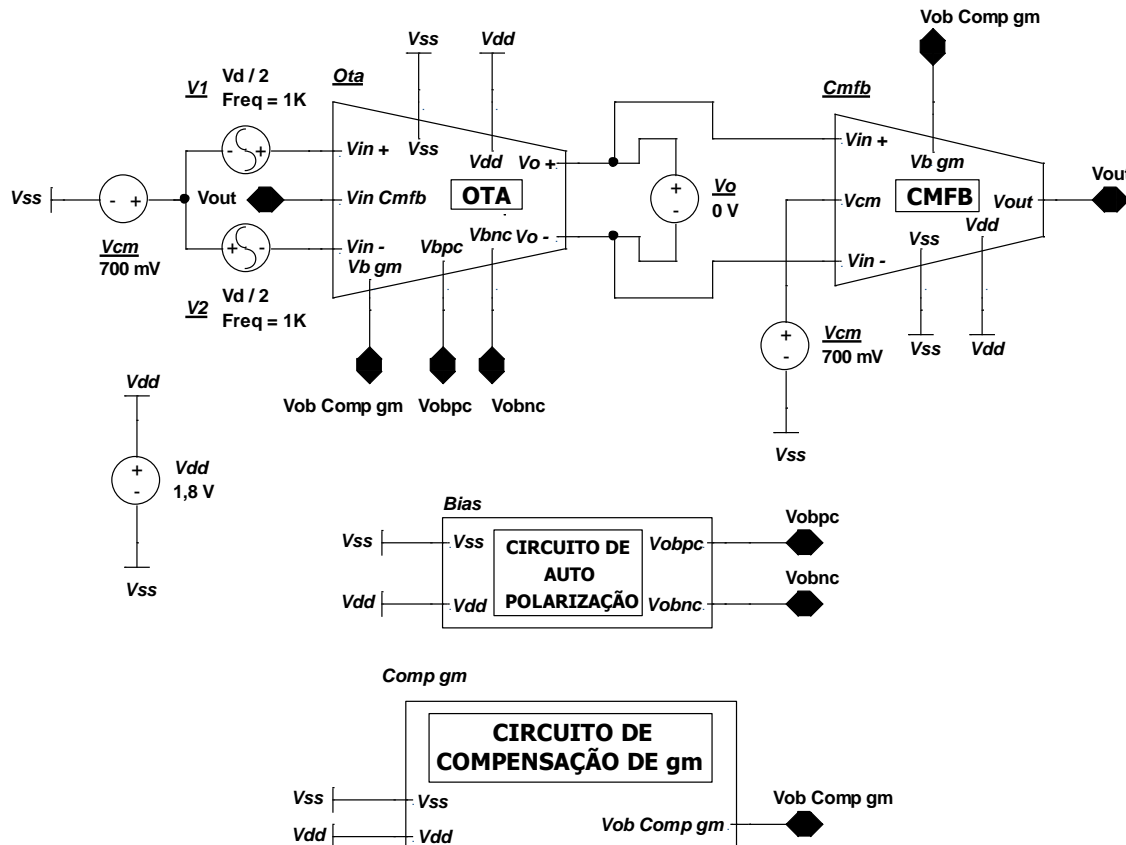


Figura 4.27: Circuito de teste montado no *Cadence* para medição de distorção harmônica do OTA proposto com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50\text{ }^\circ\text{C} \leq T \leq 175\text{ }^\circ\text{C}$.

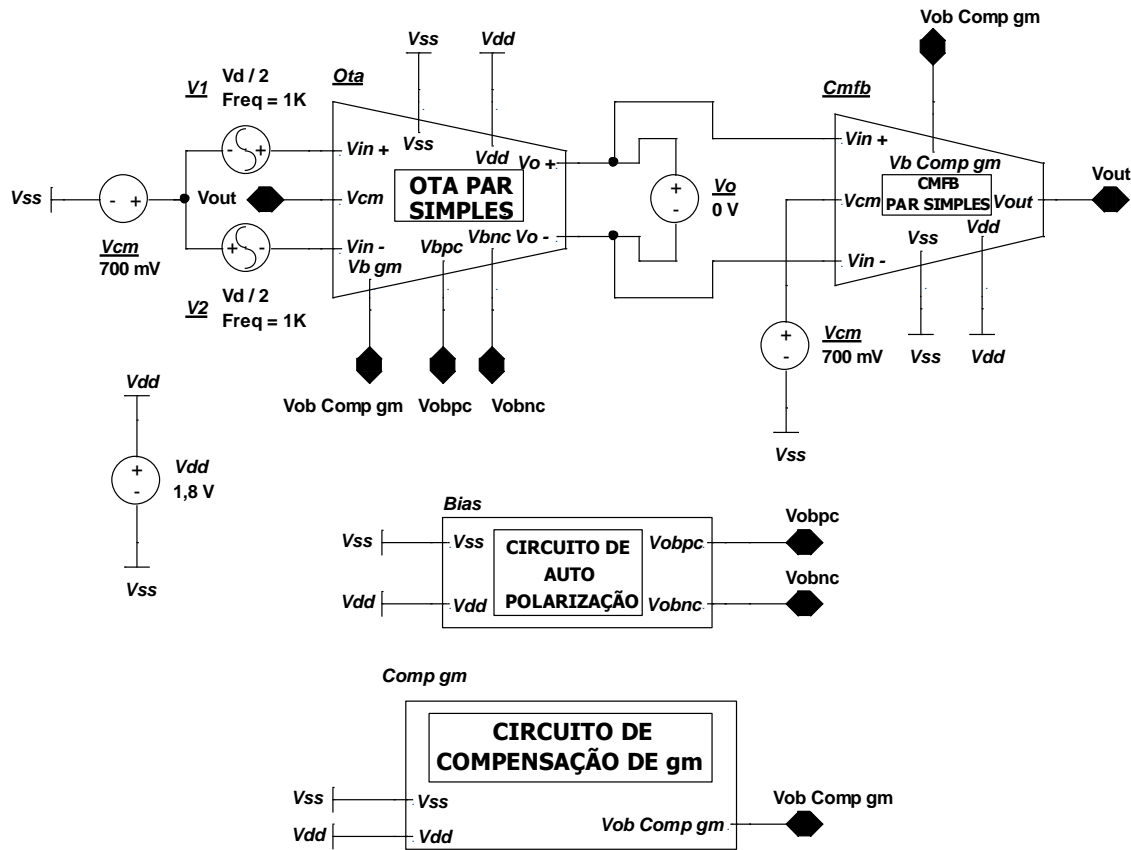


Figura 4.28: Circuito de teste montado no *Cadence* para medição de distorção harmônica do OTA otimizado de par diferencial simples, com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$, frequência de 1 kHz e temperatura no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

Os gráficos obtidos de distorção harmônica do sinal de corrente na saída para o OTA proposto e o OTA otimizado ([5], [6] e [12]) são os indicados na Figura 4.29 e Figura 4.30. É fácil perceber nestes gráficos que a distorção harmônica de melhor desempenho é a do OTA proposto, pois tem menor valor, comparada com a do OTA otimizado de par diferencial simples, dentro da faixa de excursão de sinal de entrada (500 mV) desejada para este projeto, com a temperatura variando no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

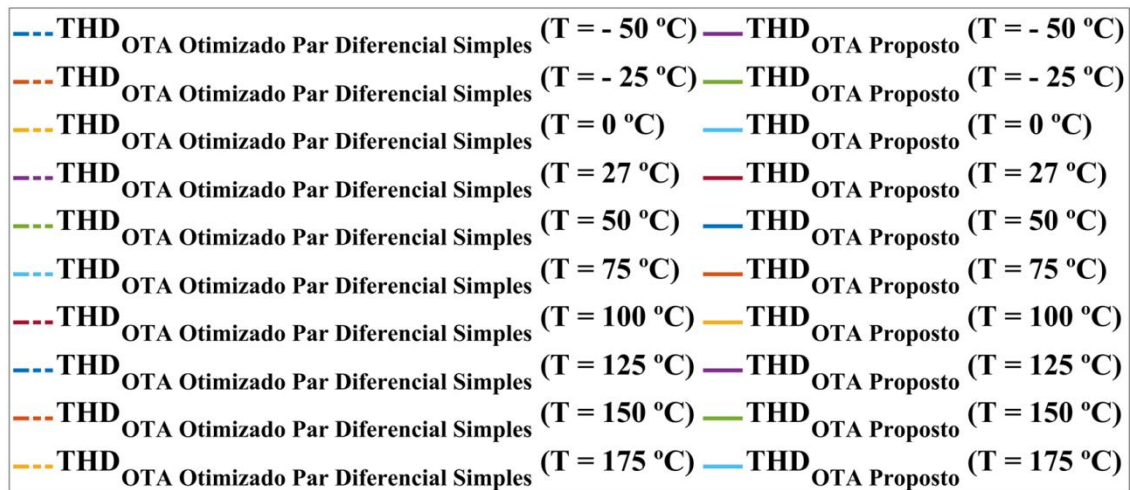
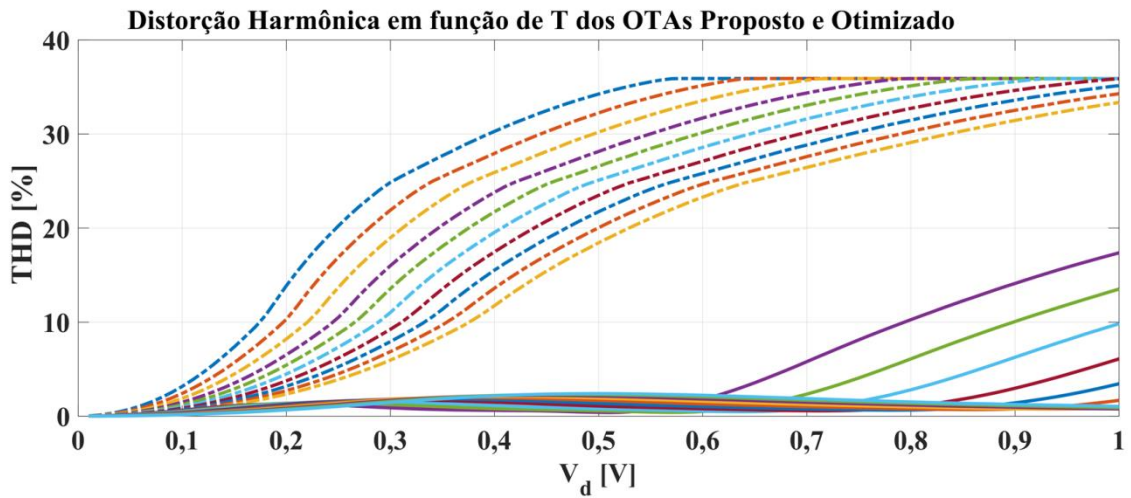


Figura 4.29: Medição de distorção harmônica do OTA proposto e do OTA otimizado de par diferencial simples com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$, frequência de 1 kHz e temperatura no intervalo $- 50 \text{ °C} \leq T \leq 175 \text{ °C}$.

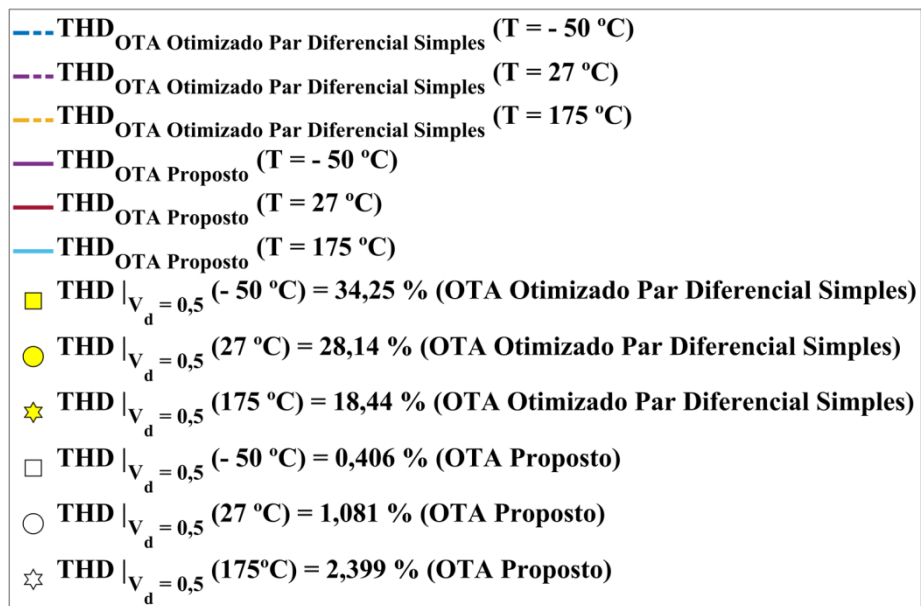
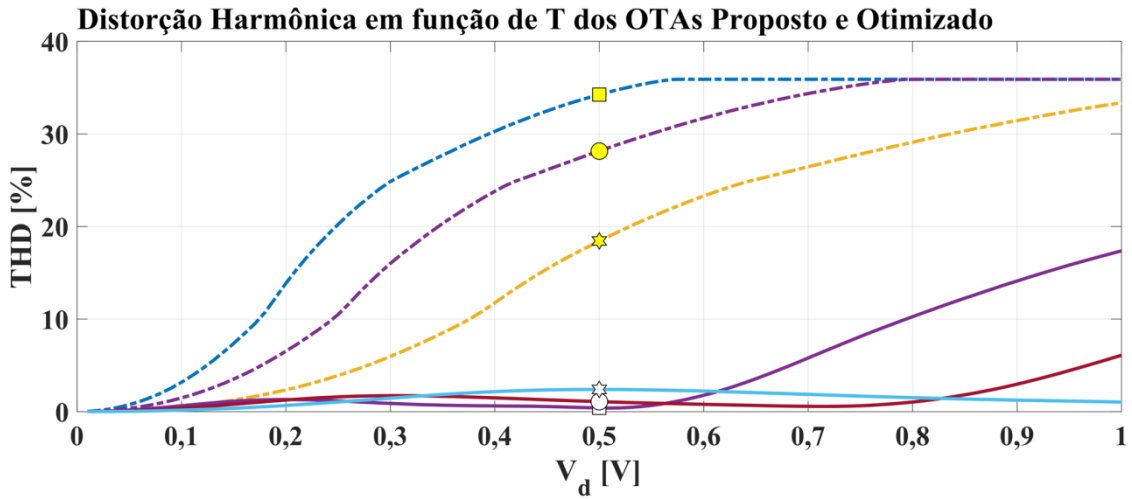


Figura 4.30: Medição de distorção harmônica do OTA proposto e do OTA otimizado de par diferencial simples com tensão diferencial de entrada V_d na faixa $10\text{ mV} \leq V_d \leq 1\text{ V}$, frequência de 1 kHz nas temperaturas $T = - 50^\circ\text{C}$, $T = 27^\circ\text{C}$ e $T = 175^\circ\text{C}$.

Capítulo 5

Filtro $G_m - C$ Contínuo no Tempo Usando o OTA Insensível à Temperatura

Nesta Seção, a fim de testar o desempenho do OTA proposto, foi projetado um filtro $G_m - C$ passa-baixas usando a aproximação de *Chebyshev* de 3° ordem. Tomando como base [42], a estrutura de filtro $G_m - C$ foi determinada partindo-se da rede com elementos passivos (resistores, indutores e capacitores) com frequência de corte normalizada de 1 rad/s. No circuito do filtro com elementos passivos, foram aplicados escalonamentos de frequência e impedância e posteriormente conversão da rede de elementos passivos para a rede *Ladder* $G_m - C$ totalmente diferencial indicada na Figura 5.1. A frequência de corte (f_c) escolhida para o projeto foi 300 kHz na temperatura $T = 27$ °C.

Os dimensionamentos dos capacitores do filtro $G_m - C$, para $f_c = 300$ kHz, ganho máximo na banda passante de $-6,03$ dB com atenuação máxima nessa mesma banda de 1 dB são apresentados na Tabela 5.1 a seguir.

Tabela 5.1: Dimensionamento dos capacitores do filtro $G_m - C$ passa-baixas com aproximação de *Chebyshev* de 3° ordem totalmente diferencial.

Capacitores (<i>cmm5t</i>)	Valores
C_{1a} e C_{1b}	25,8 pF
C_{2a} e C_{2b}	12,6 pF
C_{3a} e C_{3b}	25,8 pF

Ademais, foi montado no *Cadence*, o filtro completo insensível à temperatura, com os blocos de circuito de auto polarização, compensação de g_m e controle de modo comum (CMFB), conforme indicado na Figura 5.2. Neste circuito, foram realizadas simulações para avaliar o filtro quanto à variação de temperatura. Os resultados dessas simulações são apresentados nas seções adiante deste documento.

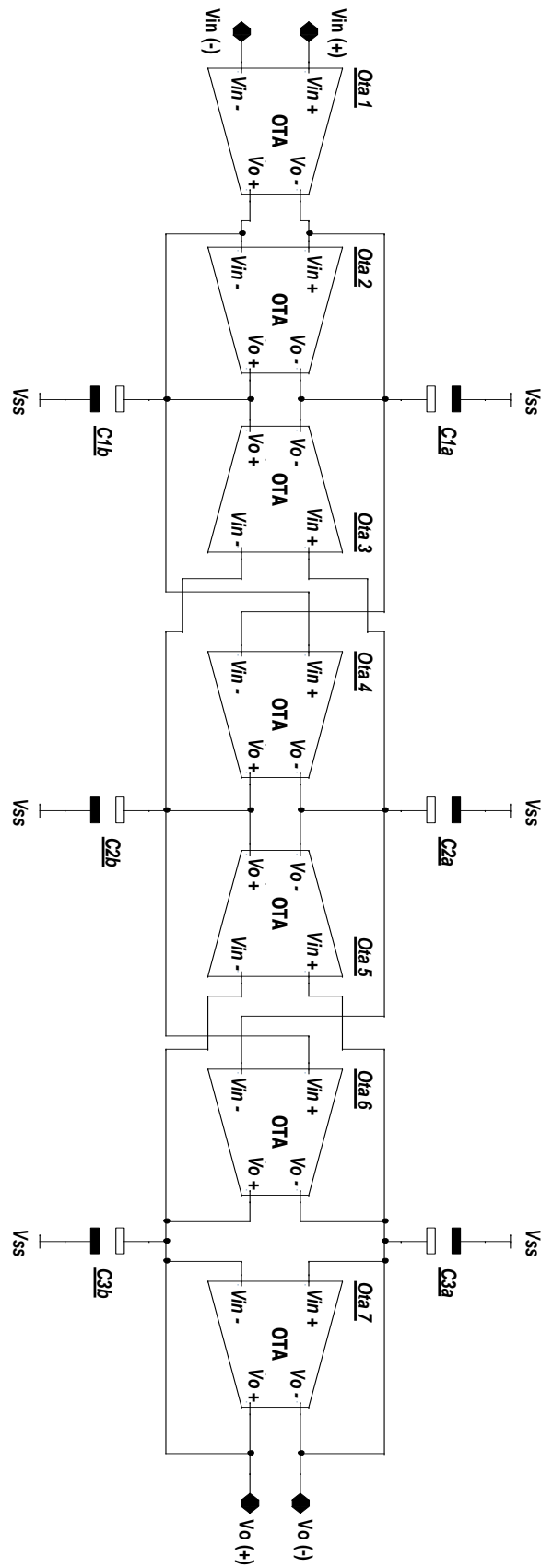


Figura 5.1: Filtro $G_m - C$ passa-baixas com aproximação de Chebyshev de 3º ordem com OTAs totalmente diferenciais.

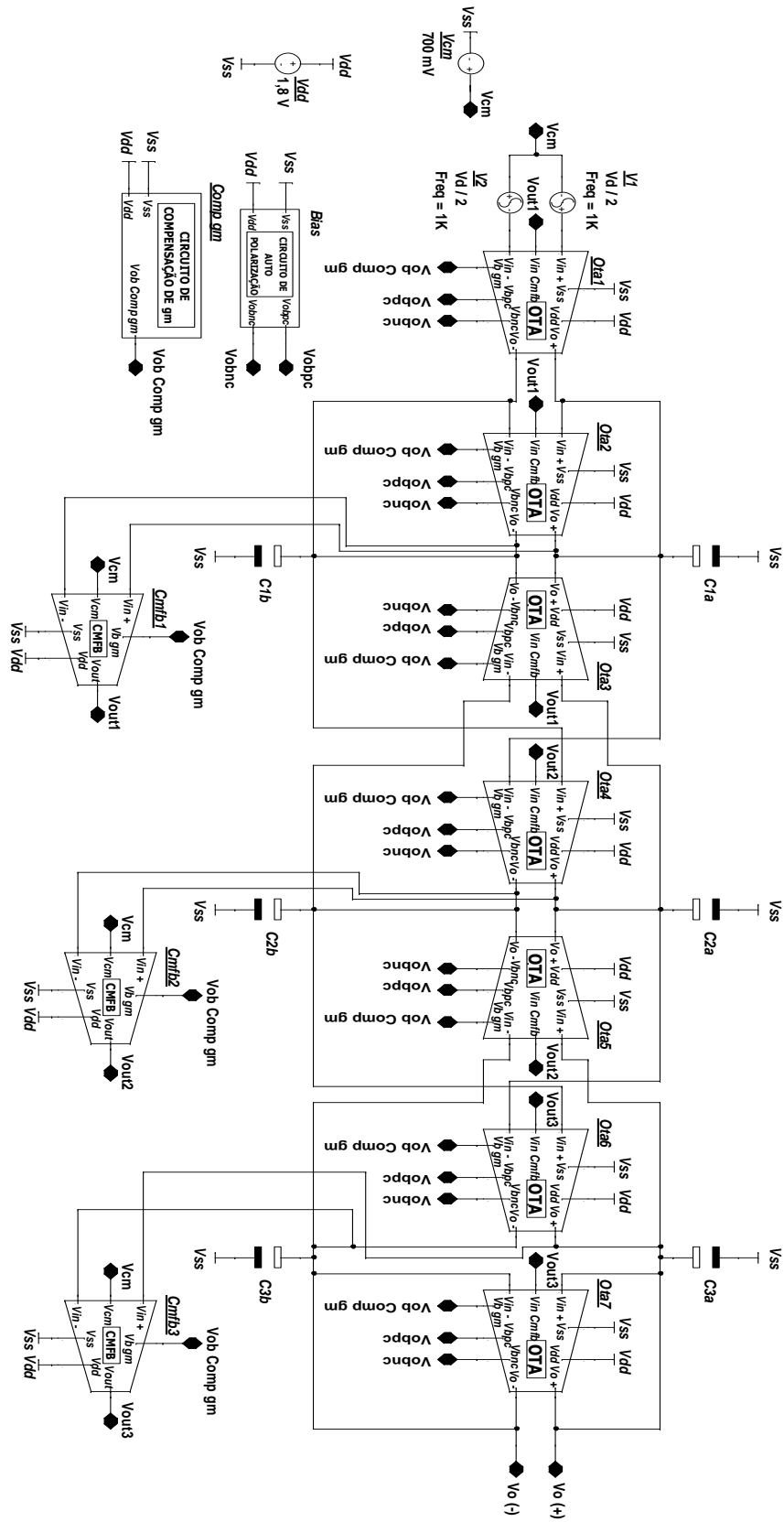


Figura 5.2: Filtro $G_m - C$ passa-baixas com aproximação de Chebyshev de 3º ordem, totalmente diferencial, montado no *Cadence*, com blocos de circuito auto polarização, compensação de g_m e controle de modo comum (CMFB).

5.1 Resposta em Frequência em Função de T

A simulação de resposta em frequência foi realizada no circuito da Figura 5.2, aplicando-se na entrada do filtro duas fontes senoidais de amplitude 1 V. Ademais, foram feitas varreduras no *Cadence*, da frequência na faixa $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ e da temperatura no intervalo $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$. Os gráficos de resposta em frequência obtidos são os apresentados na Figura 5.3 até Figura 5.5.

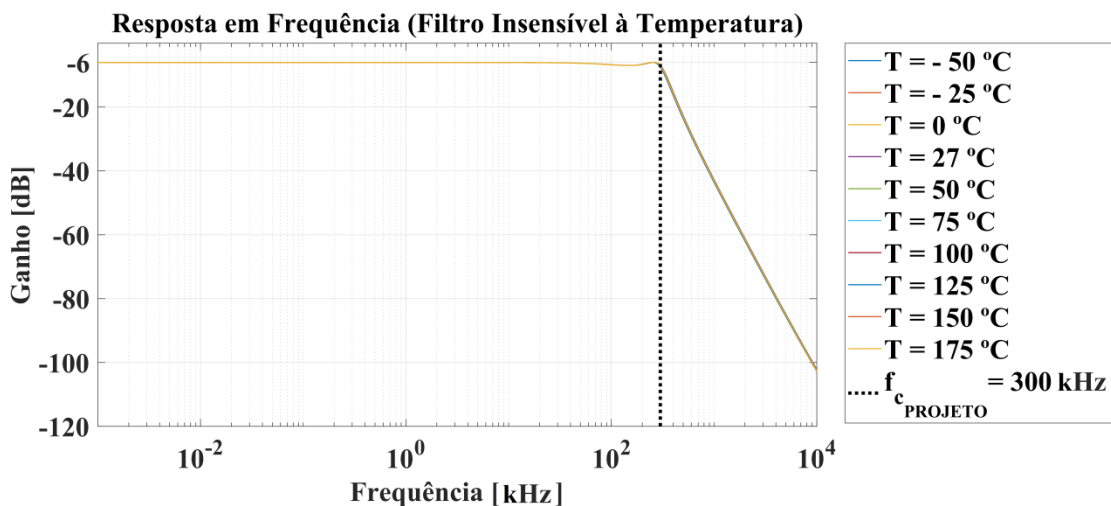


Figura 5.3: Resposta em frequência do filtro, variando frequência e temperatura, nesta ordem, nos intervalos $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ e $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

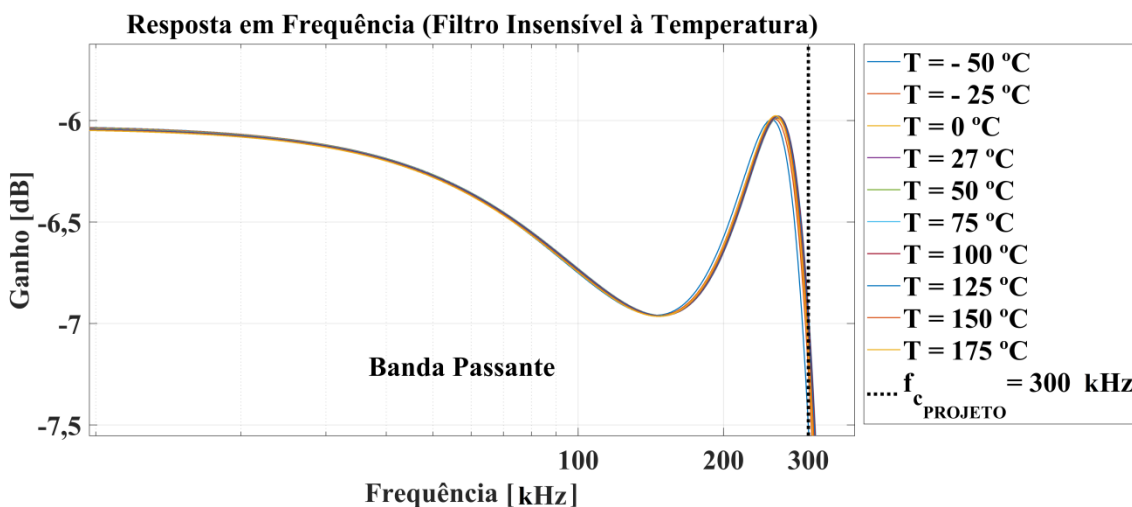


Figura 5.4: Resposta em frequência do filtro na banda passante, variando frequência e temperatura, nesta ordem, nos intervalos $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ e $-50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

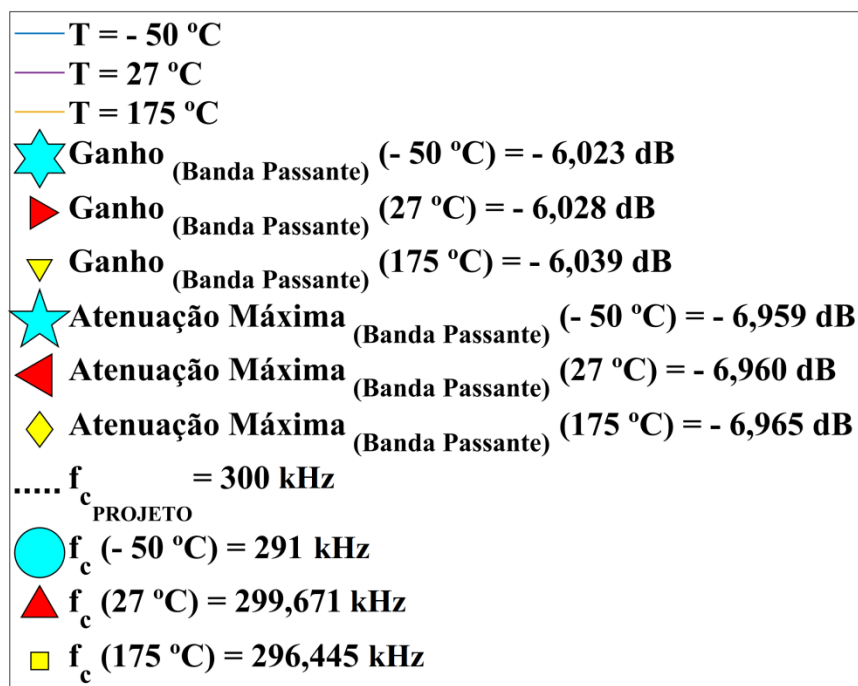
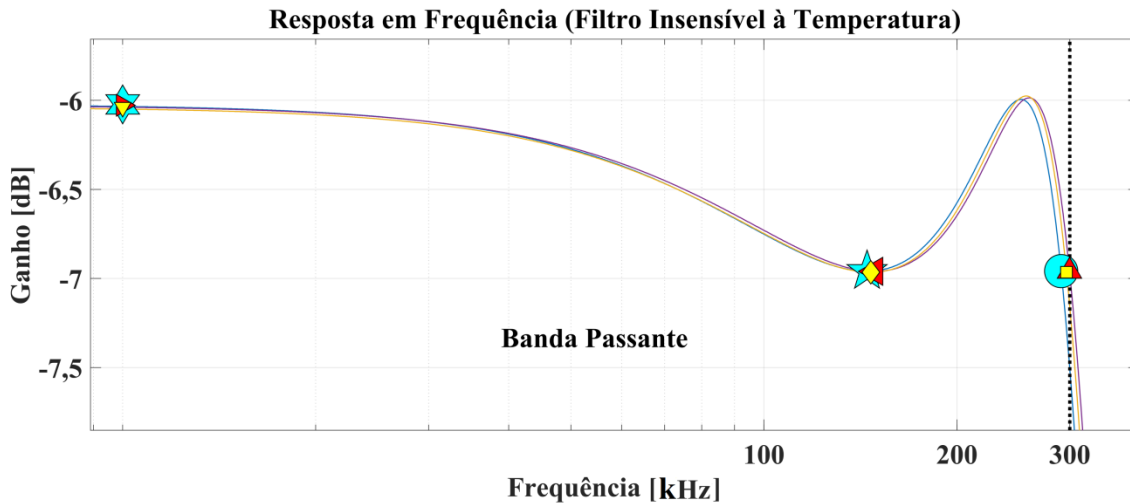


Figura 5.5: Resposta em frequência do filtro na banda passante variando frequência no intervalo $1 \text{ Hz} \leq f \leq 10 \text{ MHz}$ nas temperaturas $T = - 50 \text{ °C}$, $T = 27 \text{ °C}$ e $T = 175 \text{ °C}$.

Nota-se nos gráficos de resposta em frequência que os parâmetros de projeto do filtro $Ganho_{(Banda\ Passante)}$, $Atenuação\ Máxima_{(Banda\ Passante)}$ e frequência de corte f_c variaram pouco dentro da faixa de temperatura $- 50 \text{ °C} \leq T \leq 175 \text{ °C}$. Portanto, o filtro invariante com a temperatura projetado teve resultados satisfatórios de desempenho.

5.2 Simulação de Monte Carlo na Curva de Resposta em Frequência nas Temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$

A fim de avaliar o comportamento das curvas de resposta em frequência do filtro, nas temperaturas $T = -50\text{ }^{\circ}\text{C}$, $T = 27\text{ }^{\circ}\text{C}$ e $T = 175\text{ }^{\circ}\text{C}$, sob variações do processo de fabricação e descasamento (*mismatch*), foram realizadas simulações de Monte Carlo com 500 rodadas, no circuito da Figura 5.2. Os gráficos obtidos são os indicados na Figura 5.6 até Figura 5.11 a seguir.

Nota-se nestes gráficos que os formatos característicos das curvas originais são iguais aos das variações de Monte Carlo nas bandas passante e de rejeição do filtro. As variações de Monte Carlo estão em torno dos parâmetros de projeto do filtro *Ganho* (*Banda Passante*), *Atenuação Máxima* (*Banda Passante*) e frequência de corte f_c . Portanto, o filtro invariante com a temperatura teve resultados satisfatórios sob variações do processo de fabricação e descasamento (*mismatch*).

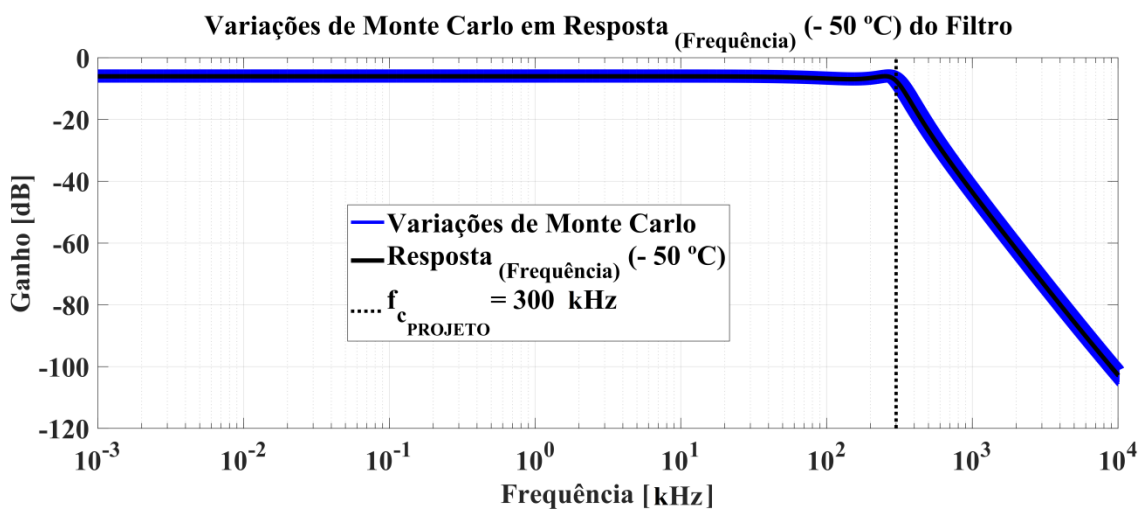


Figura 5.6: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência do filtro na temperatura $T = -50\text{ }^{\circ}\text{C}$.

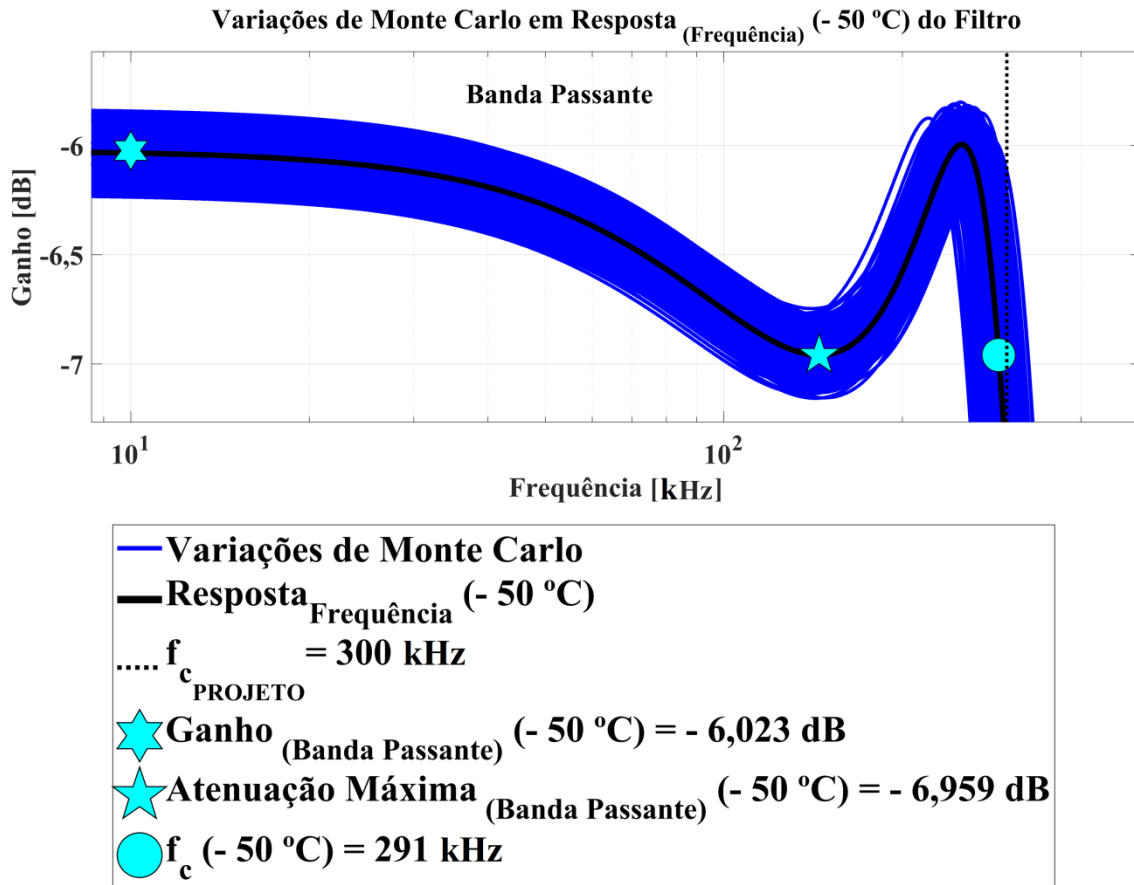


Figura 5.7: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência na banda passante do filtro na temperatura $T = - 50 \text{ }^\circ\text{C}$.

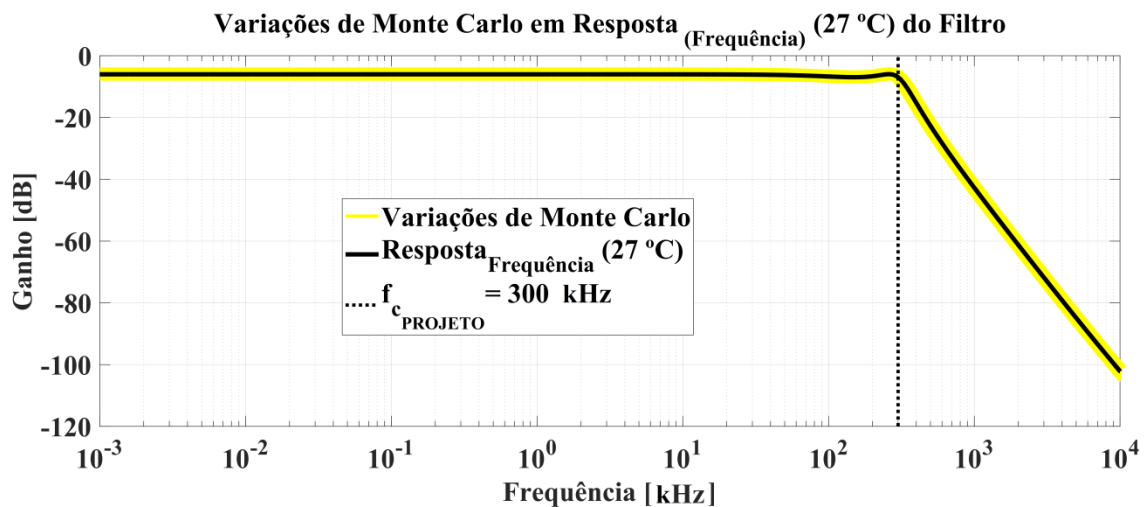


Figura 5.8: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência do filtro na temperatura $T = 27 \text{ }^\circ\text{C}$.

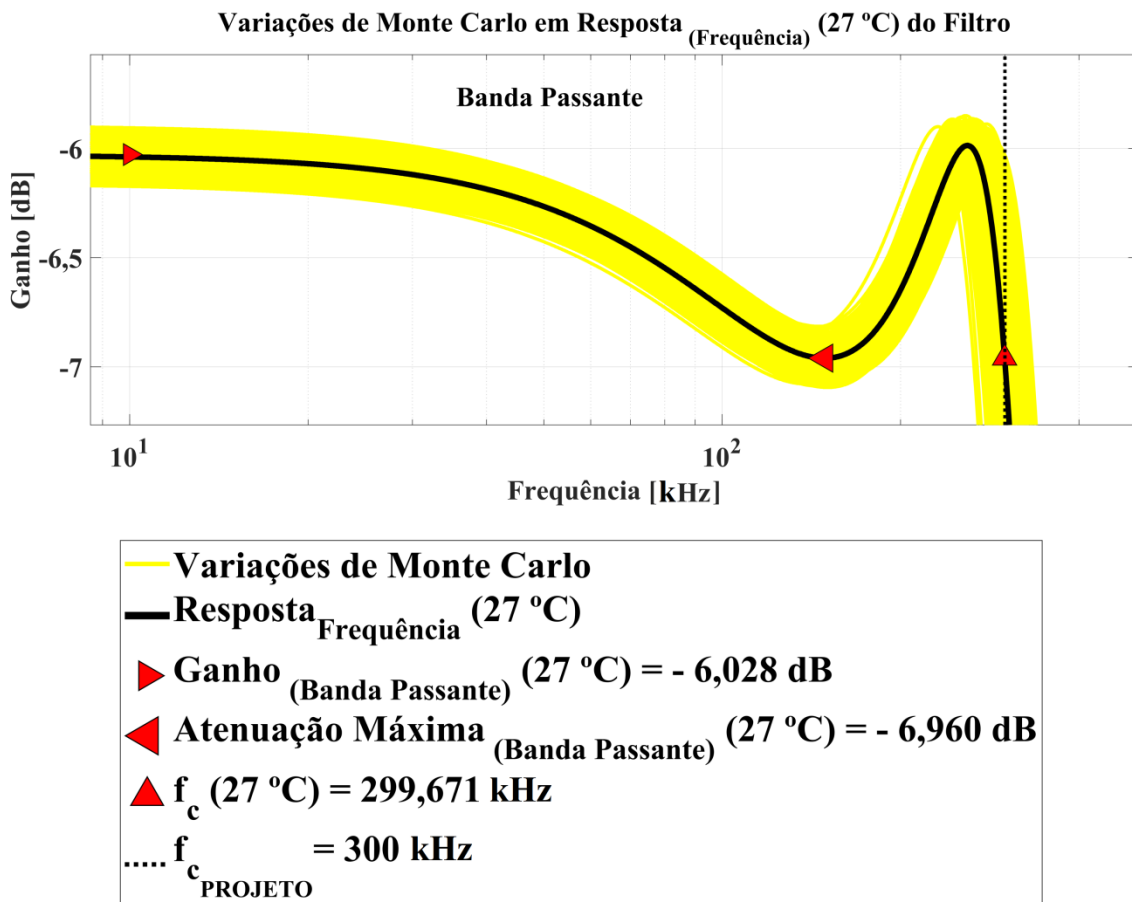


Figura 5.9: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência na banda passante do filtro na temperatura $T = 27 \text{ °C}$.

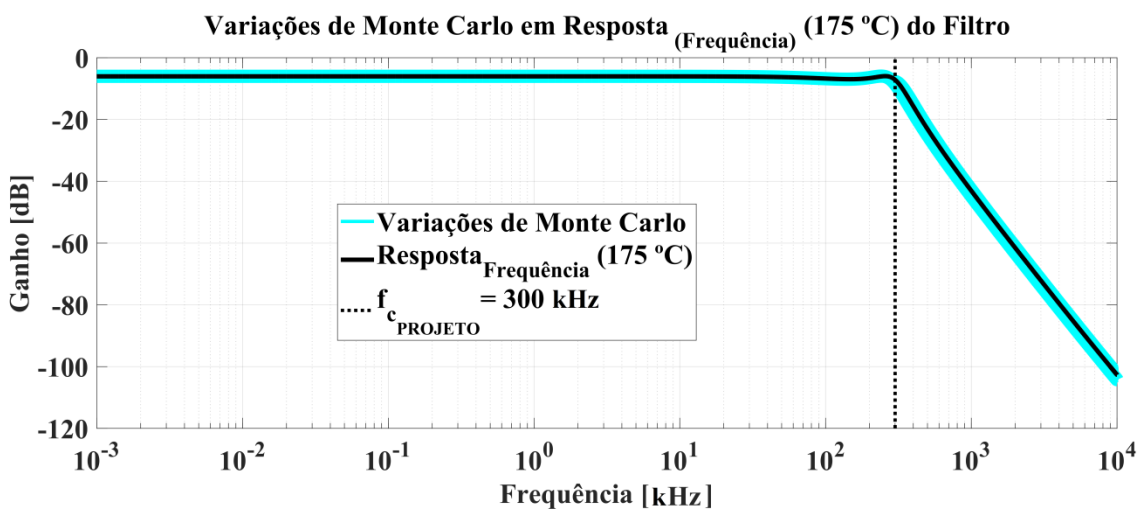


Figura 5.10: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência do filtro na temperatura $T = 175 \text{ °C}$.

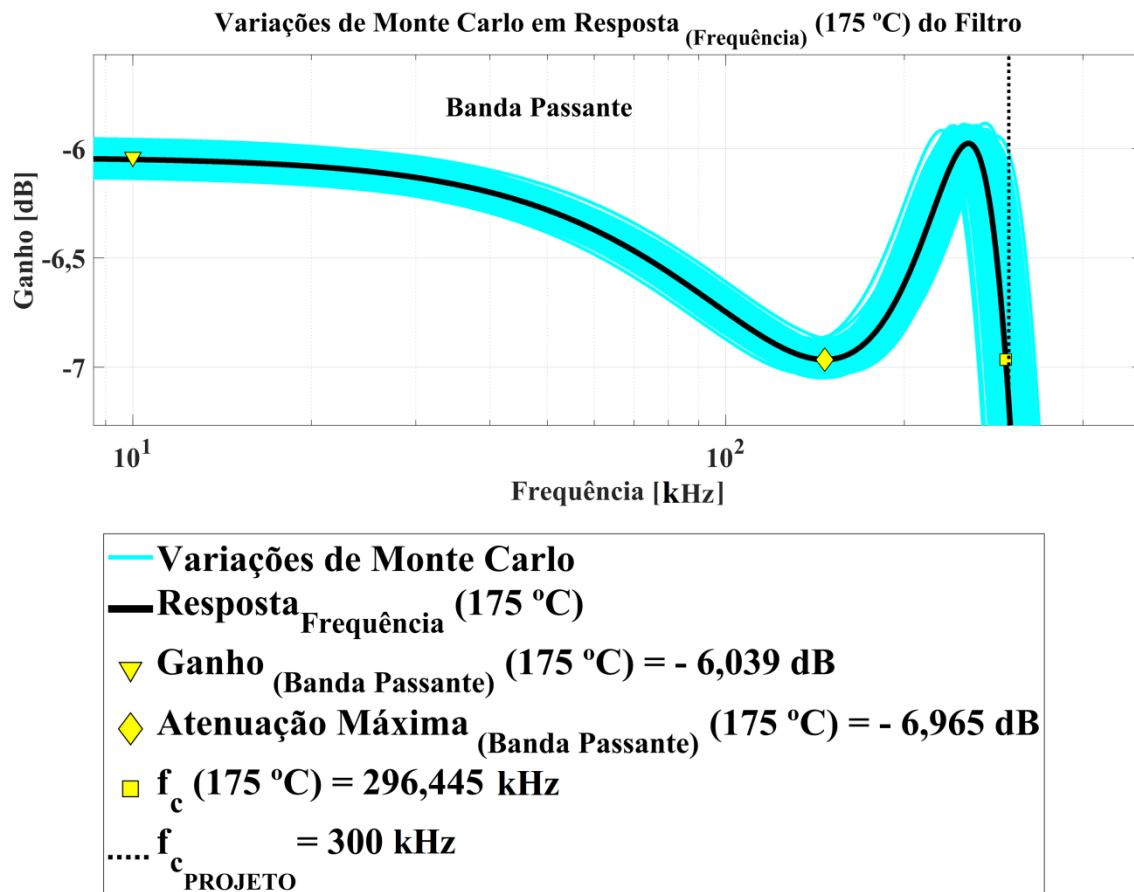


Figura 5.11: Simulação de Monte Carlo (500 rodadas) com variação dos parâmetros de processo e descasamento (*mismatch*) da resposta em frequência na banda passante do filtro na temperatura $T = 175$ °C.

5.3 Curvas de Distorção Harmônica $THD \times V_d \times T$

Nesta Seção são apresentadas as simulações que mostram a distorção harmônica do filtro, no intuito de verificar o quanto a corrente de saída distorce em função da amplitude da tensão diferencial de entrada V_d , com a temperatura no intervalo -50 °C $\leq T \leq 175$ °C. Sendo assim, ao circuito da Figura 5.2, foram aplicadas na entrada duas fontes senoidais de amplitude variável de 10 mV a 1 V com frequência de 1 kHz. Ademais, foi feita a varredura da temperatura na faixa -50 °C $\leq T \leq 175$ °C. Os gráficos de distorção harmônica obtidos são os apresentados na Figura 5.12 e Figura 5.13 abaixo.

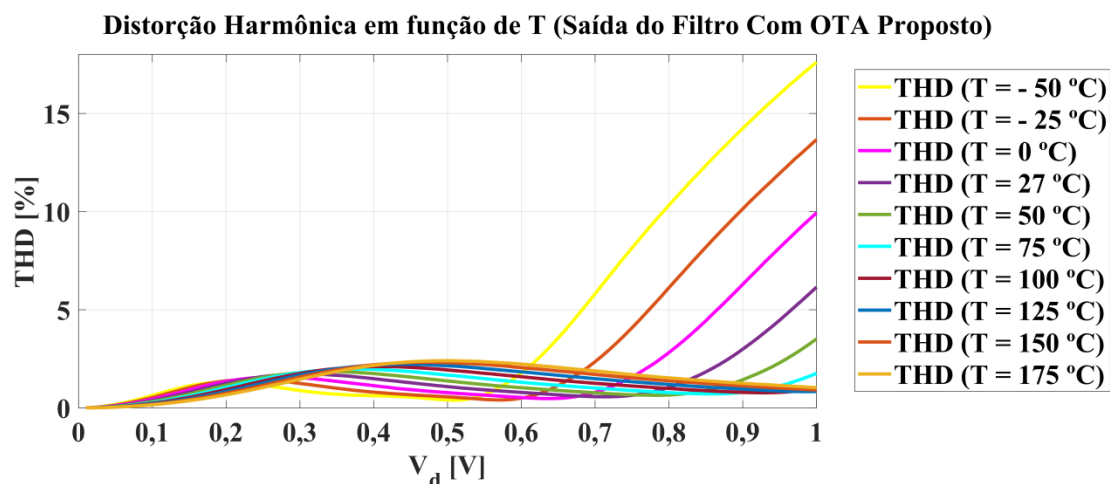


Figura 5.12: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$, frequência de 1 kHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

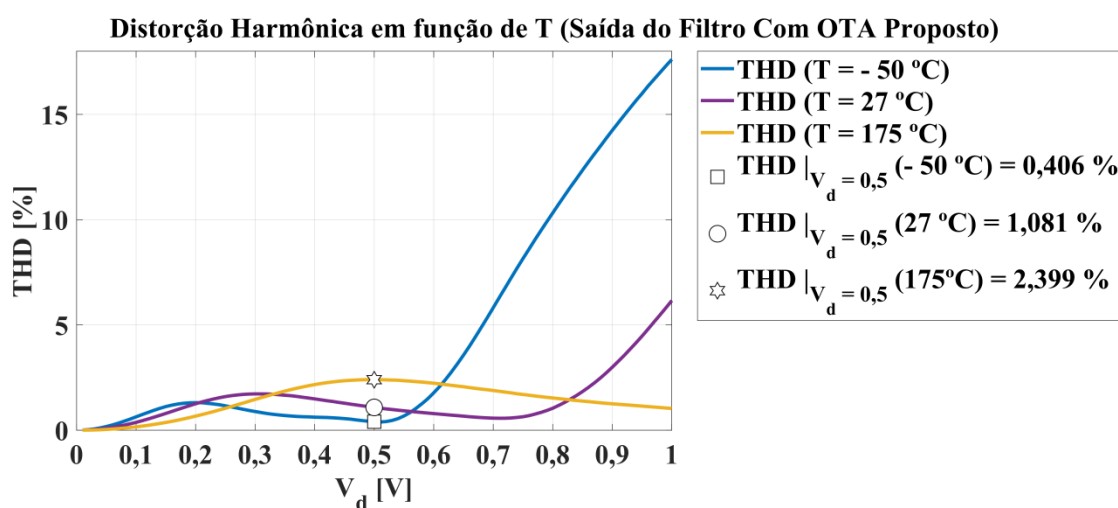


Figura 5.13: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$ e frequência de 1 kHz nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

Percebe-se nos gráficos da Figura 5.12 e Figura 5.13 que o filtro invariante com a temperatura tem baixa distorção harmônica dentro da faixa de excursão de sinal de entrada (500 mV) desejada para este projeto, com a temperatura variando no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$. Portanto, o filtro invariante com a temperatura apresentou valores satisfatórios de desempenho neste parâmetro.

Também foi realizada medição de THD do filtro da Figura 5.2, utilizando os blocos de circuitos OTA e CMFB com par diferencial simples. Os gráficos obtidos são os apresentados na Figura 5.14 e Figura 5.15.

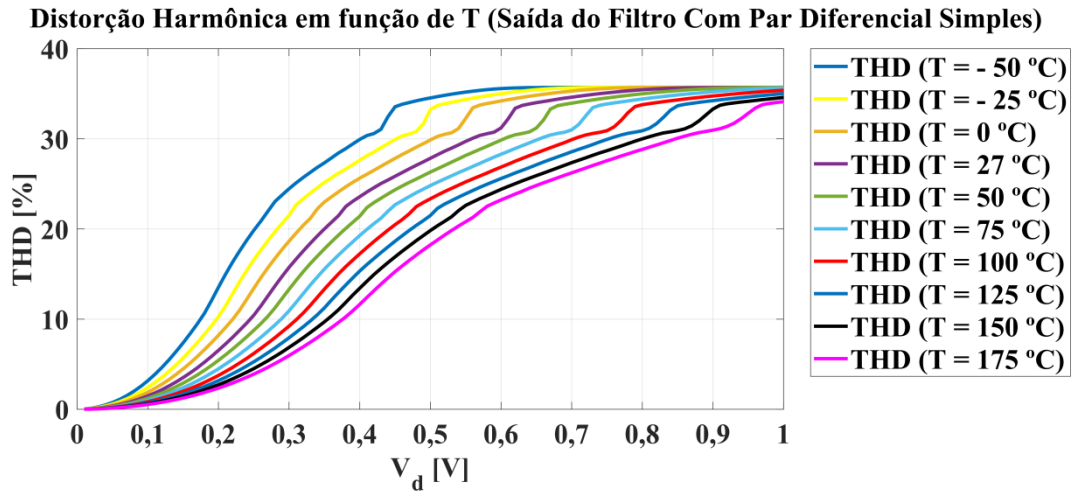


Figura 5.14: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$, frequência de 1 kHz e temperatura no intervalo $- 50 \text{ }^\circ\text{C} \leq T \leq 175 \text{ }^\circ\text{C}$.

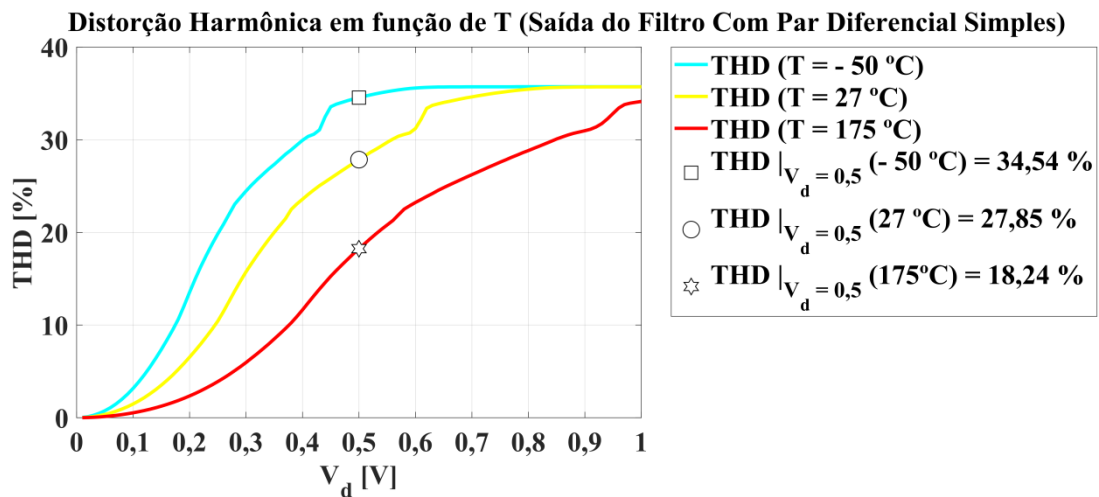


Figura 5.15: Medição de distorção harmônica do filtro com tensão diferencial de entrada V_d na faixa $10 \text{ mV} \leq V_d \leq 1 \text{ V}$ e frequência de 1 kHz nas temperaturas $T = - 50 \text{ }^\circ\text{C}$, $T = 27 \text{ }^\circ\text{C}$ e $T = 175 \text{ }^\circ\text{C}$.

Capítulo 6

Conclusão

Conforme mencionado na Seção de introdução (Capítulo 1) deste documento, as referências [5]-[12] propõem circuitos de transcondutância g_m insensíveis à temperatura. A comparação destas referências com o OTA proposto neste trabalho é apresentada na Tabela 6.1 a seguir.

Tabela 6.1: Comparação do OTA proposto com outros circuitos de g_m constante com as indicações (€) (*chip* fabricado), (£) (*layout*) e (ψ) (*sem layout*).

Referências	Processo CMOS	V_{dd} [V]	$\Delta g_m \left[\frac{\text{ppm}}{^\circ\text{C}} \right]$	Faixa Temp. [$^\circ\text{C}$]	THD [%]
OTA proposto (ψ)	0,18 μm	1,8	53,3	$-50 \leq T \leq 175$	2,399
SBCCI, 2015 [5] (ψ)	0,13 μm	0,7	53	$-45 \leq T \leq 85$	Não informado
SBCCI, 2016 [6] (£)	0,13 μm	0,7	73,4	$-40 \leq T \leq 120$	Não informado
TVLSI, 2015 [7] (€)	0,18 μm	2,5	16000	$0 \leq T \leq 100$	Não aplicável
JSSC, 2001 [8] (€)	0,35 μm	3,3	22000	$0 \leq T \leq 60$	Não aplicável
AICSP, 2003 [9] (ψ)	0,18 μm	1,8	136	$-25 \leq T \leq 125$	Não aplicável
ISCAS, 2006 [10] (ψ)	0,18 μm	1,5	15000	$0 \leq T \leq 60$	Não aplicável
MWSCAS, 2005 [11] (ψ)	0,18 μm	1,3	5000	$-50 \leq T \leq 130$	Não aplicável
AICSP, 2011 [12] (ψ)	0,5 μm	1,7	1200	$-30 \leq T \leq 90$	Não informado

Um OTA totalmente diferencial, insensível à variação de temperatura na faixa $-50\text{ °C} \leq T \leq 175\text{ °C}$, com $g_m = 12,5\ \mu\text{S}$ variando $53,3\ \text{ppm}/\text{°C}$ e baixa distorção harmônica foi desenvolvido neste trabalho. O circuito foi implementado no processo de fabricação XFAB $0,18\ \mu\text{m}$ com as seguintes características:

- Tensão de modo comum $V_{cm} = 700\ \text{mV}$;
- Excursão do sinal de entrada $V_{d_{max}} = 500\ \text{mV}$;
- Corrente de polarização $I_B = 10\ \mu\text{A}$ (para circuitos do OTA, compensação de g_m e circuito de auto polarização);
- Corrente de sinal de saída máxima $i_{o_{max}} = g_{m_d} \cdot V_{d_{max}} = 6,25\ \mu\text{A}$.

De acordo com as simulações apresentadas no Capítulo 4, o OTA desenvolvido apresentou bons resultados. Na Tabela 6.1, o OTA proposto apresentou os melhores resultados quanto à faixa de temperatura e variação da transcondutância g_m , além de apresentar um baixo valor de THD.

O filtro $G_m - C$ insensível à temperatura projetado com o OTA proposto no Capítulo 5 apresentou desempenho satisfatório, mantendo a frequência de corte com baixa sensibilidade à temperatura na faixa de projeto $-50\text{ °C} \leq T \leq 175\text{ °C}$, com baixo valor de distorção harmônica. Vale ressaltar, que o grande diferencial do circuito proposto nesta dissertação é ser extremamente vantajoso no quesito THD, pois o projeto foi orientado no sentido de se obter uma curva de transcondutância quase plana dentro da faixa de tensão de entrada de $-500\ \text{mV} \leq V_d \leq 500\ \text{mV}$. Dessa forma, o OTA proposto pode operar em regiões de grandes sinais, e sob severas condições de temperatura, melhorando o desempenho em relação ao estado da arte.

6.1 Trabalhos Futuros

Neste trabalho não foi realizado um circuito de calibração e ajuste de g_m . Uma boa ideia de continuidade deste trabalho seria a implementação do circuito de calibração, *layout* e posterior fabricação do *chip*.

Ademais, a título de doutorado, dar continuidade a este trabalho na tentativa de usar o OTA proposto para propor soluções em aplicações onde a temperatura prejudica o funcionamento dos circuitos eletrônicos.

Referências Bibliográficas

- [1] ZANELLA, A., BUI, N., CASTELLANI, A., et al. “Internet of things for smart cities”, *IEEE Internet of Things journal*, v. 1, n. 1, pp. 22–32, 2014.
- [2] FERREIRA, P. M., CAI, H., NAVINER, L. “Reliability aware AMS/RF performance optimization”. In: *Performance Optimization Techniques in Analog, Mixed-Signal, and Radio-Frequency Circuit Design*, IGI Global, pp. 28–54, 2015.
- [3] CHAIN, K., HUANG, J.-H., DUSTER, J., et al. “A MOSFET electron mobility model of wide temperature range (77-400 K) for IC simulation”, *Semiconductor science and technology*, v. 12, n. 4, pp. 355, 1997.
- [4] CAI, H., PETIT, H., NAVINER, J.-F. “Reliability aware design of low power continuous-time sigma–delta modulator”, *Microelectronics Reliability*, v. 51, n. 9-11, pp. 1449–1453, 2011.
- [5] TOLEDO, P., KLIMACH, H., CORDOVA, D., et al. “CMOS transconductor analysis for low temperature sensitivity based on ZTC MOSFET condition”. In: *2015 28th Symposium on Integrated Circuits and Systems Design (SBCCI)*, pp. 1–7, Aug 2015.
- [6] TOLEDO, P., TIMBO, R., CORDOVA, D., et al. “A 0.7V Fully Differential First Order GZTC-C filter”. In: *2016 29th Symposium on Integrated Circuits and Systems Design (SBCCI)*, pp. 1–6, Aug 2016. doi: 10.1109/SBCCI.2016.7724075.
- [7] AMARAVATI, A., DAVE, M., BAGHINI, M. S., et al. “A Fully On-Chip PT-Invariant Transconductor”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, v. 23, n. 9, pp. 1961–1964, Sep. 2015. ISSN: 1063-8210. doi: 10.1109/TVLSI.2014.2347346
- [8] MCLAREN, A., MARTIN, K. “Generation of accurate on-chip time constants and stable transconductances”, *IEEE Journal of Solid-State Circuits*, v. 36, n. 4, pp. 691–695, April 2001. ISSN: 0018-9200. doi: 10.1109/4.913748.

- [9] CHEN, J., SHI, B. “Circuit Design of an On-Chip Temperature-Compensated Constant Transconductance Reference”, *Analog Integrated Circuits and Signal Processing*, v. 37, n. 3, pp. 215–222, Dec 2003. ISSN: 1573-1979. doi: 10.1023/A:1026221809719.
- [10] TALEBBEYDOKHTI, N., HANUMOLU, P. K., AND, P. K. “Constant transconductance bias circuit with an on-chip resistor”. In: *2006 IEEE International Symposium on Circuits and Systems*, pp. 4 pp.–2860, May 2006. doi: 10.1109/ISCAS.2006.1693220.
- [11] DANAIE, M., LOTFI, R. “A low-voltage high-PSRR CMOS PTAT amp; constant-g/sub m/ reference circuit”. In: *48th Midwest Symposium on Circuits and Systems, 2005.*, pp. 1807–1810 Vol. 2, Aug 2005. doi: 10.1109/MWSCAS.2005.1594473.
- [12] AGARWAL, V., SONKUSALE, S. “Ultra low power PVT independent sub-threshold gm-C filters for low frequency biomedical applications”, *Analog Integrated Circuits and Signal Processing*, v. 66, n. 2, pp. 285–291, Feb 2011. ISSN: 1573-1979. doi: 10.1007/s10470-010-9546-9.
- [13] NATEGHI, H., EL-SANKARY, K. “A self-healing technique using ZTC biasing for PVT variations compensation in 65nm CMOS technology”. In: *2015 IEEE 28th Canadian Conference on Electrical and Computer Engineering (CCECE)*, pp. 128–131, May 2015. doi: 10.1109/CCECE.2015.7129173.
- [14] HUANG, W., ALLEN-WARE, M., CARTER, J. B., et al. “Temperature-Aware Architecture: Lessons and Opportunities”, *IEEE Micro*, v. 31, n. 3, pp. 82–86, May 2011. ISSN: 0272-1732. doi: 10.1109/MM.2011.60.
- [15] HUANG, W., STAN, M. R., SKADRON, K., et al. “Compact Thermal Modeling for Temperature-aware Design”. In: *Proceedings of the 41st Annual Design Automation Conference, DAC '04*, pp. 878–883, New York, NY, USA, 2004. ACM. ISBN: 1-58113-828-8. doi: 10.1145/996566.996800.
- [16] TOLEDO, P. “Mosfet zero-temperature-coefficient (ztc) effect modeling and analysis for low thermal sensitivity analog applications”, *Master’s thesis, UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL*, 2015.

- [17] AND E. HUMENAY, SKADRON, K., STAN, M. R. “The need for a full- chip and package thermal model for thermally optimized IC designs”. In: *ISLPED '05. Proceedings of the 2005 International Symposium on Low Power Electronics and Design, 2005.*, pp. 245–250, Aug 2005. doi: 10.1145/1077603.1077662.
- [18] SKADRON, K., STAN, M. R., SANKARANARAYANAN, K., et al. “Temperature-aware Microarchitecture: Modeling and Implementation”, *ACM Trans. Archit. Code Optim.*, v. 1, n. 1, pp. 94–125, mar. 2004. ISSN: 1544-3566. doi: 10.1145/980152.980157.
- [19] NAKAMURA, M. “Computer simulation for the constriction resistance depending on the form of conducting spots”, *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, v. 18, n. 2, pp. 382–384, June 1995. ISSN: 1070-9886. doi: 10.1109/95.390320.
- [20] GALUP-MONTORO, C., SCHNEIDER, M. C., CUNHA, A. I. A., et al. “The Advanced Compact MOSFET (ACM) Model for Circuit Analysis and Design”. In: *2007 IEEE Custom Integrated Circuits Conference*, pp. 519–526, Sep. 2007. doi: 10.1109/CICC.2007.4405785.
- [21] ENZ, C. C., KRUMMENACHER, F., VITTOZ, E. A. “An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications”, *Analog Integrated Circuits and Signal Processing*, v. 8, n. 1, pp. 83–114, Jul 1995. ISSN: 1573-1979. doi: 10.1007/BF01239381.
- [22] HU, C., LIU, W., OTHERS. “BSIM3v3. 2.2 MOSFET Model. Users’ manual”, *UC Berkley*, 1999.
- [23] BARÚQUI, F. A. P., “Apostila Microeletrônica”, 2018.
- [24] TSIVIDIS, Y., MCANDREW, C. *Operation and Modeling of the MOS Transistor*, v. 2. Oxford university press Oxford, 1999.
- [25] BINKLEY, D. M. “Tradeoffs and Optimization in Analog CMOS Design”. In: *2007 14th International Conference on Mixed Design of Integrated Circuits and Systems*, pp. 47–60, June 2007. doi: 10.1109/MIXDES.2007.4286119.
- [26] STAR-HSPICE MANUAL, R. “Avanti”, *Corporation and Avant*, 1998.

- [27] VARSHNI, Y. “Temperature dependence of the energy gap in semiconductors”, *Physica*, v. 34, n. 1, pp. 149 – 154, 1967. ISSN: 0031-8914. doi: [https://doi.org/10.1016/0031-8914\(67\)90062-6](https://doi.org/10.1016/0031-8914(67)90062-6).
- [28] SZE, S. M., NG, K. K. *Physics of semiconductor devices*. John Wiley & Sons, 2006.
- [29] CHENG, Y., IMAI, K., CHIE JENG, M., et al. “Modelling temperature effects of quarter micrometre MOSFETs in BSIM3v3 for circuit simulation”, *Semiconductor Science and Technology*, v. 12, n. 11, pp. 1349 – 1354, nov 1997. doi: 10.1088/0268-1242/12/11/004.
- [30] PIERRET, R. F. *Semiconductor device fundamentals*. Pearson Education India, 1996.
- [31] FILANOVSKY, I., ALLAM, A. “Mutual Compensation of Mobility and Threshold Voltage Temperature Effects with Applications in CMOS Circuits”, *Circuits and Systems I: Fundamental Theory and Applications, IEEE Transactions on*, v. 48, pp. 876 – 884, 08 2001. doi: 10.1109/81.933328.
- [32] OXNER, E. S. *FET technology and application*, v. 54. CRC Press, 1988.
- [33] HASTINGS, R. A., HASTINGS, R. A. *The art of analog layout*, v. 2. Pearson Prentice Hall New Jersey, 2006.
- [34] BLACK, J. R. “Electromigration—A brief survey and some recent results”, *IEEE Transactions on Electron Devices*, v. 16, n. 4, pp. 338–347, April 1969. ISSN: 0018-9383. doi: 10.1109/T-ED.1969.16754.
- [35] SOARES, C. “Métodos para Aprimorar o Projeto e o Layout de Filtros Analógicos em Circuitos Integrados CMOS”, *doctoral thesis, UNIVERSIDADE FEDERAL DO RIO DE JANEIRO*, 2009.
- [36] BAKER, R. J. *CMOS: Circuit design, layout, and simulation*, v. 1. John Wiley & Sons, 2008.
- [37] BENDER, I. D., CARDOSO, G. S., DE OLIVEIRA, A. C., et al. “Testing fully differential amplifiers using common mode feedback circuit: A case study”. In: *2015 IEEE 6th Latin American Symposium on Circuits Systems (LASCAS)*, pp. 1–4, Feb 2015. doi: 10.1109/LASCAS.2015.7250488.

- [38] KRUMMENACHER, F., JOEHL, N. “A 4-MHz CMOS continuous-time filter with on-chip automatic tuning”, *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, pp. 750–758, June 1988. ISSN: 0018-9200. doi: 10.1109/4.315.
- [39] RAZAVI, B. *Design of analog CMOS integrated circuits*. McGraw-Hill, 2005.
- [40] AND. “Novel constant transconductance references and the comparisons with the traditional approach”. In: *Southwest Symposium on Mixed-Signal Design, 2003.*, pp. 104–107, Feb 2003. doi: 10.1109/SSMSD.2003.1190406.
- [41] CHEN, J., SHI, B. “Circuit Design of an On-Chip Temperature-Compensated Constant Transconductance Reference”, *Analog Integrated Circuits and Signal Processing*, v. 37, n. 3, pp. 215–222, Dec 2003. ISSN: 1573-1979. doi: 10.1023/A:1026221809719.
- [42] FREITAS, J. P. G. “Amplificador Operacional de Transcondutância totalmente diferencial com alta linearidade e circuito de compensação de modo comum”, *master thesis, UNIVERSIDADE FEDERAL DO RIO DE JANEIRO*, 2019.

APÊNDICE A: Parâmetros Extraídos da Tecnologia de Fabricação XFAB 0, 18 μm do MOSFET Canal N (nel) Modelo Spice Nível 3

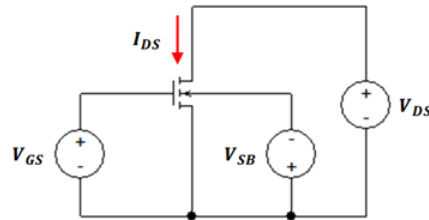
I_{DS} {

- Região de Trabalho Saturação:**

$$I_{DS} = \frac{k_p \cdot W}{2 \cdot \alpha \cdot L \cdot [1 + \theta \cdot (V_{GS} - V_{TH})]} \cdot (V_{GS} - V_{TH})^2 \text{ para } (V_{DS} \geq V_{DSsat})$$
- Região de Trabalho Triodo:**

$$I_{DS} = \frac{k_p \cdot W}{L \cdot [1 + \theta \cdot (V_{GS} - V_{TH})]} \cdot \left[(V_{GS} - V_{TH}) \cdot V_{DS} - \frac{\alpha}{2} \cdot (V_{DS})^2 \right] \text{ para } (0 \leq V_{DS} < V_{DSsat})$$

$\alpha = 1 + \frac{\gamma}{2 \cdot \sqrt{\phi_0 + V_{SB}}}$
 $V_{DSsat} = \frac{V_{GS} - V_{TH}}{\alpha}$
 $V_{TH} = V_{TH0} + \gamma \cdot (\sqrt{\phi_0 + V_{SB}} - \sqrt{\phi_0})$



Transistor (nel) $W = 1 \mu\text{m}$ e $L = 1 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = 0,39 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,23$	$V_{TH0} = 0,48 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,23$	$\frac{\sigma_{k_p}^2}{k_p^2} = 13,5 \cdot 10^{-18} / (W \cdot L)$
$k_p = 293,4 \mu\text{A}/\text{V}^2$	$\theta = 0,25$	$k_p = 293,4 \mu\text{A}/\text{V}^2$	$\theta = 0,34$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 41 \cdot 10^{-18} / (W \cdot L)$
$\phi_0 = 0,58 \text{ V}$	$\gamma = 0,48$	$\phi_0 = 0,58 \text{ V}$	$\gamma = 0,48$	$C_{ox} = 8,6 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (nel) $W = 1 \mu\text{m}$ e $L = 0,5 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = 0,39 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$V_{TH0} = 0,5 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$\frac{\sigma_{k_p}^2}{k_p^2} = 13,5 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 292,6 \mu\text{A}/\text{V}^2$	$\theta = 0,78$	$k_p = 292,6 \mu\text{A}/\text{V}^2$	$\theta = 0,39$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 41 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 0,51 \text{ V}$	$\gamma = 0,46$	$\phi_0 = 0,51 \text{ V}$	$\gamma = 0,46$	$C_{ox} = 8,6 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (nel) $W = 1 \mu\text{m}$ e $L = 0,18 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = 0,3 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$V_{TH0} = 0,47 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$\frac{\sigma_{k_p}^2}{k_p^2} = 13,5 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 360,5 \mu\text{A}/\text{V}^2$	$\theta = 1,42$	$k_p = 360,5 \mu\text{A}/\text{V}^2$	$\theta = 0,39$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 41 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 0,4 \text{ V}$	$\gamma = 0,33$	$\phi_0 = 0,4 \text{ V}$	$\gamma = 0,46$	$C_{ox} = 8,6 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (nel) $W = 5 \mu\text{m}$ e $L = 5 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = 0,4 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$V_{TH0} = 0,48 \text{ V}$	$\alpha_{(V_{SB}=0)} = 1,24$	$\frac{\sigma_{k_p}^2}{k_p^2} = 13,5 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 333,1 \mu\text{A}/\text{V}^2$	$\theta = 0,38$	$k_p = 333,1 \mu\text{A}/\text{V}^2$	$\theta = 0,31$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 38,9 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 0,31 \text{ V}$	$\gamma = 0,35$	$\phi_0 = 0,31 \text{ V}$	$\gamma = 0,35$	$C_{ox} = 8,6 \cdot 10^{-3} \text{ F}/\text{m}^2$

APÊNDICE B: Parâmetros Extraídos da Tecnologia de Fabricação XFAB 0, 18 μm do MOSFET Canal P (pel)

Modelo Spice Nível 3

I_{SD} {

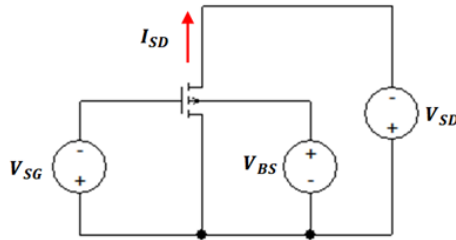
□ **Região de Trabalho Saturação:**

$$I_{SD} = \frac{k_p \cdot W}{2 \cdot \alpha \cdot L \cdot [1 + \theta \cdot (V_{SG} - |V_{TH}|)]} \cdot (V_{SG} - |V_{TH}|)^2 \text{ para } (V_{SD} \geq V_{SDsat})$$

□ **Região de Trabalho Triodo:**

$$I_{SD} = \frac{k_p \cdot W}{L \cdot [1 + \theta \cdot (V_{SG} - |V_{TH}|)]} \cdot \left[(V_{SG} - |V_{TH}|) \cdot V_{SD} - \frac{\alpha}{2} \cdot (V_{SD})^2 \right] \text{ para } (0 \leq V_{SD} < V_{SDsat})$$

$\alpha = 1 + \frac{\gamma}{2 \cdot \sqrt{\phi_0 + V_{BS}}}$ $V_{SDsat} = \frac{V_{SG} - |V_{TH}|}{\alpha}$ $V_{TH} = V_{TH0} - \gamma \cdot (\sqrt{\phi_0 + V_{BS}} - \sqrt{\phi_0})$



Transistor (pel) $W = 1 \mu\text{m}$ e $L = 1 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = -0,38 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,21$	$V_{TH0} = -0,47 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,21$	$\frac{\sigma_{k_p}^2}{k_p^2} = 21 \cdot 10^{-18} / (W \cdot L)$
$k_p = 74,4 \mu\text{A}/\text{V}^2$	$\theta = 0,28$	$k_p = 74,4 \mu\text{A}/\text{V}^2$	$\theta = 0,32$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 42 \cdot 10^{-18} / (W \cdot L)$
$\phi_0 = 0,71 \text{ V}$	$\gamma = 0,43$	$\phi_0 = 0,71 \text{ V}$	$\gamma = 0,43$	$C_{ox} = 9,1 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (pel) $W = 1 \mu\text{m}$ e $L = 0,5 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = -0,38 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,2$	$V_{TH0} = -0,47 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,2$	$\frac{\sigma_{k_p}^2}{k_p^2} = 21 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 80,7 \mu\text{A}/\text{V}^2$	$\theta = 0,35$	$k_p = 80,7 \mu\text{A}/\text{V}^2$	$\theta = 0,43$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 42 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 0,52 \text{ V}$	$\gamma = 0,39$	$\phi_0 = 0,52 \text{ V}$	$\gamma = 0,39$	$C_{ox} = 9,1 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (pel) $W = 1 \mu\text{m}$ e $L = 0,18 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = -0,34 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,17$	$V_{TH0} = -0,46 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,17$	$\frac{\sigma_{k_p}^2}{k_p^2} = 21 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 124,1 \mu\text{A}/\text{V}^2$	$\theta = 0,85$	$k_p = 124,1 \mu\text{A}/\text{V}^2$	$\theta = 0,99$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 52,4 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 0,48 \text{ V}$	$\gamma = 0,32$	$\phi_0 = 0,48 \text{ V}$	$\gamma = 0,32$	$C_{ox} = 9,1 \cdot 10^{-3} \text{ F}/\text{m}^2$
Transistor (pel) $W = 5 \mu\text{m}$ e $L = 5 \mu\text{m}$ [Para temperatura de 27 °C (300 K)]				
Região de Trabalho Saturação		Região de Trabalho Triodo		Parâmetros de Descasamento
$V_{TH0} = -0,34 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,22$	$V_{TH0} = -0,45 \text{ V}$	$\alpha_{(V_{BS}=0)} = 1,22$	$\frac{\sigma_{k_p}^2}{k_p^2} = 21 \cdot 10^{-18} (W \cdot L)^{-1}$
$k_p = 78,8 \mu\text{A}/\text{V}^2$	$\theta = 0,31$	$k_p = 78,8 \mu\text{A}/\text{V}^2$	$\theta = 0,34$	$\frac{\sigma_{V_{TH0}}^2}{V_{TH0}^2} = 52,4 \cdot 10^{-18} (W \cdot L)^{-1}$
$\phi_0 = 1,12 \text{ V}$	$\gamma = 0,54$	$\phi_0 = 1,12 \text{ V}$	$\gamma = 0,54$	$C_{ox} = 9,1 \cdot 10^{-3} \text{ F}/\text{m}^2$

APÊNDICE C: Datasheet XFAB 0,18 µm (Valor do Coeficiente Térmico dos Resistores de Polissilício XH018)



Active Devices (Continued)

XH018 BIPOLAR TRANSISTORS								
Device	Name	Available	BETA	VA [V]	BVCEO [V]	VBE [mV]	max. VCE [V]	VBE [V]
1.8V vPNP	qpva	LPMOS	2.5	250		710	1.98	1.5
	qpvb		2.6	150		669		
	qpvc		2.8	100		636		
3.3V vPNP	qpva3	LPMOS	2.3	250		709	3.6	1.5
	qpvb3		2.5	150		669		
	qpvc3		2.7	100		635		
ESD HV PNP	qpvhscr*	BIPESD	31		> 51	574	45	45
ESD HV PNP	qpvascr*	HVMOS+DMOS	-	-	-	-	-	-
ESD HV PNP	qpvhbscr*	ESDPNP	13.5		> 51	570	45	25
3.3V vNPN	qnvva	DEPL+HVMOS	> 21	16	> 10	710	3.6	2.5
3.3V vNPN	qnvva	DEPL+ (ISOMOS, HVMOS)	85	8.5	> 4.5	700	3.6	2.5
3.3V vNPN	qnvvc	ISOMOS	18.5	79	> 10	695	3.6	2.5

* These devices are only allowed to be used for ESD protection. Please refer to ESD documentation on "My X-FAB".

Passive Devices

XH018 POLY RESISTORS					
Device	Name	Available with module	RS [Ω/□]	Temp. Coeff. [10 ⁻¹ /K]	Max VTB [V]
N+ Poly	mp1, mp1_3*	LPMOS	320	-1.38	45
P+ Poly	rpp1, rpp1_3*	LPMOS	280	-0.11	45
P+ Poly silicided	rpp1s, rpp1s_3*	LPMOS	7.5	2.92	45
High-Ohmic N+ Poly1	mp1h, mp1h_3*	LPMOS	6300	-4	45
Lightly dope P+ Poly1	rpp1k, rpp1k_3*	MRPOLY	960	-0.85	45

* These devices are variants of the corresponding basic device with an underlying well, but not crossing a well boundary. The models realize an improved description of bulk voltage dependency.

XH018 DIFFUSION RESISTORS					
Device	Name	Available with module	RS [Ω/□]	Temp. Coeff. [10 ⁻¹ /K]	Max VTB [V]
1.8V N+ diffusion	rdn	LPMOS	65	1.42	1.98
	rdn_esd*	HVMOS			
1.8V P+ diffusion	rdp	LPMOS	130	1.3	1.98
	rdp_io*	HVMOS			
1.8V N-well	rmw, rmw_scr*	LPMOS	970	2.90	5.5
3.3V N+ diffusion	rdn3	LPMOS	61	1.42	3.6
3.3V P+ diffusion	rdp3	LPMOS	125	1.3	3.6
3.3V N-well	rmw3, rmw3_scr*	LPMOS	970	2.90	5.5
5V Deep N-well	rdnwmv	ISOMOS, HVMOS	1500	5.6	5.5

* These devices are only allowed to be used for ESD protection. Please refer to ESD documentation on "My X-FAB".