

PROJETO DE FILTROS IIR A CAPACITORES CHAVEADOS EM CMOS
USANDO SEÇÕES FIR.

Jacqueline Silva Pereira

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. Antonio Petraglia, Ph.D.

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

Prof. Felipe Maia Galvão França, PhD.

Prof. Jorge Lopes de Souza Leão, Dr.Ing.

Prof. Luigi Carro, D.Sc.

Dr. Plutarcho Maravilha Lourenço, D.Sc.

RIO DE JANEIRO, RJ - BRASIL

JUNHO DE 2005

PEREIRA, JACQUELINE SILVA

Projeto e Implementação de Filtros IIR a
Capacitores Chaveados em CMOS Usando Se-
ções FIR. [Rio de Janeiro] 2005

XVI, 142 pp 29,7 cm (COPPE/UFRJ,
D.Sc., Engenharia Elétrica, 2005)

Tese - Universidade Federal do Rio de
Janeiro, COPPE

1.Capacitores Chaveados 2.Forma Direta
3.Filtros Recursivos 4.Fase Linear 5.Filtros
Decimadores 6.Circuito Integrado

I.COPPE/UFRJ II.Título (série)

Agradecimentos

À Deus, por abrir janelas onde achamos que as portas estão fechadas.

À minha mãe e meu irmão, por tudo que sou hoje, pelo suporte, apoio, dedicação e paciência. Sem vocês, eu não seria nada além de um "ponto a mais".

À CAPES, pelo suporte financeiro.

Aos meus orientadores, pela amizade e orientação.

Aos meus amigos, por ajudarem a manter um nível razoável de sanidade mental. Em especial ao Lino, por ser sempre um brilho de sol nos dias mais nublados e à minha eterna amiga Penélope, por estar sempre presente nas horas boas e ruins.

Aos meus amigos e companheiros do laboratório PADS, pela amizade e suporte técnico, especialmente ao Rafael, por quebrar os galhos, ao Joarez pelas trocas de idéias e ensinamentos e ao Pietro pelas "mãozinhas".

Ao Prof. Franco Maloberti, por sua hospitalidade, ensinamentos e boa vontade em me receber em seu laboratório na Universidade do Texas. Aos meus amigos de laboratório, pela ajuda e troca de idéias. À minha "família italiana" (Paolo, Isabella, Marco Ghizzi, Marco Tacca, Alessia, Alessandro, Gloria e Michelle) por terem me recebido de braços abertos. Ao Stefano, por ser meu anjo da guarda.

Ao pessoal do LASPI, pela confecção da placa de testes e empréstimo de equipamentos, ao Fernando do LIF, pelo analisador de espectro, ao Márcio do LEG pelo empréstimo de componentes e ao Malthar e ao Victor, pela programação da PAL. Ao Nelson do laboratório de Microscopia Ótica

À todas as pessoas que de alguma forma contribuíram para realização desse trabalho, muito obrigado.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

PROJETO DE FILTROS IIR A CAPACITORES CHAVEADOS EM CMOS
USANDO SEÇÕES FIR.

Jacqueline Silva Pereira

Junho/2005

Orientadores: Antonio Petraglia

Fernando Antônio Pinto Barúqui

Programa: Engenharia Elétrica

Este trabalho consiste em projetar e testar implementações integradas de filtros a capacitores chaveados (SC) recursivos em processos de fabricação CMOS. A estrutura dos filtros IIR é composta por seções FIR de segunda ordem a fim de reduzir o consumo de potência e obter baixa sensibilidade na faixa de passagem e fase aproximadamente linear. Duas implementações práticas são desenvolvidas: um filtro para especificações em Bluetooth e um filtro decimador, usando as tecnologias de fabricação TSMC 0.18 μm e AMS 0.8 μm , respectivamente. Simulações e comparações com filtros descritos anteriormente na literatura são feitas. Circuitos integrados são projetados e simulações com parâmetros extraídos dos respectivos processos de fabricação são realizadas. O filtro com especificações em Bluetooth foi fabricado e parcialmente testado para verificar seu comportamento.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor in Science (D.Sc.)

DESIGN OF CMOS IIR SWITCHED-CAPACITOR FILTERS USING FIR
SECTIONS.

Jacqueline Silva Pereira

June/2005

Advisors: Antonio Petraglia

Fernando Antônio Pinto Barúqui

Department: Electrical Engineering

This thesis consists of the design and test of recursive switched-capacitor filters in integrated implementations for CMOS fabrication processes. The IIR filter structures is composed of second-order FIR cells in order to reduce power consumption and obtain low-sensitivity at the passband and approximately linear phase. Two practical implementations are developed: a filter for Bluetooth specifications and a decimation filter, for TSMC 0.18 μm and AMS 0.8 μm fabrication technologies, respectively. Simulations and comparisons with filters previously described in the literature are carried out. Integrated circuits are designed and simulations using the respective design processes parameters are shown. The filter for Bluetooth specifications has been fabricated and partially tested to verify its behavior.

Sumário

1	Introdução	1
2	Capacitores Chaveados	5
2.1	Equivalência com Resistor.	5
2.2	Estruturas SC	8
2.3	Filtro FIR na Forma Direta	10
3	Alocação Ótima de Pólos e Zeros	18
4	Filtro para Seleção de Canais em Bluetooth	24
4.1	Introdução	24
4.2	Realização a Capacitores Chaveados	26
4.2.1	Estrutura proposta	27
4.2.2	Protótipo Discreto	31
4.2.3	Análise de Sensibilidade	33
4.3	Comparações com Outros Projetos de Filtros.	35
4.3.1	Projetos <i>Ladder</i>	37
4.3.2	Realização Cascata	42
4.3.3	Realização FIR de Fase Linear	44
4.4	Equalização de Atraso de Grupo	45

4.5	Implementação em Circuito Integrado	47
4.5.1	Amplificador Operacional	48
4.5.2	Chaves Analógicas.	63
4.5.3	Capacitores	67
4.5.4	Layout do Filtro.	68
4.6	Simulações Pós Layout	72
4.7	Testes	74
5	Filtro Decimador	80
5.1	Fundamentos de Processamento Multitaxa	81
5.1.1	Filtros Decimadores e Interpoladores	81
5.2	Identities Nobres	84
5.3	Implementação Polifásica	85
5.4	Realização a Capacitores Chaveados	88
5.4.1	Protótipo Discreto	94
5.4.2	Novo Filtro Decimador	96
5.5	Implementação em Circuito Integrado	100
5.5.1	Amplificadores Operacionais	101
5.5.2	Chaves Analógicas.	110
5.5.3	Capacitores	112
5.5.4	Estágio de saída.	113
5.5.5	Esquema de Observação.	114
5.5.6	Layout do Filtro	116
5.6	Simulações Pós Layout	118
6	Conclusões	124

Referências Bibliográficas	127
A Fotos do Circuito Integrado	135
B A Placa de Testes	139

Lista de Figuras

2.1	Simulação de resistor usando capacitor chaveado.	7
2.2	Cadeia de atrasos utilizando um único amplificador operacional. . . .	11
2.3	Exemplo de filtro FIR na forma direta usando um único amplificador operacional.	13
2.4	Comportamento da célula FIR do exemplo nas fases: (a) ϕ_1 , (b) ϕ_2 , (c) ϕ_3 e (d) ϕ_4	16
3.1	Sensibilidade na faixa de passagem dos filtros com $\omega_p = 0.2$, $\omega_s = 0.3$, $\delta_p = 0.1087$ e $\delta_s \leq 0.001$: (a) $M = 5$, $N = 7$; (b) $M = N = 6$; (c) $M = 7$, $N = 5$; (d) $M = 9$, $N = 3$. Linhas pontilhadas: resposta em frequência ideal; linhas sólidas: curvas de limite superior (β_u) e inferior (β_ℓ).	22
4.1	Exemplo de arquitetura de transceivers usados em Bluetooth.	25
4.2	Diagrama de blocos do filtro IIR SC com especificações em Bluetooth.	27
4.3	Esquemático e diagrama de chaveamento da implementação IIR SC com especificações em Bluetooth proposta.	28

4.4	Respostas em frequência teórica (linha contínua) e experimental (linha pontilhada); no detalhe: zoom na faixa de passagem mostrando o efeito de <i>sample-and-hold</i>	32
4.5	Resposta em frequência da fase do filtro protótipo na faixa de passagem obtida experimentalmente.	33
4.6	Análise de sensibilidade do filtro proposto na faixa de passagem. . . .	34
4.7	Respostas em frequência de filtro proposto: ideal (linha sólida) e com capacitores realizados como múltiplos inteiros de uma capacitância unitária (linha pontilhada).	36
4.8	Respostas em frequência: filtro proposto (linha sólida), elíptico (linha pontilhada) e FIR (linha ponto-traço).	36
4.9	Atraso de grupo na faixa de passagem: filtro proposto (linha sólida), elíptico (linha pontilhada) e FIR (linha ponto-traço).	37
4.10	Diagramas de pólos e zeros para os filtros (a) elíptico e (b) proposto.	38
4.11	Estrutura das realizações <i>ladder</i> LDI e bilinear.	39
4.12	Sensibilidade na faixa de passagem das realizações (a) LDI e (b) bilinear.	41
4.13	Respostas em frequência do filtro <i>ladder</i> bilinear: ideal (linha sólida), e com capacitâncias inteiras (linha pontilhada).	43
4.14	Seções de segunda ordem para a realização cascata.	44
4.15	Atrasos de grupo após equalização com duas seções passa-tudo de segunda ordem para as realizações (a) proposta e (b) <i>ladder</i> (LDI e bilinear).	46

4.16	Atrasos de grupo após equalização com três seções passa-tudo de segunda ordem para as realizações (a) proposta e (b) <i>ladder</i> (ldi e bilinear).	47
4.17	Modelamento do filtro para especificações em Bluetooth.	49
4.18	Modelamento de uma seção de segunda ordem do numerador.	50
4.19	Modelamento da seção de segunda ordem do denominador.	51
4.20	Modelamento do somador.	52
4.21	Respostas em frequência do filtro ideal (linha sólida) e modelado (linha pontilhada).	52
4.22	Estrutura básica em cascode dobrado escolhida para o OTA de projeto.	53
4.23	Dispositivos de controle de modo comum: (a) ideal e (b) discreto.	54
4.24	Circuitos para a geração das tensões de polarização: (a) V_{b3} e (b) $V_{b4a,b4b}$.	56
4.25	Estrutura interna do OTA, mostrando o circuito de controle de modo comum.	57
4.26	Circuito de polarização dinâmica.	60
4.27	Estrutura interna completa do OTA incluindo circuito de polarização dinâmica.	62
4.28	Layout do OTA projetado, sem as chaves do CMFB.	63
4.29	Efeito sobre as condutâncias de chaves MOS devido à diminuição da tensão de alimentação.	66
4.30	Layout da <i>Chave1</i> .	67
4.31	Layout do banco de capacitores da célula 3.	69
4.32	Esquema de layout do filtro.	69

4.33	Layout da célula 2.	71
4.34	Diagrama esquemático do buffer de saída.	72
4.35	Layout final do filtro.	73
4.36	Respostas em frequência da saída de cada célula simuladas com parâmetros extraídos.	74
4.37	Respostas em frequência ideal (linha sólida) e simulada com parâmetros extraídos (linha pontilhada) do denominador do filtro.	74
4.38	Respostas em frequência ideal (linha sólida) e simulada com parâmetros extraídos (linha pontilhada).	75
4.39	Respostas em frequência obtidas experimentalmente com o circuito integrado fabricado.	77
4.40	Respostas em frequência simuladas quanto ao pior caso de velocidade.	78
5.1	Símbolos para (a) <i>Down-sampler</i> e (b) Filtro Decimador.	82
5.2	Símbolos para (a) <i>Up-sampler</i> e (b) Filtro Interpolador.	84
5.3	Diagrama esquemático da <i>primeira identidade nobre</i>	84
5.4	Diagrama esquemático da <i>segunda identidade nobre</i>	85
5.5	Implementação eficiente de um filtro decimador.	87
5.6	Resposta em frequência teórica, antes da decimação.	89
5.7	Magnitude do espectro de saída com um ruído branco de entrada, ilustrando o efeito de <i>aliasing</i> causado pela redução da taxa de amostragem.	90
5.8	(a)Diagrama esquemático do filtro decimador; (b)Célula <i>track-and-hold</i> para implementação de meio atrasos.	91
5.9	Sensibilidade do filtro decimador proposto na faixa de passagem.	93

5.10	Sensibilidade do filtro elíptico de quinta ordem na forma cascata.	94
5.11	Espectro de saída medido.	95
5.12	Característica de fase do espectro de saída medido na faixa de passagem.	96
5.13	Respostas em frequência teóricas: (a) antes da decimação e (b) após a decimação	97
5.14	Diagrama esquemático do filtro decimador proposto.	99
5.15	Respostas em frequência do filtro depois decimação sem efeito de <i>aliasing</i> (linha sólida) e com efeito de <i>aliasing</i> (linha pontilhada) e capacitores aproximados por valores inteiros de capacitâncias unitárias.	99
5.16	Estrutura interna do OTA.	102
5.17	Estrutura de testes para os OTAs do filtro decimador.	103
5.18	Resposta do OTA, no tempo, a um degrau de tensão aplicado em $t = t_0$ na entrada.	104
5.19	Layout do OTA para carga de $0.6 pF$	109
5.20	Layout da <i>Chave1</i>	111
5.21	Layout do banco de capacitores do somador do numerador.	113
5.22	Estrutura interna dos OTAs usados no estágio de saída.	114
5.23	Diagrama esquemático do estágio de saída do decimador integrado.	115
5.24	Layout do estágio de saída.	116
5.25	Diagrama esquemático do circuito de observação.	116
5.26	Layout do esquema de observação.	117
5.27	Diagrama esquemático do layout do decimador.	118
5.28	Layout de um bloco de atraso.	119
5.29	Layout final do filtro decimador.	120

5.30	Performance simulada dos OTAs: (a) tempo de estabilização e (b) tensão de modo comum.	121
5.31	Respostas em frequência teórica (linha sólida) e simulada com parâmetros extraídos do processo de fabricação (linha pontilhada): (a) $E_0(z)/D(z)$, (b) $E_1(z)/D(z)$ (c) $E_2(z)/D(z)$	122
5.32	Respostas em frequência do filtro decimador: ideal (linha sólida) e simulada usando parâmetros extraídos do processo de fabricação (linha pontilhada).	123
A.1	Fotos do chip fabricado.	135
A.2	Detalhe interno do chip, mostrando um OTA fabricado.	136
A.3	Detalhe interno do chip fabricado, mostrando as chaves analógicas e o banco de capacitores do buffer de saída.	137
A.4	Foto do circuito fabricado, tirado usando um microscópio ótico.	138
B.1	Foto da placa de testes.	140
B.2	Foto da placa de testes.	140
B.3	Floorplan da placa de testes.	141

Lista de Tabelas

4.1	Coeficientes de filtro para especificações em Bluetooth.	27
4.2	Valores de capacitâncias ideais para o filtro com especificações em Bluetooth.	30
4.3	Valores de capacitâncias expressos como múltiplos de um capacitor de valor unitário para o filtro com especificações em Bluetooth.	35
4.4	Capacitâncias ideais e expressas como múltiplo inteiro de capacitor unitário para as realizações LDI e bilinear.	40
4.5	Comparação entre realizações.	42
4.6	Variação do atraso de grupo diferencial, em amostras, como função do número de seções equalizadoras passa-tudo de segunda ordem.	47
4.7	Dimensões dos transistores (W e L , em μm) para os OTAs do filtro com especificações em Bluetooth.	59
4.8	Performance dos OTAs projetados para o filtro com especificações em Bluetooth.	64
4.9	Dimensões das chaves projetadas para o filtro Bluetooth.	66
5.1	Coeficientes do filtro proposto ($M = 7$ e $N = 3$) antes da decimação.	89
5.2	Valores dos coeficientes ideais do filtro decimador e capacitâncias (em nF) usadas no protótipo discreto.	92

5.3	Coeficientes de $H(z)$, $E_\ell(z)$ e $D(z)$	98
5.4	Valores de capacitâncias implementados, expressos como múltiplos inteiros do capacitor unitário ($0.1 pF$).	100
5.5	Dimensões dos transistores (W e L) e correntes de polarização para OTAs usados no filtro decimador.	108
5.6	Performance dos OTAs do circuito decimador.	110
5.7	Dimensões das chaves projetadas para o filtro decimador.	111
5.8	Dimensões dos transistores (W e L) e correntes de polarização para OTAs usados no estágio de saída do filtro decimador.	115

Capítulo 1

Introdução

Técnicas de projeto de redes a capacitores chaveados (SC) têm sido extensivamente usadas em aplicações analógicas em circuitos integrados. Os avanços nos sistemas de telecomunicação abriram novas oportunidades para filtros SC de alta precisão, tais como no estágio de processamento de sinais analógicos de frequência intermediária (IF), onde a filtragem passa-baixa é necessária para reduzir a banda do sinal antes da conversão analógico-digital [1] e em transmissão de dados de vídeo de alta velocidade [2]. Em tais casos, para reduzir a interferência entre símbolos, a linearidade na resposta de fase é um requisito adicional [1]. Por isso, uma estrutura com fase aproximadamente linear na faixa de passagem torna-se uma solução cujos resultados podem aproximar-se do desejado, com a vantagem de ter ordem de realização perfeitamente implementável [3]-[4]. Estas tendências motivam a busca por novas técnicas de circuito que permitam altos níveis de integração e baixo consumo de potência, mantendo a mesma performance desejada. Além disto, uma vez que a acurácia em circuitos analógicos depende dos parâmetros físicos do processo de fabricação, topologias de baixa sensibilidade são necessárias para manter a performance

apesar da variação de tais parâmetros.

Filtros de resposta infinita ao impulso (IIR - *Infinite Impulse Response* - também chamados de recursivos), a capacitores chaveados na forma direta têm sido normalmente evitados em aplicações práticas devido à grande sensibilidade da função de transferência devido a variações nas razões de capacitâncias. Por ser extremamente dependente da localização dos pólos, tal sensibilidade aumenta significativamente com o aumento da ordem da função de transferência, particularmente no caso das aproximações elípticas, fazendo o uso de filtros SC IIR impraticáveis em várias aplicações interessantes. Uma vez que seções de primeira e segunda ordem na forma direta podem ser cascadeadas para implementar funções de transferência de ordem mais alta, a seção que realiza os pólos mais próximos do círculo unitário pode comprometer a performance de todo o filtro. Conseqüentemente, apesar de alguns autores terem identificado inúmeras vantagens práticas das estruturas SC na forma direta, tais como redução no consumo de potência, baixo ruído e potencial de multiplexação de dois ou mais filtros [5], [6], o estudo desta classe fundamental de filtros têm se restringido a livros texto [7], [8], uma vez que os coeficientes da função de transferência de uma realização dita direta oferecem uma introdução natural a estruturas de filtragem mais sofisticadas.

O projeto de filtros IIR SC é usualmente baseado em alguma transformação s - z de aproximações analógicas clássicas levando a funções de transferência cuja ordem do numerador é igual a do denominador. Entretanto, foi recentemente mostrado que formulando-se o problema no domínio z para produzir funções de transferência cuja ordem do denominador é menor que a do numerador, a desejada baixa sensibilidade pode ser alcançada com uma estrutura na forma direta [9].

Uma importante operação em redes SC é a redução da taxa de amostragem, uma vez que permite o uso de amplificadores operacionais com banda estreita, diminuindo o consumo de potência. Outra consequência da redução da taxa de amostragem é a redução na dispersão dos capacitores [10], [11], contribuindo para um alívio nos requisitos da largura de banda do amplificador operacional. A otimização de filtros SC, entretanto, implica que em cada estágio a taxa de amostragem deve ser mantida a mais próxima possível do dobro da componente de frequência mais elevada do sinal de banda básica. Em geral, estruturas convencionais de filtros SC, não obedecem esta regra básica.

O principal objetivo deste trabalho é introduzir uma nova estrutura para filtros IIR SC, assim como realizado em [12], [13], fazendo uso da alocação ótima de pólos e zeros [14]-[15], para que sejam obtidas funções de transferência com denominadores de ordem baixa. Isto é particularmente importante para reduzir o desvio na resposta em frequência causado por imprecisões nas razões de capacitores. O foco deste trabalho é dado em realizações práticas IIR integradas de um filtro para seleção de canais em Bluetooth e um filtro decimador, tirando proveito da simplicidade e vantagens da forma direta e obtendo baixa sensibilidade a erros nas razões de capacitâncias na faixa de passagem. Além disto, ambos filtros apresentaram uma resposta de fase mais linear e menor dispersão de capacitâncias e consumo de potência, comparado com implementações mais utilizadas no projeto de redes SC. Estima-se redução no consumo de potência de 22% e 91 % e redução na dispersão de capacitâncias de aproximadamente 63 % e 84 % comparando com redes *ladder* bilinear e redes cascata, respectivamente. Comparações quanto à equalização de atraso de grupo mostram que a nova estrutura atinge a mesma performance das realiza-

ções elípticas (cascata e *ladder*) com menos seções equalizadoras. Maiores detalhes, ver Tabelas 4.5 e 4.6. Tais resultados tornam a aproximação proposta neste trabalho uma alternativa viável em aplicações modernas de filtragem analógica, uma vez que baixo consumo de potência e redução de área de silício são cruciais nas atuais implementações microeletônicas.

Capítulo 2

Capacitores Chaveados

Filtros a capacitores chaveados têm sido extensivamente utilizados para implementar filtros analógicos com tecnologia de circuitos integrados, uma vez que suas características são determinadas exclusivamente por um sinal de clock estável e razões de capacitores. Por esta razão, têm sido utilizados em casos em que se exija rapidez do processamento do sinal e baixa potência, pois não necessitam de conversores A/D e/ou D/A, como no caso de filtros digitais. Em modulação de sinais, sistemas digitais de transmissão de voz, e em sistemas de telecomunicações, os filtros SC são aplicáveis devido à necessidade de se ter estágios de circuitos integráveis com ótimo desempenho e que ocupem espaços reduzidos.

2.1 Equivalência com Resistor.

Classicamente, filtros analógicos de qualidade e baixa sensibilidade são realizados como redes passivas RLC, porém, indutores são, fisicamente, grandes dispositivos, que, além de ruidosos, apresentam perdas elétricas dificultando seu uso em implementações de circuitos integrados. Apesar disso, em aplicações onde não é

possível substituí-los por um circuito equivalente, como, por exemplo, em estágios de RF, implementações em circuitos integrados têm surgido com frequência.

Uma solução encontrada foi substituir os indutores na redes RLC por elementos ativos, resultando em filtros ativos RC, utilizando amplificadores operacionais, resistores e capacitores. Entretanto, a tecnologia de integração de circuitos não consegue gerar valores absolutos de resistores e capacitores suficientemente acurados, uma vez que o produto RC necessita ser bastante acurado para que o filtro funcione como desejado. Além disto, implementações em circuitos integrados são comumente usadas em aplicações de áudio e voz, implicando em constantes de tempo RC maiores, o que leva a elevados valores de resistores e capacitores, ocupando uma área muito grande de circuito integrado. Outro problema é o fato dos resistores integrados apresentarem baixa linearidade e alta sensibilidade com variação de temperatura.

Para superar tais dificuldades, a emulação de resistores pode ser obtida usando chaves e capacitores, fazendo com que a performance do filtro seja determinada apenas por razões de capacitores, tornando mais fácil a integração e melhorando a acurácia, dependente apenas de sinais de clock estáveis e parâmetros do processo de fabricação, uma vez que só a razão entre capacitores é determinante e não seus valores absolutos. Circuitos compostos por capacitores, chaves e amplificadores operacionais são chamados de *circuitos a capacitores chaveados* (SC) [16].

Uma das vantagens de filtros SC é a substituição do resistor pelo capacitor chaveado, fundamentado na amostragem do sinal e na transferência de cargas entre os capacitores do filtro através do chaveamento dos mesmos. Tal técnica baseia-se na verificação de que um capacitor chaveado entre dois nós de um circuito, funcionando

a uma dada taxa de amostragem, equivale à conexão de um resistor entre estes dois nós. Para entender tal equivalência, considere, como exemplo, o circuito da Fig. 2.1, analisado sob o ponto de vista da transferência de cargas.

No circuito da Fig. 2.1, durante um intervalo de tempo T , o capacitor C será carregado com a tensão V_1 durante a fase ϕ_1 e com a tensão V_2 durante a fase ϕ_2 , cuja carga armazenada no capacitor em cada fase é CV . Sendo assim, a variação da carga sobre o capacitor C durante o intervalo de tempo T , é descrita por:

$$\Delta q = C(V_1 - V_2) \quad (2.1)$$

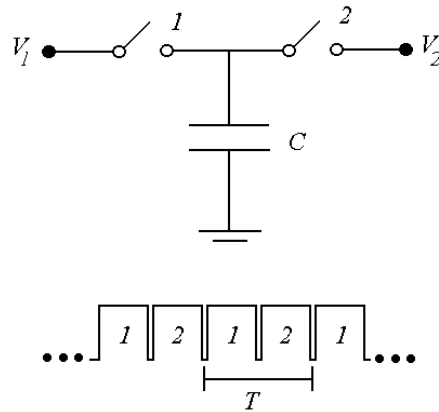


Figura 2.1: Simulação de resistor usando capacitor chaveado.

Como o fluxo de cargas ocorre durante pulsos estreitos no início de cada fase de clock, é possível definir uma corrente média I_{med} como a variação de cargas Δq em cada período de clock T , dividido por T :

$$I_{med} = \frac{\Delta q}{T} = \frac{V_1 - V_2}{T/C}. \quad (2.2)$$

Desta forma, o circuito da Fig. 2.1 se comporta, na média, como um resistor de valor

$$R = \frac{T}{C} \quad (2.3)$$

conectado entre V_1 e V_2 . Desta forma, as chaves transformam, fisicamente, o capacitor C , um elemento não dissipativo de memória, em um elemento sem memória dissipativo, no caso, um resistor.

2.2 Estruturas SC

Diferentes técnicas de projeto de filtros a capacitores chaveados têm sido empregadas, tais como o chamado projeto aproximado, que parte de um protótipo RLC contínuo e utiliza transformações como a LDI (*Lossless Discrete Integrator*) e bilinear, para mapear o plano s no plano z , permitindo que a realização discreta mantenha as mesmas características de baixa sensibilidade da realização contínua. O projeto exato, que é feito diretamente no plano z , aproveita técnicas associadas a filtros digitais [7], sem necessidade de aproximações.

Várias estruturas podem ser empregadas na implementação de filtros SC, tais como a forma cascata, *biquads*, redes *ladder* e forma direta.

A forma cascata é realizada através de blocos básicos conectados em cascata para obter a ordem desejada, obtidos a partir do desmembramento da função de transferência em funções básicas menores, facilmente implementáveis em circuitos SC. Apesar da facilidade de construção, apresenta problemas quanto a faixa dinâmica, necessitando de uma boa distribuição do ganho pelos blocos componentes para que não haja grandes atenuações entre os mesmos. Além disto, um erro em uma seção irá se repercutir nas demais, possivelmente amplificado.

Biquads são seções com função de transferência biquadrática, comumente utilizadas em filtros SC, que podem ser cascadeados para gerar funções de ordem mais elevada. Porém, para filtros de ordem elevada, alguns pólos podem possuir

Q_s elevados, tornando as sensibilidades dos elementos das correspondentes seções excessivamente altas para a integração.

Redes *ladder* possuem baixa sensibilidade, uma vez que são realizadas a partir de um protótipo RLC contínuo, porém podem apresentar distorções na resposta em frequência devido a natureza não linear da transformação utilizada.

A forma direta oferece vantagens ao projeto de filtros SC, tais como rejeição de ruído do amplificador MOS e potência de ruído abaixo da metade da taxa de amostragem, menor área de silício e potencial para multiplexar dois ou mais filtros [5]. Por tratar-se de um projeto exato (isto é, feito diretamente em z), não apresenta problemas de distorção na resposta em frequência devido às terminações resistivas, como no caso de redes *ladder* LDI (Lossless Discrete Integrator), além de possuir reduzida complexidade.

Apesar de atrativa, na prática, a forma direta é geralmente evitada em implementações recursivas (IIR), devido à alta sensibilidade da resposta em frequência do filtro aos coeficientes do denominador, que são realizados por razões de capacitâncias. Por ser extremamente dependente da localização dos pólos, esta sensibilidade aumenta substancialmente com a ordem da função de transferência, principalmente em aproximações elípticas, inviabilizando a implementação de filtros recursivos a capacitores chaveados na forma direta em várias implementações interessantes. Enquanto seções de primeira e segunda ordem na forma direta podem ser cascateadas para implementar funções de transferência de ordem alta, a seção que realiza os pólos mais próximos do círculo unitário pode comprometer a performance do filtro inteiro. Conseqüentemente, apesar de alguns autores identificarem várias vantagens dos filtros SC na forma direta [5], o estudo desta classe de filtros tem se restrin-

gido a livros textos, uma vez que a realização direta dos coeficientes da função de transferência oferece uma introdução natural a estruturas mais sofisticadas.

Entretanto, como demonstrado em trabalhos recentes [12], [13], [17], é possível um uso eficiente da forma direta em implementações recursivas SC, que fazem uso de células FIR na forma direta de ordem baixa que utilizam um único amplificador operacional multiplexado no tempo, cascadeadas, a fim de produzir a função de transferência desejada do filtro. Tais células são também usadas neste trabalho e são descritas nas seções seguintes.

2.3 Filtro FIR na Forma Direta

Um filtro SC na forma direta pode ser realizado por uma ou mais cadeias de atrasos ponderadas, seguidas por um somador, onde os coeficientes do filtro são os elementos ponderadores. Tal estrutura, baseada em um esquema de clock bifásico, é propensa a sofrer de alta dispersão nos coeficientes do filtro. Além disso, necessita de um grande número de amplificadores operacionais para realizar n zeros, o que faz com que a dissipação de potência e a área numa implementação em circuito integrado sejam consideravelmente grandes.

Um método para contornar tais problemas, diminuindo o número de amplificadores operacionais usados, é descrito em [18], substituindo a típica cadeia de atrasos bifásica por um esquema de chaveamento multifase, possibilitando a multiplexação no tempo dos amplificadores operacionais. A Fig. 2.2 apresenta uma cadeia de atrasos multifase, como proposto em [18], cujo funcionamento é descrito a seguir.

Definindo cada conjunto de chaves e capacitores conectados entre a entrada

$k=1,\dots,4$, representa a tensão armazenada no capacitor j durante a fase ϕ_k .

$$\begin{aligned}
V_{o1} &= V_{C1}^1 = \frac{C_2}{C_1} V_{C_2}^4 z^{-1/4} \\
V_{o2} &= V_{C2}^2 = \frac{C_3}{C_2} V_{C_3}^1 z^{-1/4} \\
V_{o3} &= V_{C3}^3 = \frac{C_4}{C_3} V_{C_4}^2 z^{-1/4} \\
V_{o4} &= V_{C4}^4 = \frac{C_0}{C_4} V_{C_0}^3 z^{-1/4}
\end{aligned} \tag{2.4}$$

onde

$$\begin{aligned}
V_{C0}^3 &= V_{in} z^{-2/4} \\
V_{C2}^4 &= V_{C2}^2 z^{-2/4} = \frac{C_0}{C_4} \frac{C_4}{C_3} \frac{C_3}{C_2} V_{in} z^{-11/4} \\
V_{C3}^1 &= V_{C3}^3 z^{-2/4} = \frac{C_0}{C_4} \frac{C_4}{C_3} V_{in} z^{-8/4} \\
V_{C4}^2 &= V_{C4}^4 z^{-2/4} = \frac{C_0}{C_4} V_{in} z^{-5/4}
\end{aligned} \tag{2.5}$$

O atraso entre dois estgios subseqentes  de $3/4$ de perodo so causados pela diferena entre as fases de amostragem da entrada e sada. Tal cadeia de atrasos pode ser aumentada para se obter uma maior ordem, bastando apenas adicionar mais capacitores e gerar o correspondente nmero de fases. Porm, o conseqente aumento no nmero de fases implica em um menor tempo de estabilizao do amplificador operacional.

Um filtro FIR na forma direta  realizado por uma cadeia de atrasos seguida de uma soma ponderada onde os coeficientes do filtro (no caso, as razes entre capacitncias) so os elementos ponderadores. A soluo proposta em [18], [19] consiste em adicionar um estgio de ganho de mltiplas entradas  cadeia de atrasos da Fig. 2.2, fazendo com que a soma seja realizada dentro da cadeia de atrasos para que a clula resultante utilize apenas um nico amplificador operacional.

Analisando o funcionamento da cadeia de atrasos descrita acima, pode-se notar que, se mais de um sinal de entrada estiver conectado ao nó de terra virtual do amplificador operacional durante o carregamento de um determinado capacitor, este armazenará a soma de todas as entradas aplicadas simultaneamente. Então, os estágios seguintes irão amostrar e transferir o sinal previamente somado. Para se obter um filtro FIR na forma direta, a soma deve ser realizada no último estágio da cadeia de atrasos. Desta forma, é possível desenvolver um filtro FIR a partir da cadeia de atrasos da Fig. 2.2. Como exemplo, a Fig. 2.3 apresenta um filtro FIR de segunda ordem, obtido através da adição de dois capacitores (C_5 e C_6) entre as saídas dos dois primeiros estágios da cadeia de atrasos e o nó de terra virtual do capacitor C_1 , que, com a finalidade de apresentar uma estrutura mais regular, foi colocado junto ao novo grupo de capacitores.

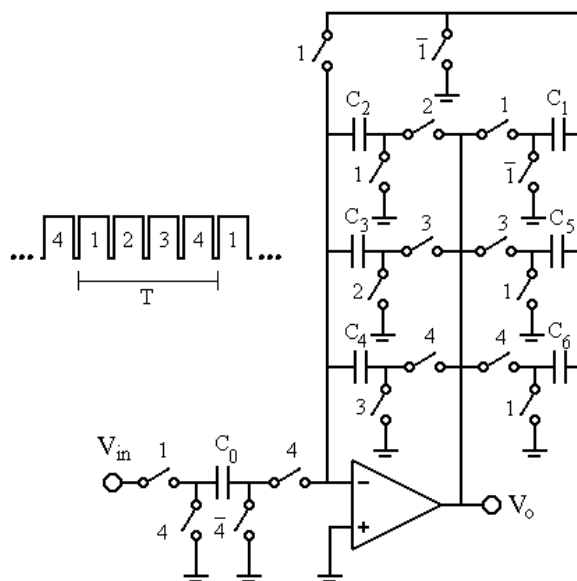


Figura 2.3: Exemplo de filtro FIR na forma direta usando um único amplificador operacional.

Devido ao fato de os capacitores C_2 , C_5 e C_6 serem descarregados durante

a mesma fase, os atrasos fracionais são arredondados para o número inteiro mais próximo. Sendo assim, o atraso do primeiro estágio é arredondado para 1 período enquanto o penúltimo gera um atraso máximo de 3 períodos. Conseqüentemente, um atraso excedente de um período de clock se faz presente em cada estágio. Por isso, a ordem efetiva do filtro é igual ao número de fases menos dois.

Da mesma forma que para o atraso, o funcionamento da célula FIR é melhor visualizado estudando o comportamento da estrutura em cada fase e levantado as equações das correspondentes saídas do amplificador, a fim de uma melhor visualização das trocas de cargas e o caminho que o sinal percorre dentro da célula. Assume-se que o amplificador operacional seja ideal. A Fig. 2.4 mostra o comportamento da estrutura em cada fase de clock. As saídas em cada fase são dadas por:

Fase ϕ_1 :

$$V_0^1 = \frac{C_6}{C_1}V_{C_6}^4z^{-1/4} + \frac{C_5}{C_1}V_{C_5}^4z^{-1/4} + \frac{C_2}{C_1}V_{C_2}^4z^{-1/4} + V_{C_1}^4z^{-1/4} \quad (2.6)$$

$$V_{C_0}^1 = V_{in}$$

$$V_{C_1}^1 = V_0^1$$

$$V_{C_2}^1 = V_{C_5}^1 = V_{C_6}^1 = 0$$

$$V_{C_3}^1 = V_{C_3}^4z^{-1/4}$$

$$V_{C_4}^1 = V_{C_4}^4z^{-1/4}$$

Fase ϕ_2 :

$$V_0^2 = \frac{C_3}{C_2} V_{C_3}^1 z^{-1/4} + V_{C_2}^1 z^{-1/4} \quad (2.7)$$

$$V_{C_0}^2 = V_{C_0}^1 z^{-1/4}$$

$$V_{C_1}^2 = V_{C_3}^2 = V_{C_5}^2 = V_{C_6}^2 = 0$$

$$V_{C_2}^2 = V_0^2$$

$$V_{C_4}^2 = V_{C_4}^1 z^{-1/4}$$

Fase ϕ_3 :

$$V_0^3 = \frac{C_4}{C_3} V_{C_4}^2 z^{-1/4} + V_{C_3}^2 z^{-1/4} \quad (2.8)$$

$$V_{C_0}^3 = V_{C_0}^2 z^{-1/4}$$

$$V_{C_1}^3 = V_{C_4}^3 = V_{C_6}^3 = 0$$

$$V_{C_2}^3 = V_{C_2}^2 z^{-1/4}$$

$$V_{C_3}^3 = V_{C_5}^3 = V_0^3$$

Fase ϕ_4 :

$$V_0^4 = \frac{C_0}{C_4} V_{C_0}^3 z^{-1/4} + V_{C_4}^3 z^{-1/4} \quad (2.9)$$

$$V_{C_0}^4 = V_{C_1}^4 = 0$$

$$V_{C_2}^4 = V_{C_2}^3 z^{-1/4}$$

$$V_{C_3}^4 = V_{C_3}^3 z^{-1/4}$$

$$V_{C_4}^4 = V_{C_6}^4 = V_0^4$$

$$V_{C_5}^4 = V_{C_5}^3 z^{-1/4}$$

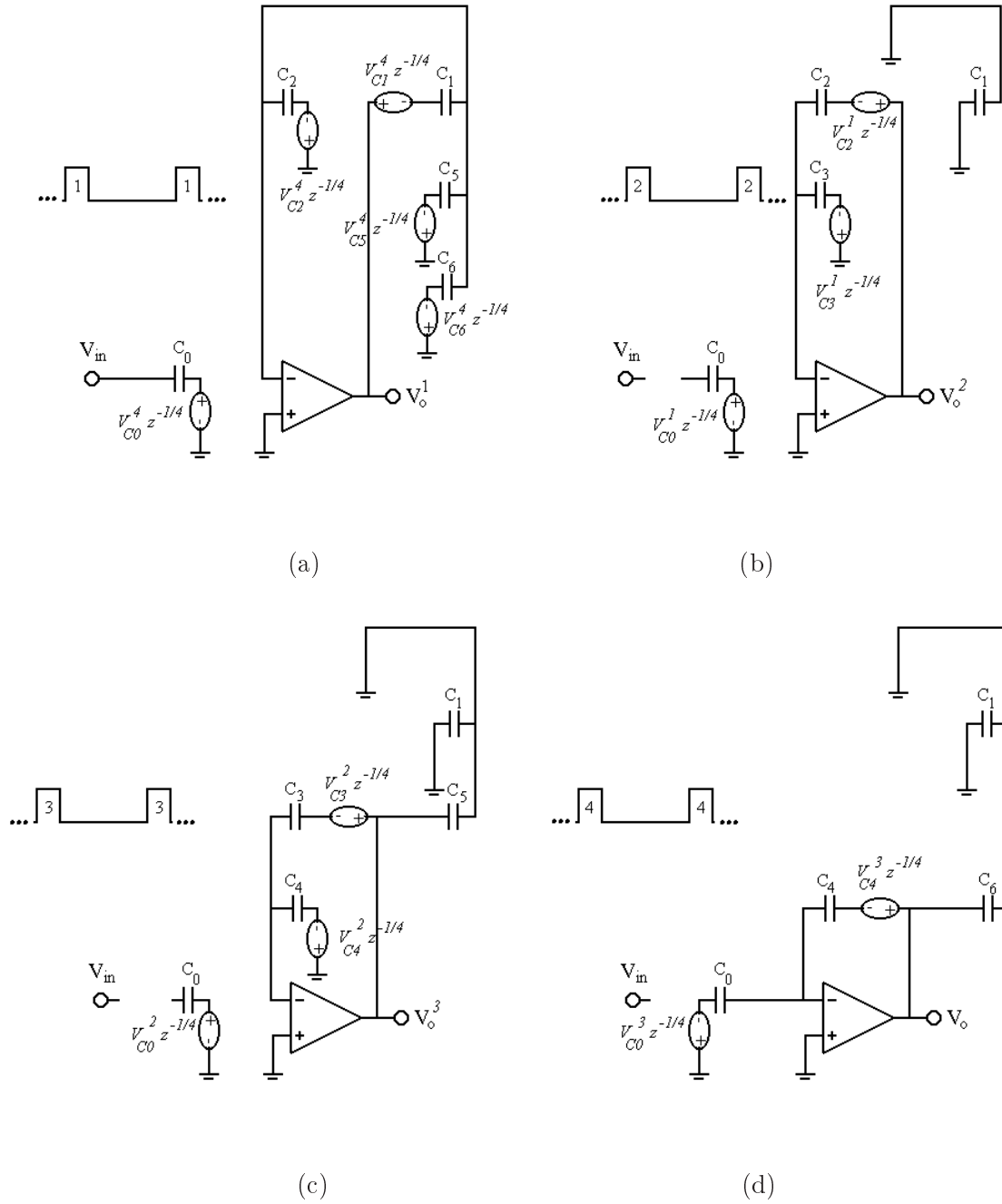


Figura 2.4: Comportamento da célula FIR do exemplo nas fases: (a) ϕ_1 , (b) ϕ_2 , (c) ϕ_3 e (d) ϕ_4 .

A função de transferência da célula FIR pode ser obtida resolvendo o sistema de equações acima, levando à expressão:

$$H(z) = \frac{C_0}{C_1} z^{-1} \left(\frac{C_6}{C_4} + \frac{C_5}{C_3} z^{-1} + z^{-2} \right). \quad (2.10)$$

Os três coeficientes desta célula de segunda ordem são determinados exclusivamente pelos capacitores C_1 , C_5 e C_6 , e os demais devem ter valores tais para se obter uma máxima faixa dinâmica. Da mesma forma que no caso da cadeia de atrasos, a célula de segunda ordem pode ser expandida para ordens mais elevadas, acrescentando mais estágios e gerando o número de fases necessário. Convém observar que o aumento no número de fases diminui o tempo de estabilização do amplificador operacional. Além disso, quanto maior a ordem do filtro FIR, maior será o espalhamento dos coeficientes.

Capítulo 3

Alocação Ótima de Pólos e Zeros

Para uma grande classe de filtros, tais como os filtros clássicos de Butterworth, Chebyshev e elíptico, os polinômios do numerador e denominador possuem a mesma ordem. Porém, existem alguns procedimentos de projeto baseados no posicionamento ótimo de pólos e zeros que leva a polinômios de ordens diferentes. Em termos de complexidade computacional, tais projetos são mais eficientes até mesmo que os projetos elípticos, quando consideradas especificações de banda estreita e larga, oferecendo a possibilidade de se escolher as ordens do numerador e denominador de forma a se obter uma pequena variação na resposta em frequência de um filtro recursivo.

A função de transferência de um filtro SC recursivo, avaliada no círculo unitário, pode ser escrita como:

$$H(\omega) = \frac{A(\omega)}{B(\omega)}, \quad (3.1)$$

onde $A(\omega) = \sum_{k=0}^{M-1} a_k e^{-j\omega k}$ e $B(\omega) = 1 - \sum_{k=1}^{N-1} b_k e^{-j\omega k}$. É possível implementar eficientemente um filtro SC recursivo usando-se dois filtros transversais - um no caminho direto, realizando os coeficientes a_k , e outro no caminho de realimentação,

realizando os coeficientes b_k - utilizando a mesma cadeia de atraso, oferecendo uma série de características atraentes à esta realização. Devido às flutuações em torno dos valores nominais de a_k e b_k quando da realização dos coeficientes, os pólos e zeros da função de transferência implementada irão diferir dos pólos e zeros desejados, levando à um desvio $\Delta H(\omega)$ na resposta em frequência. A função de transferência implementada pode ser escrita como

$$\hat{H}(\omega) = H(\omega) + \Delta H(\omega). \quad (3.2)$$

Simulações extensivas [9] indicaram que $|\Delta H(\omega)|$ é, para cada frequência ω , uma variável aleatória de Rayleigh, com função densidade de probabilidade dada por

$$f_{|\Delta H(\omega)|}(x) = \begin{cases} (2x/\lambda(\omega)) \exp\{-x^2/\lambda(\omega)\}, & x \geq 0 \\ 0, & x < 0 \end{cases} \quad (3.3)$$

onde

$$\lambda(\omega) = \begin{cases} \sigma_b^2(N-1)/|B(\omega)|^2, & \omega \in [0, \omega_p] \\ \sigma_a^2 M/|B(\omega)|^2, & \omega \in [\omega_s, \pi] \end{cases} \quad (3.4)$$

onde $\sigma_a = \sigma_u \sum_{k=0}^{M-1} |a_k|/M$, $\sigma_b = \sigma_u \sum_{k=1}^{N-1} |b_k|/(N-1)$, e σ_u é o desvio padrão do erro em termos de razão de capacitâncias unitárias.

Normalmente, o desvio da resposta em frequência na faixa de passagem aumenta com o aumento na ordem do denominador, uma vez que N aumenta e $|B(\omega)|$ diminui para cada $\omega \in \omega_p$, já que a distância dos pólos ao círculo unitário na faixa de passagem é menor que um.

Da Eq. 3.2, é possível escrever os seguintes limites para a função de transferência implementada

$$|H(\omega)| - |\Delta H(\omega)| \leq |\hat{H}(\omega)| \leq |H(\omega)| + |\Delta H(\omega)|, \quad (3.5)$$

para todo ω . Usando a função densidade de probabilidade de 3.3, a probabilidade de $|\Delta H(\omega)|$ possuir valores dentro de um dado intervalo pode ser calculada. Em particular,

$$\begin{aligned} P|\Delta H(\omega)| \leq r\sigma_{|\Delta H|}(\omega) &= \int_0^{r\sigma_{|\Delta H|}(\omega)} (\omega) f_{|\Delta H(\omega)|}(x) dx \\ &= 1 - \exp(\pi/4 - 1)r^2, \end{aligned} \quad (3.6)$$

onde r é um número real positivo. Para $r = 5$, a probabilidade acima é igual a 0.995, de forma que, com grande probabilidade,

$$\beta_\ell(\omega) \leq |\hat{H}(\omega)| \leq \beta_u(\omega), \quad (3.7)$$

onde

$$\beta_\ell(\omega) = |H(\omega)| - 5[(1 - \pi/4)\lambda(\omega)]^{1/2} \quad (3.8)$$

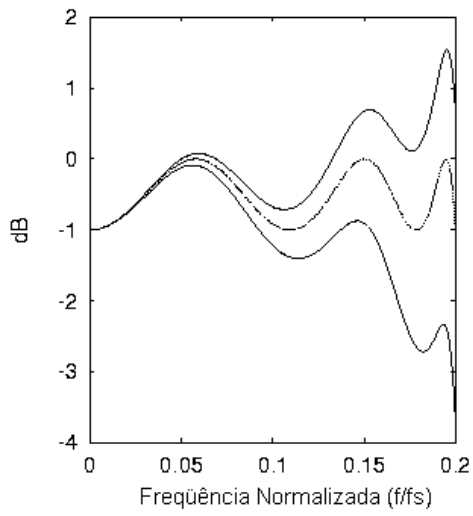
e

$$\beta_u(\omega) = |H(\omega)| + 5[(1 - \pi/4)\lambda(\omega)]^{1/2}, \quad (3.9)$$

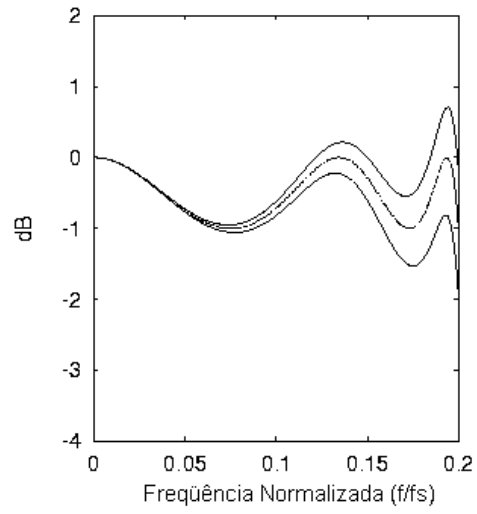
que determinam, respectivamente, as curvas de limite inferior e superior que englobam as respostas em frequência factíveis, considerando-se os erros nas razões de capacitâncias. Analisando as Eqs. 3.4, 3.8 e 3.9, pode-se concluir que uma diminuição em N reduz a sensibilidade na faixa de passagem, mas é necessário aumentar M para manter a atenuação na faixa de rejeição, o que, por sua vez, aumenta o desvio da resposta em frequência na faixa de rejeição. Existe, então, um compromisso que determina um limite superior para as ordens do denominador e numerador a fim de se obter uma baixa sensibilidade. O exemplo a seguir ilustra o procedimento para encontrar um filtro ótimo, comparando-se as curvas limite obtidas para diferentes funções de transferência.

A Fig. 3.1 mostra as curvas $\beta_\ell(\cdot)$ e $\beta_u(\cdot)$ na faixa de passagem para quatro projetos de filtros diferentes, todos com os mesmos parâmetros nominais $\omega_p = 0.2$, $\omega_s = 0.3$, *ripple* na faixa de passagem de 1dB ($\delta_p = 0.1087$) e atenuação de 60dB na faixa de rejeição ($\delta_s = 0.001$) [15]. Assume-se que $\sigma_\epsilon = 0.001$ para os erros nas razões de capacitâncias unitárias. Cada gráfico mostra três curvas: a resposta em frequência ideal (em linhas pontilhadas) e as curvas limite (em linhas sólidas). Pode-se notar que as figuras também incluem o projeto elíptico (Fig. 3.1 .b). Como ressaltado acima, podemos comprovar que uma redução em N reduz a sensibilidade na faixa de passagem, sendo necessário aumentar M para manter a atenuação na faixa de rejeição. Além disso, $|B(\omega)|$ diminui na faixa de rejeição conforme se diminui o número de pólos, uma vez que, para este exemplo, as distâncias da maioria dos pólos aos pontos do círculo unitário correspondentes à faixa de rejeição são maiores do que um.

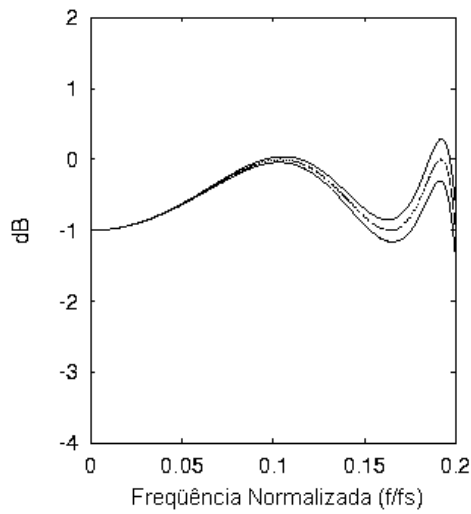
Como pode ser observado, o preço de uma baixa sensibilidade é uma cadeia de atrasos mais longa, uma vez que o filtro elíptico de quinta ordem necessitaria de 5 atrasos unitários, enquanto que o menos sensível faria uso de 8 atrasos para implementar os coeficientes do numerador. No caso extremo, um filtro FIR de fase linear que satisfaça às especificações teria comprimento 22 (isto é, ordem 21), porém, deve-se ressaltar que quanto maior a cadeia de atrasos, maior o ruído acumulado pelo sinal sendo transferido de um estágio para outro. É particularmente importante para aplicações de baixa tensão e baixa potência determinar um compromisso que defina um limite superior para as ordens do denominador e numerador a fim de se obter baixa sensibilidade e ruído, uma vez que, nestas aplicações, o ganho finito do amplificador operacional e o *offset* contribuem para um aumento da distorção na



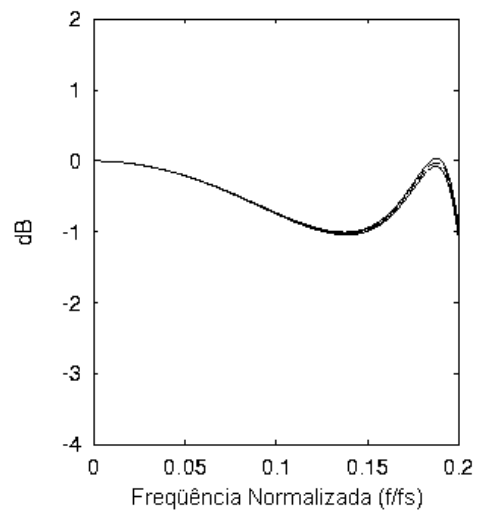
(a)



(b)



(c)



(d)

Figura 3.1: Sensibilidade na faixa de passagem dos filtros com $\omega_p = 0.2$, $\omega_s = 0.3$, $\delta_p = 0.1087$ e $\delta_s \leq 0.001$: (a) $M = 5$, $N = 7$; (b) $M = N = 6$; (c) $M = 7$, $N = 5$; (d) $M = 9$, $N = 3$. Linhas pontilhadas: resposta em frequência ideal; linhas sólidas: curvas de limite superior (β_u) e inferior (β_ℓ).

resposta em frequência, especialmente na faixa de rejeição, onde os pesos do caminho direto do sinal têm que ser precisamente combinados para garantir um sinal de baixa amplitude.

Com base no exemplo acima, pode-se notar que a sensibilidade na faixa de passagem diminui com a diminuição do número de pólos. Normalmente, os zeros dos filtros IIR seletivos são posicionados sobre o círculo unitário, contribuindo para uma atenuação máxima na faixa de rejeição, o que implica em uma implementação mais fácil devido à simetria dos coeficientes do numerador. Um algoritmo apropriado foi descrito em [15] para o projeto de filtros IIR *equiripple* com diferentes ordens do numerador e denominador, reduzindo o número de operações na saída.

Dados os valores de M e N na Eq. (2.1), o algoritmo calcula os coeficientes a_k e b_k do filtro por um procedimento iterativo, tal que as especificações desejadas sejam atendidas. Desta forma, os zeros podem estar tanto sobre o círculo unitário quanto dentro, o que corresponde ao chamado projeto *extra-ripple* [20]. Um filtro é dito *extra-ripple* quando a sua resposta em frequência possui um extremo a mais que o mínimo necessário para ser ótimo, e o extremo existe apenas quando a ordem do denominador for par.

É sempre melhor minimizar o número de pólos, já que isto implica em uma menor sensibilidade e atraso de grupo. Em particular, como será mostrado mais adiante, projetos com apenas dois pólos serão os mais atrativos em muitos casos.

Capítulo 4

Filtro para Seleção de Canais em Bluetooth

4.1 Introdução

Devido à crescente popularidade na transmissão de informação, a busca por soluções de baixo custo e potência tem se tornado um requerimento intrínseco de mercado. Bluetooth, um padrão de transceivers de rádio, que consiste em uma conexão sem fio de curta distância, até 10 m, tem se tornado popular por permitir a comunicação entre diversos componentes eletrônicos, como laptops e telefones celulares.

Um dispositivo Bluetooth opera na banda ISM não licenciada entre 2.400 e 2.4835 GHz, dividindo o espectro de frequências em 78 canais de largura 1 MHz cada, selecionando-os a uma taxa pseudo randômica de 1600 pulos/s [21], [22]. Tal seleção consiste em uma função delicada no projeto de transceivers sem fio, uma vez que é necessário separar o sinal de interesse dos canais adjacentes e demais interferências.

Em transceivers Bluetooth, três arquiteturas podem ser usadas, descritas a seguir:

1. Freqüência intermediária (IF) zero: converte o canal desejado diretamente na banda base em formato IQ;
2. IF baixa: que converte o canal desejado para uma freqüência próxima à banda base e demodula o dado nesta freqüência;
3. IF alta: que não pode ser diretamente digitalizado, necessitando dupla conversão.

Um exemplo de arquitetura usada em transceivers Bluetooth pode ser visto na Fig. 4.1.

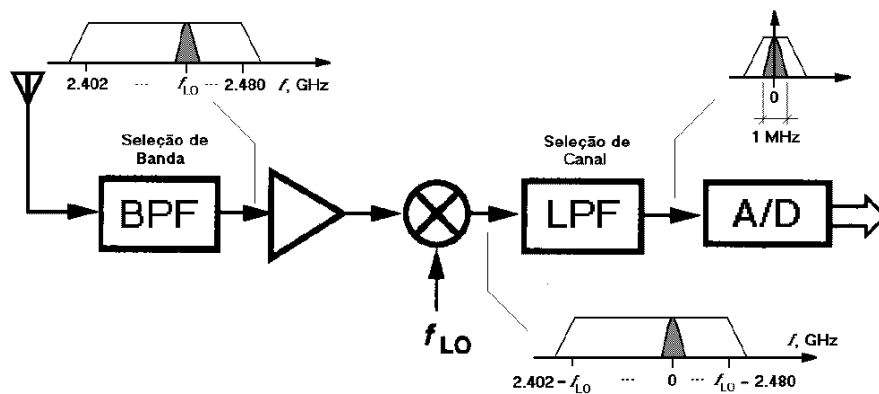


Figura 4.1: Exemplo de arquitetura de transceivers usados em Bluetooth.

Nas próximas seções, o projeto completo de um filtro para seleção de canais em Bluetooth é apresentado, utilizando uma estrutura na forma direta, que se baseia na alocação ótima de pólos e zeros, tendo em vista baixa sensibilidade e fase aproximadamente linear na faixa de passagem, apresentando, também, um reduzido número de amplificadores operacionais, a fim de reduzir seu consumo de potência. Um estudo de viabilidade é apresentado, junto com comparações com estruturas co-

mumente usadas e sua implementação em circuito integrado, utilizando tecnologia CMOS, é realizada. Simulações e testes verificam a performance do filtro.

4.2 Realização a Capacitores Chaveados

Visando satisfazer às especificações de seleção de canal Bluetooth, o filtro deve ser projetado para trabalhar a uma frequência de amostragem de 2.5 MHz , com frequências de passagem e rejeição de, respectivamente, 500 KHz e 750 KHz , ripple na faixa de passagem de 1 dB e atenuação de 60 dB na faixa de rejeição.

A função de transferência do filtro desejado pode ser implementada de forma eficiente por dois filtros FIR, compartilhando a mesma cadeia de atrasos, um no caminho direto, realizando os coeficientes a_k , e outro na realimentação, implementando os coeficientes b_k [23]. Redes SC FIR na forma direta usando esquemas de chaveamento multifase que substituem a típica cadeia de atrasos com clock bifásico [6] foram propostas [18], [19] a fim de possibilitar a multiplexação no tempo dos operacionais e, conseqüentemente, reduzir o seu número [24]. Combinando tal técnica de multiplexação e o procedimento de determinação das ordens do numerador e denominador do filtro, descrito no Cap. 3, o projeto SC IIR proposto neste trabalho é capaz de apresentar baixa sensibilidade tanto na faixa de passagem quanto na de rejeição, como será mostrado adiante.

Utilizando um programa que implementa o método de alocação ótima de pólos e zeros do Cap. 3 [15], a solução encontrada foi um filtro com $M = 9$ e $N = 3$ *extra-ripple*, cuja função de transferência possui os coeficientes mostrados na Tabela 4.1.

Tabela 4.1: Coeficientes de filtro para especificações em Bluetooth.

a_0	a_1	a_2	a_3	a_4	a_5
0.0247	0.1059	0.2322	0.3225	0.3006	0.1836
a_6	a_7	a_8	b_0	b_1	b_2
0.0632	0.0040	-0.0046	1	-0.5348	0.7669

4.2.1 Estrutura proposta

Uma vez que a ordem do numerador é um múltiplo da ordem do denominador, e estabelecendo um compromisso entre o número de fases de clock e o tempo de estabilização dos amplificadores operacionais a serem utilizados, cinco blocos FIR de segunda ordem foram utilizados para implementar os coeficientes do filtro: quatro no numerador e um no denominador, como pode ser observado na Fig. 4.2, dando à estrutura um atrativo aspecto modular, o que facilita o layout em realizações práticas.

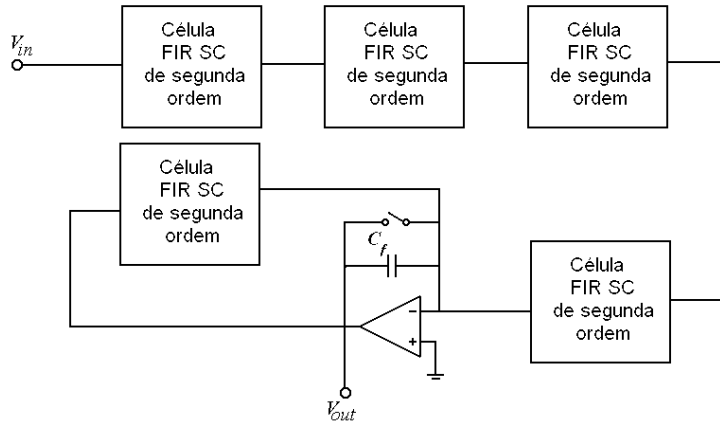


Figura 4.2: Diagrama de blocos do filtro IIR SC com especificações em Bluetooth.

O diagrama esquemático completo do filtro proposto está mostrado na Fig. 4.3, onde C_i^k representa um capacitor da k -ésima célula FIR de segunda ordem.

Na Tabela 4.2 estão listadas as capacitâncias ideais do filtro, de acordo com a célula a que pertencem. O funcionamento de cada célula, discutido no Capítulo anterior [25], é descrito brevemente a seguir, por conveniência. Como exemplo, considere-se a célula $k=2$ e omitam-se os superescritos, por simplicidade. A cadeia

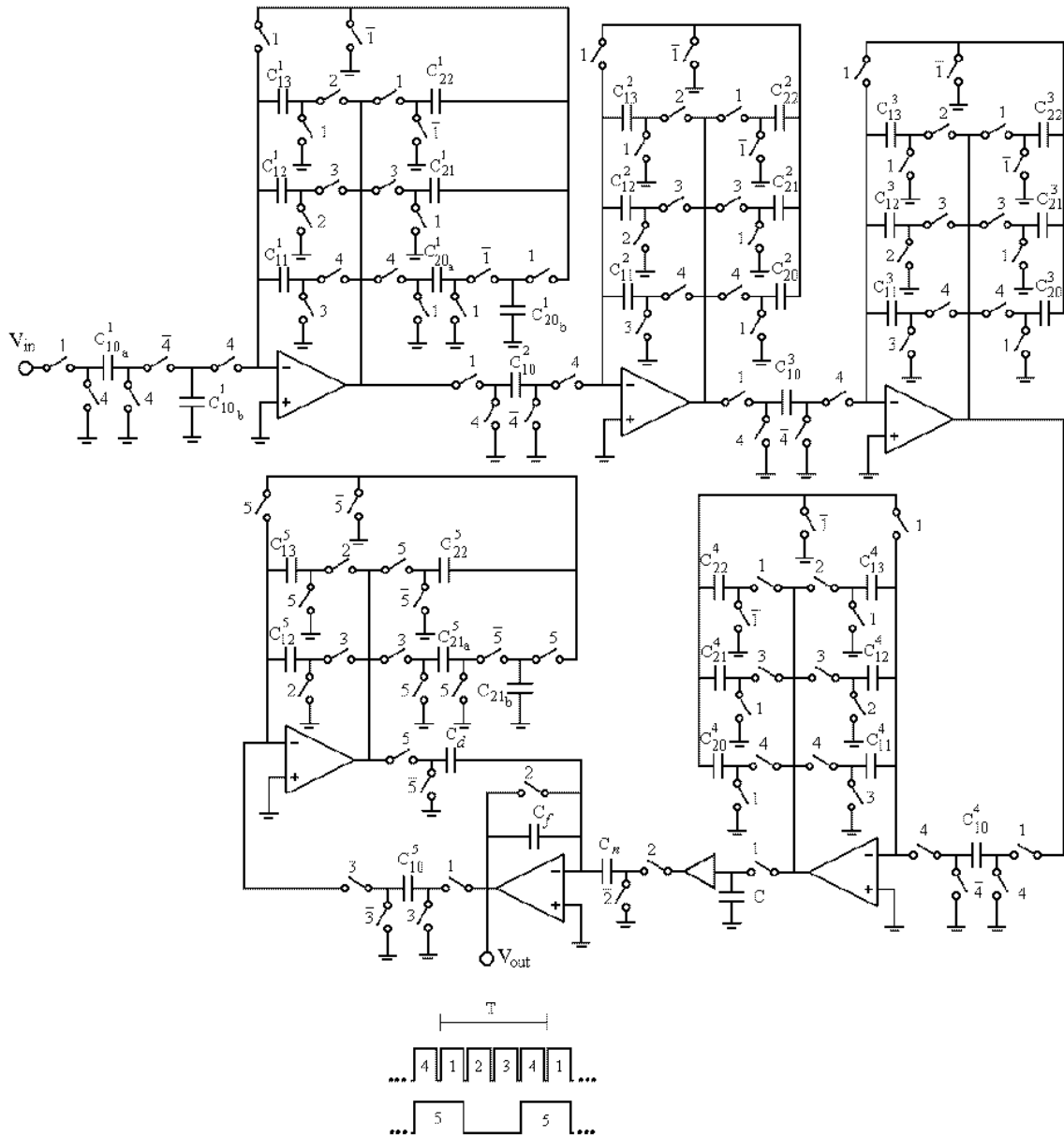


Figura 4.3: Esquemático e diagrama de chaveamento da implementação IIR SC com especificações em Bluetooth proposta.

de atrasos analógica é implementada pelos capacitores C_{1j} , $j = 1, 2, 3$ e C_{22} . A tensão de entrada é amostrada pelo capacitor C_{10} durante a fase Φ_1 e transferida para C_{11} durante Φ_4 , depois de um atraso fracionário de $3T/4$. Esta amostra é, então, movida sucessivamente para cima na cadeia com um atraso de $3T/4$ entre estágios consecutivos. Os dois primeiros estágios são ponderados por C_{20} e C_{21} durante as fases Φ_4 e Φ_3 , respectivamente, para implementar os coeficientes do filtro. Finalmente, estes capacitores são conectados ao nó de terra virtual de C_{22} durante a fase Φ_1 , para realizar a soma no último estágio. A função de transferência da célula pode, então, ser escrita como

$$G(z) = \frac{C_{10}}{C_{22}} z^{-1} \left[\frac{C_{20}}{C_{11}} + \frac{C_{21}}{C_{12}} z^{-1} + z^{-2} \right]. \quad (4.1)$$

O termo em z^{-1} multiplicando a função de transferência é devido à um período de clock excedente por estágio. Os atrasos fracionários são aumentados para o maior inteiro mais próximo, quando todos os capacitores ponderadores são descarregados durante o mesmo intervalo de tempo Φ_1 . Apesar de C_{13} não ter influência aparente na função de transferência acima, uma vez que serve de armazenamento temporário de carga, seu valor é um fator importante na determinação da excursão de sinal de saída de cada célula [18]. Os graus de liberdade existentes na escolha dos valores de capacitores podem, então, ser usados para maximizar a capacidade de controle do sinal nos nós internos.

Coefficientes negativos podem ser realizados fazendo uma ligeira modificação nos ramos [26] através dos capacitores C_{ij_a} e C_{ij_b} , $i=1,2$, $j=0,1$, como acontece nas células $k=1$ e $k=5$. Uma vez que a estrutura não é completamente insensível a capacitâncias parasitas, e como efeitos parasitas da placa superior do capacitor podem influenciar os coeficientes do filtro, tais efeitos podem ser consideravelmente redu-

zidos através de técnicas de layout apropriadas [18] em implementações integradas. Esta modificação na célula pode ser evitada através de uma estrutura completamente diferencial, que, por gerar ambos sinais negativos e positivos, possibilita a implementação de coeficientes positivos tanto quanto negativos [24].

O denominador é basicamente realizado pela célula descrita acima, excetuando-se os capacitores C_{11} e C_{20} , que são eliminados (como na célula $k = 5$), gerando a seguinte função de transferência:

$$F(z) = \frac{C_{10}}{C_{22}} z^{-1} \left[\frac{C_{21}}{C_{12}} + z^{-1} \right] \quad (4.2)$$

que é a forma desejada para a realimentação.

Tabela 4.2: Valores de capacitâncias ideais para o filtro com especificações em Bluetooth.

	Célula 1	Célula 2	Célula 3	Célula 4	Célula 5
C_{10_a}	3.29	1.00	1.00	1.00	1.00
C_{10_b}	3.29	-	-	-	-
C_{11}	2.67	1.00	1.00	1.00	-
C_{12}	2.67	2.67	3.70	3.09	1.30
C_{13}	1.65	1.00	1.00	1.00	1.00
C_{20_a}	1.00	1.00	1.00	1.00	-
C_{20_b}	1.00	-	-	-	-
C_{21_a}	2.17	1.81	6.30	3.39	1.82
C_{21_b}	-	-	-	-	1.82
C_{22}	2.67	2.67	3.70	3.09	1.30
C_n	1.00				
C_d	1.00				
C_f	1.00				

A aproximação acima pode ser facilmente generalizada para englobar funções de transferência com P pólos e mP zeros. De forma semelhante à mostrada na Fig. 4.3, o filtro deve ter m células FIR de ordem P no caminho direto e uma célula destas na realimentação. Entretanto, à medida em que P aumenta, também aumentam o índice de multiplexação do operacional e o *slew-rate* necessário, o que conduz a um maior consumo de potência e de área. Além disto, uma vez que os P coeficientes do denominador são implementados na forma direta, a sensibilidade na faixa de passagem poderá aumentar drasticamente. Projetos com apenas dois pólos fora da origem do plano z têm se mostrado os mais eficientes em implementações digitais [15]. A escolha de um número reduzido e par de pólos (por exemplo, $N = 3$) e M ímpar, leva a realizações a capacitores chaveados na forma do diagrama da Fig. 4.2 altamente eficientes na exploração de compromissos que envolvem números de fases de clock (*slew-rate* do operacional), simplicidade e modularidade da estrutura, sensibilidade, consumo de potência, área de silício e linearidade de fase da resposta em frequência.

4.2.2 Protótipo Discreto

Um protótipo discreto do filtro da Fig. 4.3 foi construído e testado em laboratório usando componentes discretos disponíveis comercialmente, para verificar experimentalmente os conceitos básicos da aproximação proposta. Os componentes CMOS usados foram: chaves analógicas CD4016 e amplificadores operacionais TL072. Capacitores de poliéster de valores entre 3 e 30 nF , aproximadamente, foram usados para implementar os coeficientes do filtro. A fim de maximizar as transferências de cargas, considerando que grandes constantes de tempo RC pro-

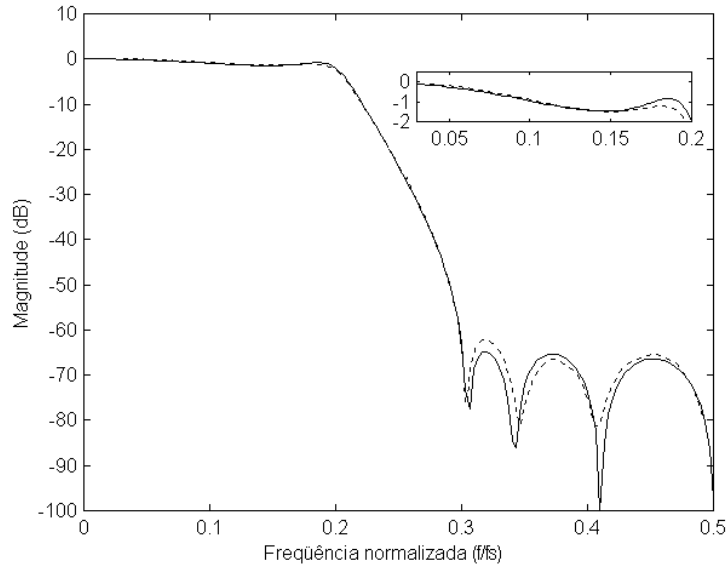


Figura 4.4: Respostas em frequência teórica (linha contínua) e experimental (linha pontilhada); no detalhe: zoom na faixa de passagem mostrando o efeito de *sample-and-hold*.

duzidas pelas capacitâncias e resistências *on* das chaves no protótipo discreto, uma baixa frequência de amostragem ($f_s = 1KHz$) foi utilizada.

A Fig. 4.4 mostra a resposta em frequência medida, usando um analisador de espectro HP3582A com varredura de frequência interna. A inclinação observada na faixa de passagem é devida ao efeito de *sample-and-hold*, inerente aos circuitos SC. A resposta em frequência teórica também é apresentada, para fins comparativos, e foi distorcida por uma função *sinc* para simular o efeito de *sample-and-hold*. A curva experimental está em plena concordância com a teórica, facilmente alcançando a atenuação desejada de 60 dB , apesar da relativamente elevada inacurácia nas razões de capacitâncias (maior que 1%), normalmente obtida em implementações práticas com componentes discretos. Melhor acurácia deve ser obtida em implementações monolíticas utilizando conjuntos de capacitores idênticos [27]. Na Fig. 4.5 é mos-

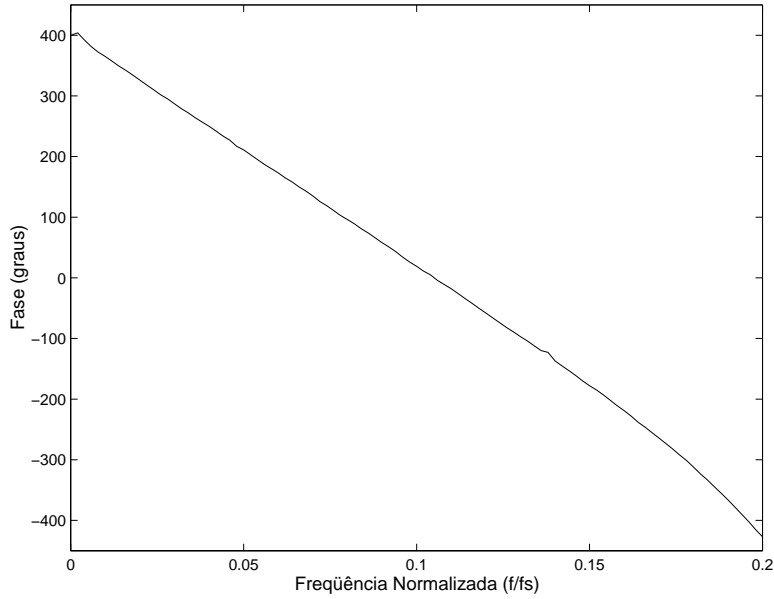


Figura 4.5: Resposta em frequência da fase do filtro protótipo na faixa de passagem obtida experimentalmente.

trada a resposta de fase na faixa de passagem obtida experimentalmente, o que mostra uma característica de fase aproximadamente linear, como esperado.

4.2.3 Análise de Sensibilidade

Uma análise de sensibilidade do filtro foi feita, com o auxílio de um programa de computador [28], assumindo um desvio padrão de 0.1% nas razões de capacitâncias. A Fig. 4.6 apresenta as respostas em frequência na faixa de passagem: ideal, em linha sólida e as curvas limite em linhas tracejadas, que englobam 68.3% de todas as respostas em frequência factíveis. Estes resultados concordam com os limites teóricos descritos pelas equações 3.8 e 3.9 que estão mostradas graficamente na Fig. 3.1(d).

Com a finalidade de verificar a performance do filtro em uma implementação integrada mais realista, cada capacitância foi aproximada por um número inteiro de

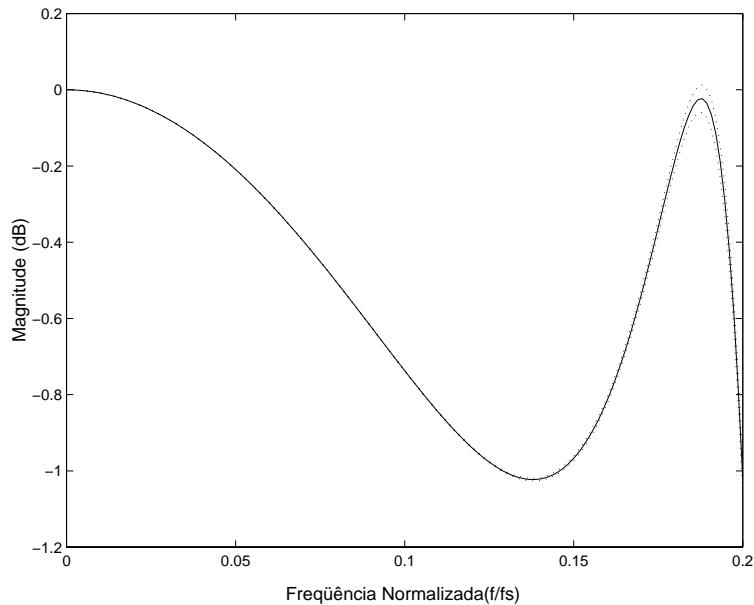


Figura 4.6: Análise de sensibilidade do filtro proposto na faixa de passagem.

capacitores unitários, como mostrado na Tabela 4.3. Os valores inteiros dos capacitores foram escolhidos de forma a limitar o máximo erro nas razões de capacitâncias em 4% e foram otimizados para uma excursão ótima do sinal na saída. Os coeficientes do filtro podem, desta forma, ser realizados facilmente por conjuntos implementáveis de capacitores unitários, em geometria de centróide comum, para reduzir os efeitos não ideais do processo de fabricação. Apesar desta técnica de layout ser bastante conhecida dos projetistas de circuitos analógicos, é necessário que as estruturas do filtro tenham baixa sensibilidade às razões de capacitâncias, para que possam ser aproximadas por razões de pequenos números inteiros, tendo em particular os capacitores que implementam os coeficientes do denominador, sem introduzir distorções significativas na resposta em frequência.

A Fig. 4.7 mostra a resposta em frequência obtida com coeficientes realizados como razões de números inteiros de capacitores unitários. Apesar dos erros desta aproximação, apenas desvios desprezíveis podem ser notados em relação à res-

Tabela 4.3: Valores de capacitâncias expressos como múltiplos de um capacitor de valor unitário para o filtro com especificações em Bluetooth.

	Célula 1	Célula 2	Célula 3	Célula 4	Célula 5
C_{10_a}	10	1	1	1	10
C_{10_b}	10	-	-	-	-
C_{11}	5	1	1	1	-
C_{12}	5	3	8	3	10
C_{13}	5	1	1	1	10
C_{20_a}	2	1	1	1	-
C_{20_b}	2	-	-	-	-
C_{21_a}	4	5	9	2	14
C_{21_b}	-	-	-	-	14
C_{22}	8	3	4	3	13
C_n	1				
C_d	1				
C_f	1				

posta ideal, confirmando a baixa sensibilidade prevista pelas Eqs. 3.8 e 3.9, como mostradas na Fig. 3.1(d).

4.3 Comparações com Outros Projetos de Filtros.

A fim de fazer uma breve comparação com as características das estruturas de filtro mais comuns, um filtro elíptico de quinta ordem ($M = N = 6$) e um filtro FIR de fase linear de comprimento 21 ($M=21, N=1$) foram projetados. Suas respostas em frequência estão mostradas na Fig. 4.8, incluindo a do filtro proposto. Seus respectivos atrasos de grupo na faixa de passagem são mostrados na Fig. 4.9. Os

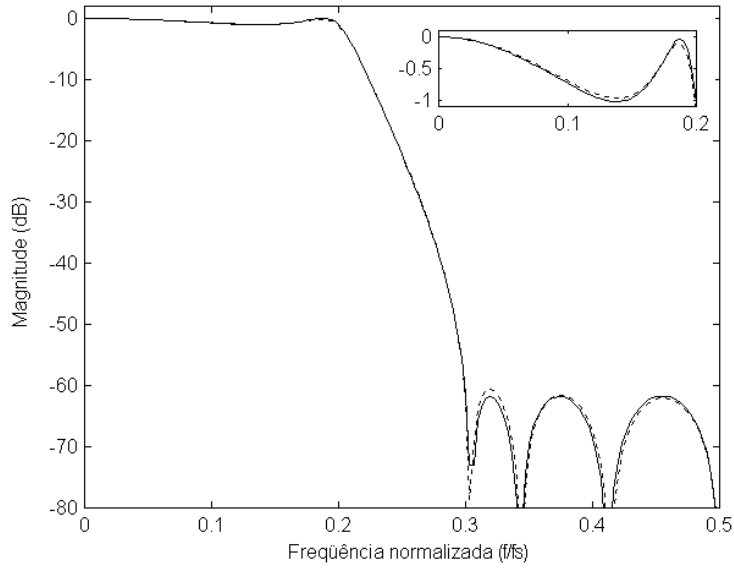


Figura 4.7: Respostas em frequência de filtro proposto: ideal (linha sólida) e com capacitores realizados como múltiplos inteiros de uma capacitância unitária (linha pontilhada).

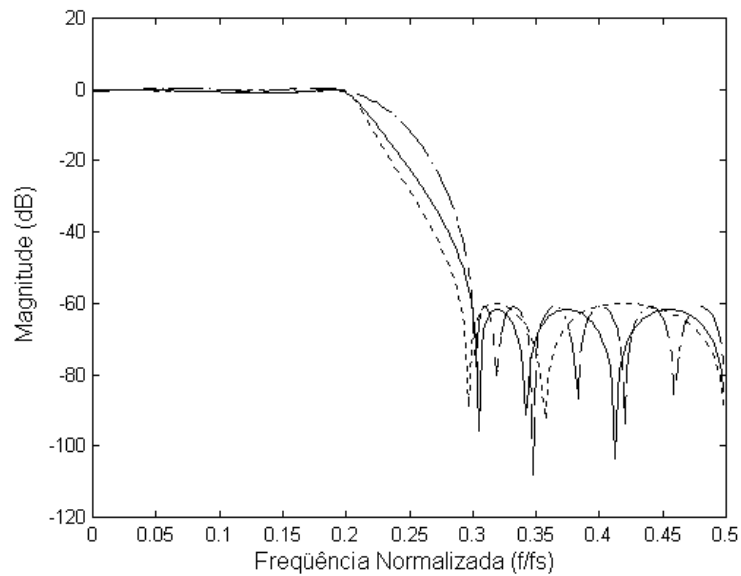


Figura 4.8: Respostas em frequência: filtro proposto (linha sólida), elíptico (linha pontilhada) e FIR (linha ponto-traço).

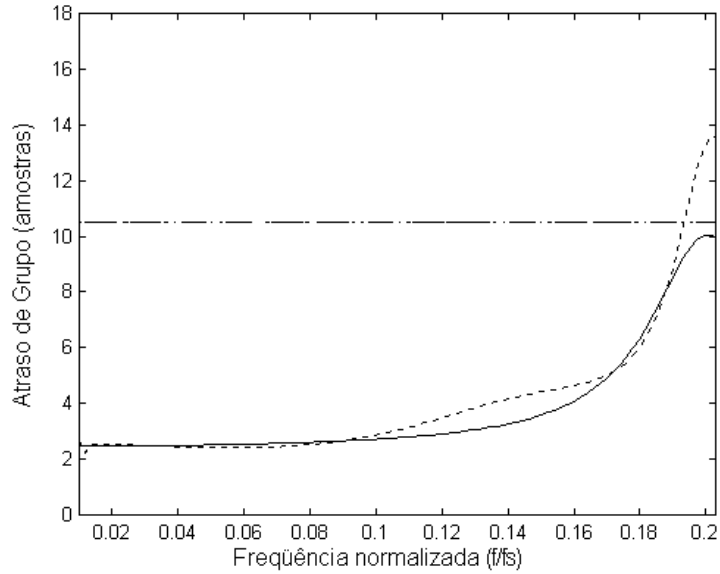
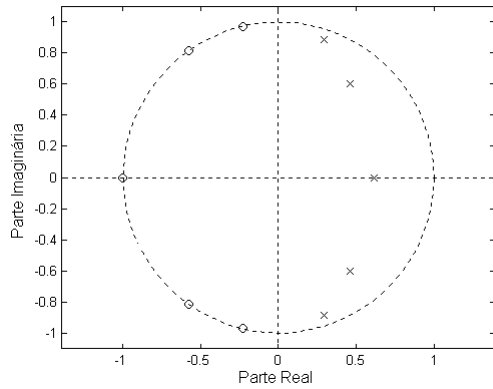


Figura 4.9: Atraso de grupo na faixa de passagem: filtro proposto (linha sólida), elíptico (linha pontilhada) e FIR (linha ponto-traço).

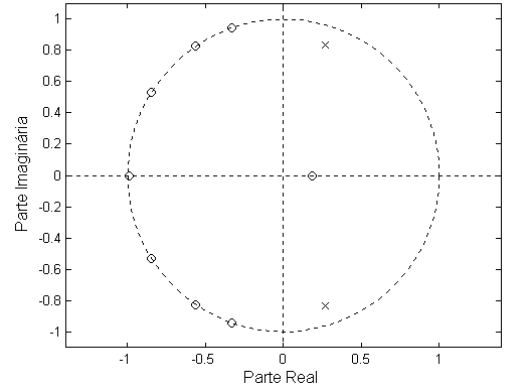
diagramas de pólos zeros da Fig. 4.10 indicam que, como mencionado no Cap. 3, um eficiente algoritmo de aproximação poderia, neste caso, substituir os três pólos internos do filtro elíptico da Fig. 4.10(a) por três zeros (dois no círculo unitário e um no eixo real), levando ao projeto de dois pólos da Fig. 4.10(b). Como consequência, este apresenta um atraso de grupo mais plano, porque sua função de transferência possui menos pólos, uma vez que tais pólos não estão tão próximos do círculo unitário como os do filtro elíptico. Conseqüentemente, a equalização do atraso de grupo será realizada com um menor número de seções passa-tudo do que em projetos elípticos.

4.3.1 Projetos *Ladder*

Dois projetos *ladder* SC, usando transformações LDI e bilinear, respectivamente, foram desenvolvidos para a aproximação elíptica acima. Estes figuram entre as estruturas SC menos sensíveis, uma vez que tendem a manter a baixa sensibilidade



(a)



(b)

Figura 4.10: Diagramas de pólos e zeros para os filtros (a) elíptico e (b) proposto.

da rede *ladder* passiva à que correspondem e podem ser feitas insensíveis a capacitâncias parasitas. Tais técnicas de projeto de filtros SC são bastante conhecidas na literatura [2], [29] e são tomadas aqui como meio de comparação com a estrutura proposta. Detalhes de projeto de estruturas *ladder* podem ser encontrados em [29].

Como indicado na Fig. 4.11, as estruturas dos dois projetos *ladder* se diferenciam apenas por um capacitor (C_x) e uma chave pertencente ao filtro realizado pela aproximação bilinear. Além disso, as chaves denominadas a e b são selecionadas de acordo com o tipo de rede *ladder*. Capacitâncias ideais são mostradas na Tabela 4.4, obtidas após um procedimento de escalamento e otimização da faixa dinâmica e minimização da capacitância total [29]. Resultados de análises de sensibilidade, considerando erros nas capacitâncias unitárias de $\sigma_u = 0.001$ são mostrados nas Figs. 4.12(a) e (b), respectivamente, para os projetos LDI e bilinear.

O projeto LDI apresenta distorções na resposta em frequência ideal, devido principalmente às realizações não-exatas das terminações resistivas, uma vez que

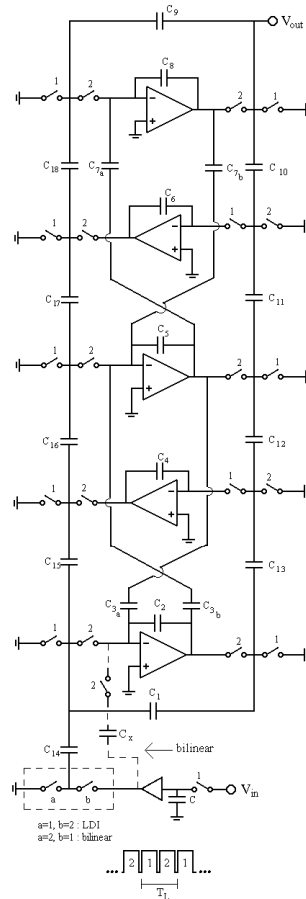
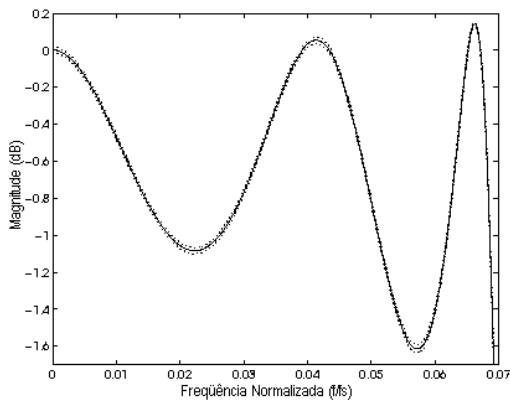


Figura 4.11: Estrutura das realizações *ladder* LDI e bilinear.

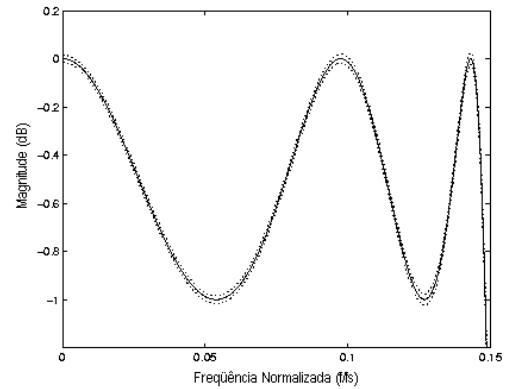
a transformação LDI só mapeia parte do eixo imaginário do domínio s no círculo unitário no domínio z . A distorção resultante se torna mais evidente quando a razão entre as frequências de amostragem e de corte diminui, limitando a frequência superior de operação dos filtros *ladder* LDI. Normalmente, altas frequências de amostragem levam à uma grande dispersão de capacitâncias e, conseqüentemente, a um maior consumo de potência, como pode ser observado na Tabela 4.5. Tais dificuldades podem ser contornadas se a transformação bilinear for utilizada, em vez da LDI, pois aquela mapeia o eixo imaginário no domínio s completamente no círculo unitário no domínio z e usa integradores LDI como blocos básicos [29], da mesma forma que na estrutura obtida por transformação bilinear. Neste exemplo, a

Tabela 4.4: Capacitâncias ideais e expressas como múltiplo inteiro de capacitor unitário para as realizações LDI e bilinear.

Capacitor	Ideais		Inteiras	
	LDI	Bilinear	LDI	Bilinear
C_1	2.46	2.34	2	3
C_2	12.30	4.43	36	26
C_{3_a}	1.00	1.00	3	5
C_{3_b}	1.00	1.00	2	5
C_4	4.91	2.18	20	18
C_5	27.40	10.60	57	53
C_6	6.77	2.78	33	17
C_{7_a}	1.64	1.13	5	7
C_{7_b}	1.83	1.13	4	6
C_8	5.11	1.98	15	12
C_9	1.00	1.00	3	6
C_{10}	1.00	1.00	5	6
C_{11}	1.83	1.67	9	11
C_{12}	1.24	1.10	5	9
C_{13}	1.00	1.10	4	8
C_{14}	3.32	3.06	10	16
C_{15}	5.17	5.09	15	27
C_{16}	6.39	5.57	13	29
C_{17}	6.34	5.44	15	29
C_{18}	3.39	3.25	10	20
C_x	-	1.53	-	8



(a)



(b)

Figura 4.12: Sensibilidade na faixa de passagem das realizações (a) LDI e (b) bilinear.

freqüência de amostragem necessária para a realização LDI é 2.9 vezes a da estrutura proposta, isto é, $T = 2.9T_L$ nos diagramas de tempo das Figs. 4.3 e 4.11, enquanto que, para a realização bilinear tem-se $T = 1.35T_L$.

Considerando-se que os projetos das redes *ladder* e da estrutura proposta foram realizados para a mesma tecnologia de fabricação e metodologia de projeto, com amplificadores operacionais de estruturas internas idênticas e capacitores unitários de mesmo valor, algumas características de interesse em implementações integradas foram verificadas e estão resumidas na tabela 4.5. Comparando o melhor dos dois projetos *ladder* (bilinear) com o proposto neste trabalho de pesquisa, pode-se observar na Tabela 4.5 que, apesar da bilinear apresentar 19% menos capacitância total, a dispersão é 63% maior. A importância destes dois parâmetros na eficiência do projeto de filtros SC em circuitos integrados tem sido reconhecida em diversas publicações [30]. Como resultado, o filtro *ladder* dissipa 22% mais potência, uma

Tabela 4.5: Comparação entre realizações.

<i>Característica</i>	<i>Proposta</i>	<i>Ladder</i>		<i>Cascata</i>	<i>FIR</i>
		<i>LDI</i>	<i>Bilinear</i>		
Capacitância total [†]	74.1	95.7	59.7	75.8	628.1
Dispersão	6.30	27.4	10.3	11.6	99.7
Consumo de potência ^{††}	1.00	4.46	1.22	1.91	11.2

[†]Capacitâncias expressas como múltiplos inteiros de capacitor unitário.

^{††}Normalizada pela potência do filtro proposto, assumindo o uso de amplificadores operacionais em cascode dobrado de terminação simples em todas as realizações.

vez que será necessário que dispositivos ativos maiores sejam projetados, devido à maiores cargas capacitivas.

Apesar de uma comparação entre as Figs. 4.6 e 4.12b sugerirem uma performance similar em termos de sensibilidade, a estrutura proposta é capaz de explorar de forma mais eficientes técnicas de layout que melhoram a acurácia das razões de capacitâncias. A Fig. 4.13 mostra a resposta em frequência dos filtro *ladder* bilinear implementado com capacitâncias inteiras (linha pontilhada). São necessários 326 capacitores unitários, como indicado na Tabela 4.4, que é o dobro do total dos valores ideais, para que a rede *ladder* tenha performance similar a que é mostrada na Fig. 4.6.

4.3.2 Realização Cascata

As seções de segunda ordem propostas em [31], que são da forma mostrada na Fig. 4.14, foram usadas no projeto do filtro cascata. Uma vez que talvez esta seja

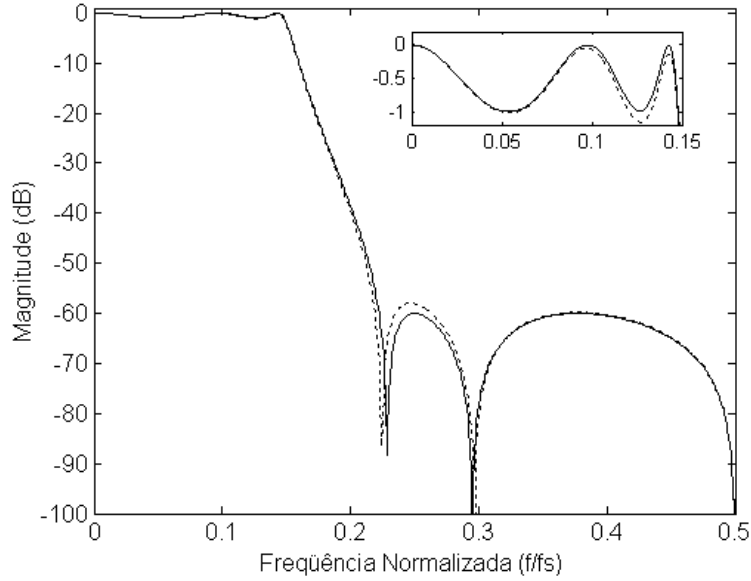


Figura 4.13: Respostas em frequência do filtro *ladder* bilinear: ideal (linha sólida), e com capacitâncias inteiras (linha pontilhada).

a estrutura de filtro mais popular, algumas de suas características estão incluídas na Tabela 4.5.

A faixa dinâmica e a capacitância total foram otimizadas por escalamento. Detalhes do projeto de tais biquads já foram extensivamente discutidos em [31]. Enquanto a realização cascata possui uma capacitância total quase igual à do filtro proposto, seu consumo de potência é quase 91% maior, considerando que, tanto para a realização cascata quanto a proposta, o projeto foi realizado com as mesmas técnicas e tecnologia de fabricação, amplificadores operacionais possuindo a mesma estrutura interna e capacitores unitários de mesmo valor. A razão principal deste resultado é, novamente, a dispersão de capacitâncias.

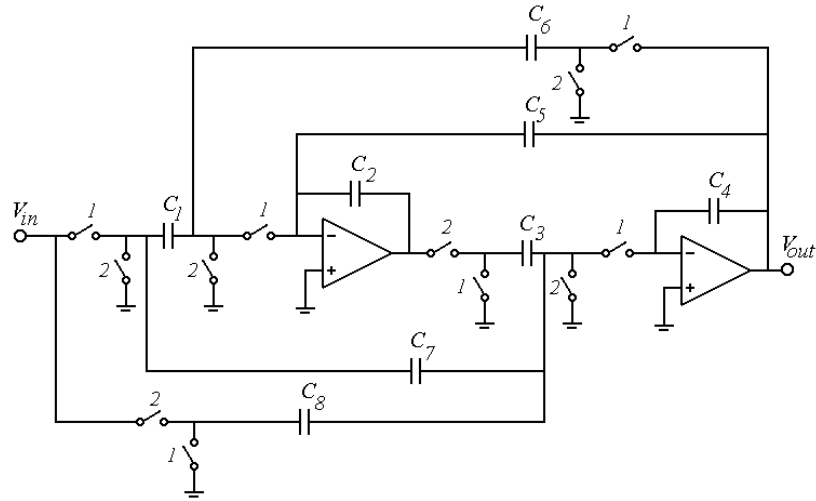


Figura 4.14: Seções de segunda ordem para a realização cascata.

4.3.3 Realização FIR de Fase Linear

O filtro FIR foi implementado por uma cadeia de atrasos de tamanho 21, cujos coeficientes foram obtidos com o auxílio do algoritmo de *remez* [7], utilizando estágios de *track-and-hold* e chaveamento bifásico [6], com cada coeficiente sendo realizado como razão de duas capacitâncias [32], como apresentado na Fig. 2.3. Um filtro de comprimento maior indica que o preço a ser pago por uma fase linear exata, para este exemplo, é uma longa cadeia de atrasos e, conseqüentemente, maior consumo de potência. Além disto, um nível de ruído elevado pode ser produzido enquanto as amostras de sinal são transferidas de um estágio de atraso para outro na cadeia de atrasos. Outro desafio no projeto de filtro FIR SC é a dificuldade de se conseguir uma alta atenuação na faixa de rejeição (>40 dB) [9], devido à dispersão normalmente elevada e a conseqüente inacurácia em realizações práticas dos coeficientes. Realizando apenas dois pólos, a aproximação proposta reduz de 20 para 8 o número de zeros e por um fator de quase 16 a dispersão obtida para o filtro FIR.

Assumindo que os erros nas razões de capacitâncias unitárias tenham desvio padrão de $\sigma_u=0.001$, então, de acordo com [9], 50% dos filtros FIR teriam menos de 46 *dB* de atenuação na faixa de rejeição, e pelo menos 20% deles não seriam capazes de atenuar mais de 50 *dB* [9]. Na prática, a atenuação seria ainda mais reduzida, tendo em vista a combinação ponderada de sinais ruidosos, especialmente nos últimos estágios da cadeia de atrasos.

Estes problemas poderiam ser diminuídos, em parte, cascateando-se seções FIR de segunda ordem. Uma procura por melhores soluções de tais aproximações aplicadas à filtros FIR de ordem elevada envolve considerações cuidadosas de alguns compromissos como ordem e estrutura das seções, número de fases de clock, dispersão das capacitâncias e consumo de potência [18], [19].

4.4 Equalização de Atraso de Grupo

Em aplicações onde alguma variação no atraso de grupo pode ser tolerada, tais como no projeto de transceivers, onde esquemas de modulação apropriados podem ser escolhidos para reduzir interferência entre símbolos [33], filtros FIR de fase linear com ordens elevadas podem ser substituídos por filtros IIR de atraso de grupo equalizado [1]. Nesta seção, o grau de complexidade da equalização do atraso de grupo é avaliado em termos do número de seções passa-tudo de segunda ordem empregadas nos projetos IIR considerados. Tais seções passa-tudo são implementadas aqui usando a estrutura mostrada na Fig. 4.14, descrita em [31].

A Fig. 4.15 mostra as respostas em frequência usando duas seções passa-tudo de segunda ordem. O atraso de grupo diferencial, definido aqui como a diferença entre o atraso de grupo máximo e o mínimo, é de 2.50 amostras para o filtro pro-

posto e 9.18 amostras para os filtros cascata e *ladder*. O atraso de grupo máximo também é maior para os filtros cascata e *ladder* equalizados: 17.8 amostras contra 13.1 amostras. Se três seções passa-tudo forem utilizadas, então o atraso de grupo diferencial seria menor que uma amostra para o filtro proposto e 6.4 amostras para os outros, como mostrado na Fig. 4.16. A Tabela 4.6 resume os atrasos de grupo diferenciais obtidos com diversas seções de passa-tudo, incluindo as mostradas nas Figs. 4.15 e 4.16. É possível notar que 5 seções passa-tudo seriam necessárias para que os filtros cascata e *ladder* obtivessem a mesma performance obtida com apenas duas seções no projeto proposto. Considerável economia em termos de consumo de potência pode ser observada, levando em conta que cada seção passa-tudo de segunda ordem usada para equalização neste projeto dissipa aproximadamente 40% da potência de todo o filtro cascata.

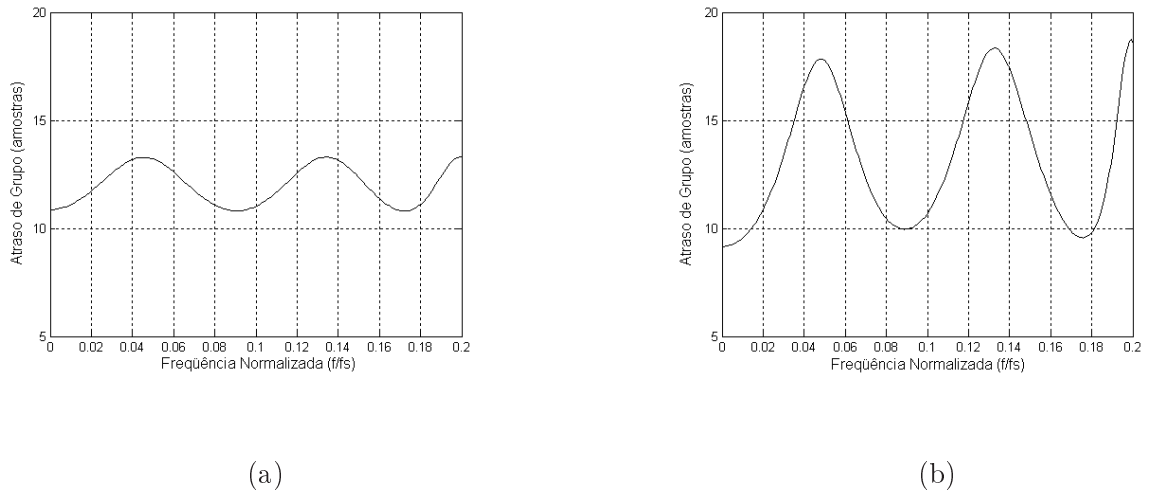
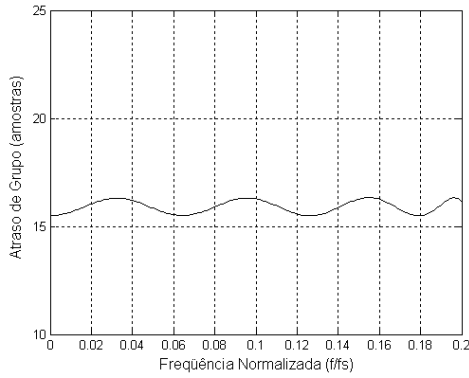
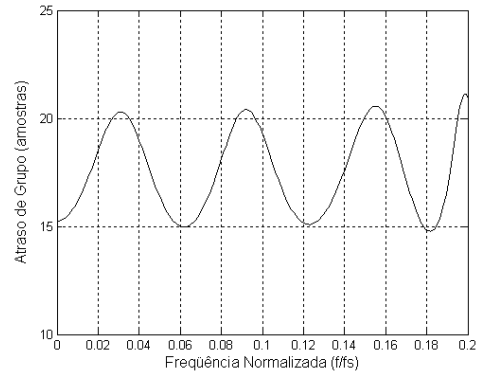


Figura 4.15: Atrasos de grupo após equalização com duas seções passa-tudo de segunda ordem para as realizações (a) proposta e (b) *ladder* (LDI e bilinear).



(a)



(b)

Figura 4.16: Atrasos de grupo após equalização com três seções passa-tudo de segunda ordem para as realizações (a) proposta e (b) *ladder* (ldi e bilinear).

Tabela 4.6: Variação do atraso de grupo diferencial, em amostras, como função do número de seções equalizadoras passa-tudo de segunda ordem.

Número de seções	1	2	3	4	5
Estrutura proposta	5.30	2.50	0.84	0.21	0.04
<i>Ladder</i> e cascata	11.2	9.18	6.37	3.92	2.35

4.5 Implementação em Circuito Integrado

Os resultados apresentados nas seções acima indicam que a estrutura aqui proposta possui baixa sensibilidade na faixa de passagem a erros nas razões de capacitâncias e baixo consumo de potência (estimado), o que vem mostrar a viabilidade de sua realização monolítica.

As seções seguintes tratarão do desenvolvimento da implementação integrada do filtro proposto neste trabalho, incluindo o dimensionamento de seus elementos,

detalhes do layout e simulações usando parâmetros extraídos do processo a ser usado. Para o projeto descrito nestas seções, escolheu-se usar um processo de fabricação CMOS TSMC de $0.18 \mu\text{m}$, com tensão de alimentação de 1.8 V , possuindo 6 camadas de metal e uma de poly.

4.5.1 Amplificador Operacional

De uma forma geral, amplificadores operacionais representam uma área considerável de circuito, consomem potência e geram ruído. Além disto, as não-idealidades dos amplificadores operacionais reais, tais como efeito de ganho finito, *slew-rate* (SR), produto ganho-bandapassante e tempo de estabilização, constituem parâmetros cruciais em um projeto integrado, podendo introduzir distorções inaceitáveis na resposta em frequência desejada, sobretudo em estruturas SC, onde os amplificadores necessitam estar estáveis dentro de um determinado intervalo de tempo, dado pela frequência de amostragem e número de fases de clock, para que as cargas sejam transferidas corretamente, durante a fase correspondente. Convém, então, determinar as condições de piores casos para tais parâmetros e, com base neles, escolher uma estrutura interna de amplificador operacional adequada que satisfaça a estes requisitos.

Tomando como base uma célula de segunda ordem e investigando o caminho que o sinal percorre em seu interior até a obtenção das funções de transferência das Eqs. 4.1 e 4.2, a fim de introduzir os efeitos das não-idealidades em cada transferência de carga de cada fase de clock, foi criado um modelo matemático e implementado com blocos básicos do SIMULINK (MATLAB) para representar a estrutura da Fig. 4.3, usando os valores de capacitância inteiras apresentadas na Tabela 4.3. Tal mo-

delo, apresentado na Fig. 4.17, consiste de representações matemáticas das células

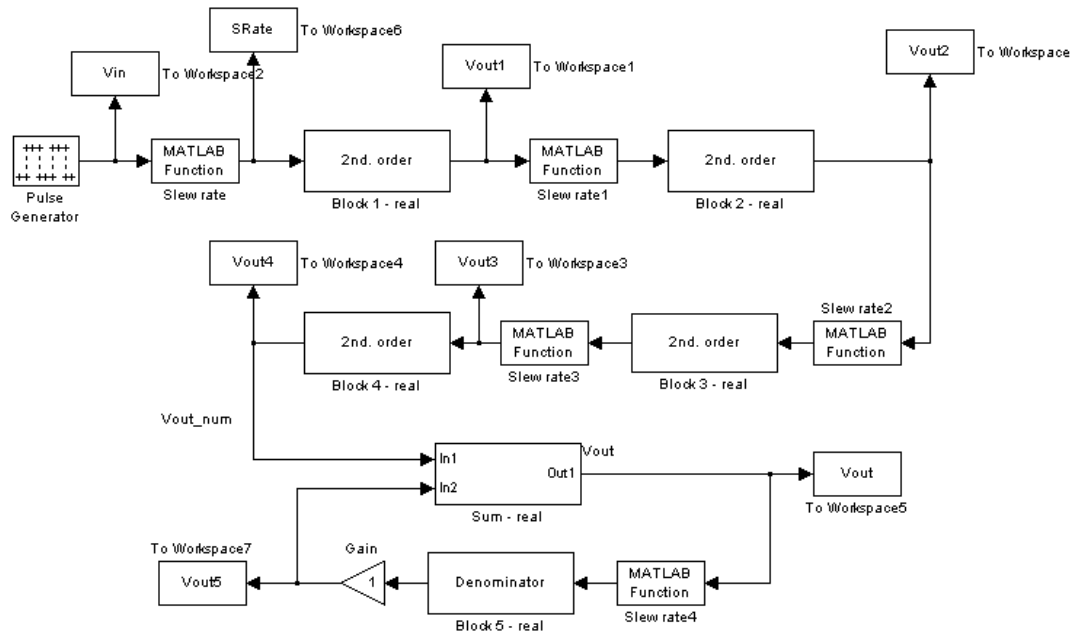


Figura 4.17: Modelamento do filtro para especificações em Bluetooth.

de segunda ordem do numerador e do denominador, descritos nas Figs. 4.18(a) e 4.19(b), respectivamente, e na representação matemática do somador, mostrada na Fig. 4.20, onde cada bloco "matlab function"[34] associado tem a finalidade de calcular os efeitos de banda-passante e *slew-rate*. Com o auxílio de um programa de computador [34], o modelo construído foi simulado a fim de verificar as condições de piores casos dos amplificadores operacionais, mantendo a performance desejada do filtro. Desta forma, é possível verificar as condições de pior caso para cada operacional da estrutura. Tomando como exemplo o efeito de ganho finito, é possível verificar que o operacional da célula 1 necessita de, no mínimo, um ganho de aproximadamente 60 dB, enquanto que na célula 5 é necessário que o operacional

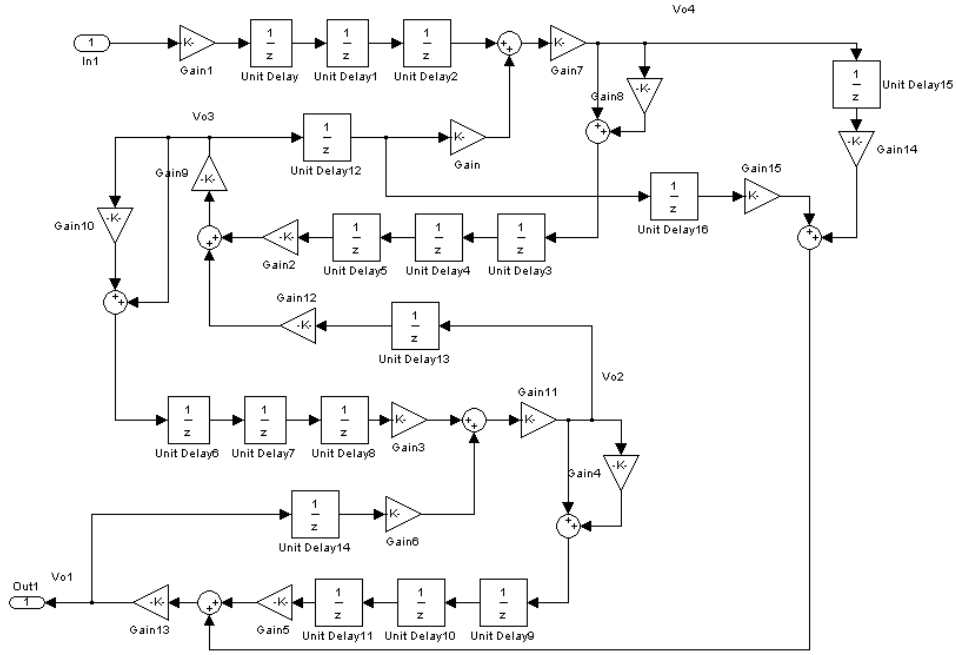


Figura 4.18: Modelamento de uma seção de segunda ordem do numerador.

possua um ganho em malha aberta de apenas 47 dB , sem que sejam introduzidas distorções significativas. Porém, por simplicidade, escolheu-se considerar os piores casos de cada um dos parâmetros para todos os operacionais, obtendo os seguintes parâmetros: ganho em malha aberta de 60 dB , banda-passante de 25 MHz e SR de $45 \text{ V}/\mu\text{m}$. Uma comparação entre as respostas em frequência ideal do filtro e a obtida considerando os valores de pior caso dos parâmetros acima é vista na Fig. 4.21, mostrando que praticamente nenhum desvio é introduzido pelos amplificadores projetados na resposta em frequência do filtro.

Por este se tratar de um filtro SC, escolheu-se usar como amplificadores operacionais de transcondutância (OTAs), não se fazendo necessária, assim, nenhuma forma de compensação interna, pois esta já é realizada pelas cargas capacitivas. Como verificado por simulação do modelo, é necessário que o OTA a ser projetado tenha, pelo menos, um ganho em malha aberta de 60 dB . Escolheu-se então uma estrutura em cascode dobrado [35] completamente diferencial, cuja estrutura básica

é mostrada na Fig. 4.22, a fim de dobrar a excursão do sinal de saída e reduzir efeitos não-ideais inevitáveis e presentes em implementações analógicas integradas, tais como injeção de carga e distorção, através de um layout simétrico, pois, idealmente, estas componentes espúrias afetarão os dois lados igualmente e, como em estruturas completamente diferenciais apenas a diferença entre os sinais é importante, elas serão rejeitadas, ou minimizadas, no caso real. Além disso, dentre outras vantagens, um layout completamente simétrico possibilita a redução do efeito das capacitâncias parasitas, que é um fator crucial em implementações SC.

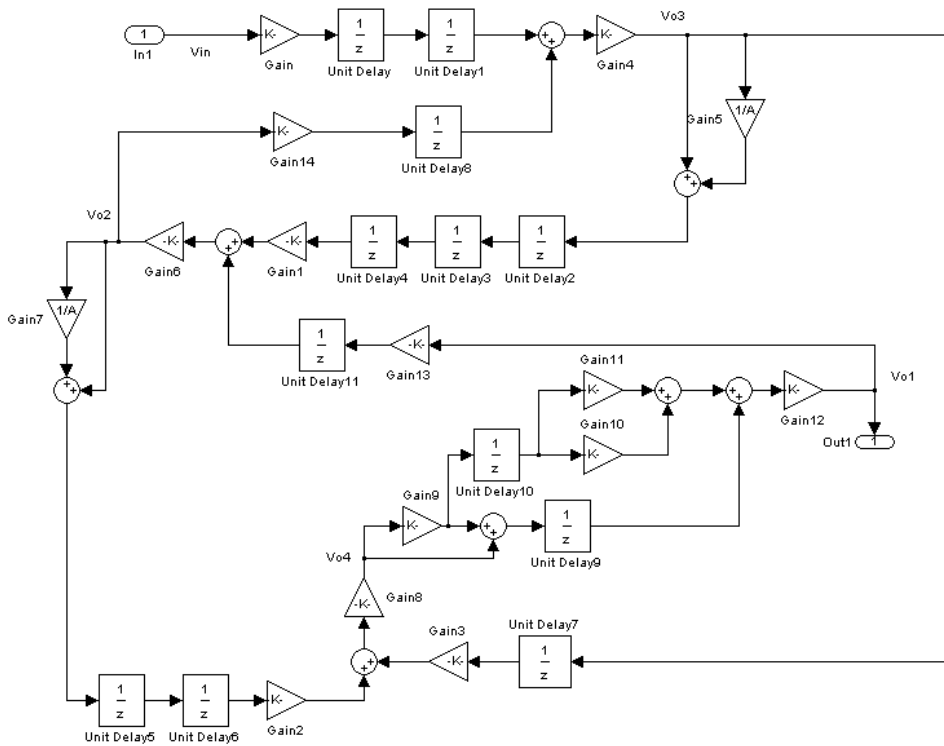


Figura 4.19: Modelamento da seção de segunda ordem do denominador.

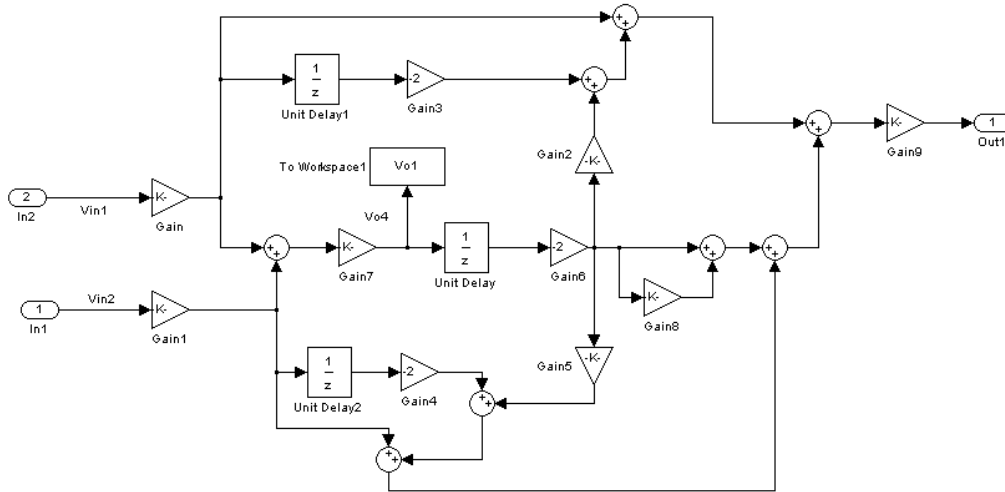


Figura 4.20: Modelamento do somador.

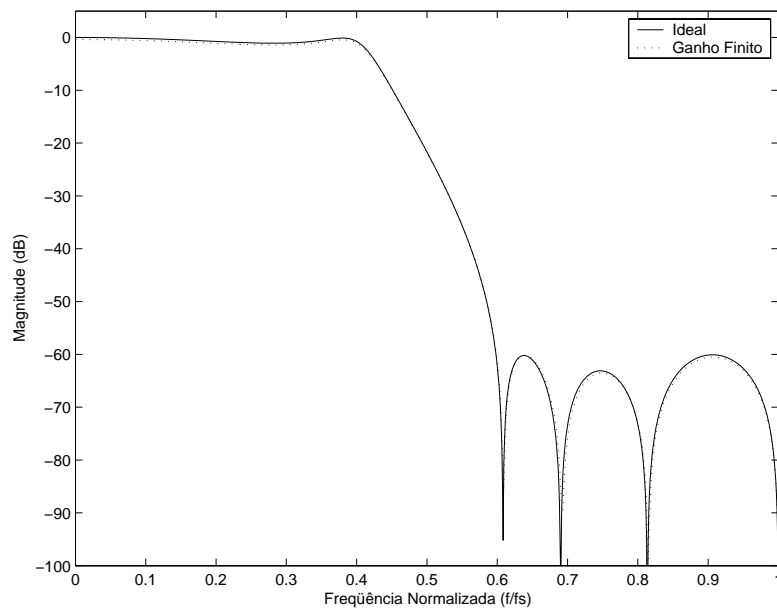


Figura 4.21: Respostas em frequência do filtro ideal (linha sólida) e modelado (linha pontilhada).

4.5.1.1 Circuito de Rejeição de Modo Comum

Em estruturas completamente diferenciais, faz-se necessário introduzir um dispositivo para controlar a tensão de saída em modo comum, uma vez que, em

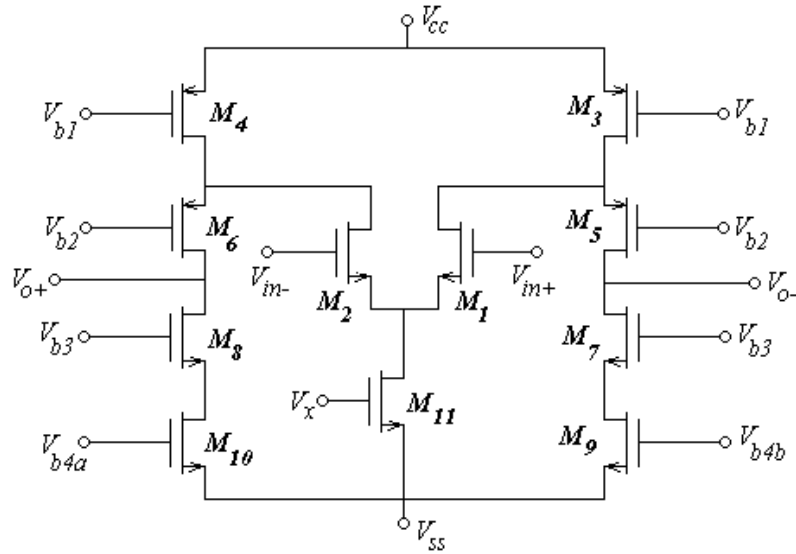


Figura 4.22: Estrutura básica em cascode dobrado escolhida para o OTA de projeto. modo comum, o ganho aumenta com a frequência. Idealmente, como mostrado na Fig. 4.23(a), o dispositivo de controle de modo comum (*Common-mode Feedback* - *CMFB*) faz com que a média da tensão de saída em modo comum permaneça constante em aproximadamente metade da tensão de alimentação. Tais dispositivos podem ser discretos ou contínuos no tempo, dependendo da aplicação em que serão usados.

Devido ao fato de que os OTAs serão inseridos numa rede SC, escolheu-se realizar o controle da tensão de modo comum da saída através de um circuito de CMFB discreto no tempo [36], cujo esquemático é mostrado na Fig. 4.23(b) e o funcionamento é brevemente descrito a seguir, por conveniência: os capacitores C_x realizam a média entre as tensões de saída (V_{o+} e V_{o-}), média esta que é usada para criar a tensão de controle (V_x) para as fontes de corrente do OTA. Os dois capacitores C_y determinam a tensão dc dos capacitores C_x . As dimensões dos ca-

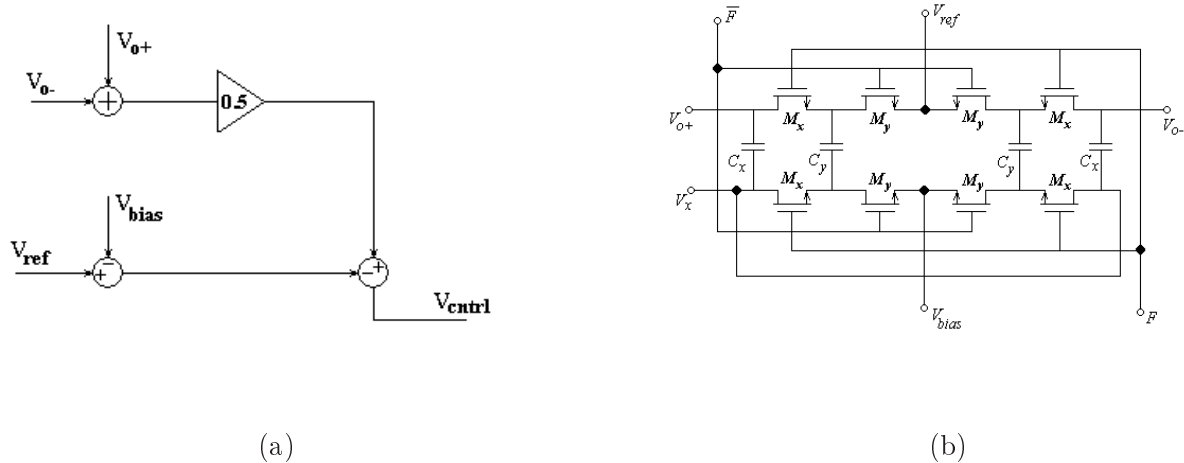


Figura 4.23: Dispositivos de controle de modo comum: (a) ideal e (b) discreto.

capacitores do circuito são limitadas inferiormente de forma a evitar injeção de carga e superiormente para não comprometerem a velocidade dos OTAs. Geralmente, os capacitores C_x são escolhidos como duas vezes o tamanho dos capacitores C_y [37]. Para este projeto, C_x e C_y foram escolhidos como 0.2 pF e 0.1 pF , respectivamente. As chaves da estrutura podem ser realizadas usando transistores de valor mínimo para o comprimento e sua largura suficientemente grande para não comprometer o tempo de resposta. Foram aqui escolhidas com dimensões $W = 0.88 \text{ }\mu\text{m}$ e $L = 0.18 \text{ }\mu\text{m}$, e introduzidos transistores *dummy* para minimizar a injeção de cargas.

4.5.1.2 Espelhos de Corrente

A fonte de corrente é um dos mais importantes blocos nas aplicações analógicas modernas. Tais componentes se tornam críticos em aplicações de baixa tensão, onde a compliância da tensão de saída de um espelho de corrente qualquer deve ser mantida no valor mínimo da tensão de saturação, $V_{DS_{sat}}$, a fim de maximizar a excursão de sinal disponível para o resto do circuito [38]. Se for necessário que

o transistor de saída trabalhe no limite ou abaixo da transição entre as regiões de saturação e triodo, onde a impedância de saída pode rapidamente ser degradada, isto pode ter impactos negativos na performance do circuito polarizado, tais como na razão de rejeição de modo-comum e na frequência de ganho unitário, devido à uma significativa variação da corrente de polarização.

Para contornar este problema e aumentar a excursão do sinal de saída, algumas soluções foram propostas [38], [39] e optou-se aqui usar a solução proposta por [39] com uma ligeira modificação: dois transistores em paralelo conectados como diodos para gerar a tensão de polarização necessária. As dimensões dos transistores são ajustadas por meio de simulação, fixando-se L e variando-se W até que a tensão de seus gates seja a tensão de polarização desejada, como mostrado na Fig. 4.24(a) para o caso *NMOS*, tornando possível o uso de uma única corrente para polarizar todo o OTA, em vez de uma tensão externa. A tensão V_{bias} do circuito de CMFB, é gerada também por uma estrutura de espelho de corrente como descrito acima, porém, sem os transistores M_{20} e M_{21} , usando, no lugar de V_{b3} , a tensão de referência V_{ref} , como pode ser observado na Fig. 4.24(b).

A Fig. 4.25 mostra a estrutura interna do OTA.

4.5.1.3 Dimensionamento dos Transistores

Em circuitos SC, a propagação do sinal é feita durante as fases de clock. Por isso, faz-se necessário que, ao final de uma fase, os sinais na saída de todos os OTAs estejam completamente estabilizados, para que não haja erros na transmissão de informações. Por isto, é de extrema importância a determinação da máxima carga no dimensionamento dos OTAs. Sendo assim, é necessário, primeiramente, verificar qual será a maior carga capacitiva que os mesmos deverão ser capazes de

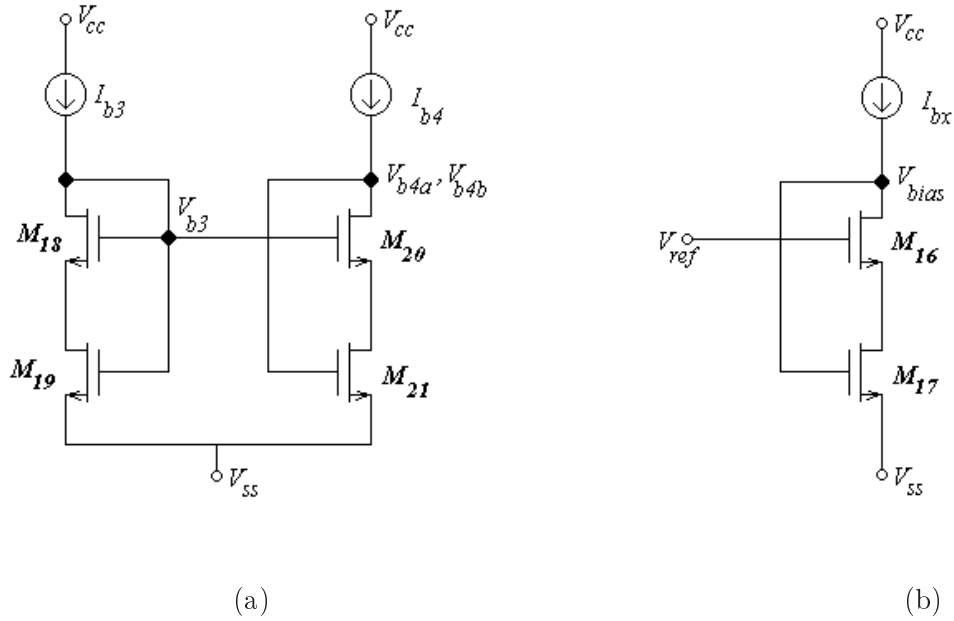


Figura 4.24: Circuitos para a geração das tensões de polarização: (a) V_{b3} e (b) $V_{b4a,b4b}$.

carregar dentro de um intervalo de tempo especificado. Tais resultados são obtidos através da análise de quais capacitores estarão conectados aos OTAs em cada fase e em qual delas a carga será máxima. Com o auxílio da Tabela 4.3 e escolhendo-se o valor da capacitância unitária como 0.1 pF , determinou-se que a maior carga conectada aos OTAs atinge o valor de 1.8 pF . O dimensionamento dos transistores consiste em calcular a corrente de saída do OTA para tal caso, de maneira a atender às especificações desejadas. O método de projeto utilizado aqui visa a redução de corrente e pode ser encontrado em [40]

A relação entre a frequência de ganho unitário (w_t) e gm é descrita como [40]:

$$w_t = \frac{gm}{C_\ell} \quad (4.3)$$

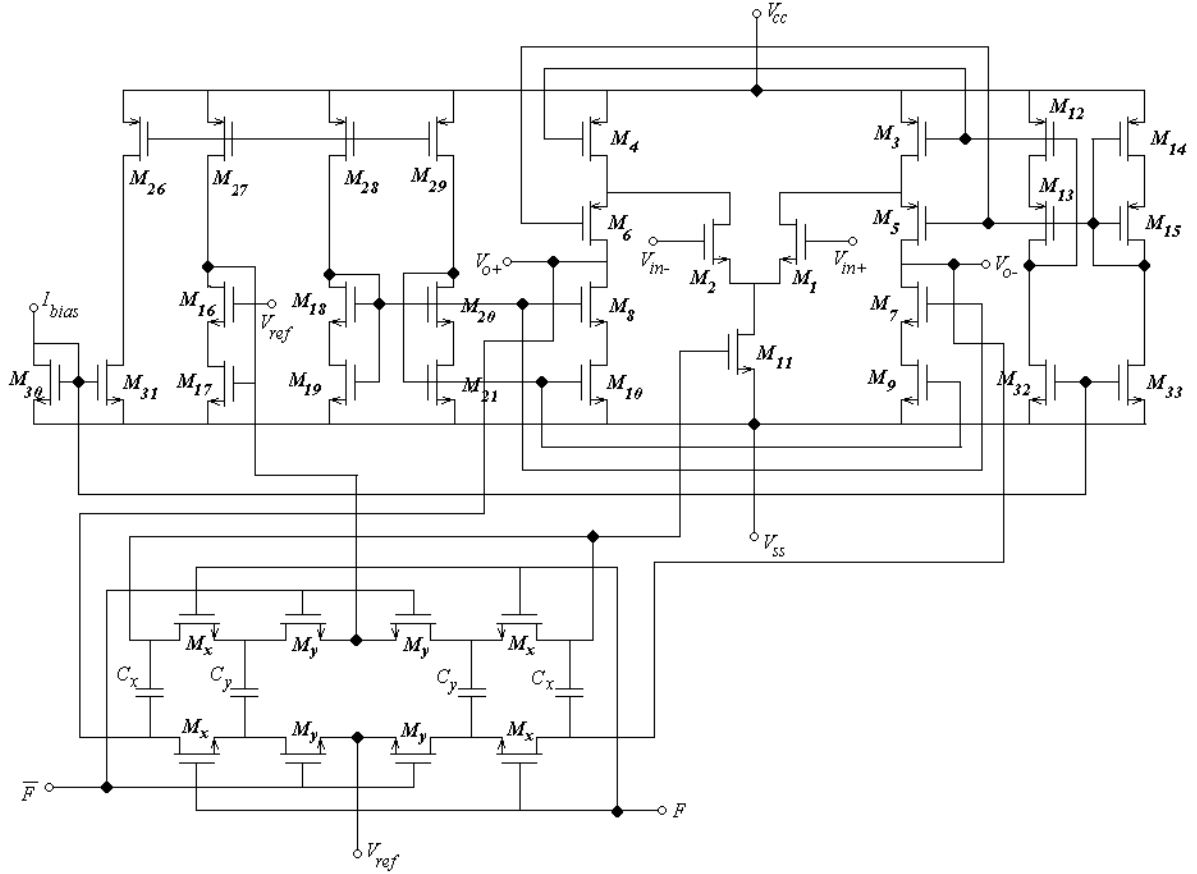


Figura 4.25: Estrutura interna do OTA, mostrando o circuito de controle de modo comum.

mas,

$$\omega_t = 2\pi B, \quad (4.4)$$

onde B é a bandapassante do operacional. Sabendo-se que na saturação a corrente de um transistor é dada por:

$$I_D = K \frac{W}{L} (V_{GS} - V_t)^2 \quad (4.5)$$

onde $K = \mu_o C_{ox}/2$ e que

$$gm = \frac{\Delta I_D}{\Delta V_{GS}} \quad (4.6)$$

$$= K \frac{W}{L} (V_{GS} - V_t) \quad (4.7)$$

$$= 2 \frac{I_D}{(V_{GS} - V_t)} \quad (4.8)$$

Reescrevendo a Eq. 4.3 em termos de gm e substituindo os valores requeridos de C_ℓ (1.8 pF) e B (25 MHz), tem-se que $gm = 283 \mu\text{A}/\text{V}$. Considerando que para o processo escolhido (TSMC $0.18 \mu\text{m}$), $V_{GS} - V_t = 0.1\text{V}$, e substituindo valores na Eq. 4.8, I_D será de $15 \mu\text{A}$.

É necessário também verificar qual valor de corrente atenderá aos requisitos de SR e estabilização do OTA. Como pode ser observado na Fig. 4.3, e sabendo que a frequência de amostragem é de 2.5 MHz , o menor tempo de amostragem é de 100 ns , relativo às fases 1, 2 3 e 4. Considerando que o tempo de estabilização seja de 40 ns , dividido igualmente entre os transientes linear e não-linear (*slew-rate*), com este último sendo dado por [40]:

$$SR = \frac{\Delta V}{\Delta T} \quad (4.9)$$

então a corrente no capacitor de carga C_ℓ durante o regime de *slew-rate* é dada por:

$$I_{0_{max}} = SRC_\ell \quad (4.10)$$

Substituindo os valores requeridos de projeto nas Eqs. 4.9 e 4.10, temos que $I_{0_{max}} = 81 \mu\text{A}$. Como a estrutura escolhida é diferencial, $I_{0_{max}} = 2I_0$, e portanto $I_0 = 40.5 \mu\text{A}$. Desta forma, temos os limites máximo e mínimo para a corrente de saída do operacional. Escolhendo o valor de I_0 como $30 \mu\text{A}$, é possível calcular todas as dimensões dos transistores da estrutura da Fig. 4.25 através da eq. 4.5, uma vez

que são conhecidas as relações entre as correntes dos transistores ($I_{M_1} = I_{M_2} = I_{M_5} = I_{M_6} = I_{M_7} = I_{M_9} = I_{M_{10}} = I_0$ e $I_{M_3} = I_{M_4} = I_{M_{11}} = 2I_0$) e os parâmetros do processo de fabricação. Para os espelhos de corrente foi escolhida uma corrente de $7.5 \mu A$, quatro vezes menor que I_0 , sendo que a dimensão dos transistores conectados como diodo, que geram a tensão de polarização dos espelhos com compliância, foi ajustada por meio de simulação, a fim de obter os valores de polarização desejados, com o consumo de corrente sendo estimado em $157.5 \mu A$. As dimensões de todos os transistores da estrutura estão apresentadas na Tabela 4.7, sob o nome de *OTA1*.

Tabela 4.7: Dimensões dos transistores (W e L, em μm) para os OTAs do filtro com especificações em Bluetooth.

	<i>OTA1</i>		<i>OTA1_{db}</i>		<i>OTA2</i>	
	<i>W</i>	<i>L</i>	<i>W</i>	<i>L</i>	<i>W</i>	<i>L</i>
M_1, M_2	20.0	0.36	20.0	0.36	200.00	0.36
M_3, M_4	80.0	0.50	80.0	0.50	800.00	0.50
M_5, M_6	40.0	0.50	40.0	0.50	400.00	0.50
M_7, M_8, M_9, M_{10}	20.00	0.50	20.00	0.50	200.00	0.50
M_{11}	40.00	0.50	40.00	0.50	400.00	0.50
M_{12}, M_{13}	20.00	0.50	20.00	0.50	200.00	0.50
M_{14}, M_{15}	10.00	0.50	10.00	0.50	100.00	0.50
M_{16}, M_{17}	5.00	0.50	5.00	0.50	50.0	0.50
M_{18}, M_{19}	0.50	0.50	0.50	0.50	5.00	5.00
M_{20}, M_{21}	5.00	0.50	-	-	50.00	0.50
M_{22}, M_{23}	-	-	40.00	0.36	-	-
M_{24}, M_{25}	-	-	2.00	0.50	-	-
$M_{26}, M_{27}, M_{28}, M_{29}$	10.00	0.50	10.00	0.50	100.00	0.50
$M_{30}, M_{31}, M_{32}, M_{33}$	5.00	0.50	5.00	0.50	50.00	0.50

4.5.1.4 Polarização Dinâmica

Afim de satisfazer às necessidades de baixo consumo de potência dos atuais projetos de circuitos integrados, um circuito de polarização dinâmica (*dynamic biasing - dynbias*) [41] foi adicionado à estrutura do OTA. A idéia básica do circuito é aumentar o *slew-rate* de forma a possibilitar uma redução de corrente e, conseqüentemente, reduzir o consumo de potência.

O circuito de *dynbias* apresentada separadamente na Fig. 4.26 e incorporado ao OTA da Fig. 4.25, consiste em um par diferencial adicional, de mesmas dimensões de M_1 e M_2 , porém composto de transistores *PMOS*, para monitorar o desbalanceamento entre os sinais de entrada V_{in-} e V_{in+} , e de três fontes de corrente, sendo as dimensões dos transistores M_{24} e M_{25} ajustadas por meio de simulação a fim de gerar a tensão necessária em V_{b4a} e V_{b4b} . Se os sinais de entrada estiverem balanceados, a corrente I_{db} , que é uma fração da corrente I_0 de saída do OTA, es-

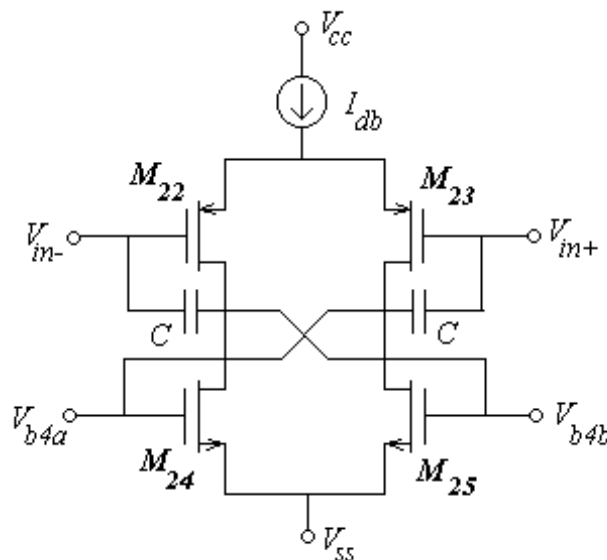


Figura 4.26: Circuito de polarização dinâmica.

colhida aqui como $1/4$ de I_0 , é igualmente dividida entre os dois transistores, e as

tensões V_a e V_b são baixas. Por outro lado, quando o OTA está na condição de *slew-rate* e com as tensões de entrada suficientemente desbalanceadas, a corrente I_{db} passa completamente por apenas um dos transistores, fazendo com que a respectiva tensão de controle (V_{b4a} ou V_{b4b}) aumente, suprimindo a corrente adicional necessária para aumentar o *slew-rate*, tensões estas que agora são usadas para polarizar os transistores M_9 e M_{10} , tornando os transistores M_{20} e M_{21} desnecessários. Desta maneira, foi possível reduzir o consumo de corrente do OTA de $157.5 \mu m$ para $78.75 \mu A$, o que leva a uma redução no consumo de potência de cerca de 50%.

Devido à inclusão do circuito de *dynbias*, a dinâmica interna do OTA fica alterada devido ao deslocamento dos seus pólos. Isto pode levar à instabilidade se estes se posicionarem suficientemente próximos dos pólos dominantes, gerados pela carga capacitiva. A fim de prevenir tais efeitos indesejados, dois capacitores iguais, denominados C na Fig. 4.26, cujos valores foram ajustados por meio de simulação, foram adicionados à estrutura, para que não afetassem a velocidade do OTA. Neste projeto, C foi escolhido como $0.35 pF$. A estrutura interna final do OTA utilizado (com *dynbias*) é apresentada na Fig. 4.27 e as dimensões dos transistores são dadas na Tabela 4.7.

4.5.1.5 Layout.

Tendo em vista as não-idealidades do processo de fabricação, o layout deve ser realizado segundo técnicas que possibilitem a redução de tais efeitos indesejáveis, que podem vir a degradar a performance do OTA.

Uma das mais importantes observações no layout de um OTA diz respeito aos espelhos de corrente. Cada transistor deve ser realizado como combinação paralelo de transistores menores, ditos unitários, interdigitados com os outros transistores

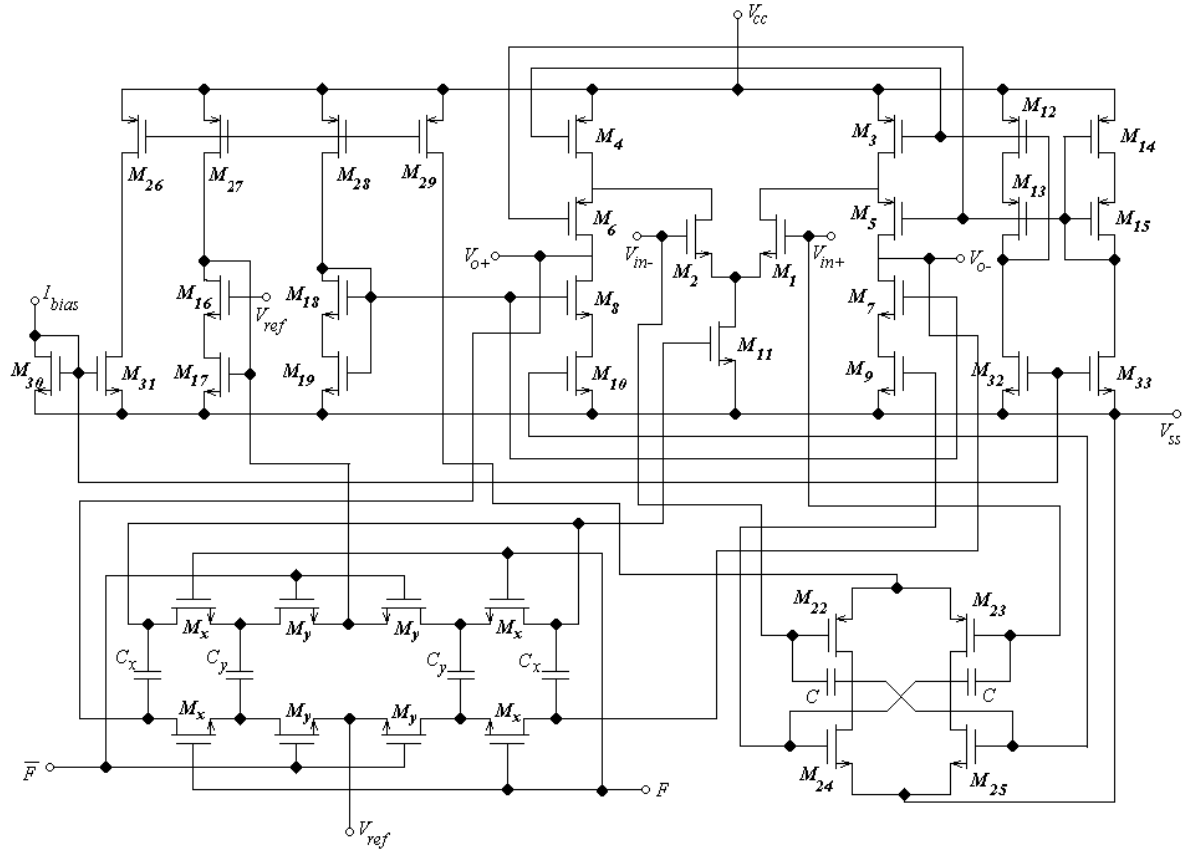


Figura 4.27: Estrutura interna completa do OTA incluindo circuito de polarização dinâmica.

pertencentes ao mesmo espelho. Tal procedimento é útil para a diminuição de erros causados por efeitos de gradiente no circuito, tais como temperatura e diferenças de espessura do óxido. Estas precauções também são válidas para os demais transistores do OTA e devem ser realizadas como associações paralelo de transistores menores, interdigitados com outros ou não, dependendo de sua função na estrutura. Além disso, deve-se fazer com que todos os gates dos transistores tenham a mesma orientação. O layout do OTA projetado é mostrado na Fig. 4.28, porém sem as chaves do circuito de CMFB, pois estas foram dispostas junto às demais chaves do filtro, para evitar que linhas de sinal digitais se cruzassem com linhas de sinal

analógico.

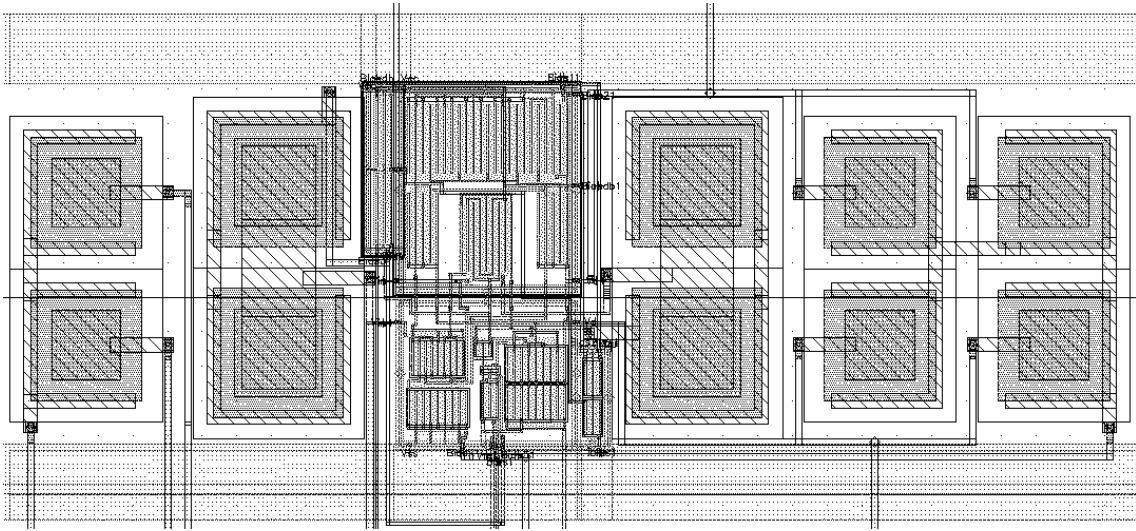


Figura 4.28: Layout do OTA projetado, sem as chaves do CMFB.

4.5.1.6 Performance

Na Tabela 4.8 é apresentado um resumo dos principais parâmetros de performance dos OTAs projetados, obtidos por simulação usando SPECTRE, usando modelo BSIM 3v3, com e sem parâmetros extraídos, numa plataforma CADENCE, incluindo a performance do buffer de saída, por conveniência, que será apresentado mais adiante.

4.5.2 Chaves Analógicas.

Atenção especial deve ser dada ao projeto de chaves analógicas, pois a injeção de cargas é um fator determinante da sua performance, mais evidenciado no caso em que a carga capacitiva é pequena. Como regra, reduzir o tamanho do transistor (e, conseqüentemente, reduzir a área de gate) ajuda a reduzir o efeito de injeção de

Tabela 4.8: Performance dos OTAs projetados para o filtro com especificações em Bluetooth.

	<i>OTA1</i>	<i>OTA1_{db}</i>		<i>OTA2</i>	
	<i>Esquemático</i>	<i>Esquemático</i>	<i>Extraído</i>	<i>Esquemático</i>	<i>Extraído</i>
$I_0(\mu A)$	30.0	15.0	15.0	350.0	350.0
$A_0(dB)$	71.1	78.0	78.2	73.0	73.0
$GB(MHz)$	57.8	56.0	53.6	62.7	62.7
$Mf(^{\circ})$	81.5	79.4	79.0	80.0	80.0
$f_c(KHz)$	16.4	8.7	8.6	8.0	8.0
$C(pF)$	-	350.0	344.9	350.0	344.9
$T_{estab}(ns)$	42.0	45.0	51.0	45.0	49.0

cargas, porém, tal procedimento pode comprometer o tempo de estabilização das chaves que carregam capacitores maiores, devido ao aumento da resistência ON da chave. Chaves *dummy* são comumente utilizadas para reduzir este efeito. Por outro lado, as chaves analógicas devem ser projetadas de tal forma a apresentarem uma resistência OFF alta, a fim de que a fuga de cargas seja pequena. A resistência ON deve ser baixa, para que o circuito estabilize rapidamente e a chave não introduza offset quando for ligada. Para que a chave opere em toda a faixa de $V_{ss}-V_{cc}$, sem limitar a excursão do sinal, chaves complementares são utilizadas.

Um problema crítico no projeto de circuitos SC de baixa tensão é a dificuldade de implementação de chaves analógicas [40]. Em circuitos SC, com a redução de dimensões nas novas tecnologias, reduz-se também a tensão de alimentação, porém, o mesmo não ocorre com as tensões de threshold dos transistores *NMOS* e *PMOS*, que permanecem aproximadamente as mesmas, o que passa a ser um problema para

a operação correta das chaves. Para uma correta operação, é necessário que a tensão de alimentação seja suficientemente maior que a soma das tensões de threshold de forma a manter a chave com uma transcondutância alta. À medida que a alimentação diminui e seu valor se aproxima da soma das tensões de threshold, a condutância também diminui, comprometendo o funcionamento da chave, até o ponto em que passa a existir uma região de voltagens na qual os transistores da chave não estarão operando corretamente, como mostrado na Fig. 4.29, onde V_{dd} , V_{tp} e V_{tn} são as tensões de alimentação, de threshold dos transistores *PMOS* e *NMOS*, respectivamente. Algumas soluções foram propostas [42], de forma a aumentar $V_{GS} - V_t$, tais como aumentar V_{GS} usando uma tensão mais alta para alimentar somente as chaves ou usar um circuito dinâmico para impulsionar localmente o clock [43]. Para este projeto em particular, simulações mostraram que a estrutura de chave complementar, descrita no primeiro parágrafo desta seção, deverá garantir uma boa performance das chaves. Como uma precaução adicional, optou-se por implementar a alimentação das chaves separadamente do resto do circuito, para aumentar o valor de V_{GS} dos transistores das chaves caso seja necessário.

Dependendo da carga conectada à chave, foi possível separá-las em dois grupos distintos neste projeto, cujas dimensões estão apresentadas na Tabela 4.9, onde *Chave1* e *Chave2* foram projetadas para carregar apropriadamente capacitâncias nas faixas de 0.1-0.6 *pF* e 0.8-1.4 *pF*, respectivamente, buscando reduzir o efeito deletério da injeção de cargas. *Chave3* diz respeito à chave projetada para o buffer de saída, que será discutido mais adiante, apresentada aqui apenas por conveniência.

O layout das chaves deste projeto foi feito de forma a possibilitar o menor número possível de cruzamentos entre linhas de sinal analógico e digital, evitando,

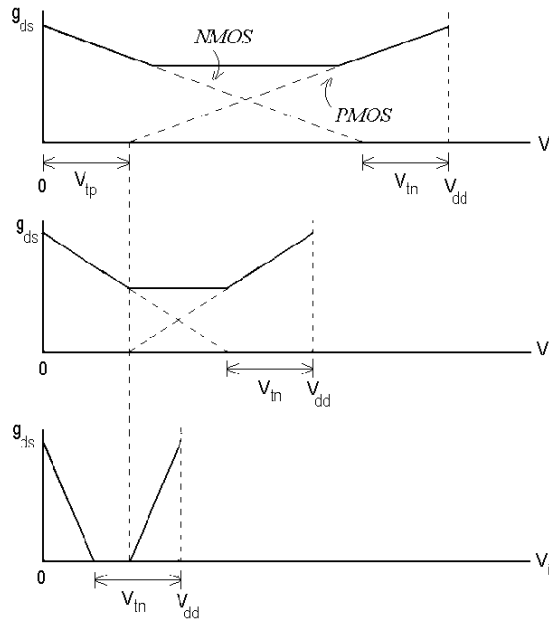


Figura 4.29: Efeito sobre as condutâncias de chaves MOS devido à diminuição da tensão de alimentação.

Tabela 4.9: Dimensões das chaves projetadas para o filtro Bluetooth.

		<i>Chave1</i>	<i>Chave2</i>	<i>Chave3</i>
<i>NMOS</i>	$W(\mu m)$	0.88	8.80	8.80
	$L(\mu m)$	0.44	0.44	0.44
<i>PMOS</i>	$W(\mu m)$	1.76	17.60	17.60
	$L(\mu m)$	0.44	0.44	0.44

assim, *crosstalk* entre as linhas. Como exemplo, a Fig. 4.30 apresenta o layout da *Chave1*, que é semelhante ao das demais chaves, diferindo apenas nas dimensões.

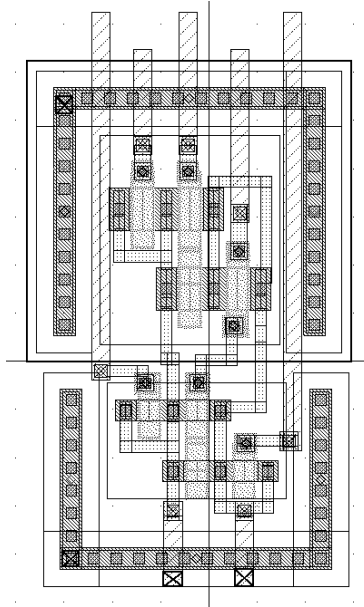


Figura 4.30: Layout da *Chave1*.

4.5.3 Capacitores

Elevado grau de precisão pode ser alcançado na realização de funções de transferência de filtros a capacitores chaveados, com um cuidadoso layout dos capacitores, a fim de que os efeitos dos erros relativos ao processo e implementação sejam minimizados.

Devido à corrosão do óxido na fabricação, a área efetiva do capacitor realizado pode ser menor que a área da máscara, efeito conhecido como *undercut*. Tal efeito pode ser minimizado realizando cada capacitor como uma associação paralela de capacitores menores, ditos unitários, e, também, realizando os coeficientes do filtro através de razões de capacitâncias, uma vez que, neste caso, o importante é o valor final da razão, em vez do valor absoluto da capacitância. Efeitos de gradiente na espessura do óxido podem ser minimizados arranjando os capacitores em uma configuração denominada de centróide comum [27].

Capacitâncias parasitas devem ser evitadas devido ao seu efeito deletério na resposta em frequência, podendo gerar erros inaceitáveis nas razões de capacitâncias. Com a finalidade de diminuir os efeitos de capacitâncias parasitas de borda, os capacitores foram realizados como uma matriz de capacitores unitários em geometria quadrada, com valores de acordo com a Tabela 4.3, uma vez que esta geometria apresenta área e perímetro iguais, vindo a minimizar, os efeitos de parasitas de borda e *overetching*.

Uma outra forma de reduzir as capacitâncias parasitas é evitar ao máximo o cruzamento entre linhas de metal e considerar cuidadosamente seu afastamento e posicionamento. Em casos inevitáveis, deve-se tirar proveito da simetria do layout diferencial para minimizar tal efeito. Elementos *dummy* foram dispostos ao redor de cada matriz, a fim de emular os parasitas das bordas (ou efeito de franjas), com o objetivo de uniformizar as capacitâncias de borda tanto para elementos no interior quanto nas bordas da matriz. Além disto, o layout dos bancos de capacitores foi feito cuidadosamente, de forma a não introduzir erros maiores que 1% nas razões de capacitâncias, devido às capacitâncias parasitas, a fim de obter um resultado de acordo com o previsto na Fig. 4.6. Como exemplo, a Fig. 4.31 mostra o layout do banco de capacitores da *Célula 3*.

4.5.4 Layout do Filtro.

A fim de aproveitar as vantagens oferecidas pela estrutura diferencial, o layout foi realizado o mais simétrico possível, procurando isolar os sinais digitais dos analógicos, para evitar o *crosstalk*. Uma estratégia comumente usada em estruturas diferenciais é a de posicionar o banco de capacitores entre os OTAs e as chaves,

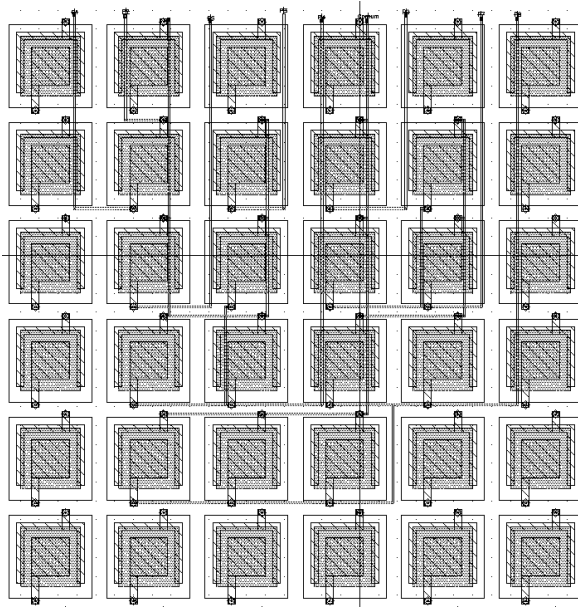


Figura 4.31: Layout do banco de capacitores da célula 3.

proporcionando um isolamento entre os sinais analógicos e digitais, e fazendo com que apenas os sinais analógicos cheguem aos OTAs, como pode ser observado na Fig. 4.32.

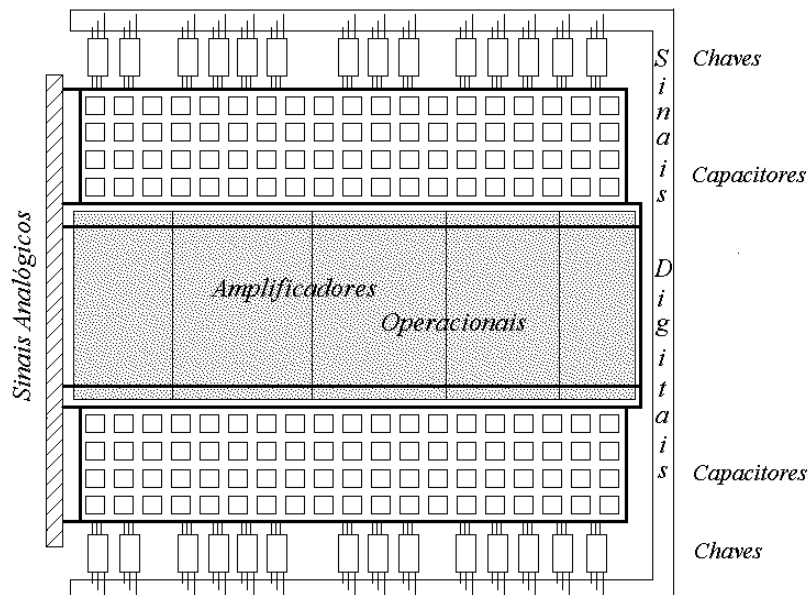


Figura 4.32: Esquema de layout do filtro.

Devido ao aspecto modular da estrutura da Fig. 4.3, tornou-se possível verificar a performance de cada célula separadamente e realizar o layout de cada uma independente das demais, o que simplifica consideravelmente a tarefa de prevenir e identificar possíveis falhas. O layout dos elementos de cada célula (OTAs, capacitores e chaves) foi realizado segundo as diretrizes das seções anteriores, com a finalidade de diminuir os efeitos das não-idealidades do processo. Como exemplo, o layout da *Célula 2* pode ser visto na Fig. 4.33.

4.5.4.1 Buffer de saída.

Para compatibilizar a saída do filtro integrado com as capacitâncias dos *pads* de saída e pontas de prova dos instrumentos de medição, um buffer de saída completamente diferencial foi projetado, para uma carga de 15 pF , considerando que as capacitâncias dos *pads* usados neste projeto e das pontas de prova são, respectivamente, de 5 pF e 10 pF , aproximadamente.

A estrutura do buffer de saída é mostrada na Fig. 4.34, onde os capacitores C são de valor 1.0 pF . O OTA para a carga de 15 pF do buffer de saída da Fig. 4.34 foi projetado usando a mesma técnica adotada para o de carga 1.8 pF , apresentado na Seção 4.5.1.3, usando a mesma estrutura interna da Fig. 4.22, com os espelhos de corrente com compliância da Seção 4.5.1.2. Optou-se por não usar a estrutura de polarização dinâmica neste caso. A estrutura interna deste OTA é, portanto, semelhante à apresentada na Fig. 4.25, com as dimensões de transistores mostradas na Tabela 4.7, sob o nome *OTA2*. Simulações com SPECTRE e utilizando parâmetros extraídos do processo foram realizadas, apresentando performance similar ao outro OTA projetado, resumida na Tabela 4.8.

O projeto dos capacitores e chaves seguiram os critérios adotados nas Seções

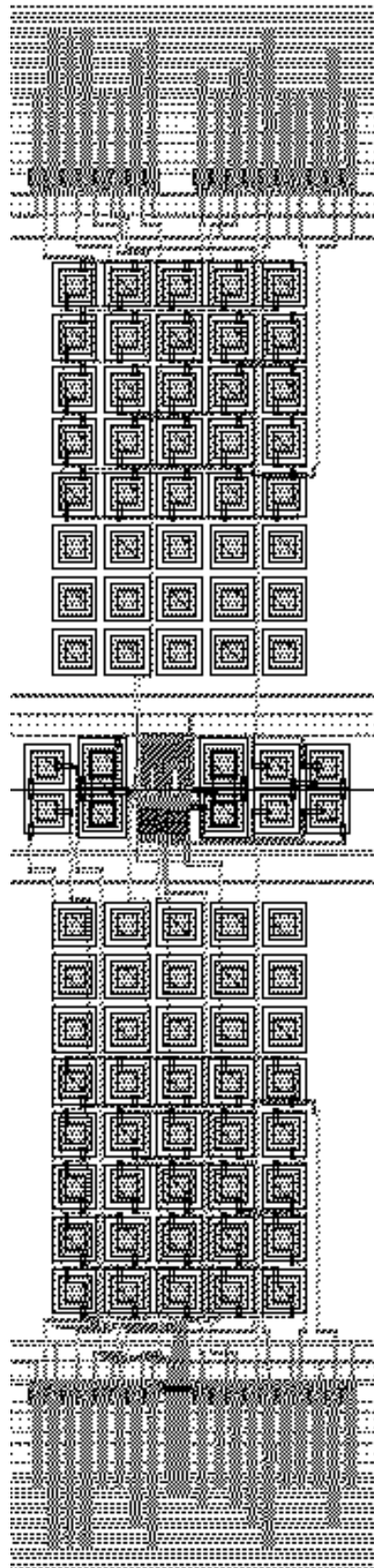


Figura 4.33: Layout da célula 2.

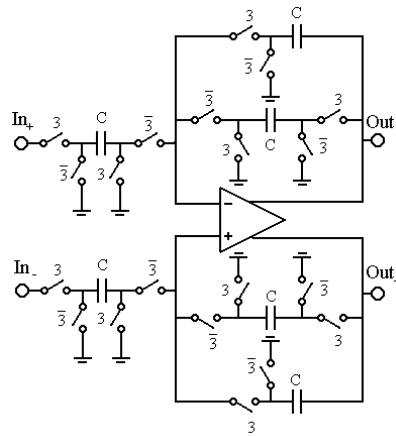


Figura 4.34: Diagrama esquemático do buffer de saída.

4.5.2 e 4.5.3, e as dimensões das chaves estão mostradas na Tabela 4.9. Também o layout da estrutura da Fig. 4.34 foi realizado de forma semelhante ao das células componentes do filtro: simétrico, isolando os sinais digitais dos analógicos, para evitar o *crosstalk*, através do banco de capacitores, posicionado entre os OTAs e as chaves.

4.5.4.2 Layout Final

Seguindo os critérios de projeto e layout apontados acima, usando estratégias para separar os sinais analógicos dos digitais, o layout final possui um atrativo aspecto modular e completamente simétrico, baseado em blocos pequenos, aproveitando as vantagens de estruturas diferenciais, como se pode observar na Fig. 4.35.

4.6 Simulações Pós Layout

O filtro descrito nas seções anteriores, cujo layout é mostrado na Fig. 4.35, foi simulado em uma plataforma CADENCE, usando parâmetros extraídos do layout do filtro para verificar as previsões teóricas.

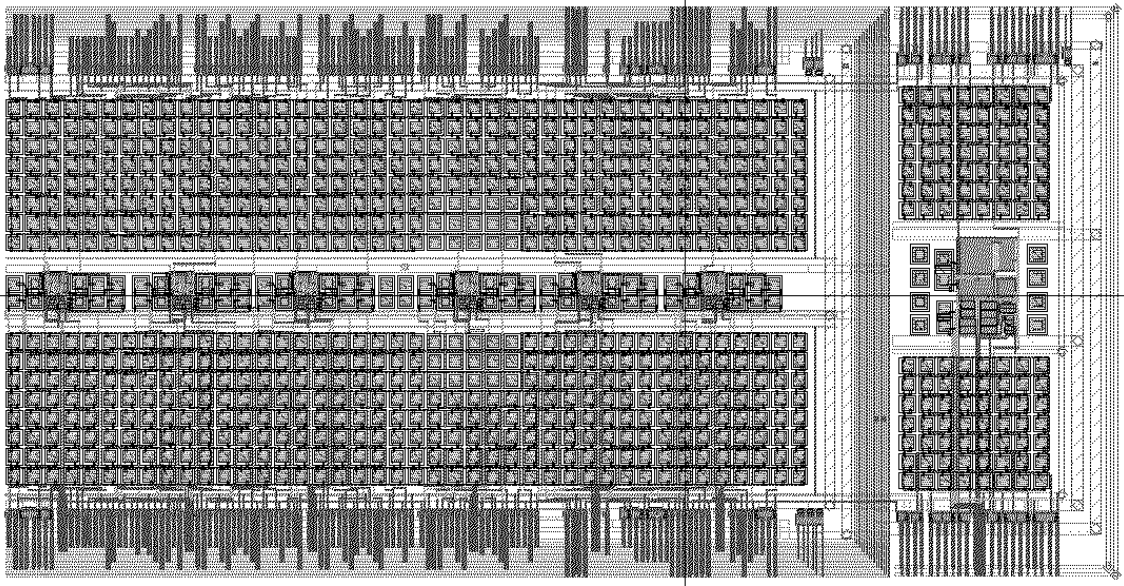


Figura 4.35: Layout final do filtro.

Devido ao aspecto modular de cada célula, foi possível investigar a performance de cada uma delas separadamente, como pode ser visto na Fig. 4.36. Na Fig. 4.37 é mostrada uma comparação entre as respostas em frequência ideal e simulada com parâmetros extraídos do processo do denominador. Como mostrado na Fig. 4.38, as respostas ideal e simulada do filtro estão em plena concordância. O ligeiro deslocamento na frequência de um dos zeros é atribuída aos inevitáveis efeitos de capacitância parasita. Deve-se observar, entretanto, que a atenuação mínima requerida de 60 dB é facilmente alcançada. As dimensões do chip final são 1.510 mm x 0.788 mm , encapsulado em uma estrutura de 28 pinos, com máximo consumo de potência estimado em 0.85 mW .

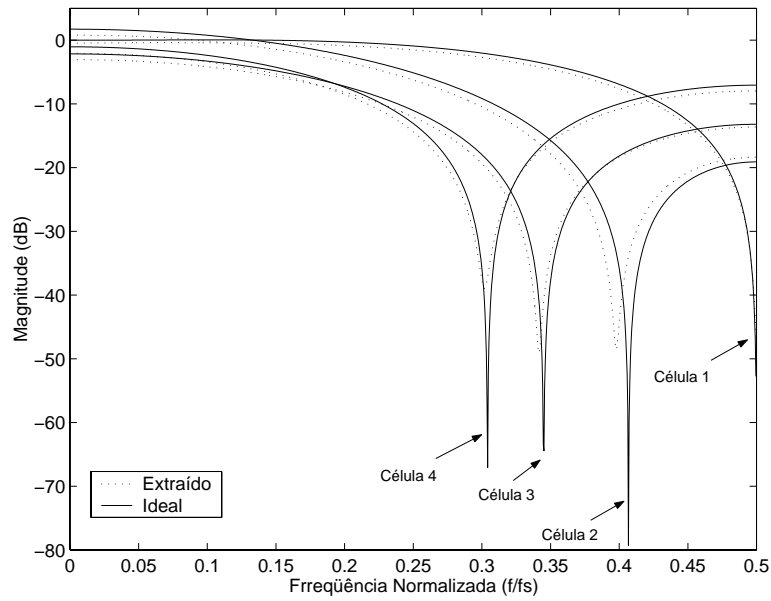


Figura 4.36: Respostas em frequência da saída de cada célula simuladas com parâmetros extraídos.

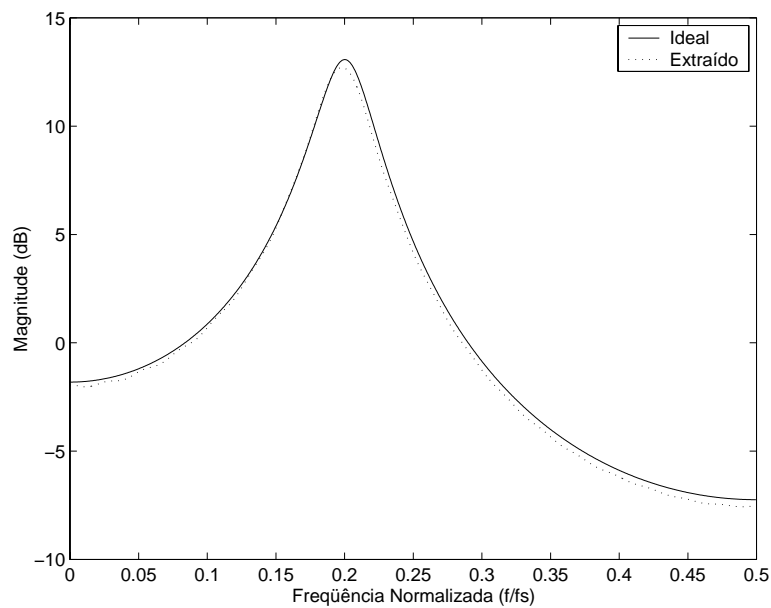


Figura 4.37: Respostas em frequência ideal (linha sólida) e simulada com parâmetros extraídos (linha pontilhada) do denominador do filtro.

4.7 Testes

O circuito integrado projetado nas seções anteriores foi fabricado e, para realização dos testes de sua performance, uma placa de circuito impresso foi confec-

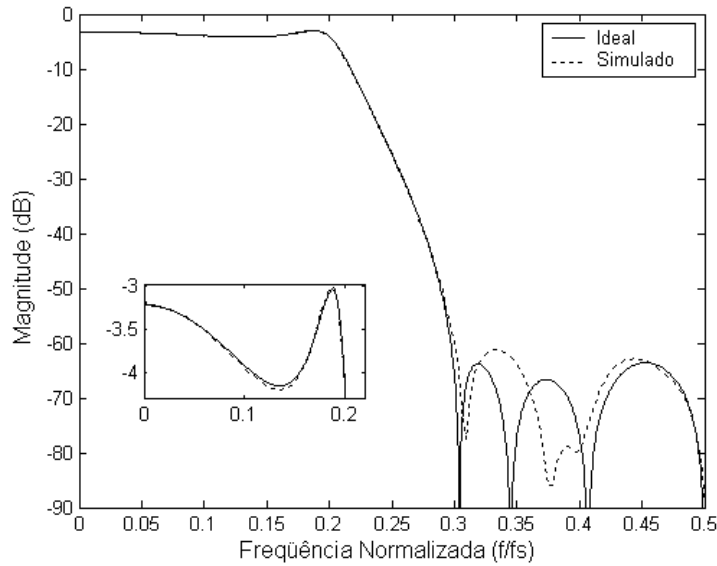


Figura 4.38: Respostas em frequência ideal (linha sólida) e simulada com parâmetros extraídos (linha pontilhada).

cionada, usando componentes disponíveis comercialmente, a fim de gerar as tensões de alimentação, sinais de clock e correntes de polarização necessárias. Detalhes da placa de circuito impresso podem ser encontrados no A.

Neste trabalho, optou-se por gerar as fases externamente ao integrado, como uma forma de diminuir as possíveis fontes de erro. Para tal, seria necessário o uso de portas lógicas combinadas de forma a gerar as cinco fases desejadas, sem que houvesse superposição entre elas [37], implicando na utilização de pelo menos 5 integrados na placa de circuito impresso. Como forma de economizar espaço e simplificar o roteamento das trilhas na placa de circuito impresso, utilizou-se uma PAL programada de forma a gerar dos sinais de clock desejados, sem que houvesse nenhuma superposição entre eles.

Fotos tiradas do circuito integrado fabricado, tiradas com o auxílio de um microscópio ótico, são encontradas no Apêndice A.

A fim de testar a performance do filtro quanto à sua resposta em frequência, foi utilizado um analisador de espectro Agilent 4395A, com varredura interna de frequência. O resultado medido está mostrado na Fig. 4.39, onde pode ser observado que a faixa de passagem possui boa performance, concordando com a respostas esperadas teoricamente e simulada. Por outro lado, à medida em que a frequência de amostragem aumenta, o filtro não apresenta resultados satisfatórios na faixa de rejeição, perdendo atenuação e, a repetição do espectro inerente à filtros SC. Para frequências baixas há uma perda de 10 *dB* de atenuação, com pode ser observado na Fig. 4.39, mas as posições dos zeros estão de acordo com o esperado. A diferença de ganho é devida ao fato de o circuito ser diferencial e estamos observando apenas uma das saídas, além da influência atenuadora da ponteira de prova.

Alguns fatores devem ser investigados na busca de soluções para o problema, tais como: influência de capacitâncias parasitas, estabilização dos OTAs durante o período de uma fase, funcionamento correto das chaves em altas frequências.

A verificação da inevitável influência de capacitâncias parasitas havia sido realizada através da simulação do circuito utilizando parâmetros extraídos do processo em uma plataforma CADENCE, como anteriormente mostrado na Fig. 4.38, revelando apenas a mudança de posição de um dos zeros.

Uma das causas do mau funcionamento do circuito poderia estar relacionada à estabilização inadequada dos OTAs, ocasionando amostras de valores incorretos. Uma forma prática de aumentar a velocidade seria injetando mais corrente de polarização. Tal procedimento foi realizado, porém, não apresentou diferença nos resultados.

Simulações com a finalidade de verificar a performance dos OTAs quanto

à velocidade foram realizadas, utilizando os parâmetros extraídos do processo, para cada célula separadamente e no circuito completo, utilizando os modelos de pior caso de velocidade do SPECTRE, descritos a seguir: transistor NMOS lento e PMOS lento, NMOS rápido e PMOS rápido. As respostas em frequência para estes casos estão mostrados na Fig. 4.40, juntamente com a resposta do caso típico. Vale ressaltar que as amostras de saída estão estabilizadas dentro do intervalo desejado, resultado também observado com o protótipo discreto em protoboard, com o auxílio de um osciloscópio.

Experimentalmente não é possível investigar a estabilização de cada OTA separadamente, uma vez que o buffer de saída está conectado diretamente à saída.

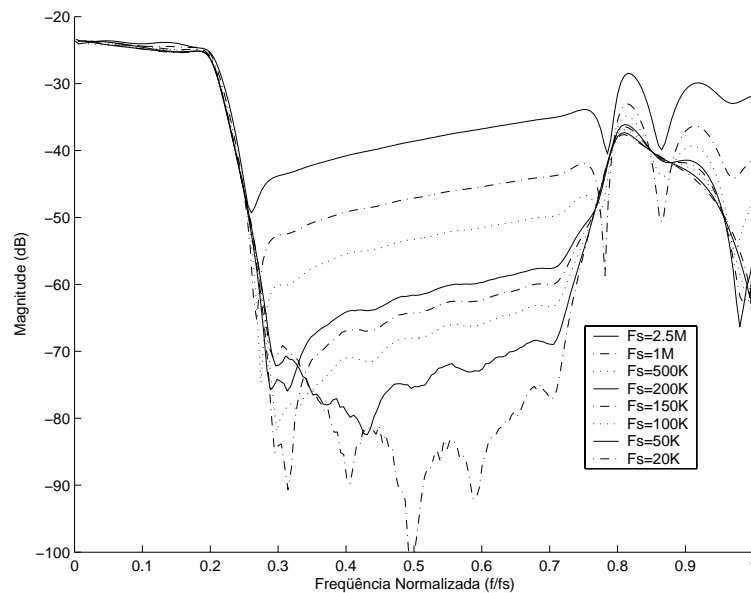


Figura 4.39: Respostas em frequência obtidas experimentalmente com o circuito integrado fabricado.

Simulações quanto à estabilização de cada célula separadamente foram realizadas, durante a fase de layout, com os resultados apresentados nas Figs. 4.36, 4.37 e 4.38. Uma solução para a investigação experimental seria a inserção de chaves que possibilitassem a seleção e observação do sinal na saída de cada célula, facilitando a detecção de possíveis erros. Devido ao fato de as simulações realizadas utilizarem FFT com janela retangular, nada pode ser concluído, a partir delas, quanto à periodicidade do sinal. Deve-se, então, voltar atenções, também, para o funcionamento das chaves, já que os resultados experimentais não mostram que a repetição do espectro na frequência de amostragem não acontece, ou é completamente mascarada, o que leva a hipótese de uma possível falha no funcionamento das chaves para frequências mais altas.

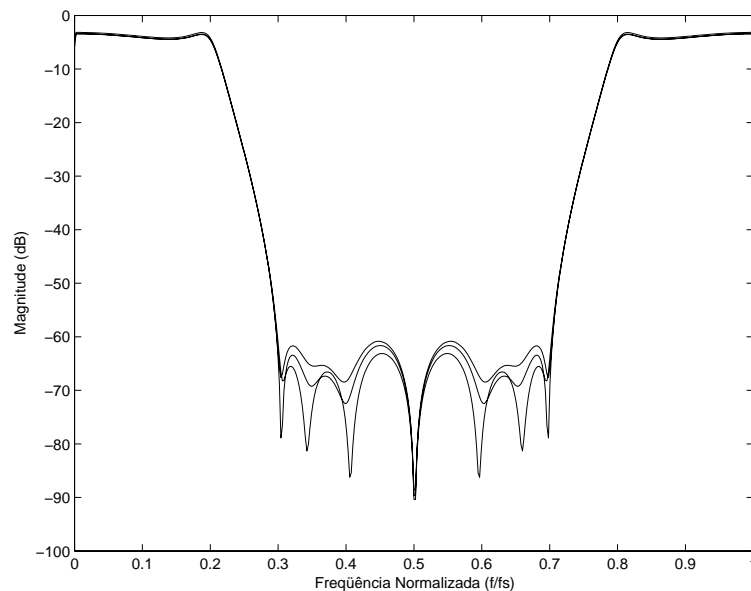


Figura 4.40: Respostas em frequência simuladas quanto ao pior caso de velocidade.

As simulações com os parâmetros extraídos do processo da Fig. 4.40 foram realizadas sem incluir os *pads* de saída, o que leva à conclusão que tais *pads* podem estar levando à erros adicionais no circuito. O tecnologia de fabricação utilizada não oferece *pads* e dispositivos de proteção previamente prontos, como em outras tecnologias, levando o projetista a desenhar seus próprios *pads*. Os utilizados neste trabalho foram projetados na Universidade do Texas, Departamento de Engenharia Elétrica, sob a supervisão do Prof. Franco Maloberti, mas não haviam sido fabricados e testados anteriormente. Caso os *pads* de saída estejam contribuindo com uma carga maior que a esperada, o buffer de saída e as chaves à ele relacionadas, projetados para uma carga máxima de 15 pF , não conseguirão carregar a carga com o valor desejado no tempo designado. Para baixas frequências, a influência da capacitância de carga será menor e aumentará com o aumento da frequência de chaveamento.

Capítulo 5

Filtro Decimador

Sistemas multi-taxa analógicos têm sido empregados em diferentes aplicações de processamento de sinais, tais como filtragem de banda estreita e geração de detecção de sinais SSB [44] com a finalidade de aliviar os requisitos de banda dos amplificadores e diminuir as razões de aspecto, reduzindo, desta forma, o consumo de potência e melhorando o casamento entre eles, ao mesmo tempo que permitem operação numa taxa de amostragem mais baixa no interior dos circuitos analógicos. Outros exemplos incluem bancos de filtros híbridos [45], e conversores $\Sigma\Delta$ [46].

Outra consequência da redução da taxa de amostragem em circuitos SC é a redução na dispersão dos capacitores [10], [11], contribuindo para um alívio nos requisitos da largura de banda do amplificador operacional. A otimização de filtros SC, entretanto, implica que em cada estágio a taxa de amostragem deve ser mantida a mais próxima possível do dobro da componente de frequência mais elevada do sinal de banda básica. As estruturas convencionais de filtros a SC, em geral, não obedecem esta regra básica.

O principal objetivo deste capítulo é introduzir uma nova estrutura de filtro

decimador IIR SC, como realizado em [12] e [47], que também é baseada na decomposição polifásica de uma função de transferência, mas é menos sensível que a estrutura proposta em [20] e não é limitada a funções de transferência de L -ésima banda, como em [11]. A nova aproximação faz uso da alocação ótima de pólos e zeros [14], [15], tal que sejam obtidas funções de transferência com denominadores de ordem baixa. Isto é particularmente útil para a implementação ótima de filtros decimadores IIR SC, reduzindo o desvio na resposta em frequência causado por imprecisões nas razões de capacitores.

5.1 Fundamentos de Processamento Multitaxa

Nesta seção serão apresentados alguns dos conceitos fundamentais do processamento multitaxa de sinais para um melhor entendimento dos fundamentos teóricos utilizados na realização do presente trabalho. Um estudo mais profundo pode ser encontrado em [23]-[48].

5.1.1 Filtros Decimadores e Interpoladores

Os três componentes básicos de um sistema linear de uma única taxa de amostragem são o atraso unitário, o somador e o multiplicador. Para o caso de sistemas multitaxas discretos, incluem-se neste conjunto dois novos elementos: o *down-sampler* e o *up-sampler*.

O *down-sampler*, mostrado na Fig. 5.1(a), gera, a partir de uma seqüência discreta $x(n)$, uma outra seqüência discreta $y(n)$, cuja frequência de amostragem é mais baixa que a da seqüência de entrada, isto é, sub-amostra-se a seqüência $x(n)$.

A relação entrada-saída, no domínio do tempo, é dada por:

$$x_d(n) = x(Ln) \quad (5.1)$$

onde o fator de amostragem L é um inteiro positivo maior que um. Dessa forma, se a frequência de amostragem de $x(n)$ for F_s , x_d terá uma taxa de amostragem de F_s/L . No domínio da frequência, a relação descrita em (5.1) é dada por:

$$X_d(e^{j\omega}) = \frac{1}{L} \sum_{k=0}^{L-1} X(e^{j(\omega-2k\pi)/L}) \quad (5.2)$$

onde $X(e^{j\omega})$ e $X_d(e^{j\omega})$ são as transformadas de Fourier de $x(n)$ e $x_d(n)$, respectivamente. Como indicado em (5.2), $X_d(e^{j\omega})$ inclui o somatório de $L - 1$ imagens de $X(e^{j\omega})$ expandidas pelo fator L e centradas em $2k\pi/L$, $k=1,2,\dots,L-1$. Portanto, a menos que $X(e^{j\omega})$ seja limitada à região $0 \leq \omega \leq \pi/L$, ocorrerá a sobreposição de termos adjacentes em (5.2), causando *aliasing*. Para evitar este indesejável efeito, $x(n)$ é limitada em frequência por um filtro passa-baixas ideal, descrito idealmente por:

$$H_d(e^{j\omega}) = \begin{cases} 1, & |\omega| \leq \pi/L \\ 0, & \pi/L < |\omega| < \pi \end{cases} \quad (5.3)$$

antes ser sub-amostrada, como indicado na Fig. 5.1(b). A combinação de um filtro *anti-aliasing* e um *down-sampler* é usualmente chamada de *filtrodecimador* e o processo de redução da taxa de amostragem descrito acima é chamado de *decimação*.

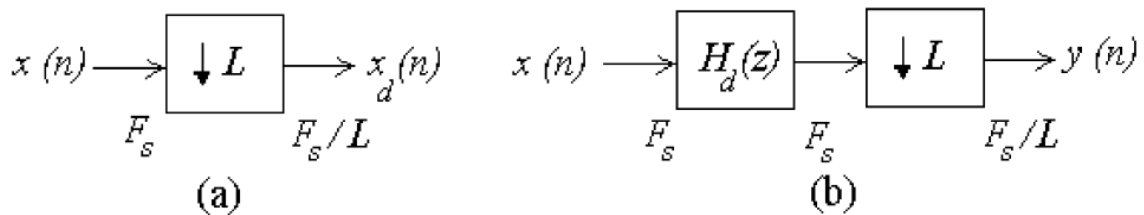


Figura 5.1: Símbolos para (a) *Down-sampler* e (b) Filtro Decimador.

Da mesma forma, o dispositivo que cria uma seqüência de saída discreta com freqüência de amostragem maior que a da seqüência de entrada é chamado de *up-sampler*, realizando assim uma super-amostragem da seqüência de entrada, como mostrado na Fig. 5.2(a). Sua relação entrada-saída no domínio do tempo é dada por:

$$x_u(n) = \begin{cases} x(\frac{n}{M}), & n = 0, \pm M, \pm 2M, \dots \\ 0, & \text{outro } n \end{cases} \quad (5.4)$$

onde o fator de super-amostragem M é um inteiro positivo maior que 1. Então, se F_s é a taxa de amostragem de $x(n)$, a taxa de $x_u(n)$ é MF_s . No domínio da freqüência, as seqüências de entrada e saída se relacionam por

$$X_u(e^{j\omega}) = X(e^{j\omega M}) \quad (5.5)$$

onde X_u é a transformada de Fourier de $x_u(n)$. Neste caso, há uma compressão no espectro de freqüências, o que faz com que surjam $M - 1$ imagens do sinal original. As amostras de valor zero de $x_u(n)$ podem ser substituídas por valores não nulos apropriados através de um processo de interpolação, que no caso ideal equivale a passar a seqüência de saída por um filtro ideal passa baixas, como mostrado na Fig. 5.2(b), cuja resposta em freqüência é dada por

$$H_u(e^{j\omega}) = \begin{cases} M, & |\omega| \leq \pi/M \\ 0, & \pi/M < |\omega| < \pi. \end{cases} \quad (5.6)$$

A combinação de um *up-sampler* e um filtro passa-baixas é comumente chamada de *filtro interpolador* e o processo que consiste em aumentar a taxa de amostragem desta forma é conhecido por *interpolação*.

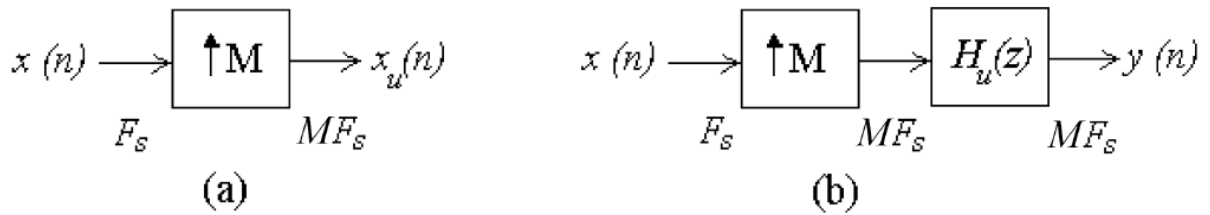


Figura 5.2: Símbolos para (a) *Up-sampler* e (b) Filtro Interpolador.

5.2 Identidades Nobres

Na forma padrão, o processo de sub-amostragem é precedido pela filtragem, porém esta não é uma alternativa eficiente, uma vez que são utilizadas amostras do sinal no processamento que depois serão descartadas. Um procedimento mais eficiente consiste em descartar as amostras primeiro e depois realizar o processamento com as restantes. Isto pode ser obtido utilizando a *primeira identidade nobre* [48], [8]. Para este tipo de filtro, é possível reduzir a taxa de amostragem antes da filtragem, como mostrado na Fig. 5.3, melhor explicado a seguir.

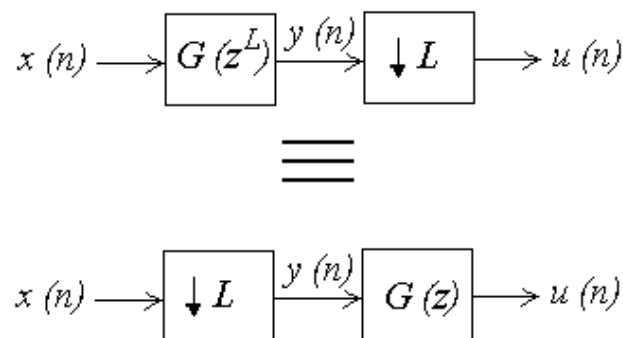


Figura 5.3: Diagrama esquemático da *primeira identidade nobre*.

Considere o caso em que a sub-amostragem é feita antes da filtragem. Então temos que $y = x(Ln)$ e $u(n) = \sum_{k=0}^{L-1} g(k)x(L(n-k))$. No caso em que a sub-

amostragem é feita após a filtragem, temos que $y(n) = \sum_{k=0}^{L-1} g(k)x(n - Lk)$ e $u(n) = \sum_{k=0}^{L-1} g(k)x(L(n - k))$, o que mostra a equivalência entre as duas formas.

Outra equivalência útil é a *segunda identidade nobre* [8], [48] que diz respeito à super-amostragem e que é a transposta da primeira identidade. Tal equivalência é ilustrada na Fig. 5.4. Considere, primeiramente, o caso em que a super-amostragem é feita após a filtragem. No domínio z , temos que $Y(z) = G(z)X(z)$ e $U(z) = Y(z^M) = G(z^M)X(z^M)$. Para o outro caso (filtragem antecedendo super-amostragem), temos que $Y(z) = X(z^M)$ e $U(z) = G(z^M)X(z^M)$, o que prova a equivalência.

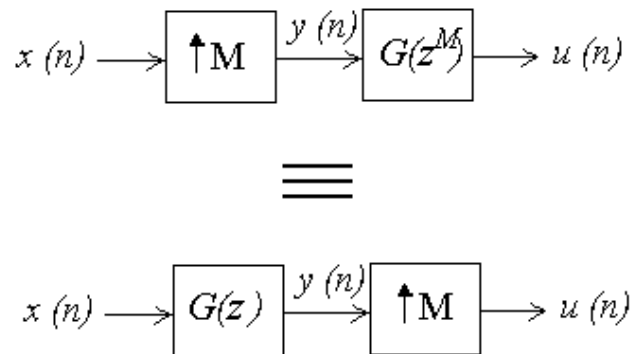


Figura 5.4: Diagrama esquemático da *segunda identidade nobre*.

5.3 Implementação Polifásica

A redução na taxa de amostragem pode ser obtida com o uso de um filtro decimador, como mostrado na Fig. 5.1, onde o filtro $H(z)$, assumindo característica passa baixa, é precedido por um redutor de taxa de amostragem de fator L . A fim de prevenir o efeito de *aliasing*, $H(z)$ deve ter uma frequência de rejeição (normalizada) menor que π/L . Apesar de o diagrama da Fig. 5.1(b) mostrar uma solução direta para o problema da redução da taxa de amostragem, em redes SC, em particular, não

significa que esta seja uma implementação eficiente de $H(z)$, já que os requisitos de velocidade do amplificador operacional e a dispersão de capacitores são determinados pela taxa de processamento do sinal.

Uma aproximação mais eficiente para o filtro decimador a capacitores chaveados pode ser conseguida fazendo-se a decomposição polifásica de uma função de transferência IIR, explorando a redução da taxa de amostragem inerente ao processo de decimação [10], [11]. Em [10], o procedimento de projeto consiste em multiplicar o numerador e denominador de $H(z)$ por um polinômio $P(z)$ apropriado, tal que a função de transferência possa ser escrita como

$$H(z) = \frac{A(z)}{B(z)} = \frac{A(z)P(z)}{B(z)P(z)} = \frac{\sum_{k=0}^{M-1} z^{-k} E_k(z^L)}{D(z^L)}, \quad (5.7)$$

onde $E_k(z) = \sum_{j=1}^J e_{kj} z^{-j}$. Devido à acurácia limitada dos coeficientes do filtro, entretanto, diferentes fatores do polinômio são introduzidos no numerador e no denominador de $H(z)$, e não iguais à $P(z)$, como indicado em (5.7). Como resultado, a função de transferência realmente implementada não é exatamente igual à do projeto nominal. Em [11], uma realização menos sensível a erros na razão dos capacitores foi descrita, baseada na decomposição de filtros IIR de L -ésima banda como uma soma de funções de transferência passa-tudo. Ambas implementações apresentam consideráveis melhorias em termos de dispersão de capacitâncias e consumo de potência, quando comparadas aos filtros a capacitores chaveados convencionais de uma única taxa.

A Eq.(5.7) pode ser representada por uma estrutura paralela na qual cada caminho possui um filtro $E_k(z^L)/D(z^L)$, seguido de um *downsampler* de fator L . Então, cada filtro pode ser movido para a direita do *downsampler*, se tornando $E_k(z)/D(z)$ com a utilização da *identidade de nobre*, o que leva ao diagrama de

blocos da Fig. 5.5. Observe que agora o filtro trabalha a uma taxa mais baixa ($F_s/2$). Uma vez que $D(z)$ e $P(z)$ possuem a mesma ordem e este é escolhido com uma ordem baixa, $E_k(z)$ e $1/D(z)$ podem ser realizados na forma direta eficientemente.

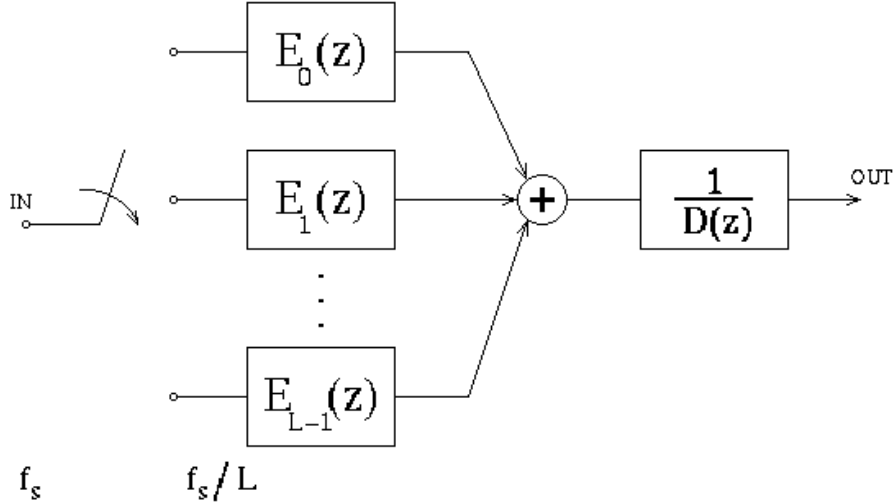


Figura 5.5: Implementação eficiente de um filtro decimador.

Para o caso em que o denominador é de segunda ordem e o numerador possui uma ordem qualquer, a decomposição polifásica é realizada como descrito em [49] e repetida aqui por conveniência. A função de transferência descrita pela Eq. (5.7) pode ser reescrita na forma

$$H(z) = \frac{\sum_{j=0}^N a_j z^{-j}}{1 - 2r_p \cos(\theta_p) z^{-1} + r_p^2 z^{-2}} \quad (5.8)$$

Aplicando a equivalência usada em [50]

$$b_0 - z^{-1} = \frac{b_0^L - z^L}{\sum_{I=0}^{L-1} b_0^{M-I} z^{-I}} \quad (5.9)$$

e após algumas manipulações algébricas, temos que a função de transferência do filtro é dada por

$$H_d(z) = \frac{\sum_{j=0}^N a_j z^{-j} \sum_{I=0}^{2(L-1)} \alpha_I r_p^I z^{-I}}{1 - 2r_p^L \cos(L\theta_p) z^{-L} + r_p^{2L} z^{-2L}} \quad (5.10)$$

onde os coeficientes α_I são determinados de acordo com o fator L de decimação [49]. Como exemplo, para o caso de $L = 3$, temos $\alpha_0 = 1$, $\alpha_1 = 2x$ e $\alpha_2 = 4x^2 - 1$, onde $x = \cos(\theta_p)$ e $\alpha_{[2(M-I)-I]} = \alpha_I$.

5.4 Realização a Capacitores Chaveados

A fim de ilustrar as vantagens e validade da estrutura a capacitores chaveados e os conceitos apresentados nesta tese (forma direta, alocação ótima de pólos e zeros, estrutura com mais zeros que pólos, baixa sensibilidade e fase linear), um filtro decimador a capacitores chaveados para aplicações de comunicações de vídeo, também considerado em [10], [11] e [51], foi construído, testado em protótipo discreto, e integrado, para verificar a sua performance. As especificações são dadas a seguir:

- Frequência de passagem e rejeição de 3.6MHz e 4.5MHz, respectivamente.
- *Ripple* na faixa de passagem menor que 0.4 dB.
- Atenuação na faixa de rejeição maior que 25 dB.

O filtro decimador foi projetado para a redução da taxa de amostragem por um fator de 3, com uma amostragem na entrada de 30 MHz. Comparando as curvas de limite superior e inferior das Eqs. 3.9 e 3.8 para diferentes projetos, foi observado que a solução $M = 12$ e $N = 3$ (*extra-ripple* [15]) apresenta o melhor compromisso entre complexidade e sensibilidade. Os coeficientes do filtro correspondente estão mostrados na Tabela 5.1. A Fig. 5.6 mostra a resposta em frequência teórica antes da decimação.

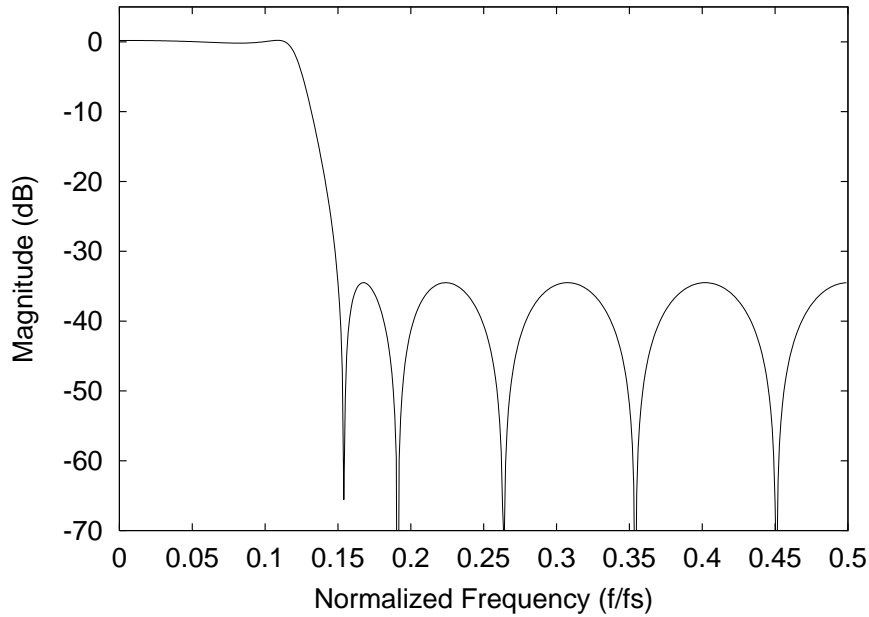


Figura 5.6: Resposta em frequência teórica, antes da decimação.

Tabela 5.1: Coeficientes do filtro proposto ($M = 7$ e $N = 3$) antes da decimação.

a_0	a_1	a_2	a_3	a_4	a_5	a_6	a_7
0.0345	0.0322	0.0633	0.0779	0.0859	0.0825	0.0685	0.0480
a_8	a_9	a_{10}	a_{11}	b_0	b_1	b_2	
0.0266	0.0507	0.00952	-0.0174	1	-1.34	0.847	

No projeto descrito acima, a atenuação na faixa de rejeição de $H(z)$ foi escolhida suficientemente grande (35 dB) para que os efeitos deletérios de *aliasing* devido à redução na taxa de amostragem pudessem ser desprezados. Isto é mostrado na Fig. 5.7, onde *OUT*, em linha sólida, corresponde à magnitude do espectro de saída do filtro decimador, tendo como entrada um ruído branco de potência unitária. Note que ela é praticamente igual à magnitude do filtro ideal $|H(w)|$ (H_0 na Fig. 5.7) expandido pelo fator de decimação $L = 3$, indicando que o *aliasing* exerce pequena influência no espectro em frequência final.

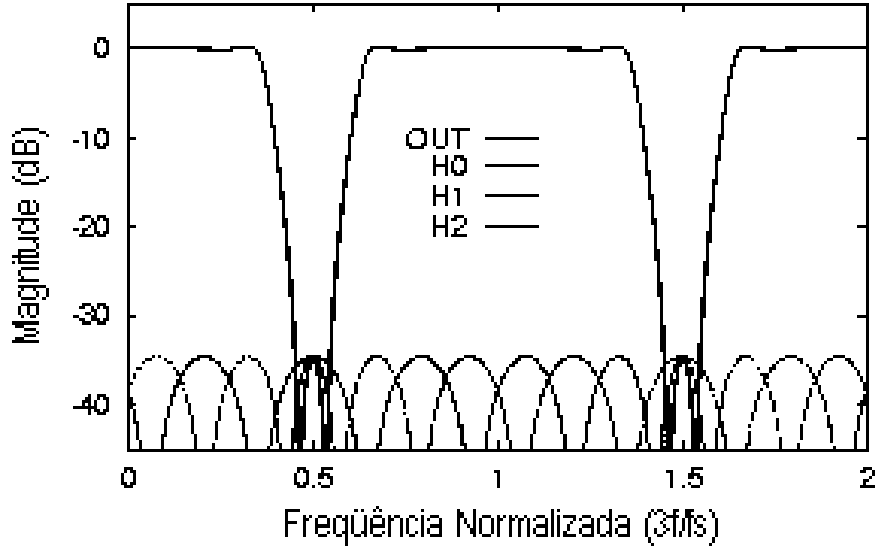


Figura 5.7: Magnitude do espectro de saída com um ruído branco de entrada, ilustrando o efeito de *aliasing* causado pela redução da taxa de amostragem.

Estruturas transversais foram escolhidas para implementar $E_k(z)$ e $1/D(z)$, como mostrado na Fig. 5.8, em vista do grande número de circuitos integrados de alta qualidade com cadeias de atraso a capacitores chaveados e buffers de ganho unitário descritos na literatura [5], [11]. Em [6] foi mostrado que em cadeias de atraso SC constituídas por estágios *track-and-hold* a envoltória $\text{sen}x/x$ gera efetiva filtragem anti-aliasing do ruído transmitido de um estágio para outro. Desta forma, cadeias de atraso bifásicas compostas por estágios *track-and-hold* SC cascateados foram escolhidas aqui para implementar as funções de transferência FIR

$$E_\ell(z) = \sum_{j=0}^{J_\ell} e_{\ell j} z^{-j}, \ell = 0, 1, 2 \quad (5.11)$$

e

$$D(z) = 1 + d_1 z^{-1} + d_2 z^{-2} \quad (5.12)$$

como mostrado na Fig. 5.8(a), onde

$$\frac{C_{\ell j}}{C_f} = |e_{\ell j}|, \ell = 0, 1, 2; j = 0, 1, \dots, J_\ell \quad (5.13)$$

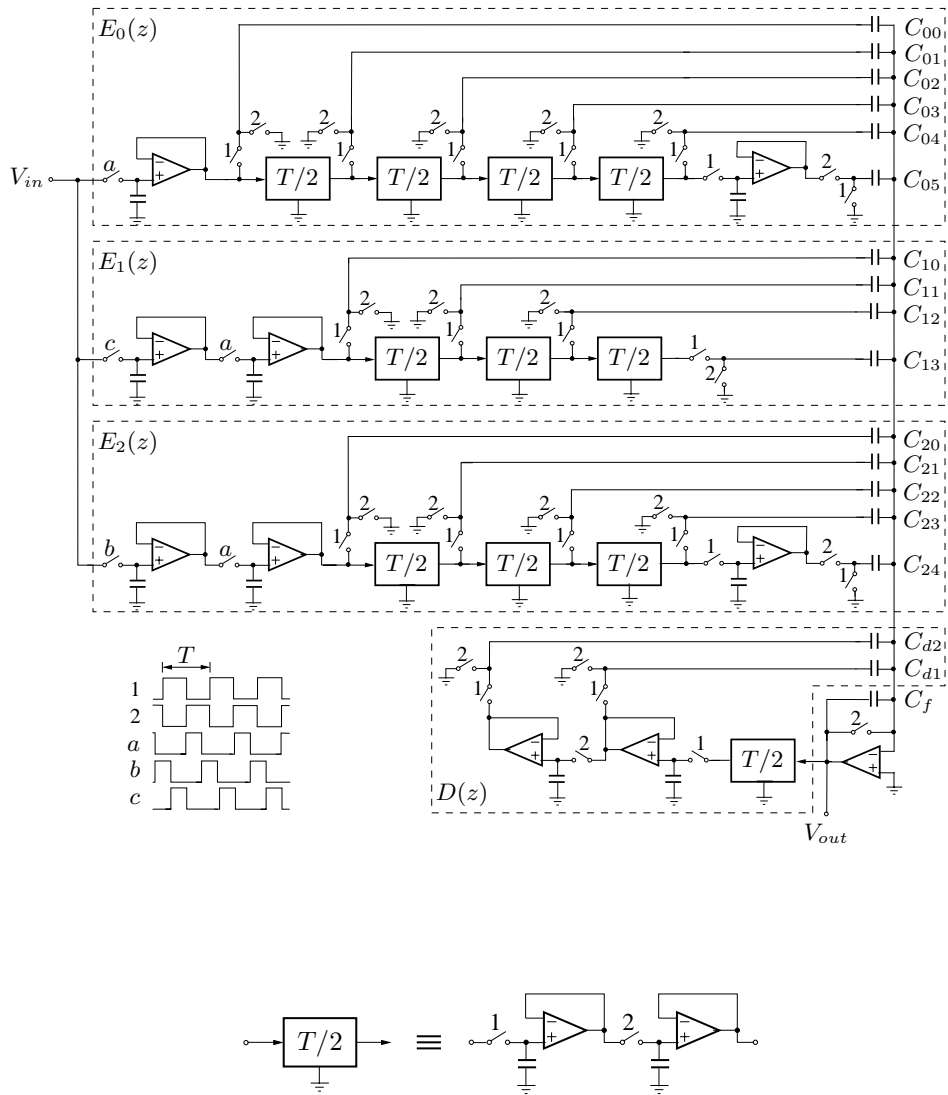


Figura 5.8: (a) Diagrama esquemático do filtro decimador; (b) Célula *track-and-hold* para implementação de meio atrasos.

Células que realizam meio atraso são mostradas na Fig. 5.8(b) para maior clareza. É possível observar que o atraso completo de um período de clock, T , é produzido se a célula de meio atraso for amostrada durante a fase 1 e que o caminho entre a saída de cada uma destas células e V_{out} implementa tanto o coeficiente quanto o meio atraso adicional para produzir os atrasos inteiros das Eqs. 5.11 e 5.12. O filtro opera nas fases 1 e 2 e as fases a , b e c determinam a operação do demultiplexador da Fig. 5.5.

Os coeficientes $e_{\ell j}$ são dados na Tabela 5.2 e foram obtidos através da decomposição polifásica de $H(z)$ na Eq.(5.1) [10], [9]. Os valores das capacitâncias são então calculadas para satisfazer $C_{\ell j}/C_f = e_{\ell j}$ e $C_{dk}/C_f = d_k$.

Tabela 5.2: Valores dos coeficientes ideais do filtro decimador e capacitâncias (em nF) usadas no protótipo discreto.

<i>Coefficientes de $E_\ell(z)eD(z)$</i>		<i>Capacitâncias usadas (nF)</i>	
e_{01}	0.0345	C_{01}	3.35
e_{02}	0.2330	C_{02}	2.30
e_{03}	0.3950	C_{03}	3.96
e_{04}	0.2240	C_{04}	2.25
e_{05}	0.0106	C_{05}	0.982
e_{06}	-0.0125	C_{06}	1.28
e_{11}	0.0785	C_{11}	7.90
e_{12}	0.3120	C_{12}	31.3
e_{13}	0.3720	C_{13}	37.4
e_{14}	0.1460	C_{14}	14.3
e_{15}	-0.00214	C_{15}	0
e_{21}	0.1390	C_{21}	13.8
e_{22}	0.3670	C_{22}	36.6
e_{23}	0.3120	C_{23}	31.0
e_{24}	0.0649	C_{24}	6.48
e_{25}	-0.0130	C_{25}	1.30
d_1	0.9930	C_{d1}	99.1
d_2	0.609	C_{d2}	60.4
d_0	1	C_f	100.2

A sensibilidade do filtro decimador a capacitores chaveados da Fig. 5.8 foi verificada por análise computacional [28]. A Fig. 5.9 mostra a resposta em frequência ideal (em linha sólida) e as curvas limite (em linha pontilhada), que satisfazem perfeitamente às Eqs. 3.9 e 3.8. O erro nas razões de capacitâncias foram considera-

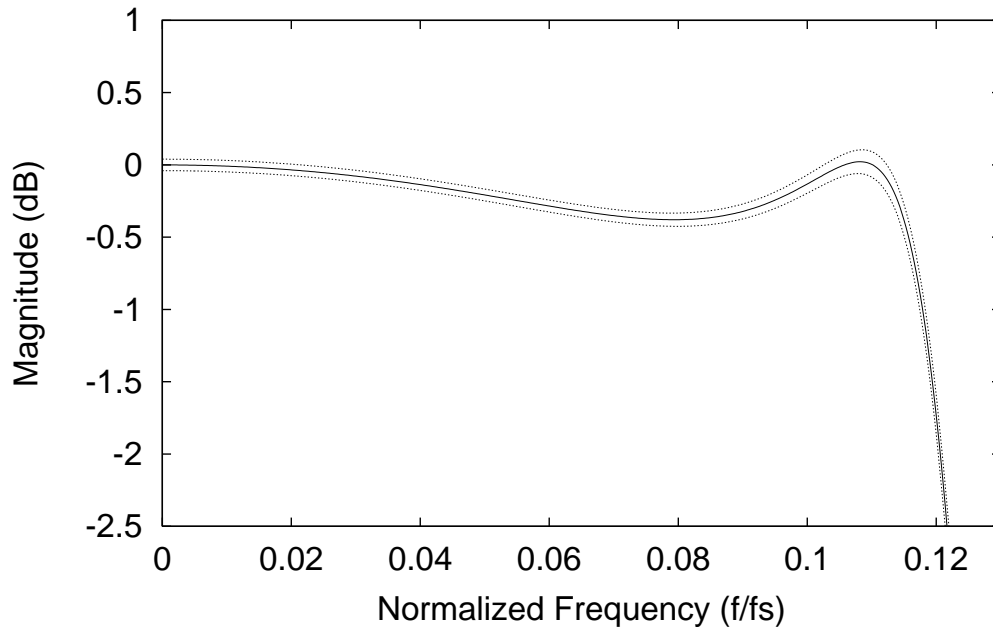


Figura 5.9: Sensibilidade do filtro decimador proposto na faixa de passagem.

dos como sendo $3\sigma_\epsilon = 1\%$. Tais resultados foram comparados com os obtidos para um filtro elíptico de quinta ordem ($M = N = 6$) implementado na forma cascata proposta em [10], que estão mostrados na Fig. 5.10, onde a resposta em frequência ideal está mostrada em linha sólida e as curvas limite, em linhas pontilhadas. Isto indica que o método de projeto ótimo usado neste trabalho leva a uma implementação na forma direta, que é muito menos sensível que a popular estrutura em cascata. Por outro lado, partindo de uma função de transferência de banda tríplice, o projeto alternativo mostrado em [11] também apresenta baixa sensibilidade ao custo de uma taxa de amostragem mais elevada, de 46 MHz . Conseqüentemente, o filtro decimador opera em 16 MHz , enquanto que o proposto, não necessitando de um

projeto tri-banda, realiza a mesma função de transferência operando a 10 MHz .

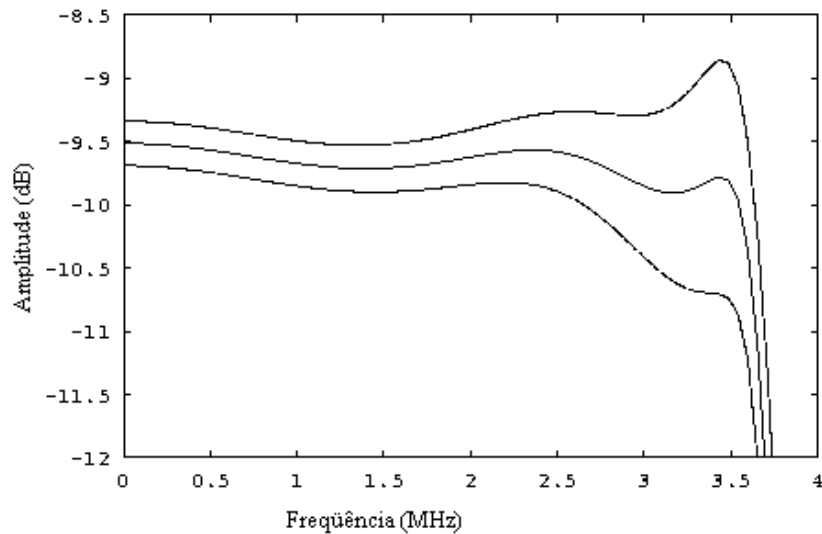


Figura 5.10: Sensibilidade do filtro elíptico de quinta ordem na forma cascata.

5.4.1 Protótipo Discreto

Com o objetivo de validar a abordagem teórica, um filtro protótipo foi construído e testado em laboratório, usando circuitos integrados disponíveis comercialmente: chaves analógicas CD4016 e amplificadores operacionais TL072. Valores (em nF) das capacitâncias medidas utilizadas são mostrados na Tabela 5.2. Note que o coeficiente e_{15} foi zerado. Valores pequenos de coeficientes foram realizados usando-se redes T [52], tal que a dispersão das capacitâncias pode ser mantida tão baixa quanto em [10], [11].

A magnitude do espectro de saída, medido com um analisador de espectro HP3582A, com ruído branco de entrada, é mostrada na Fig. 5.11. Uma frequência de amostragem de 3 KHz foi escolhida para esta protótipo. Lembrando que a operação de sub-amostragem expande a resposta em frequência por um fator L

(neste caso, $L=3$), a frequência normalizada de 0.5 da Fig. 5.11 corresponde à metade da frequência de amostragem de saída, que é de 500 Hz . Considerando a distorção causada pela função $sinc(x)$, devido à operação inata de *sample-and-hold* das redes a capacitores chaveados, e uma banda de transição ligeiramente ampliada devido ao inevitável efeito de *aliasing*, as respostas teórica e experimental estão muito próximas, apesar de alguns erros altos nos coeficientes (e_{05} , por exemplo, foi implementado com erro de 7.5%). Este resultado verifica na prática a previsão teórica de baixa sensibilidade da estrutura a variações nas razões de capacitâncias.

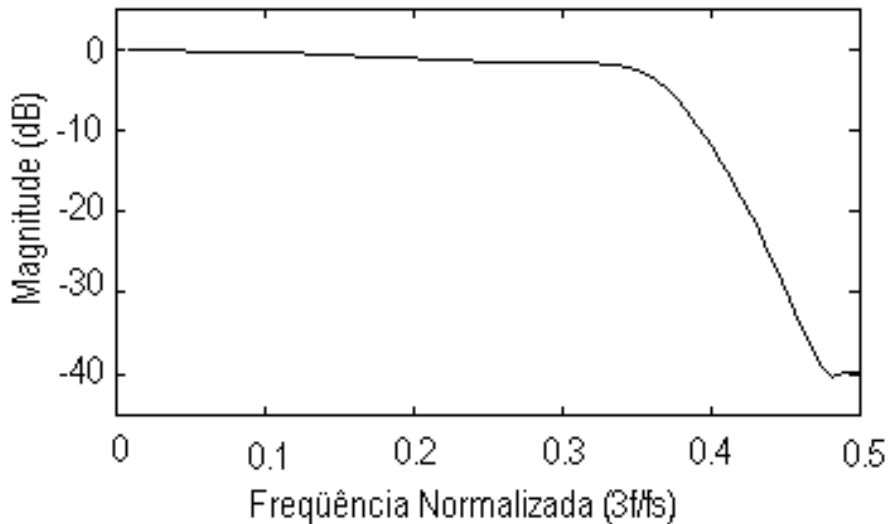


Figura 5.11: Espectro de saída medido.

O espectro de fase (medido) da saída está mostrado na Fig. 5.12, revelando uma característica aproximadamente linear, que faz com que o presente método seja adequado para aplicações de filtragem analógica de alta frequência, em que fase linear é parte integrante das especificações, como, por exemplo, comunicações com taxa de dados de vídeo e canais de leitura/escrita de alta velocidade para drivers de discos rígidos, onde filtros SC asseguram sinais precisos antes da conversão analógico-

digital [53]. A fase aproximadamente linear é consequência do fato do $H(z)$ ótimo possuir apenas dois pólos, que não estão tão próximos do círculo unitário quanto os pólos do projeto elíptico equivalente.

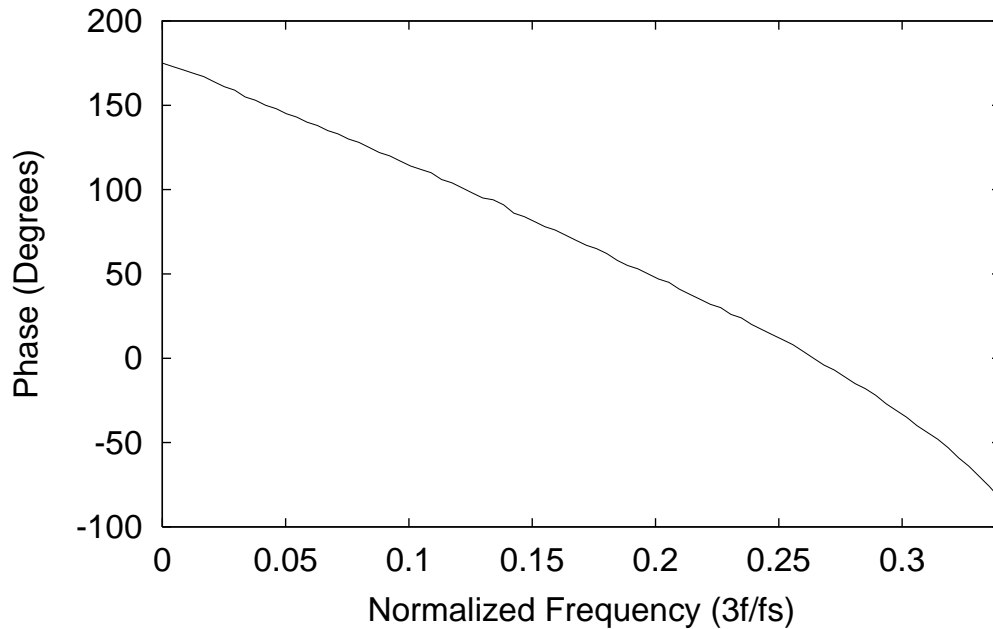


Figura 5.12: Característica de fase do espectro de saída medido na faixa de passagem.

5.4.2 Novo Filtro Decimador

Um estudo mais apurado sobre o filtro protótipo descrito acima mostrou que, para o caso de uma implementação integrada, a dispersão entre os capacitores seria de aproximadamente 100, o que torna dispendiosa a sua implementação integrada, apesar de apresentar bons resultados quando implementado com componentes discretos. Por esta razão, procurou-se um novo filtro decimador, que atendesse às mesmas especificações, utilizasse a mesma técnica de projeto, apresentasse reduzido efeito de *aliasing* devido à redução da taxa de amostragem, além de possuir uma dispersão de capacitâncias o mais baixa possível. O filtro que apresentou melhor

compromisso entre os fatores citados acima, cujos coeficientes ideais estão mostrados na Tabela 5.3, possui as seguintes características:

- $M = 7$ e $N = 3$;
- *Ripple* na faixa de passagem de 0.35 dB;
- Atenuação na banda de rejeição de 32.78 dB;

A resposta em frequência do filtro proposto acima, antes da redução da taxa de amostragem está mostrada na Fig. 5.13(a) e a resposta após a redução, na Fig. 5.13(b). Vale ressaltar que o efeito do *aliasing* inerente ao processo de decimação é pequeno, como pode ser conferido na Fig. 5.13(b).

Visando diminuir o número de amplificadores operacionais e, conseqüentemente, o consumo de potência e área de silício, foram usados amplificadores operacionais multiplexados no tempo [18] substituindo as cadeias de atraso típicas bifásicas, como utilizado no protótipo discreto, respeitando, porém, o compromisso entre o número de fases e a redução da taxa de amostragem. Sendo assim, a estrutura

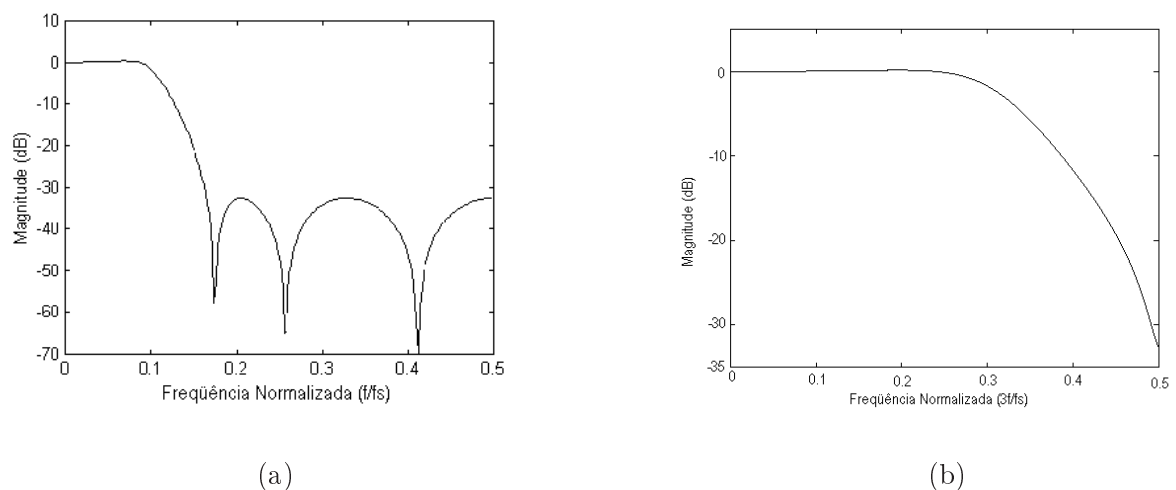


Figura 5.13: Respostas em frequência teóricas: (a) antes da decimação e (b) após a decimação .

Tabela 5.3: Coeficientes de $H(z)$, $E_\ell(z)$ e $D(z)$.

$H(z)$		$E_\ell(z)$		$D(z)$	
a_0	0.405	e_{01}	0.0405	d_0	1
a_1	0.0353	e_{02}	0.2192	d_1	0.3369
a_2	0.0615	e_{03}	0.2366	d_2	0.2915
a_3	0.0615	e_{04}	0.0509		
a_4	0.0353	e_{11}	0.0886		
a_5	0.0405	e_{12}	0.2616		
b_0	1	e_{13}	0.1734		
b_1	-1.3166	e_{14}	0.0178		
b_2	0.6631	e_{21}	0.1513		
		e_{22}	0.2550		
		e_{23}	0.1012		

transversal de cada filtro $E_\ell(z)$ e $D(z)$ é constituída de atraso um atraso inteiro, cujo funcionamento é explicado na Seção 2.3, substituindo as cadeia de meio atrasos da Fig. 5.8. A estrutura de filtro resultante está mostrada na Fig. 5.4.2. A Tabela 5.3 também mostra os coeficientes $e_{\ell j}$, obtidos pela decomposição polifásica de $H(z)$.

Os valores das capacitâncias que realizam os coeficientes do filtro, já após a decimação, foram expressos em forma de capacitâncias unitárias visando uma implementação integrada, pois, desta forma, é possível realizar os coeficientes do filtro através de bancos de capacitores na forma de uma matriz de capacitores. Tais valores estão mostrados na Tabela 5.4. Observando a Fig. 5.15, que faz uma comparação entre a resposta ideal, sem efeito de *aliasing* e a resposta com capacitores aproximados para valores de capacitância unitária, pode-se notar que o erro ocasionado pelo *aliasing* e pela aproximação é pequeno e mantém o filtro dentro das especificações

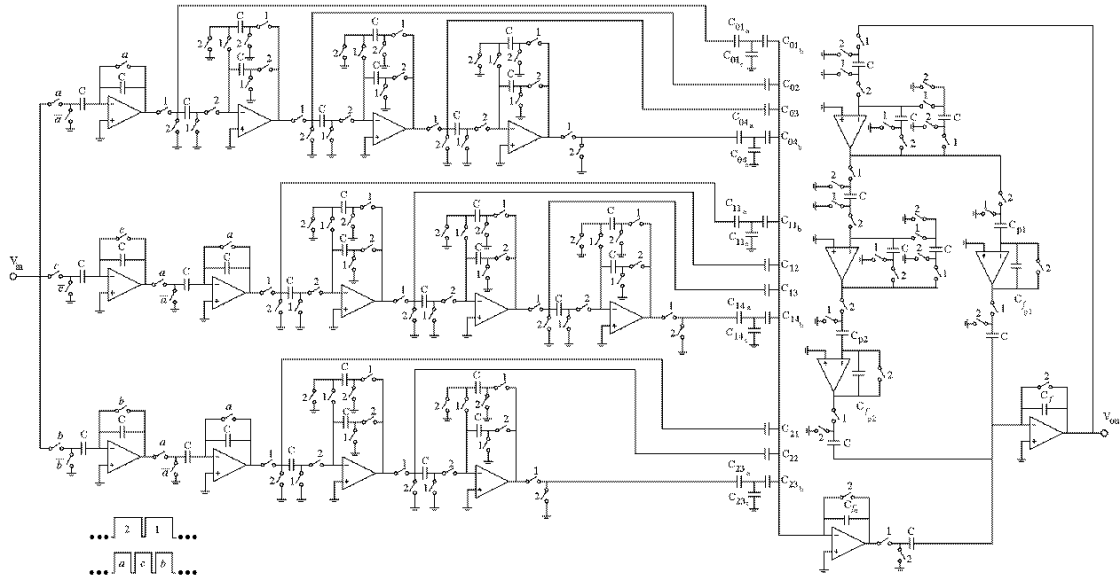


Figura 5.14: Diagrama esquemático do filtro decimador proposto.

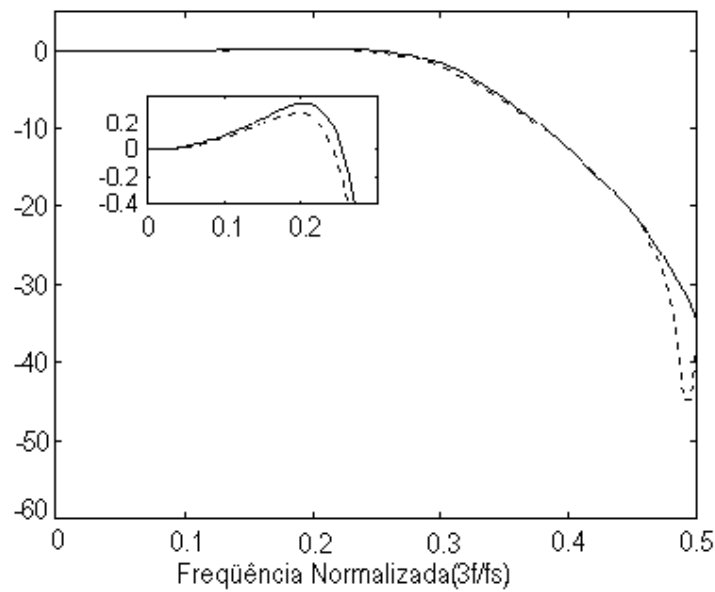


Figura 5.15: Respostas em frequência do filtro depois decimação sem efeito de *aliasing* (linha sólida) e com efeito de *aliasing* (linha pontilhada) e capacitores aproximados por valores inteiros de capacitâncias unitárias.

desejadas.

Tabela 5.4: Valores de capacitâncias implementados, expressos como múltiplos inteiros do capacitor unitário (0.1 pF).

<i>Valores de capacitâncias</i>			
$C_{01_a} = 2$	$C_{11_a} = 4$	$C_{21} = 2$	$C_{p1} = 1$
$C_{01_b} = 3$	$C_{11_b} = 4$	$C_{22} = 3$	$C_{fp1} = 3$
$C_{01_c} = 10$	$C_{11_c} = 8$	$C_{23_a} = 4$	$C_{p2} = 3$
$C_{02} = 2$	$C_{12} = 3$	$C_{23_b} = 4$	$C_{fp2} = 10$
$C_{03} = 2$	$C_{13} = 2$	$C_{23_c} = 8$	$C_w = 2$
$C_{04_a} = 2$	$C_{14_a} = 1$	$C_{fn} = 12$	$C_f = 2$
$C_{04_b} = 3$	$C_{14_b} = 2$	$C_a = 2$	- -
$C_{04_c} = 7$	$C_{14_c} = 8$	- -	- -

5.5 Implementação em Circuito Integrado

Como na realização do filtro do Cap. 4, construído com estrutura semelhante, os resultados teóricos e obtidos com o protótipo discreto, indicam o bom desempenho da estrutura escolhida também para as especificações do filtro decimador em questão, incluindo a baixa sensibilidade na faixa de passagem a erros nas razões de capacitâncias e baixo consumo de potência (estimado), que são características desejáveis em realizações monolíticas.

A seguir, está mostrado o desenvolvimento da implementação em circuito integrado do filtro decimador, incluindo simulações usando parâmetros extraídos do processo a ser usado. Neste caso, o processo de fabricação escolhido foi o CMOS AMS CYE de $0.8 \mu\text{m}$, com tensão de alimentação de 5 V e duas camadas de metal

e duas de poly. As considerações básicas de layout e projeto, que visam a redução dos efeitos das não-idealidades do processo de fabricação, são semelhantes às feitas para para o filtro com especificações em Bluetooth do Cap. 4 e não serão repetidas aqui. Apenas os métodos e enfoques de projeto e layout que forem específicos deste projeto serão detalhados nas seções que se seguem.

5.5.1 Amplificadores Operacionais

Como explicado anteriormente, em circuitos SC a propagação do sinal é feita durante o intervalo T das fases de *clock*, sendo, então, necessário que, ao final de uma fase, o sinal na saída de todos os amplificadores operacionais estejam completamente estabilizados, para que não haja erros na transmissão de informações. Por isto, é de extrema importância a determinação da máxima carga no dimensionamento dos amplificadores operacionais. Isto torna necessária a escolha apropriada do valor da capacitância mínima a ser utilizada no projeto. Para este caso, o valor de tal capacitância foi escolhido como $0.1 pF$, que é o valor mínimo permitido pelo processo de integração a ser usado.

Também como no Cap. 4, optou-se por usar OTAs, uma vez que a compensação interna é realizada pela carga capacitiva do OTA. Para garantir que as distorções relativas ao efeito de ganho finito dos OTAs não influenciassem a performance do filtro, escolheu-se uma estrutura interna em cascode dobrado regulado, cujo ganho dc é maior que $90 dB$, completamente diferencial, como mostrado na Fig. 5.16.

Visando minimizar a potência consumida pelo circuito, o projeto é realizado de forma que o consumo seja proporcional às capacitâncias ligadas a cada OTA. Para isto, é necessário verificar a carga máxima vista por cada OTA, que, neste caso,

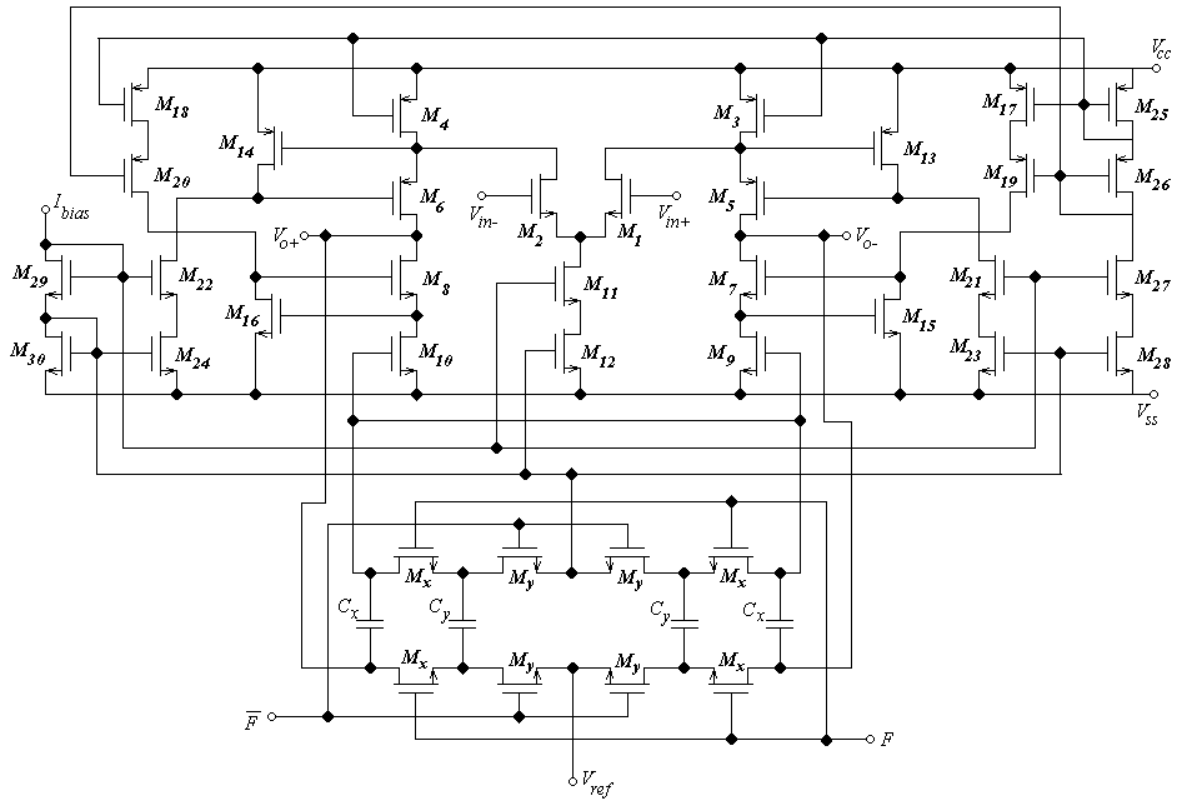


Figura 5.16: Estrutura interna do OTA.

com a capacitância mínima escolhida, pode assumir valores entre 0.4 pF e 1.3 pF , acarretando no projeto de 9 OTAs diferentes. Por outro lado, o projeto de um único OTA não seria atraente, uma vez que este seria realizado para a carga de valor mais alto, ocasionando um gasto de energia desnecessário para cargas menores. Assim, a solução encontrada foi projetar OTAs para diferentes faixas de capacitâncias de carga: de 0.3 pF a 0.4 pF , de 0.5 pF a 0.6 pF , de 0.7 pF a 0.8 pF e de 1.1 pF a 1.3 pF . Os métodos e a metodologia utilizados para o projeto destes OTAs são as mesmas utilizadas em [54], cujos pontos principais são re-representadas a seguir para maior clareza.

Com base na estrutura de teste da Fig. 5.17, é possível verificar que a resposta a um degrau é aplicado na entrada é dada por

$$V_o(t) = V_{in}(t)(1 - e^{-\frac{t}{\tau}}). \quad (5.14)$$

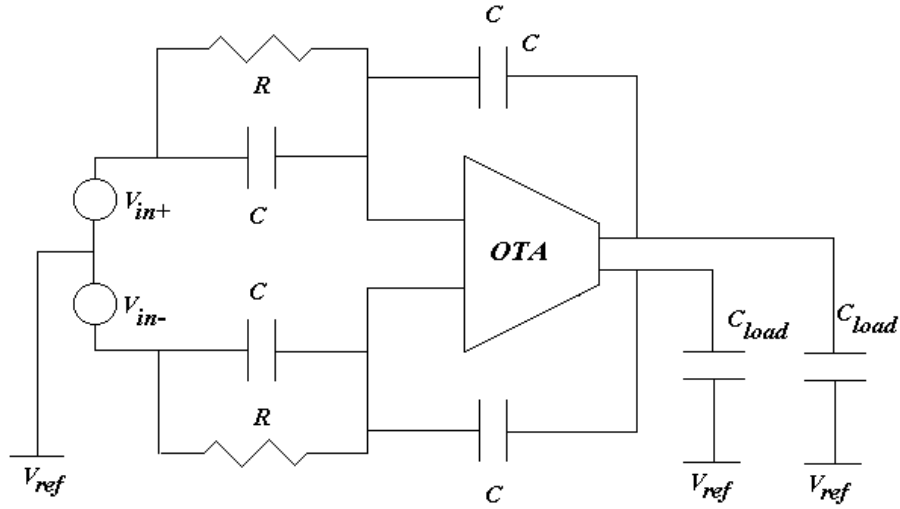


Figura 5.17: Estrutura de testes para os OTAs do filtro decimador.

Considerando que a amplitude deste pulso varia de 0 (quando é ligado) à ΔV e possui largura T , que corresponde a um intervalo de fase de *clock*, deseja-se que, ao final do pulso, a saída esteja estabilizada com erro menor que um valor desejado ϵ . Admitindo-se variações nos parâmetros de processo e a influência de capacitâncias parasitas do layout, escolhe-se um intervalo de tempo menor que T para garantir que o circuito estará estabilizado no final do pulso de entrada. Sendo a entrada um pulso, a saída dada pela Eq. 5.14 pode ser dividida em duas partes, como mostrado na Fig. 5.18: uma rampa dominada pelo SR do OTA e uma parte linear, dominada pela função de transferência do circuito. Como a limitação de SR é diretamente relacionada com a corrente de polarização do amplificador e pela carga capacitiva, é possível escrever:

$$SR = \frac{\Delta V}{\Delta T} \quad (5.15)$$

e

$$I_{omax} = C_l SR \quad (5.16)$$

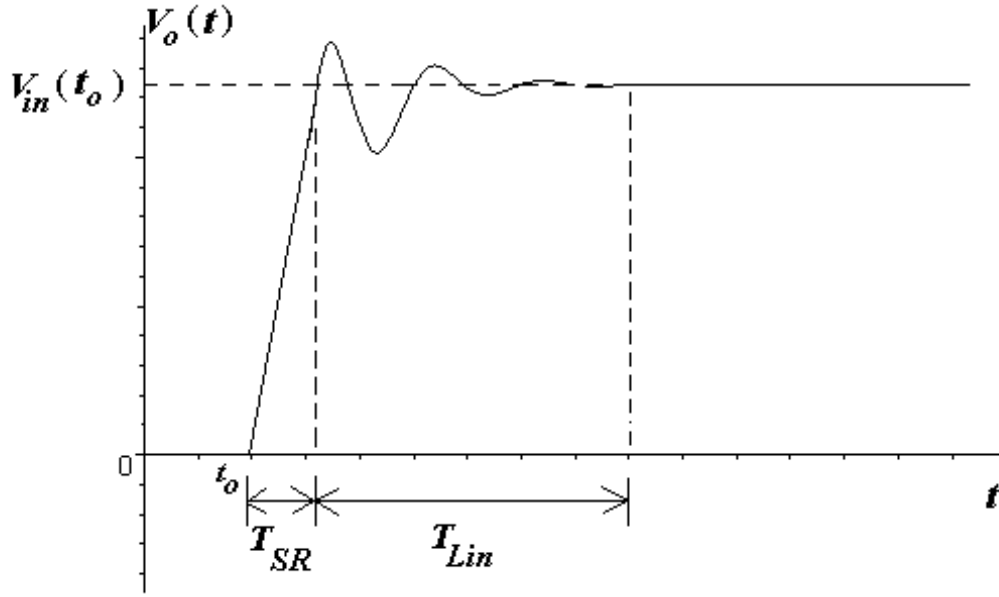


Figura 5.18: Resposta do OTA, no tempo, a um degrau de tensão aplicado em $t = t_0$ na entrada.

onde ΔV é a amplitude do sinal injetado, ΔT o intervalo de tempo e C_ℓ é a carga capacitiva. A metodologia proposta em [54] e adotada neste projeto baseia-se na minimização do tempo de resposta linear, uma vez que, com sua diminuição, menor será o *slew - rate* e, conseqüentemente, menor será a corrente de saída I_o . Cada OTA será, então, otimizado para que tenha o menor tempo de estabilização linear dentro do intervalo ΔT .

O primeiro passo é a definição das tensões de *overdrive*, ΔV_{GS} , para os transistores *NMOS* e *PMOS*. Neste projeto, escolheu-se utilizar $\Delta V_{GS_N} = \Delta V_{GS_P}$. Além disto, é necessário garantir que todos os transistores estejam trabalhando na região de saturação. Por simplicidade de cálculo, usou-se o modelo de nível 1 do SPICE, pelo qual as equações de correntes e transcondutâncias são dadas por:

$$I_D = \frac{K_{pN,P} W}{2 L} \Delta V_{GS_{N,P}}^2 \quad (5.17)$$

$$gm = K_{pN,P} \frac{W}{L} \Delta V_{GS_{N,P}} \quad (5.18)$$

Também definem-se as capacitâncias de gate-source e gate-dreno como:

$$C_{GS} = C_X W L \quad (5.19)$$

$$C_{GD} = C_o W. \quad (5.20)$$

Além disto, é necessário determinar a máxima variação do sinal de saída. Para a estrutura a ser utilizada (completamente diferencial com cascode regulado dobrado), a máxima excursão de sinal é dada por:

$$\Delta V_{0max} = V_{DD} - |V_{tP}| - 2\Delta V_{SG_{Pmax}} - V_{tN} - 2\Delta V_{GS_{Nmax}} \quad (5.21)$$

O próximo passo é o cálculo da função de transferência $F(s)$ da estrutura da Fig. 5.17. Para isto, é necessário escrever as calcular as equações dos nós da estrutura, considerando apenas as capacitâncias de gate-source (C_{GS}) e o gm dos transistores, uma vez que $C_{GS} \gg C_{GD}$. Para os transistores reguladores, apenas as capacitâncias de gate-dreno (C_{GD}) devem ser consideradas, uma vez que estas atuam como *pole – splitting*, auxiliando apenas na compensação e influenciando apenas no ganho e não no comportamento dinâmico da estrutura.

Uma vez escritas as equações dos nós, a função de transferência desejada é calculada, para se otimizar o tempo de estabilização linear. Para tanto, foi utilizado o algoritmo descrito abaixo, usado em [54].

- Determinar o comprimento L de todos os transistores, levando em conta o compromisso entre as dimensões dos transistores, velocidade do OTA e ganho em malha aberta. Quanto menor for L , mais rápida será a resposta do OTA, mas, devido ao efeito de modulação de canal, um L pequeno em determinados transistores pode reduzir o ganho em malha aberta do circuito, uma vez que

G_{DS} será maior. Devido a este efeito, escolheu-se $L = 1.6 \mu m$ para os transistores dos tipo *PMOS*, excetuando-se os transistores M_5 e M_6 , que poderiam comprometer a velocidade do OTA, e para os transistores NMOS, à exceção do par diferencial, $L = 0.8 \mu m$.

- Determinar os valores máximos da excursão do sinal na saída e do erro final ϵ_{max} : usando a Eq. 5.21, calcula-se o valor de ΔV_{GS} necessário. Neste Caso, escolheu-se $\Delta V_{o_{max}} = 2V$, e, então, $\Delta V_{GS} = 0.3V$
- Escolher o tempo de estabilização T_{estab} e o erro final máximo na saída ϵ_{max} para a excitação em degrau na entrada. Neste projeto, o ciclo de trabalho é de $T = 31.25ns$, correspondente à metade do tempo de chaveamento especificado. Para garantir que os OTAs estejam completamente estabilizados ao fim deste intervalo, escolheu-se um tempo de estabilização linear de $T_{estab} = 15ns$. Escolheu-se como erro máximo $\epsilon_{max} = 0.1\%$ do valor final da saída.
- Assume-se que:

$$\tau = \frac{C_{GS}}{gm} \quad \tau_o = \frac{C_\ell}{gm_c} \quad (5.22)$$

onde τ é a constante de tempo dos transistores, τ_o é a constante de tempo da estrutura e gm_d é a transcondutância do par diferencial de entrada.

- Calcular a função de transferência $F(s)$ da estrutura, com base nas equações nodais:

$$H(s) = \frac{\tau(a_0 + a_1\tau\tau_o s + \sum_{n=2}^4 (a_n\tau^n + b_n\tau^{n-1}\tau_o)s^n + s^5 a_5\tau^4\tau_o)}{c_0 + \sum_{n=1}^4 (c_n\tau^n\tau_o + d_n\tau^{n+1})s^n + c_5\tau^5\tau_o s^5} \quad (5.23)$$

- Adotar, inicialmente, $\tau = 1$ e determinar $\tau_{o_{otimo}}$ e t_{min} , definidos como o valor de τ_o que minimiza $T_{establin}$ e o tempo total de estabilização mínimo, respectivamente.

- Calcular

$$\tau_1 = \frac{(C_X L + C_o)L}{K_{pN,P} \Delta V_{GSN,P}} \quad (5.24)$$

- Calcular

$$K_\tau = \frac{\tau_1}{\tau} \quad (5.25)$$

$$T_{lin} = K_\tau T_{min} \quad (5.26)$$

$$gm_d = \frac{C_\ell}{\tau_{otimo} K_\tau} \quad (5.27)$$

- Calcular o *slew-rate* e I_{omax}

$$SR = \frac{\Delta V_{omax}}{T_{estab} T_{lin}} \quad (5.28)$$

$$I_{omax} = C_\ell SR \quad (5.29)$$

Sendo a estrutura do OTA completamente diferencial, a corrente de saída I_o será metade da corrente I_{omax} calculada. As correntes de polarização do transistores reguladores (M_{15} , M_{16} , M_{13} e M_{14}) foram escolhidas como uma fração (1/5) das correntes dos transistores M_7 e M_3 . As correntes nos espelhos foram escolhidas de acordo com as relações de espelhamento mostradas na Tabela 5.5.

- Determinar a dimensão dos transistores a partir dos parâmetros $\Delta V_{GSN,P}$, I_o e gm_c .

O algoritmo descrito acima foi implementado usando linguagem MAPLE, para uma carga mínima de 0.1 pF. Para cargas mais altas, tais valores foram escalados de acordo com o valor da carga em questão e as dimensões finais dos quatro OTAs projetados são listados na Tabela 5.5, onde $OTA400$, $OTA600$, $OTA800$ e

OTA1300 se referem aos OTAs projetados para as cargas nas faixas de 0.3 pF a 0.4 pF, de 0.5 pF a 0.6 pF, de 0.7 pF a 0.8 pF e de 1.1 pF a 1.3 pF, respectivamente .

Tabela 5.5: Dimensões dos transistores (W e L) e correntes de polarização para OTAs usados no filtro decimador.

	L (μm)	W (μm)				<i>Relação entre</i>
		OTA400	OTA600	OTA800	OTA1300	<i>Correntes</i>
M_1, M_2	1.0	40.0	60.0	100.0	180.0	I_o
M_3, M_4	1.6	140.0	188.0	238.0	354.0	$2I_o$
M_5, M_6	0.8	120.0	160.0	200.0	300.0	I_o
M_7, M_8, M_9, M_{10}	0.8	35.0	47.0	59.0	88.5	I_o
M_{11}, M_{12}	0.8	70.0	94.0	118.0	177.0	$2I_o$
M_{13}, M_{14}	1.6	35.0	50.0	65.0	150	$0.4I_o$
M_{15}, M_{16}	0.8	14	18.8	23.6	35.4	$0.2I_o$
$M_{17}, M_{18}, M_{19}, M_{20}$	1.6	18.8	23.6	35.4	0.2	I_o
$M_{21}, M_{22}, M_{23}, M_{24}$	0.8	14.0	18.8	23.6	35.4	$0.4I_o$
M_{25}, M_{26}	1.6	14.0	18.8	23.6	35.4	$0.2I_o$
$M_{27}, M_{28}, M_{29}, M_{30}$	0.8	7.0	9.4	11.8	17.7	$0.2I_o$
I_{bias} (μA)		60	78	96	144	

No projeto de OTAs diferenciais é necessário que se inclua um dispositivo de controle do modo comum da tensão de saída. Escolheu-se usar a mesma estrutura de circuito CMFB do filtro de especificações em Bluetooth, detalhada na Sec. 4.5.1.1. Para este projeto, os transistores foram projetados com $W = \mu m$ e $L = 0.8\mu m$ e os capacitores C_x e C_y de valor 0.2 e 0.1 pF, respectivamente. Estas dimensões foram ajustadas por meio de simulação.

5.5.1.1 Layout

O layout dos OTAs foi realizado seguindo as técnicas utilizadas na Sec. 4.5.1.5 para reduzir os efeitos não-ideais inerentes ao processo de fabricação, tais como gradientes de temperatura e variações na espessura do óxido. A Fig. 5.19 mostra o layout do OTA para carga de 0.6 pF . O layout dos demais OTAs são similares ao apresentado na Fig. 5.19.

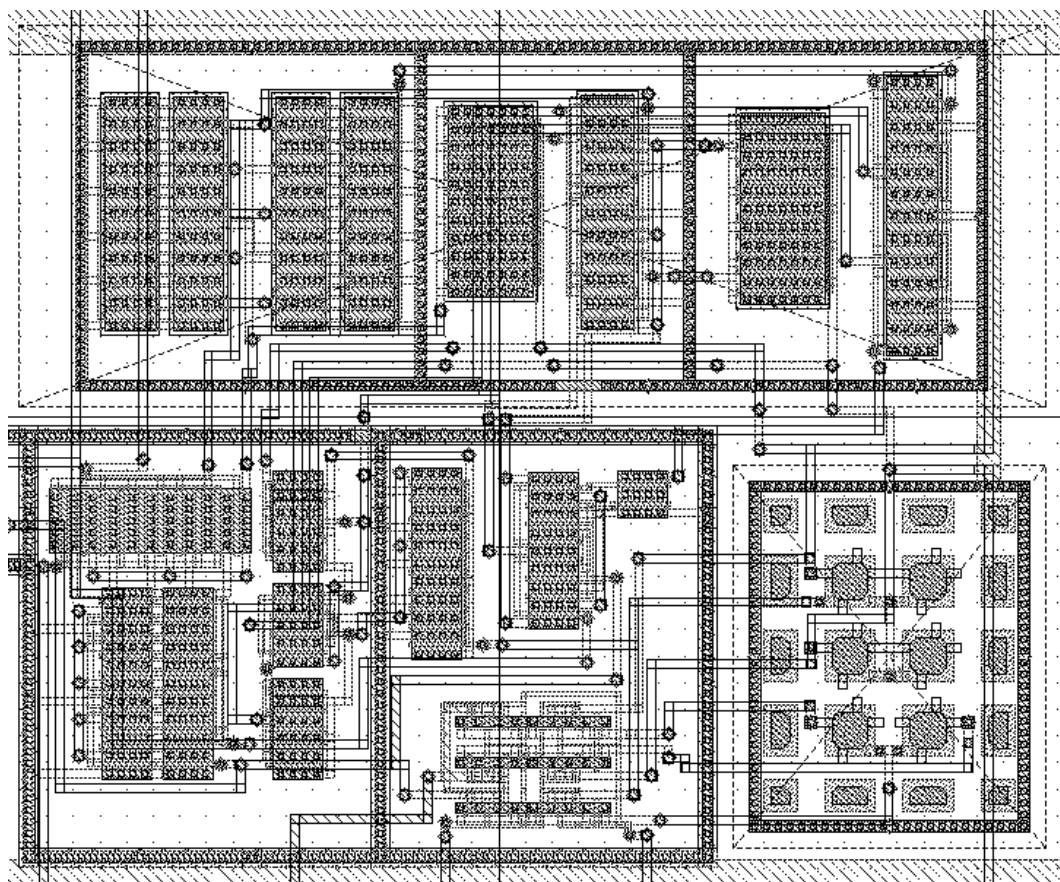


Figura 5.19: Layout do OTA para carga de 0.6 pF .

5.5.1.2 Performance

A Tabela 5.6 apresenta um resumo dos principais parâmetros de performance dos quatro OTAs projetados, obtidos por simulação usando SPECTRE, com um

modelo BSIM 3v3, numa plataforma CADENCE.

Tabela 5.6: Performance dos OTAs do circuito decimador.

	$I_0(\mu A)$	$A_0(dB)$	$GB(MHz)$	$Mf(^{\circ})$	$T_{estab}(ns)$
<i>OTA400</i>	300	92	137.6	71.6	16
<i>OTA600</i>	390	92.64	190	67.8	15
<i>OTA800</i>	480	92.54	200	65.66	16
<i>OTA1300</i>	720	91.67	215	74.6	17

5.5.2 Chaves Analógicas.

As chaves analógicas usadas neste projeto possuem as mesmas dimensões daquelas desenvolvidas em [54], para atender aos objetivos estabelecidos na Sec. 4.5.2, que visam a redução dos efeitos de offset e injeção de cargas, e a minimização do tempo de estabilização das chaves.

Desta forma, projetaram-se dois grupos de chaves: *Chave1*, para cargas entre 0.1 pF e 0.6 pF e *Chave2*, para cargas entre 0.8 pF e 1.2 pF, cujas dimensões, ajustadas por meio de simulação, estão mostradas na Tabela 5.7. Alguns cuidados no projeto e layout de tais chaves devem ser ressaltados, tais como:

- Uso de chaves complementares, para operação em toda a faixa $V_{ss} - V_{cc}$, incorporando elementos *dummy* para compensação dos efeitos de *clock feedthrough* e injeção de cargas.
- Pinos de entrada e saída posicionados em lados opostos aos das fases para melhorar o isolamento entre as partes analógicas e digitais.
- Cruzamento entre as linhas de fase e sinal minimizados a fim de cancelar o

efeito de *clockfeedthrough*.

Tabela 5.7: Dimensões das chaves projetadas para o filtro decimador.

		<i>Chave1</i>	<i>Chave2</i>
<i>N</i>	$W(\mu m)$	4.0	14.0
	$L(\mu m)$	0.8	0.8
<i>P</i>	$W(\mu m)$	4.0	14.0
	$L(\mu m)$	0.8	0.8

A Fig. 5.20 apresenta o layout da *Chave1*. Vale ressaltar que, como a tensão de alimentação neste projeto é suficientemente maior que a soma das tensões de threshold dos transistores *NMOS* e *PMOS*, não é necessário adotar nenhum procedimento especial para aumentar a transcondutância das chaves, como explicado na Sec. 4.5.2

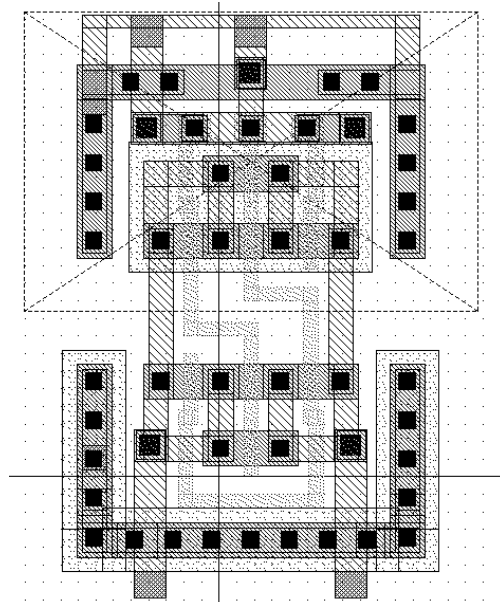


Figura 5.20: Layout da *Chave1*.

5.5.3 Capacitores

As técnicas de layout e projeto de capacitores apresentada na Sec. 4.5.3 foram utilizadas no projeto do filtros decimador, cujos principais pontos estão resumidos abaixo:

- Minimização do efeito de *undercut* através de associação paralelo de capacitores unitários;
- Minimização de efeitos de gradiente na espessura do óxido através da geometria de centróide comum;
- Minimização dos efeitos de capacitâncias parasitas de borda e *overetching* realizando os capacitores como uma matriz de capacitores unitários, cujos valores são dados na Tabela 5.4;
- Evitar o cruzamento entre linhas de metal e considerar cuidadosamente o seu afastamento e posicionamento, para reduzir o efeito de capacitâncias parasitas em linhas críticas;
- Emulação de efeito de franjas através da colocação de elementos *dummy* dispostos ao redor de cada matriz.

Como exemplo, a Fig. 5.21 mostra o layout do banco de capacitores que compõe o somador do numerador. Vale ressaltar que, na tecnologia usada para este processo (CMOS AMS CYE 0.8 μm) os capacitores são de poly1-poly2, enquanto no processo utilizado para o filtro do Cap. 4 os capacitores são de metal5-metal6.

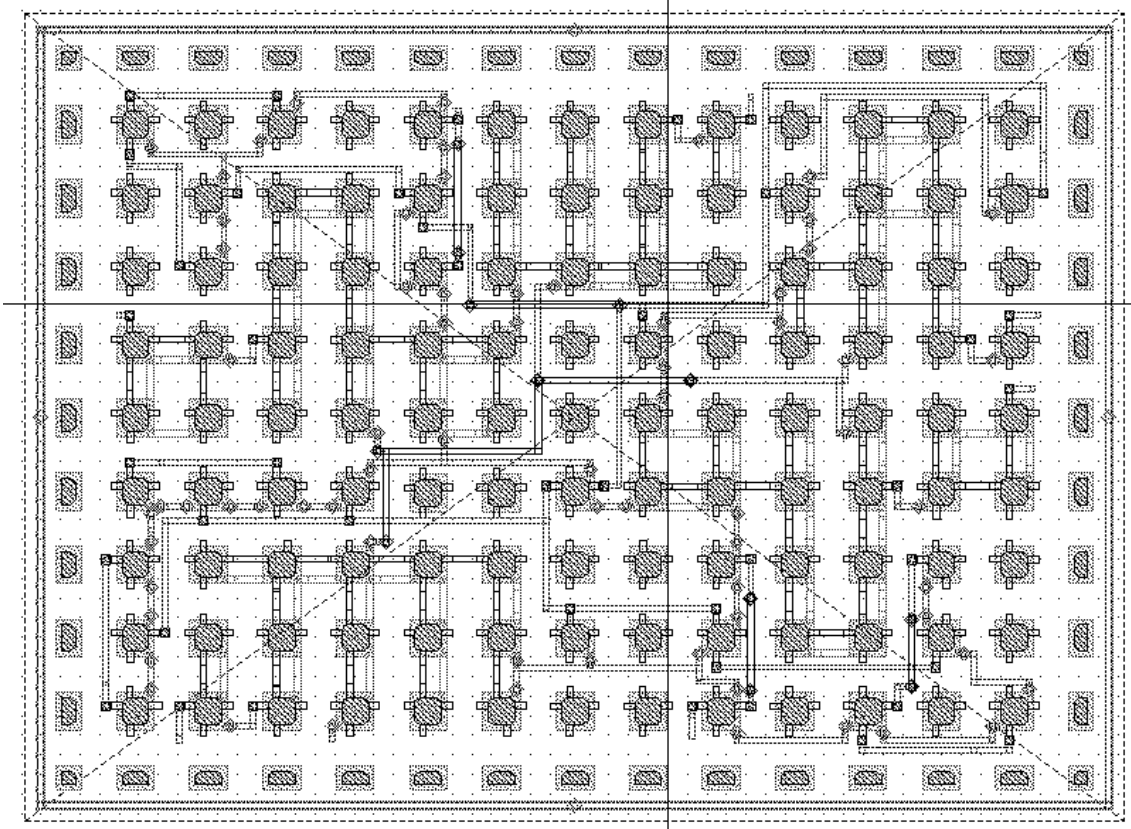


Figura 5.21: Layout do banco de capacitores do somador do numerador.

5.5.4 Estágio de saída.

Como na Seção 4.5.4.1, foi necessário projetar buffers de saída para compatibilizar a saída do filtro integrado com as capacitâncias dos pads de saída e pontas de prova dos instrumentos de medição. Neste projeto, foram utilizados buffers com saídas simples em cada uma das saídas do circuito, utilizando os mesmos operacionais projetados, testados e usados em [54] (Op_{05} e Op_{20} , para as cargas de $5 pF$ e $20 pF$, respectivamente). Tal estágio de saída usa dois amplificadores operacionais, como mostrado na Fig. 5.23, pois, uma vez que as capacitâncias dos pads de saída, pontas de prova e instrumentos de medição, somadas, foram estimadas em $20 pF$, sendo $10 pF$ reativa aos *pads* de saída e $10 pF$ das pontas de prova, a área do par diferencial do OTA a ser projetado para esta carga seria muito maior que a do OTA

da saída do circuito da Fig. 5.4.2. Desta forma, a capacitância diferencial daquele OTA funcionaria como carga extra para este OTA, o que poderia prejudicar a performance do circuito. As dimensões dos OTAs utilizados no estágio de saída são apresentadas na Tabela 5.8 e seus projetos foram realizados seguindo a metodologia usada nos demais OTAs do filtro, apresentada na Seção 5.5.1, usando a estrutura da Fig. 5.22. Maiores detalhes do projeto destes OTAs podem ser encontrados em [54]. As chaves da Fig. 5.23 são semelhantes as apresentadas na Seção 5.5.2. O layout do estágio de saída é mostrado na Fig. 5.24.

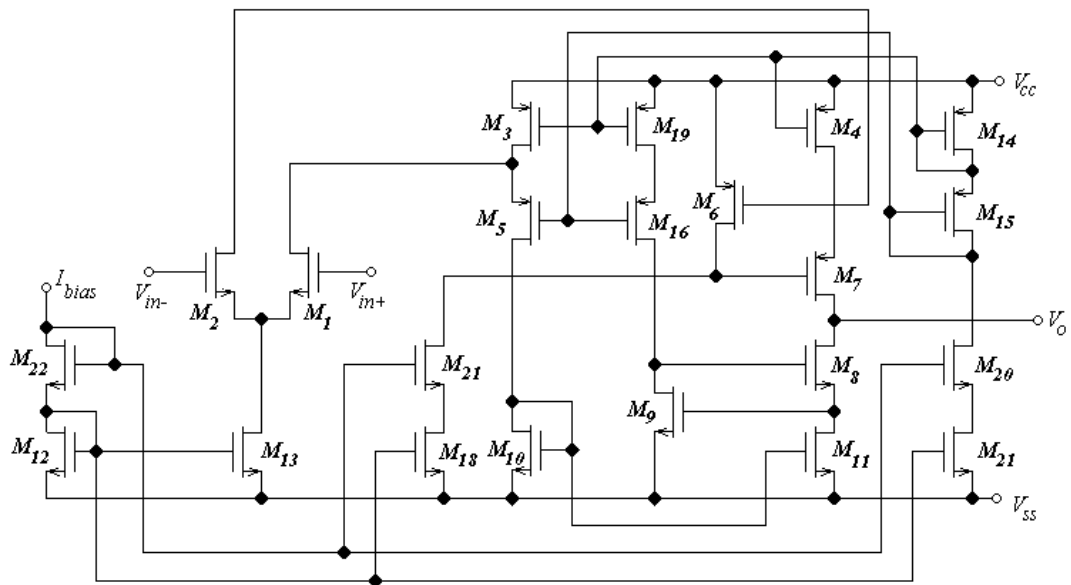


Figura 5.22: Estrutura interna dos OTAs usados no estágio de saída.

5.5.5 Esquema de Observação.

Para efeito de teste, adicionou-se um circuito que possibilitasse a observação do sinal em pontos escolhidos estrategicamente, verificando a continuidade do sinal. Neste caso, escolheu-se observar os sinais das componentes polifásicas (cada $E_\ell(z)$), a soma destes sinais e o sinal de saída. O circuito de observação é apresentado

Tabela 5.8: Dimensões dos transistores (W e L) e correntes de polarização para OTAs usados no estágio de saída do filtro decimador.

	$Op05$		$Op20$	
	L (μm)	W (μm)	L (μm)	W (μm)
M_1, M_2	1.6	21.0	1.0	230.0
M_3, M_4	1.6	150.0	1.0	1150.0
M_5, M_7	0.8	37.0	0.8	460.0
M_6	1.6	7.5	1.6	115.0
M_8, M_{10}, M_{11}	0.8	13.2	0.8	160.0
M_9	1.6	2.6	1.6	32.0
M_{13}	1.6	2.6	1.0	400.0
M_{12}, M_{22}	1.6	60	1.0	100.0
M_{14}, M_{15}	1.6	14.4	1.0	115.0
M_{16}, M_{19}	1.6	7.2	1.0	58.0
M_{17}, M_{20}	1.6	6.0	1.0	44.0
M_{18}, M_{21}	1.6	4.2	1.0	22.0
I_{bias} (μA)		140	450	

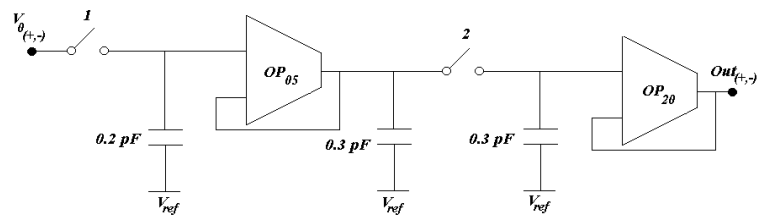


Figura 5.23: Diagrama esquemático do estágio de saída do decimador integrado.

na Fig. 5.25 e as fases de controle A, B, C, D e E são acionadas uma por vez, manualmente, e seu layout é apresentado na Fig. 5.26.

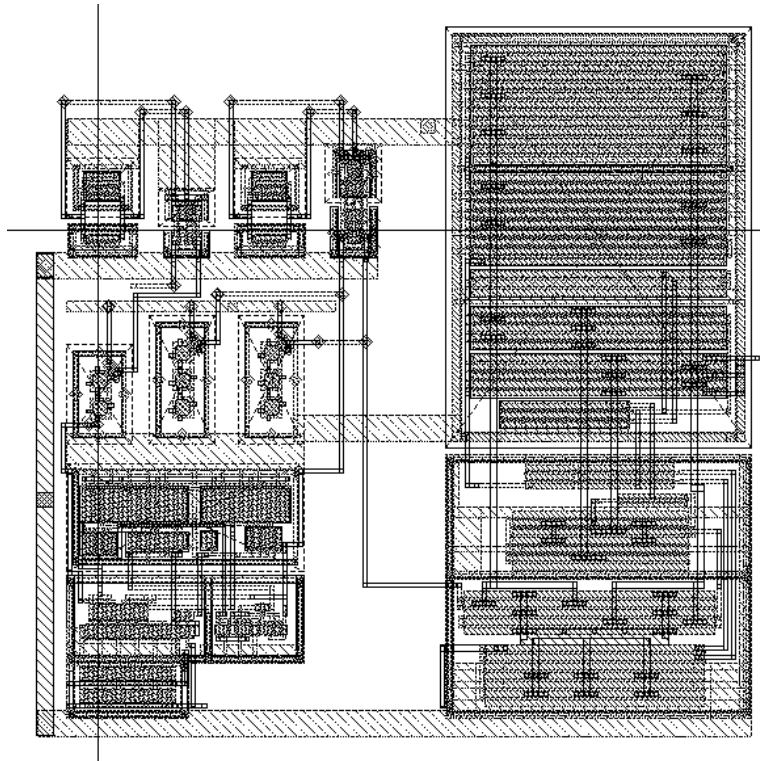


Figura 5.24: Layout do estágio de saída.

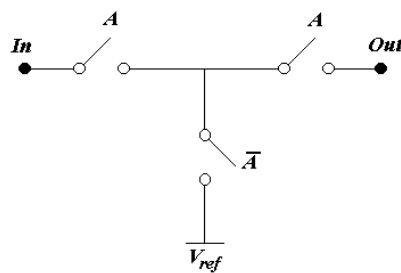


Figura 5.25: Diagrama esquemático do circuito de observação.

5.5.6 Layout do Filtro

Como no Cap. 4, o filtro decimador aproveita as vantagens oferecidas pela estrutura diferencial, cujo layout foi realizado o mais simetricamente possível, de acordo com a Fig. 4.32, procurando isolar os sinais digitais dos analógicos, para evitar os efeitos de *crosstalk*. Porém, neste caso, o circuito de CMFB foi disposto

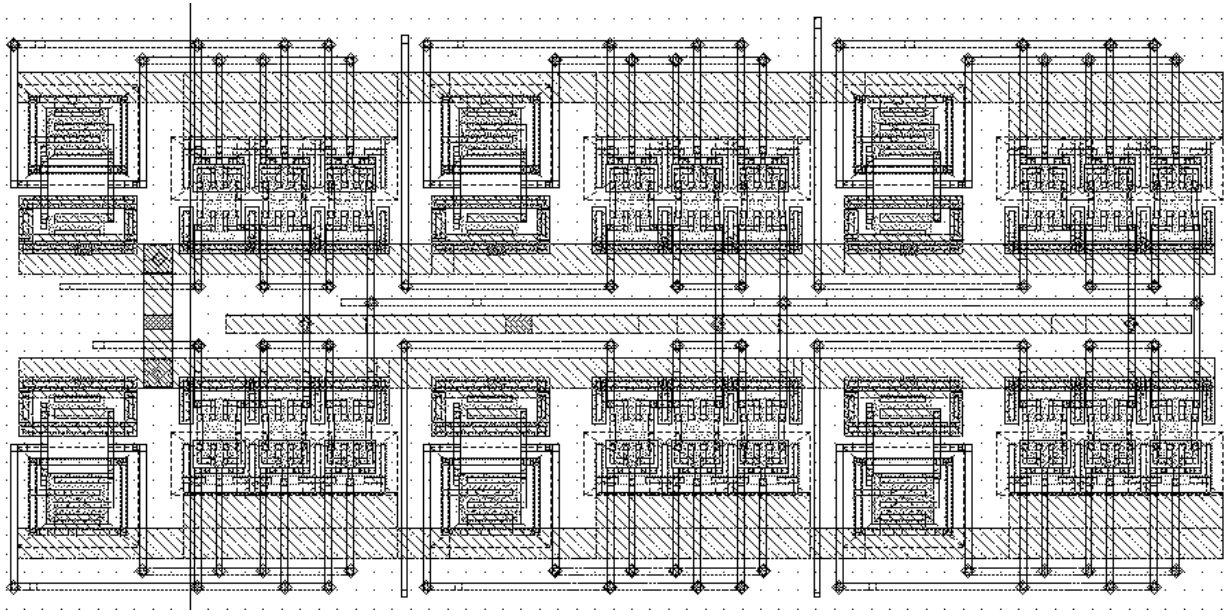


Figura 5.26: Layout do esquema de observação.

juntamente com o OTA e não junto com as chaves, como no filtro do Cap. 4, o que torna inevitáveis alguns cruzamentos entre sinais analógicos e digitais. Entretanto, embora tenha sido cronologicamente o primeiro desenvolvido, este layout foi feito cuidadosamente para que o número de cruzamentos fosse mínimo.

O circuito da Fig. 5.4.2 possui aspecto modular, tornando possível realizar o layout e verificar a performance de cada célula independentemente das demais, facilitando a detecção de erros a nível de simulação. A Fig. 5.27 mostra um diagrama esquemático de todo o filtro decimador, incluindo o estágio de saída e circuito de observação. O layout dos elementos de cada célula (OTAs, capacitores e chaves) foi realizado segundo as diretrizes das seções anteriores, com a finalidade de diminuir os efeitos das não-idealidades do processo. Como exemplo, o layout de uma célula de atraso pode ser visto na Fig. 5.28. O layout final do filtro decimador pode ser observado na Fig. 5.29.

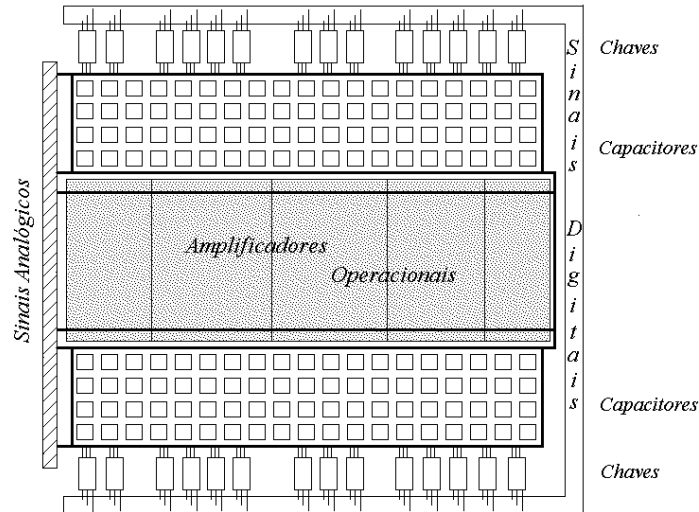


Figura 5.27: Diagrama esquemático do layout do decimador.

5.6 Simulações Pós Layout

Para verificar a performance do filtro integrado proposto, este foi simulado usando SPECTRE em uma plataforma CADENCE com os parâmetros de processo extraídos do layout. Alguns aspectos importantes relacionados à performance do filtro são discutidos a seguir.

Um parâmetro importante a ser considerado no projeto de amplificadores operacionais é a sua capacidade de estabilização dentro do intervalo equivalente a uma fase de clock. A Fig. 5.30(a) ilustra o tempo de estabilização do OTA para a carga capacitiva de 0.8 pF , com entrada e saída diferencial. Performances similares foram observadas para os outros OTAs projetados. Para conferir a operação do circuito de rejeição de modo comum, as entradas do OTA foram conectadas ao sinal de referência (2.5 V) para verificar a rejeição de modo comum. Os resultados simulados são mostrados na Fig. 5.30(b), para apenas uma das saídas, uma vez que os resultados são os mesmos para ambas as saídas.

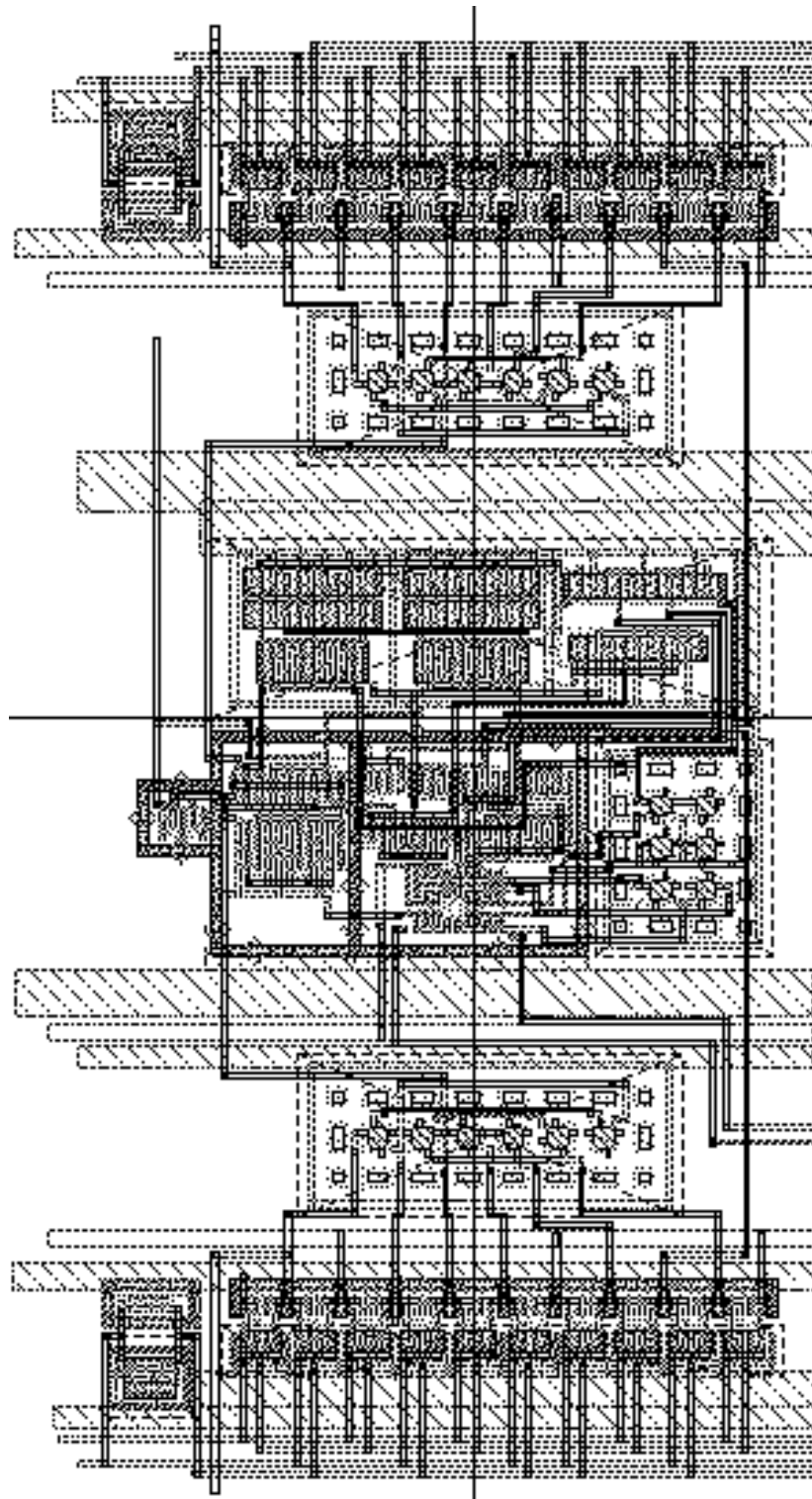


Figura 5.28: Layout de um bloco de atraso.

Para verificar a performance de cada componente polifásica, o filtro foi dividido em três blocos, cada um composto por um caminho do sinal e o denominador,

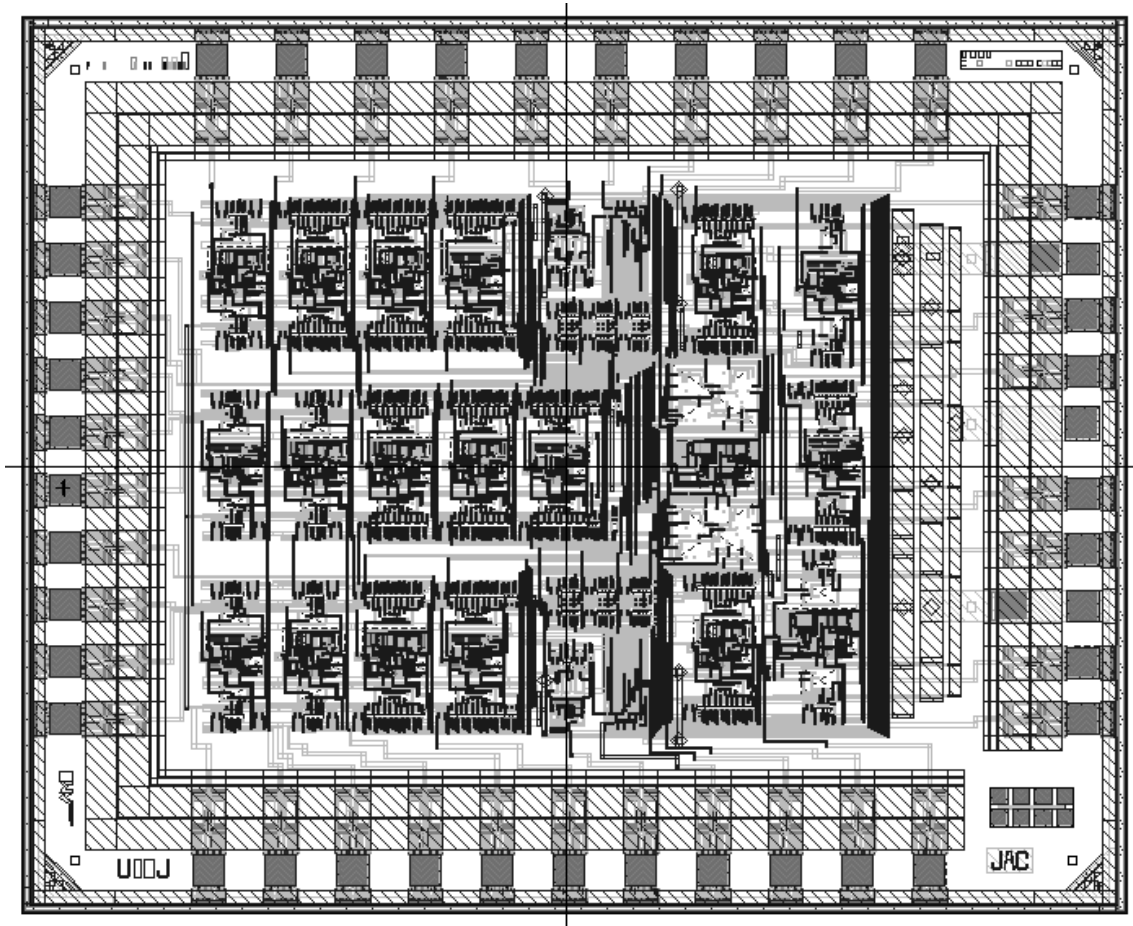
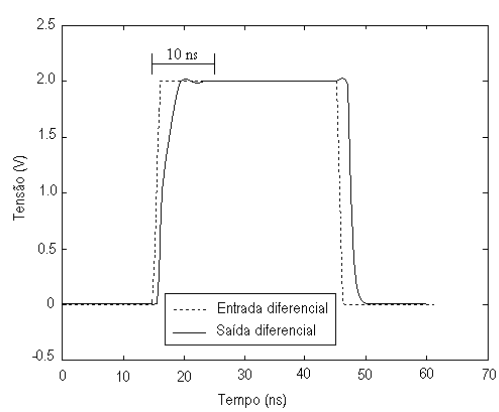
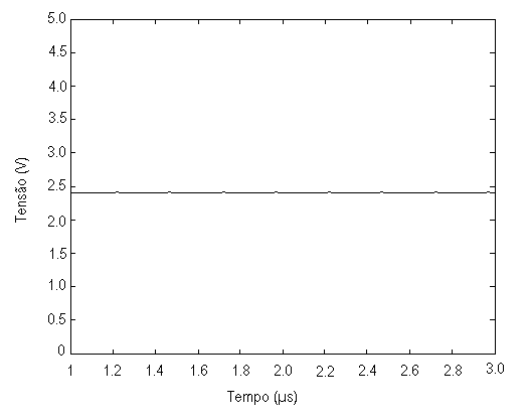


Figura 5.29: Layout final do filtro decimador.



(a)

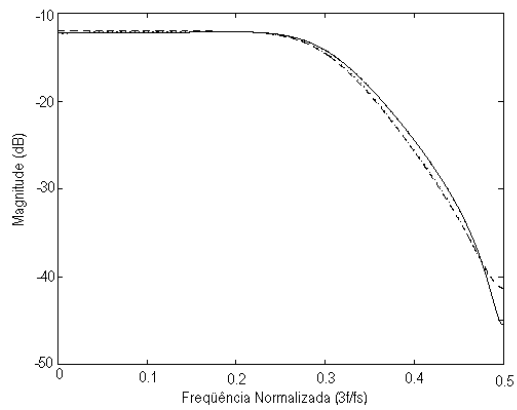


(b)

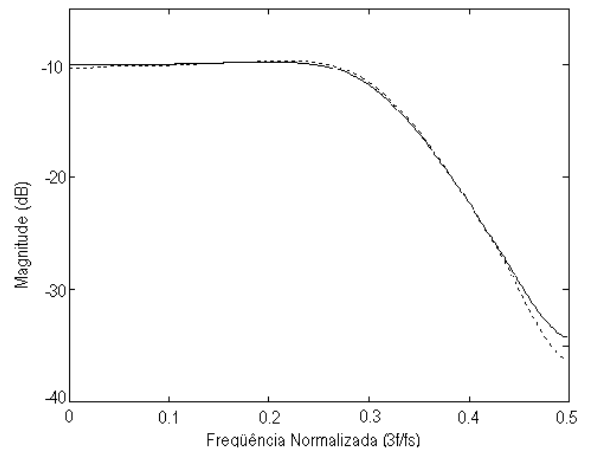
Figura 5.30: Performance simulada dos OTAs: (a) tempo de estabilização e (b) tensão de modo comum.

realizando $E_\ell(z)/D(z)$, $\ell = 0, 1, 2$. A Fig. 5.31 apresenta os resultados simulados com os parâmetros de processo extraídos do layout, para cada um destes três blocos, juntamente com seus respectivos resultados teóricos. As diferenças entre as curvas teóricas e simuladas são devidas aos efeitos de arredondamento impressos pelos capacitores inteiros usados para realizar os coeficientes do filtro. A Fig. 5.32 apresenta as respostas ideal e simulada do filtro, onde se observa a perfeita concordância entre tais respostas.

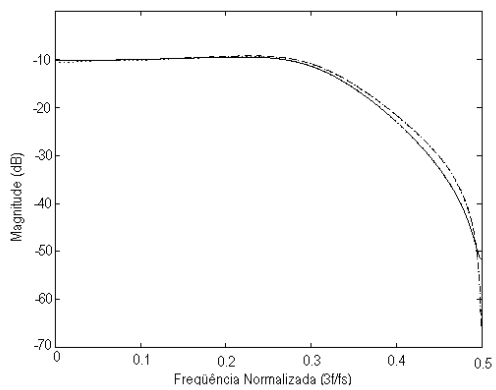
O filtro final possui dimensões 2.366×1.713 mm, não incluindo os pads de saída, com área total de 4.053 mm², em um encapsulamento PLCC de 44 pinos. Desconsiderando o consumo da estágio de saída, o consumo de potência estimado é de aproximadamente 108 mW. Esta potência é aproximadamente o dobro da obtida para o filtro decimador descrito em [11], desenvolvido em topologia não-diferencial, usando o mesmo processo de fabricação (CMOS AMS CYE 0.8 μm).



(a)



(b)



(c)

Figura 5.31: Respostas em frequência teórica (linha sólida) e simulada com parâmetros extraídos do processo de fabricação (linha pontilhada): (a) $E_0(z)/D(z)$, (b) $E_1(z)/D(z)$ (c) $E_2(z)/D(z)$.

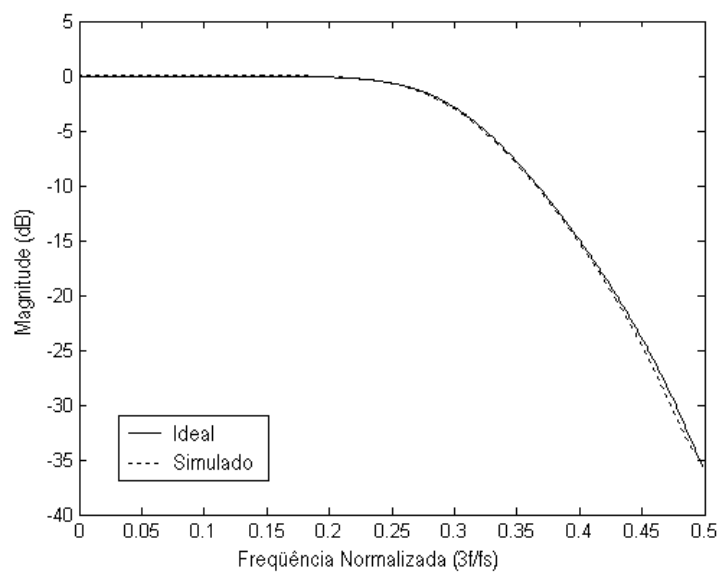


Figura 5.32: Respostas em frequência do filtro decimador: ideal (linha sólida) e simulada usando parâmetros extraídos do processo de fabricação (linha pontilhada).

Capítulo 6

Conclusões

Uma nova apresentação para o projeto e implementação de filtros IIR SC foi desenvolvida neste trabalho. Para isto, foi utilizado um método de alocação de pólos e zeros que possibilitasse a diminuição do número de pólos visando baixa sensibilidade e apresentando fase aproximadamente linear na faixa de passagem, tornando-se atraente em várias implementações de comunicações. A estrutura encontrada apresenta um reduzido número de amplificadores operacionais e uma menor dispersão de capacitores, levando a uma conseqüente redução do consumo de energia.

A fim de verificar a viabilidade de tal estrutura em implementações práticas em circuitos integrados, dois projetos diferentes foram desenvolvidos: um filtro que atendesse às especificações de Bluetooth e um filtro decimador para frequências de vídeo.

Para o projeto do filtro Bluetooth, foi investigada, por meio de simulações, a performance de outras estruturas clássicas de filtros, a título de comparação, revelando que a estrutura apresentada possui vantagens sobre as estudadas, tais como, menor atraso de grupo, menor dispersão de capacitância e menor consumo de po-

tência. Além disto, foi construído e testado em laboratório um protótipo discreto, utilizando componentes comercialmente disponíveis, para validar os resultados teoricamente esperados.

Para verificar a performance do filtro em implementações integradas, o filtro foi projetado e simulado para uma tecnologia de fabricação de $0.18 \mu\text{m}$ (TSMC0.18) e um circuito integrado completamente diferencial foi fabricado, utilizando o recurso de polarização dinâmica a fim de reduzir a corrente de polarização dos OTAs. Uma placa de circuito impresso foi desenvolvida para os testes do circuito integrado. Foi verificado um desempenho satisfatório na faixa de passagem, mas uma degradação na faixa de rejeição que diminui com a diminuição da frequência de amostragem.

Experiências de laboratório indicaram que uma investigação cuidadosa deve ser feita com relação às chaves analógicas, uma vez que não foi constatada a repetição do espectro à medida que a frequência de chaveamento foi aumentada.

Um filtro decimador para especificações de vídeo foi projetado e enviado para fabricação na tecnologia AMS $0.8 \mu\text{m}$. Simulações e comparações com outros filtros para as mesmas especificações foram feitas e um filtro protótipo foi construído em laboratório, utilizando componentes discretos disponíveis comercialmente, verificando a performance da estrutura para tal especificação. Simulações constataram que a performance do filtro simulado usando parâmetros extraídos do processo é a mesma esperada na teoria. Até o momento de confecção desta tese o CI não havia sido recebido para que este projeto pudesse ser avaliado experimentalmente.

Trabalhos futuros podem ser baseados em comparações das duas técnicas de projeto apresentadas aqui, ambas visando a redução do consumo de potência, mas com abordagens diferentes. O objetivo seria verificar a eficiência, facilidade e

compromisso entre os parâmetros de projeto de amplificadores operacionais relativos à sua estabilidade.

Uma vez que a estrutura apresenta fase aproximadamente linear na faixa de passagem, torna-se atraente a verificação de sua performance em aplicações onde é mais vantajoso utilizar uma estrutura de fase aproximadamente linear e equalizá-la para obter fase tão linear quanto a de uma implementação FIR.

Referências Bibliográficas

- [1] J. C. RUDELL, E. A., “A 1.9-GHz Wide-band IF Double Conversion CMOS Receiver for Cordless Applications”, *IEEE Journal of Solid-State Circuits*, v. 32, pp. 2071–2088, Dezembro 1997.
- [2] MOON, U. K., “CMOS High-frequency Switched-capacitor Filters for Telecommunication Applications”, *IEEE Journal of Solid-State Circuits*, v. 35, pp. 212 – 220, Fevereiro 2000.
- [3] PETRAGLIA, A., MONTEIRO, M. A. M., “A Switched-Capacitor Filter Having Very Low Sensitivity to Capacitance Ratio Errors and to Finite Amplifier Gains”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 45, n. 7, pp. 890–894, Julho 1998.
- [4] BAHER, H., MALLEY, M. O., “Design of Switched-Capacitor and Wave Digital Filters with Linear Phase and High Amplitude Selectivity”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 5, pp. 614–622, Maio 1990.
- [5] YOUNG, I. A., HODGES, D. A., “MOS Switched-Capacitor Analog Sampled-Data Direct-Form Recursive Filters”, *IEEE Journal of Solid-State Circuits*, v. SC-14, n. 6, pp. 1020–1033, December 1979.

- [6] FISCHER, J. H., “Noise Sources and Calculation Techniques for Switched-capacitor Filters”, *IEEE J. Solid-State Circuits*, v. 17, n. 6, pp. 742–752, Agosto 1982.
- [7] JACKSON, L. B., *Digital Filters and Signal Processing*. 3 ed. USA, Kluwer Academic Publishers, 1996.
- [8] VAIDYANATHAN, P. P., *Multirate Systems and Filter Banks*. Prentice-Hall, Englewood Cliffs, NJ, 1993.
- [9] PETRAGLIA, A., “Frequency Response Deviation in Switched-capacitor Filters Caused by Random MOS Capacitance Errors”. In: *Proc. IEEE International Symposium on Circuits and Systems*, pp. 125–128, Hong Kong, Junho 1997.
- [10] MARTINS, R. P., FRANCA, J. E., “Cascade Switched-capacitor Decimating Filters”, *IEEE Transactions on Circuits and Systems - I: Fundamentals, Theory and Applications*, v. 42, pp. 367–376, Julho 1995.
- [11] BARUQUI, F. A. P., PETRAGLIA, A., MITRA, S. K., *et al.*, “Switched-capacitor Decimation Filter for 0.8 μ m CMOS”. In: *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. I.496–I.499, Monterey, CA, Maio/Junho 1998.
- [12] PETRAGLIA, A., PEREIRA, J. S., “Switched-Capacitor Decimation Filters with Direct-Form Polyphase Structure Having Very Small Sensitivity Characteristics”. In: *1999 International Symposium on Circuits and Systems*, pp. II.73–II.76, Orlando, USA, Maio/Junho 1999.

- [13] PEREIRA, J. S., PETRAGLIA, A., “Low-Sensitivity Direct-Form IIR SC Filters with Improved Linear Phase”. In: *2000 International Symposium on Circuits and Systems*, pp. III-169–III-172, Genebra, Suíça, Maio 2000.
- [14] SARAMAKI, T., “Design of Optimum Recursive Digital Filters with Zeros on the Unit Circle”, *Transactions on Acoustic, Speech and Signal Processing*, v. 31, pp. 450–458, Abril 1993.
- [15] JACKSON, L. B., “An Improved Martinez/Parks Algorithm for IIR Design with Unequal Numbers of Poles and Zeros”, *IEEE Transactions on Signal Processing*, v. 42, n. 5, pp. 1234–1238, Maio 1994.
- [16] GREGORIAN, R., TEMES, G. C., *Analog MOS Integrated Circuits*. New York, John Wiley & Sons, Inc., 1986.
- [17] PEREIRA, J. S., PETRAGLIA, A., “Optimum Design and Implementation of IIR SC Filters Using Small Order FIR Cells”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, v. 49, n. 8, pp. 529–538, Agosto 2002.
- [18] FISCHER, G., “Analog FIR Filters by Switched-Capacitor Techniques”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 6, pp. 808–814, Junho 1990.
- [19] FISCHER, G., “Switched-Capacitor FIR Filters - A Feasible Study”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, v. 41, n. 12, pp. 823–827, Dezembro 1990.
- [20] MARTINEZ, H. G., PARKS, T. W., “Design of Recursive Digital Filters with Optimum Magnitude and Attenuation Poles on the Unit Circle”, *IEEE*

- Transactions on Acoustic, Speech and Signal Processing*, v. ASSP-26, n. 2, pp. 150–156, Abril 1978.
- [21] HAARTSEN, J. C., MATTISON, S., “Bluetooth - a New Low-power Radio Interface Providing Short-range Connectivity”, *Proceedings of the IEEE*, pp. 1651 – 1661, Outubro 2000.
- [22] SULE OZEV, CHISTIAN V. OLGAARD, A. O., “Multilevel Testability Analysis and Solutions for Integrated Bluetooth Transceivers”, *IEEE Design & Test of Computers*, v. 19, pp. 82 – 91, Setembro-Outubro 2002.
- [23] FRANCA, J. E., PETRAGLIA, A., MITRA, S. K., “Multirate Analog-Digital Systems for Signal Processing and Conversion”, *Proceedings of the IEEE*, v. 85, n. 2, pp. 242–262, Fevereiro 1997.
- [24] ROBERTS, G. W., SNELGROVE, W. N., SEDRA, A. S., “Switched-capacitor realization of N th-order Transfer Function Using a Single Multiplexed op-amp”, *IEEE Transactions on Circuits and Systems*, v. 34, pp. 140 – 148, Fevereiro 1987.
- [25] PEREIRA, J. S., *Teoria e Implementação Prática de Filtros a Capacitores Chaveados na Forma Direta*. M.Sc. dissertation, Universidade Federal do Rio de Janeiro - COPPE - PEE, Março de 2000.
- [26] FRANCA, J. E., “Nonrecursive Polyphase Switched-Capacitor Decimators and Interpolators”, *IEEE Transactions on Circuits and Systems*, v. CAS-32, n. 9, pp. 877–887, September 1985.

- [27] MCNUTT, M. J., LEMARQUIS, S., DUNKLEY, J. L., “Systematic Capacitance Matching Errors and Corrective Layout Procedures”, *IEEE Journal of Solid-State Circuits*, v. 29, pp. 611 – 616, Maio 1994.
- [28] QUEIROZ, A. C. M., PINHEIRO, P. R. M., CALÔBA, L. P., “Nodal Analysis of Switched-Current Filters”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, v. 40, pp. 10–18, Janeiro 1993.
- [29] LEE, M. S., THEMES, G. C., CHANG, C., *et al.*, “Bilinear Switched-capacitor Ladder Filters”, *IEEE Transactions on Circuits and Systems*, v. 28, pp. 811 – 821, Agosto 1981.
- [30] P. LANDAU, D. M., MELNIK, D., “A Reduced Capacitor spread algorithm for elliptic bandpass SC Filters”, *IEEE Journal of Solid-State Circuits*, v. 22, pp. 624–626, Agosto 1987.
- [31] FLEISCHER, P. E., LAKER, K. R., “A Family of Active Switched-capacitor Biquad Building Blocks”, *Bell Systems Technology Journal*, v. 58, pp. 2235 – 2269, Dezembro 1979.
- [32] LEE, Y.-S., MARTIN, K. W., “A Switched-capacitor Realization of Multiple FIR Filters on a Single Chip”, *IEEE Journal of Solid-State Circuits*, v. 23, pp. 536–542, Abril 1988.
- [33] K. ANVARI, M. K., HRISKEVICH, B., “Performance of a Direct Conversion receiver with $\pi/4$ -DQPSK Modulated Signal”. In: *Proc. 41st IEEE Vehicular Technology Conference*, pp. 822–827, Saint Louis, MO, Maio 1991.

- [34] BRIGATI, S., FRANCESCONI, F., MALCOVATI, P., *et al.*, “Modeling Sigma-delta Modulator Non-idealities in Simulink”. In: *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems*, pp. II-384 – II-387, Orlando - EUA, Maio/Junho 1999.
- [35] RAZAVI, B., *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [36] CASTELLO, R., GRAY, P. R., “A High-Performance Micropower Switched-capacitor Filter”, *IEEE Journal of Solid-State Circuits*, v. SC-20, n. 6, pp. 1122 – 1132, Dezembro 1985.
- [37] JOHNS, D. A., MARTIN, K., *Analog Integrated Circuit Design*. USA, John Wiley & Sons, Inc., 1997.
- [38] QUARANTELLI, M., POLES, M., ROLANDI, P., “A High Compliance CMOS Source For Low Voltage Applications”. In: *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems*, pp. I-425 – I-428, Tailândia, Maio 2003.
- [39] BALMFROD, R. A. H., REDMAN-WHITE, W., “New High-compliance CMOS Current Mirror With Low Harmonic Distortion for High-frequency Circuits”, *Electronics Letters*, v. 29, n. 20, pp. 1738 – 1739, Setembro 1993.
- [40] MALOBERTI, F., *Analog Design For CMOS/VLSI Systems*. Boston; London: Kluwer Academic Publishers, 2001.
- [41] MALCOVATI, P., MALOBERTI, F., TERZANI, M., “An High-swing, 1.8 V, Push-pull Opamp for Sigma-delta Modulators”. In: *1998 IEEE International*

- Conference on Electronics, Circuits and Systems*, pp. vol 1 – 33 – 36, Setembro 1998.
- [42] CHO, T. B., GRAY, P. R., “A 10 B, 20 Msamples/s, 35 mW Pipeline A/D Converter”, *IEEE Journal of Solid-State Circuits*, v. 30, n. 3, pp. 166 – 172, Março 1995.
- [43] ABO, A. M., GRAY, P. R., “A 1.5-V, 10bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter”, *IEEE Journal of Solid-State Circuits*, v. 34, n. 5, pp. 599 – 606, Maio 1999.
- [44] PETRAGLIA, A., “Analog Multirate Signal Processing”. In: *IEEE International Symposium on Circuits and Systems - Tutorial Guide*, pp. I.309 – I.327, Bangkok, Tailândia, Maio 2003.
- [45] PETRAGLIA, A., MITRA, S. K., “High-speed A/D Conversion Incorporating a QMF Bank”, *IEEE Transactions on Instrumentation and Measurement*, v. 41, pp. 427–431, Junho 1992.
- [46] COLODRO, F., TORRALBA, A., “Multirate $\Sigma\Delta$ converters”, *IEEE Transactions on Circuits and Systems II*, v. 49, pp. 170 – 176, Março 2002.
- [47] PEREIRA, J. S., BARUQUI, F. A. P., PETRAGLIA, A., “Analog Decimator IC in Direct-form Polyphase Structure”. In: *Proceedings of the 15th Symposium on Integrated Circuits and Systems Design*, pp. 74 – 79, Porto Alegre, Brasil, Setembro 2002.
- [48] STRANG, G., NGUYEN, T., *Wavelets and Filter Banks*. USA, Wellesley - Cambridge Press, 1996.

- [49] FRANCA, J. E., MARTINS, R. P., “IIR Switched-capacitor Decimator Building Blocks with Optimum Implementation”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 1, pp. 81–90, Janeiro 1990.
- [50] CROCHIERE, R., RABINER, L., *Multirate Digital Signal Processing*. Englewood Cliffs, NJ:Prentice-Hall, 1983.
- [51] TAWFIK, M. S., SENN, P., “A 3.6 MHz Cutoff Frequency MOS Elliptic Low-pass Switched-capacitor ladder Filter for Video Communications”, *IEEE J. Solid-State Circuits*, v. 22, pp. 378–384, Junho 1987.
- [52] CHOI, T. C., KANESHIRO, R. T., BRODERSEN, R. W., *et al.*, “High-frequency CMOS Switched-capacitor Filters for Communications Applications”, *IEEE J. Solid-State Circuits*, v. 18, pp. 652–664, Dezembro 1983.
- [53] GOPINATHAN, V., TARSIA, M., CHOI, D., “Design Considerations and Implementation of a Programmable High-Frequency Continuous-time Filter and Variable Gain Amplifier in Submicrometer”, *IEEE Journal of Solid-State Circuits*, v. 34, pp. 1698–1707, Dezembro 1999.
- [54] BARÚQUI, F. A. P., *Estrutura a Capacitores Chaveados de Baixa Sensibilidade para o Processamento de Sinais*. Ph.D. dissertation, Universidade Federal do Rio de Janeiro - COPPE - PEE, Junho de 1999.

Apêndice A

Fotos do Circuito Integrado

Neste apêndice são apresentadas algumas fotos do circuito integrado fabricado, incluindo fotos internas, tiradas com o auxílio de um microscópio ótico.

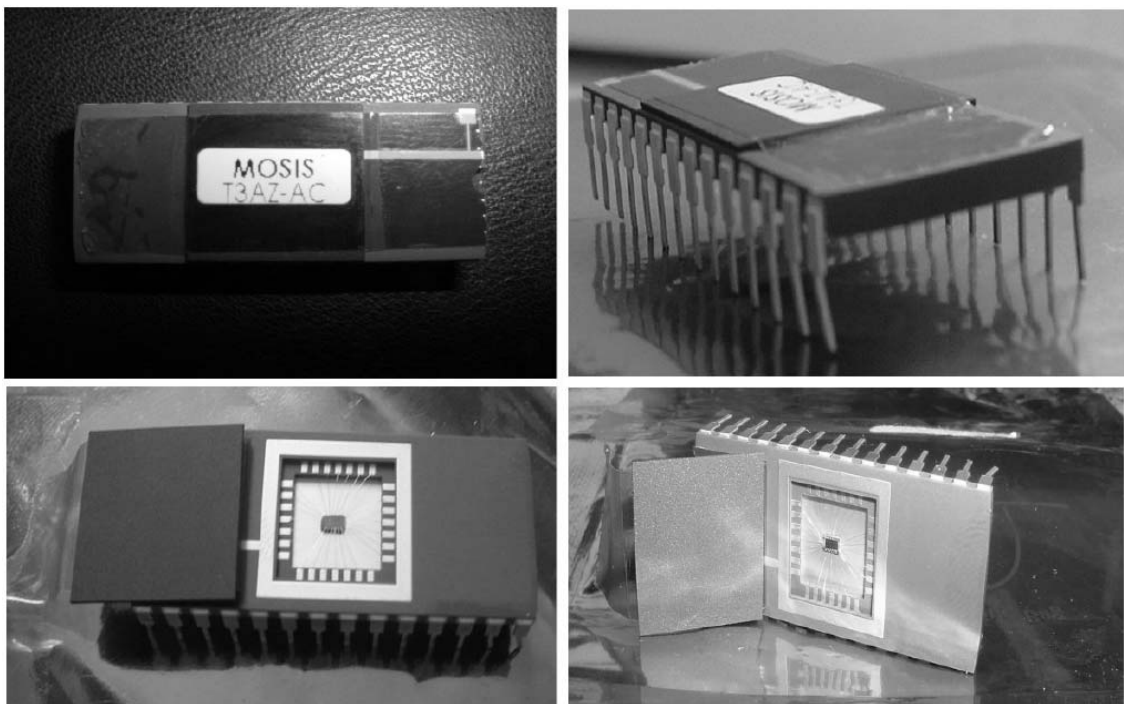


Figura A.1: Fotos do chip fabricado.

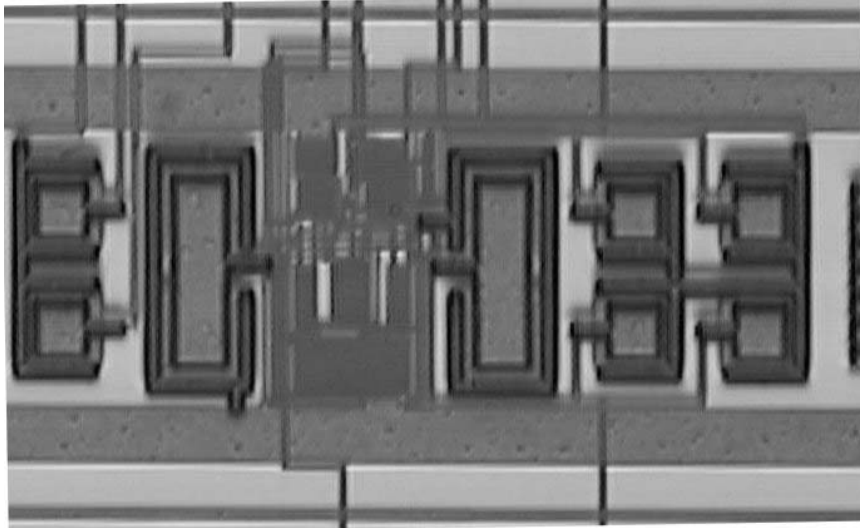


Figura A.2: Detalhe interno do chip, mostrando um OTA fabricado.

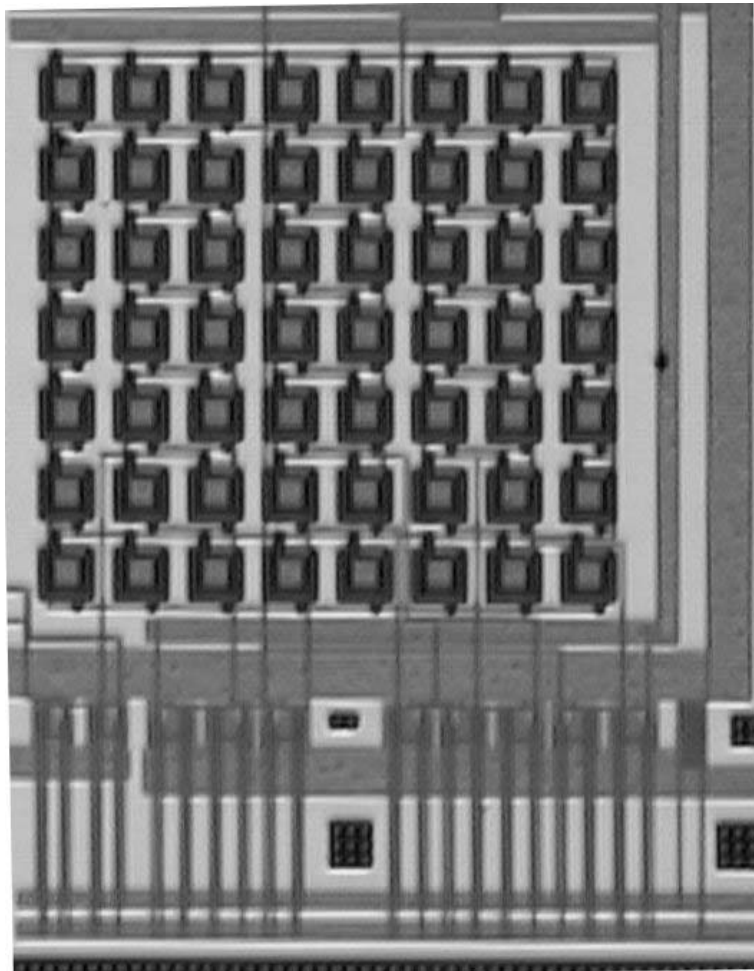


Figura A.3: Detalhe interno do chip fabricado, mostrando as chaves analógicas e o banco de capacitores do buffer de saída.

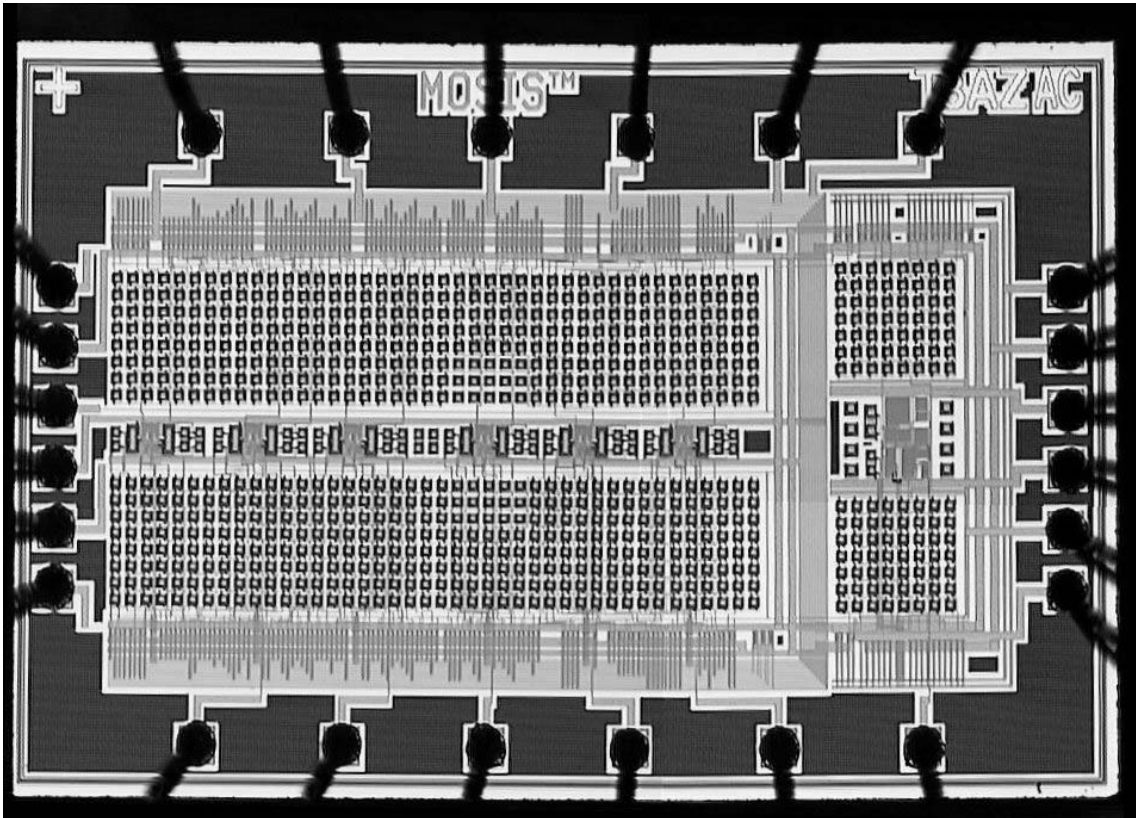


Figura A.4: Foto do circuito fabricado, tirado usando um microscópio ótico.

Apêndice B

A Placa de Testes

A fim de testar a performance do circuito integrado fabricado, uma placa de testes foi confeccionada em circuito impresso e utilizando componentes discretos comercialmente disponíveis para a geração dos sinais de clock, alimentação e correntes de polarização desejadas. Fotos da placa de montada são apresentadas nas Figs. B.1 e B.2.

A Fig. B.3 mostra um esquema da placa, com as disposição dos elementos usados. Os componentes foram agrupados em 11 blocos, de acordo com a função que desempenham. Tais blocos são descritos à seguir:

I. Alimentação: compreende a entrada para a tensão de alimentação da placa (10 V), incluindo um capacitor para filtrar as variações da tensão e um diodo.

II. Alimentações do chip, cristal e PAL: composto por reguladores de tensão, capacitores e resistores apropriadamente escolhidos para a geração das tensões que alimentam os OTAs e chaves do integrado, os buffers de entrada e saída, o cristal e a PAL.

III. Alimentação: compreende a entrada para a

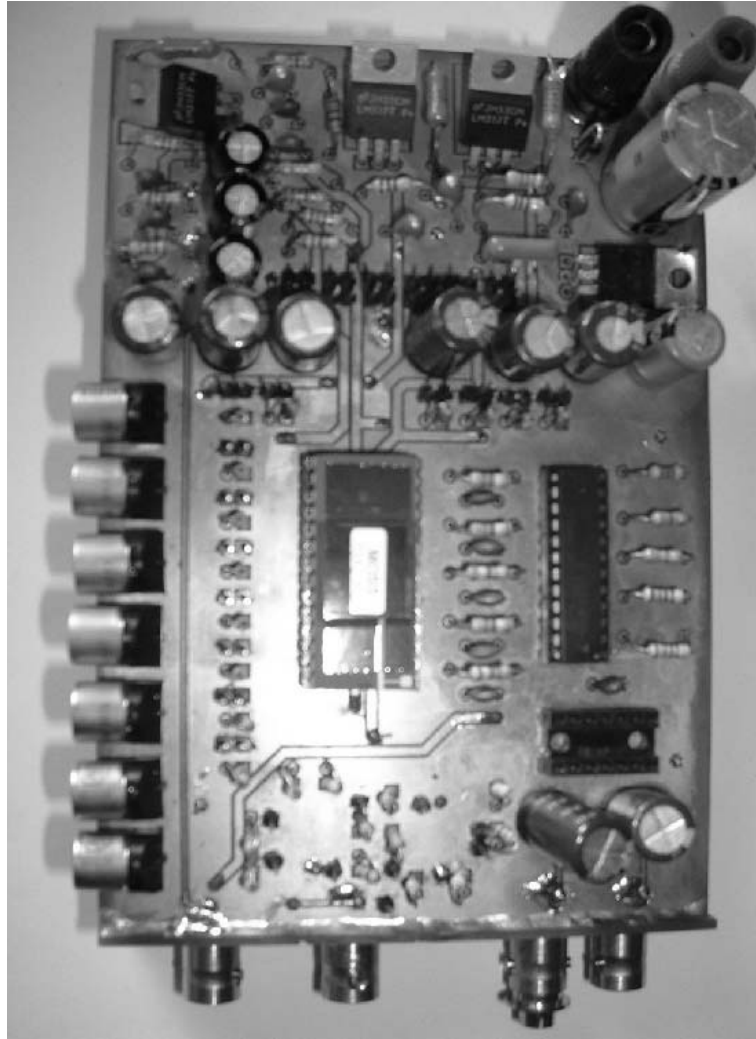


Figura B.1: Foto da placa de testes.

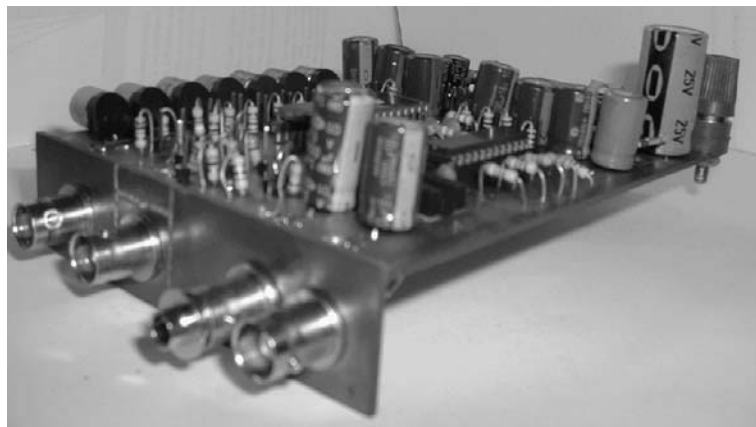


Figura B.2: Foto da placa de testes.

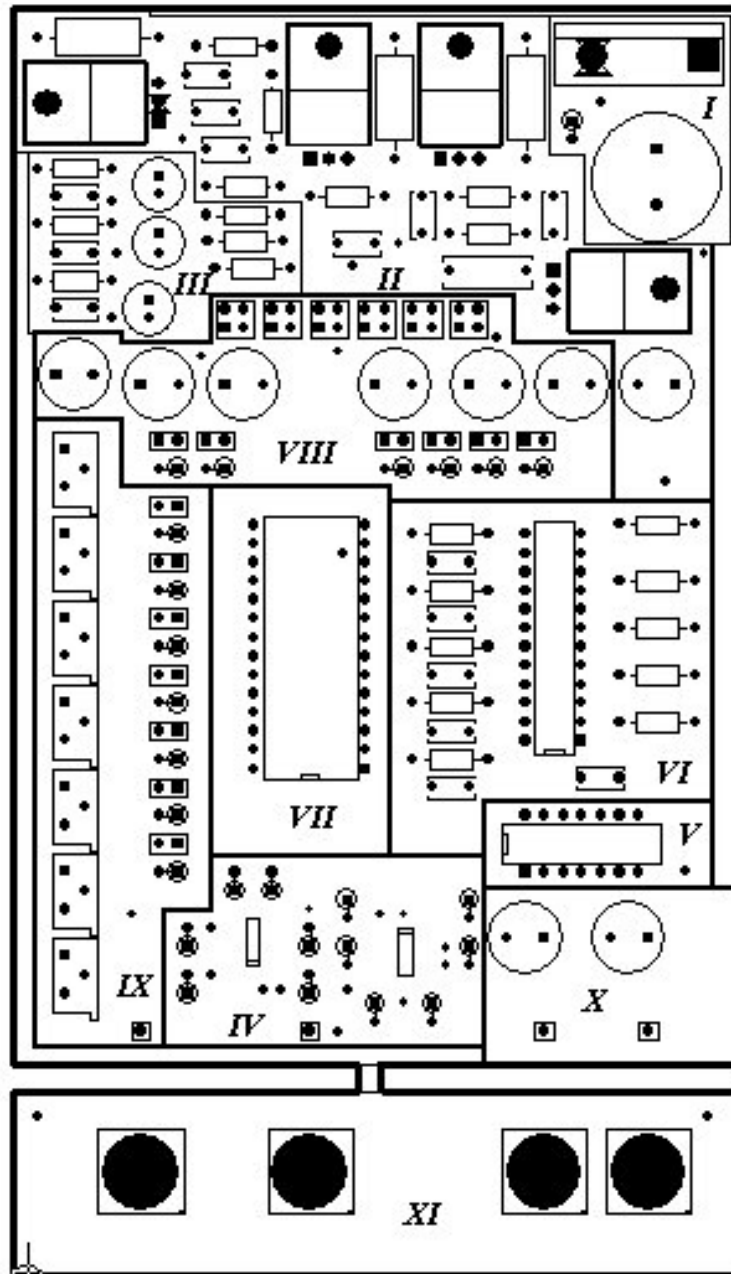


Figura B.3: Floorplan da placa de testes.

IV. Buffers de entrada e saída: formado por amplificadores operacionais (TL 4121C) completamente diferenciais a fim de transformar uma entrada simples em diferencial e referenciar cada saída à terra (0 V).

V. Cristal: gera um sinal na frequência desejada para ser utilizado na PAL na geração das 5 fases de clock.

VI. Geração de fases: contém a PAL, e divisores de tensão para transformar a amplitude das fases geradas pela PAL (3.3 V) em fases com amplitude de 1.8 V para serem usadas no chip.

VII. Circuito integrado fabricado.

VIII. Circuito para medição de ruído.

IX. Geração de correntes de polarização: compreende trimpots e resistores, ajustados de forma a gerar as correntes de polarização necessárias.

X. Filtragem do sinal de saída.

XI. Conectores do sinal de entrada e saída.