



**COPPE/UFRJ**

MÉTODOS PARA APRIMORAR O PROJETO E O LAYOUT DE FILTROS  
ANALÓGICOS EM CIRCUITOS INTEGRADOS CMOS

Carlos Fernando Teodósio Soares

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Antonio Petraglia

Rio de Janeiro  
Janeiro de 2009

MÉTODOS PARA APRIMORAR O PROJETO E O LAYOUT DE FILTROS  
ANALÓGICOS EM CIRCUITOS INTEGRADOS CMOS

Carlos Fernando Teodósio Soares

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ  
COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE)  
DA UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS  
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR  
EM CIÊNCIAS EM ENGENHARIA ELÉTRICA.

Aprovada por:

---

Prof. Antonio Petraglia, Ph.D.

---

Prof. Fernando Antônio Pinto Barúqui, D.Sc.

---

Prof. Antonio Carneiro de Mesquita Filho, Dr.d'État

---

Prof. Jader Alves de Lima Filho, D.Sc.

---

Prof. Jacques Szczupak, Ph.D.

RIO DE JANEIRO, RJ – BRASIL  
JANEIRO DE 2009

Soares, Carlos Fernando Teodósio

Métodos para Aprimorar o Projeto e o Layout de Filtros Analógicos em Circuitos Integrados CMOS/Carlos Fernando Teodósio Soares. – Rio de Janeiro: UFRJ/COPPE, 2009.

VIII, 149 p. 29,7cm.

Orientador: Antonio Petraglia

Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2009.

Referências Bibliográficas: p. 138 – 149.

1. Filtros a Capacitores Chaveados. 2. Filtros Gm-C. 3. Algoritmos Genéticos. 4. Simulated Annealing. I. Petraglia, Antonio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

# AGRADECIMENTOS

Agradeço primeiramente à Deus pelos dons concedidos à minha pessoa, os quais me levaram a seguir a carreira acadêmica em engenharia eletrônica, e pela ajuda nos momentos em que a minha limitada capacidade humana se mostrava impotente.

Agradeço à minha família pelo apoio, incentivo e, principalmente, pela compreensão nos constantes momentos em que estive ausente devido aos estudos e afazeres do curso de doutorado.

Agradeço ao meu orientador Prof. Antonio Petraglia por toda a sua ajuda, compreensão e incentivo ao longo desses cinco anos de mestrado e doutorado, cuja orientação foi muito além das simples atividades de pesquisa acadêmica.

Ao Prof. Antonio Carneiro de Mesquita Filho pelos conhecimentos transmitidos nas disciplinas que cursei ao longo do doutorado e pelas valiosas sugestões e discussões sobre a implementação do algoritmo genético para a aproximação das razões de capacitâncias. Ao Prof. Fernando Antônio Pinto Barúqui pela constante disponibilidade para conversar e discutir idéias sobre o projeto do filtro contínuo.

Aos colegas e professores do Laboratório de Eletrônica de Potência e do Laboratório de Processamento Analógico e Digital de Sinais, com os quais convivi durante todo esse tempo de curso, e que estarão permanentemente presentes na minha memória.

Ao Conselho Nacional de Desenvolvimento Científico e Tecnológico (CNPq) pela bolsa de doutorado paga a mim durante todo o curso de doutorado, sem a qual eu não conseguiria chegar até esta pesquisa de tese.

Aos alunos do Departamento de Engenharia Eletrônica e de Computação que tiveram aula comigo da disciplina Eletrônica II, com os quais eu aprendi tanto quanto ensinei.

À Universidade Federal do Rio de Janeiro pela excelência de ensino que proporcionou a mim e a qualidade da formação profissional que hoje conquisto.

E, finalmente, dedico esta tese a todos aqueles, famosos ou anônimos, que valorizam o conhecimento e que trabalham para difundí-lo e empregá-lo de forma responsável na melhoria da qualidade de vida da humanidade.



Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

## MÉTODOS PARA APRIMORAR O PROJETO E O LAYOUT DE FILTROS ANALÓGICOS EM CIRCUITOS INTEGRADOS CMOS

Carlos Fernando Teodósio Soares

Janeiro/2009

Orientador: Antonio Petraglia

Programa: Engenharia Elétrica

Casamento de capacitores é uma das questões mais críticas no projeto de filtros a capacitores chaveados em circuitos integrados CMOS. De acordo com a literatura, a técnica mais bem sucedida para realizar o casamento de capacitores consiste em implementar cada capacitor por um número inteiro de capacitores unitários idênticos e arranjá-los no *layout* empregando uma geometria com centróide comum. Entretanto, tais técnicas não são aplicáveis em geral, pois nem sempre todas as capacitâncias de um filtro podem ser expressas por um múltiplo inteiro de uma mesma capacitância unitária e, mesmo assim, dependendo do número de capacitores unitários, não é sempre possível obter um arranjo com centróide comum. Com o objetivo de solucionar tais dificuldades, um método, baseado em algoritmos genéticos, é proposto para aproximar por números racionais as razões de capacitâncias de um filtro a capacitores chaveados de maneira ótima. O presente trabalho também propõe uma metodologia, baseada em *simulated annealing*, para se otimizar o *layout* de capacitores unitários em um circuito integrado. Além disso, o projeto de filtros contínuos Gm-C também é considerado neste trabalho, com a proposta de uma topologia de amplificador operacional de transcondutância com baixa distorção para uma ampla faixa da tensão diferencial de entrada, adequada para filtros na faixa de dezenas de quilohertz. Análises de Monte Carlo usando o simulador Spectre foram realizadas para verificar a robustez dos circuitos a descasamentos e a variações nos parâmetros do processo de fabricação.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Science (D.Sc.)

## METHODS TO IMPROVE THE DESIGN AND LAYOUT OF CMOS ANALOG INTEGRATED CIRCUITS

Carlos Fernando Teodósio Soares

January/2009

Advisor: Antonio Petraglia

Department: Electrical Engineering

Capacitance matching is a critical issue in the design of switched-capacitor filters. According to previous works, the most successful technique employed to match integrated capacitors consists in implementing each filter capacitor by an integer number of identical unit capacitors in parallel, arranged in the layout using common centroid geometry. However, this technique is not applicable in general, because all filter capacitances should be expressed as integer multiples of the same unit capacitance. Furthermore, depending on the number of unit capacitors, an arrangement with a common centroid is impossible to be achieved. In order to address these difficulties, a method based on genetic algorithms is proposed to find the optimal approximation by integer ratios of the capacitance ratios in a switched-capacitor filter. This work also proposes a computational method based on simulated annealing to optimize the arrangement of unit capacitors in the layout. In addition, the design of continuous-time Gm-C filters is also considered in this work. An operational transconductance amplifier topology with low distortion for a large input voltage swing is proposed, which is suitable for filters with cut-off frequencies at dozens of kilohertz. Monte Carlo analyses using Spectre simulator were carried out to verify the robustness of the developed circuits to mismatches and variations in the fabrication process parameters.

# SUMÁRIO

<b>I</b>	<b>Introdução</b>	<b>1</b>
I.1	Aproximação das Razões de Capacitâncias . . . . .	2
I.2	Layout das Matrizes de Capacitores Unitários . . . . .	5
I.3	Filtro Contínuo no Tempo . . . . .	8
<b>II</b>	<b>Aproximação das Razões de Capacitâncias</b>	<b>11</b>
II.1	Filtros a Capacitores Chaveados . . . . .	12
II.1.1	Simulação de Rede Ladder . . . . .	12
II.1.2	Cascata de Biquads . . . . .	23
II.2	Método de Aproximação . . . . .	25
II.2.1	Codificação dos Cromossomos . . . . .	27
II.2.2	Função Custo . . . . .	34
II.2.3	População Inicial . . . . .	36
II.2.4	Seleção e Cruzamento . . . . .	37
II.2.5	Mutações . . . . .	38
II.2.6	Elitismo . . . . .	38
II.2.7	Critério de Parada . . . . .	38
II.3	Resultados . . . . .	38
II.3.1	Filtro Obtido por Simulação de Rede Ladder . . . . .	38
II.3.2	Filtro com Cascata de Biquads . . . . .	40
<b>III</b>	<b>Otimização do Layout dos Capacitores</b>	<b>44</b>
III.1	Apresentação do Problema . . . . .	44
III.2	Método Proposto . . . . .	53
III.2.1	Estrutura de Dados Adotada . . . . .	53
III.2.2	Restrição do Problema . . . . .	54
III.2.3	Função Custo . . . . .	55
III.2.4	Algoritmo de Otimização . . . . .	57
III.3	Resultados Obtidos . . . . .	62
III.3.1	Exemplos Ilustrativos . . . . .	62
III.3.2	Layout do Filtro Ladder . . . . .	66

III.3.3 Layout do Filtro Cascata de Biquads . . . . .	72
<b>IV Filtro Gm-C Anti-aliasing</b>	<b>77</b>
IV.1 Projeto Preliminar do Filtro Gm-C . . . . .	78
IV.2 Amplificador Operacional de Transcondutância . . . . .	82
IV.2.1 Revisão Bibliográfica . . . . .	82
IV.2.2 Topologia Proposta . . . . .	90
IV.2.3 Controle de Modo Comum . . . . .	93
IV.2.4 Projeto do OTA . . . . .	97
IV.3 Simulações . . . . .	107
IV.3.1 Resultados Obtidos para o Atenuador MOS . . . . .	108
IV.3.2 Resultados Obtidos para o OTA . . . . .	115
IV.3.3 Resultados Obtidos para o Controle de Modo Comum . . . . .	122
IV.3.4 Resultados Obtidos para o Filtro Gm-C . . . . .	125
<b>V Conclusão</b>	<b>134</b>
V.1 Aproximação das Razões de Capacitâncias . . . . .	134
V.2 Layout das Matrizes de Capacitores . . . . .	135
V.3 Filtro OTA-C Contínuo no Tempo . . . . .	136
<b>Referências Bibliográficas</b>	<b>138</b>

---

---

# CAPÍTULO I

---

## INTRODUÇÃO

Atualmente, devido à enorme concorrência entre as empresas que realizam projetos de circuitos integrados, há a necessidade de se minimizar o tempo de desenvolvimento dos projetos com o objetivo de lançar no mercado um produto novo antes dos demais concorrentes. Quanto maior for o intervalo de tempo entre a chegada do primeiro produto ao mercado e o lançamento de um similar pela concorrência, maiores serão os ganhos de capital da empresa pioneira. Se, por outro lado, uma empresa não conseguir lançar um produto novo antes da concorrência, os ganhos serão menores e maior será o tempo necessário para compensar os custos de desenvolvimento do projeto.

No caso de circuitos integrados digitais, existem atualmente diversas ferramentas de CAD (*Computer Aided Design*) capazes de realizar automaticamente o projeto de circuitos com elevado nível de complexidade, partindo de um código escrito em uma linguagem de descrição de hardware — como, por exemplo, VHDL e Verilog.

Por outro lado, no caso de circuitos integrados analógicos, ainda não é possível atingir o mesmo grau de automatização verificado no projeto de sistemas digitais. Isso ocorre principalmente porque o projeto de circuitos analógicos envolve muito mais parâmetros de desempenho que o projeto de sistemas digitais. Enquanto neste último tipo de projeto o foco está basicamente na elaboração de funções lógicas e na otimização dos atrasos e tempos de processamento, os projetos analógicos também envolvem questões como resposta em frequência, estabilidade, ruído, casamento entre componentes e linearidade.

Para se conseguir um bom casamento entre componentes de um circuito integrado, por exemplo, o projetista de *layout* precisa empregar diferentes técnicas no arranjo desses componentes. Essa tarefa normalmente consome bastante tempo do projetista, elevando o custo de desenvolvimento e retardando o lançamento de um produto novo no mercado. Por essa razão, muitas empresas não estão dispostas a

pagar por esse custo nos casos em que o casamento entre componentes não é um fator extremamente crítico para o projeto.

Por essa razão, um dos objetivos da presente pesquisa de tese é justamente a proposta de metodologias para automatizar as tarefas relacionadas ao casamento de componentes em circuitos integrados. Neste trabalho, o foco será o projeto de filtros analógicos, especialmente filtros a capacitores chaveados, cujo desempenho depende bastante do casamento entre os capacitores do filtro.

Além de filtros a capacitores chaveados, o presente trabalho também abordará o projeto de filtros OTA-C contínuos no tempo, os quais são freqüentemente empregados como filtros *anti-aliasing* para sistemas discretos no tempo — como os próprios filtros a capacitores chaveados ou filtros digitais. O objetivo é propor uma topologia de amplificador operacional de transcondutância (OTA) para aprimorar a linearidade e permitir a implementação de filtros OTA-C na faixa de dezenas de kilohertz, sem a necessidade de capacitores exageradamente grandes para a construção em circuito integrado.

Nas próximas seções, todas as propostas desta pesquisa de tese são descritas resumidamente. Os detalhes e os resultados obtidos são apresentados nos demais capítulos deste texto.

## I.1 - APROXIMAÇÃO DAS RAZÕES DE CAPACITÂNCIAS

Filtros a capacitores chaveados tornaram-se populares entre os projetistas de circuitos integrados analógicos graças, principalmente, a duas características. A primeira é a possibilidade de se implementar filtros com pólos em baixas frequências sem precisar de componentes passivos proibitivamente grandes, como capacitores e resistores. A segunda é a acurácia com que uma função de transferência pode ser implementada utilizando-se essa técnica, sem a necessidade de incluir qualquer tipo de sistema de calibração ou de sintonia automática [1, 2].

Nos processos de fabricação de circuitos integrados CMOS, não é possível a implementação de capacitores com valores absolutos de capacitância bem precisos. Em geral, a maioria dos processos são capazes de implementar capacitores com tolerância de cerca de 20 a 40% [2]. Como os coeficientes da função de transferência de filtros contínuos no tempo dependem diretamente dos valores absolutos de capacitâncias, resistências, transcondutâncias e indutâncias, há a necessidade de algum tipo de calibração ou de sintonia automática para garantir uma resposta em frequência com aceitável confiabilidade [3].

Por outro lado, a grande vantagem dos processos de fabricação de circuitos integrados é a capacidade de fabricar elementos muito bem casados. Dessa forma, valores relativos de capacitâncias podem ser perfeitamente implementados com tolerâncias

de até 0,1% [2], desde que técnicas adequadas de *layout* sejam adotadas pelo projetista [4–6]. Assim, mesmo que variações dos parâmetros do processo de fabricação afetem os valores absolutos dos capacitores, esses efeitos afetarão, na média, todos os capacitores de forma bastante semelhante, mantendo os valores relativos praticamente inalterados. Como os coeficientes de filtros a capacitores chaveados dependem exclusivamente de razões de capacitâncias [1], ou seja, valores relativos, as funções de transferência de tais filtros podem ser implementadas em processos CMOS com aceitável acurácia, sem a necessidade de calibração ou de sintonia automática.

Conseqüentemente, a acurácia da resposta em frequência de um filtro a capacitores chaveados dependerá diretamente do esforço empregado pelo projetista em usar as técnicas de *layout* adequadas para obter o melhor casamento possível entre os capacitores que compõem o filtro. Em circuitos integrados CMOS, os capacitores mais lineares são aqueles implementados com duas placas de material condutor — metal ou silício policristalino — separadas por um dielétrico de óxido de silício. A capacitância desses dispositivos depende da área das placas, assim como de seus perímetros — devido ao efeito de franja do campo elétrico nas bordas das placas. Sendo assim, para casar dois capacitores, o projetista deve se preocupar em casar tanto a área, como também o perímetro de suas placas. De acordo com a literatura, a técnica mais conhecida e eficiente emprega capacitores idênticos em paralelo — denominados *capacitores unitários* — para implementar cada um dos capacitores que devem ser muito bem casados [5, 7, 8]. Como exemplo, considere a razão de capacitores  $C_1/C_2 = 3/4$ . Nesse caso,  $C_1$  será composto por três capacitores unitários em paralelo, enquanto que  $C_2$  será composto por quatro. Assim, tanto área quanto perímetro estarão casados, formando a razão desejada.

Entretanto, em geral, os coeficientes das funções de transferência de filtros a capacitores chaveados não são números racionais, como mostrado no exemplo acima. Isso impede que a estratégia de se empregar capacitores unitários idênticos em paralelo seja diretamente aplicada ao caso geral. Em alguns textos [8], recomenda-se utilizar, juntamente com os unitários, alguns capacitores com tamanhos diferentes, de tal forma que as razões de capacitâncias que não são números racionais sejam satisfeitas. Uma outra estratégia seria aproximar cada razão de capacitâncias do filtro por um número racional, permitindo o emprego de capacitores unitários idênticos. A desvantagem da primeira abordagem é a necessidade de se incluir capacitores diferentes, que comprometem o casamento e dificultam o *layout*. Já a segunda abordagem tem a desvantagem de que as aproximações por números racionais acarretarão em erros na resposta em frequência do filtro. Entretanto, como é possível aproximar qualquer número real por um número racional a partir de uma especificação de erro tolerável, as razões de capacitores podem ser aproximadas de forma que os erros produzidos na resposta em frequência do filtro sejam aceitáveis.

Neste ponto da discussão, é importante mencionar que quanto menor for o erro especificado na aproximação de um número real por um racional, maiores serão os inteiros que aparecerão no numerador e no denominador. No caso da aproximação de razões de capacitores, isso representa um maior número de capacitores unitários em paralelo para implementar cada capacitor da razão, o que aumenta a área ocupada pelo filtro no circuito integrado e eleva o custo de fabricação. Para ilustrar essa situação, considere, por exemplo, a razão  $C_3/C_4 = 0,4376$ . Essa razão pode ser aproximada por  $C_3/C_4 \approx 4/9 = 0,4444$ , com um erro de 1,56%. Entretanto, essa mesma razão também pode ser aproximada por  $C_3/C_4 \approx 7/16 = 0,4375$ , com um erro de 0,023%. A primeira aproximação requer quatro capacitores unitários para a implementação de  $C_3$  e nove para  $C_4$ , levando a treze no total. Já a segunda aproximação, que produz um erro significativamente menor, requer um total de vinte e três capacitores unitários, o que ocuparia quase o dobro da área em um circuito integrado. Isso significa que há uma relação de compromisso entre precisão e área ocupada.

Portanto, o objetivo é encontrar os números racionais que aproximem todas as razões de capacitâncias de um filtro a capacitores chaveados, onde os numeradores e denominadores de cada razão sejam os menores inteiros possíveis, tais que os erros na resposta em frequência do filtro estejam dentro de uma tolerância especificada. Esta situação se assemelha ao problema de quantização em um filtro digital, onde os coeficientes reais da função de transferência do filtro devem ser representados por palavras binárias com precisão finita [9–13]. Nesse problema de quantização, a solução que produz o menor erro na resposta em frequência do filtro digital não é necessariamente o simples arredondamento dos coeficientes originais [13]. Entretanto, o problema de quantização dos coeficientes de um filtro digital é essencialmente diferente do problema envolvendo as razões de capacitâncias. No primeiro, a precisão com que cada coeficiente é implementado está fixa, e o objetivo é minimizar o erro produzido na resposta em frequência. Já no segundo, a precisão com que os coeficientes serão implementados é arbitrária, dependendo apenas de quão grandes serão os números inteiros utilizados nas razões, e o objetivo é justamente encontrar as razões com os menores inteiros possíveis, tais que os erros na resposta em frequência sejam aceitáveis.

Em [14] e [15] as aproximações das razões de capacitâncias foram realizadas através de um método de busca determinístico, com o objetivo de minimizar o máximo erro na resposta em frequência do filtro. No entanto, o método não tinha a preocupação em minimizar o número de capacitores unitários. Em [16], um método de otimização discreta, mais eficiente que o método de busca utilizado nos dois trabalhos anteriores, foi aplicado separadamente a cada seção de um filtro implementado através de uma cascata de seções biquadráticas (*biquads*). Todavia, o método serve



apenas para o caso específico de filtros implementados com cascata de biquads, e a interação entre seções não é levada em consideração durante a otimização. Tal interação permite que o erro de aproximação de uma seção possa ser cancelado pelo erro de uma outra seção pertencente à mesma cascata, reduzindo o erro total e relaxando a tolerância com que algumas razões de capacitâncias devem ser aproximadas. Infelizmente, a complexidade do método de aproximação proposto em [16] é altamente influenciada pelo número de capacitores do circuito. Essa característica o torna bastante inadequado para ser aplicado ao filtro inteiro, ao invés de ficar restrito a cada seção biquadrática separadamente. Em [17, 18] é apresentado um método que aproxima cada uma das razões de capacitâncias, separadamente, dada uma tolerância determinada através da sensibilidade do filtro. Apesar de ser um método computacionalmente bastante eficiente, as soluções encontradas não são ótimas, justamente pelo fato do método não levar em consideração a interação entre os erros de aproximação de todas as razões de capacitâncias sobre a resposta em frequência do filtro. A sensibilidade do filtro também foi utilizada em [19] para resolver o problema de quantização dos coeficientes de filtros digitais.

No presente trabalho, um novo método é proposto para aproximar as razões de capacitâncias de um filtro a capacitores chaveados. O objetivo é minimizar a área ocupada pelos capacitores unitários que serão empregados na implementação das razões aproximadas, mantendo os erros na resposta em frequência aceitáveis. Para isso, um algoritmo genético é adotado como método de busca para encontrar a solução ótima para esse problema.

Algoritmos genéticos são algoritmos de busca baseados no mecanismo de seleção natural e na evolução das espécies vivas, produzindo indivíduos cada vez melhores a cada geração, através de processos como seleção, cruzamentos e mutações. A grande vantagem desses algoritmos é a capacidade de lidar com problemas de otimização discreta, não lineares e com vários mínimos locais [20]. Em [13], por exemplo, um algoritmo genético foi empregado com sucesso na busca de uma solução para o problema de quantização dos coeficientes de um filtro digital.

No Capítulo II, é apresentada a implementação do método de aproximação das razões de capacitâncias empregando algoritmos genéticos. O método é, então, aplicado a dois projetos de filtros a capacitores chaveados para comprovar a sua eficácia.

## I.2 - LAYOUT DAS MATRIZES DE CAPACITORES UNITÁRIOS

Conforme mencionado na seção anterior, a acurácia com que as razões de capacitâncias são implementadas pode ser melhorada se forem empregadas técnicas de *layout* adequadas. De acordo com a literatura, o casamento de capacitores MOS está sujeito a duas classes de erros [7, 21, 22]:

- **Erros Aleatórios** — São erros que ocorrem de forma imprevisível em dispositivos de circuitos integrados. Como são aleatórios, não podem ser corrigidos através de técnicas de *layout*. Portanto, os erros aleatórios representam a maior limitação da máxima acurácia que se pode obter em uma determinada tecnologia. Exemplos mais comuns de erros dessa natureza em capacitores MOS são: irregularidades nas bordas das placas que compõem os capacitores, variações aleatórias na espessura do óxido devido à rugosidade do material e flutuações na permissividade elétrica do óxido.
- **Erros Sistemáticos** — São erros decorrentes do modo como os dispositivos são implementados em um circuito integrado. Tais erros podem ser satisfatoriamente atenuados através de técnicas de *layout* adequadas. Exemplos de erros dessa natureza são: descasamentos nas razões dos perímetros, efeitos de proximidade dos dispositivos, capacitâncias parasitas nas interconexões, descasamentos nas interconexões e gradientes de temperatura e de espessura do óxido.

Em [7], é apresentado um estudo dos erros sistemáticos de casamento entre capacitores implementados em circuitos integrados MOS. Com base nos estudos desse trabalho, foram elaboradas algumas regras de *layout* para atenuar os efeitos de erros sistemáticos. Entre elas, recomenda-se o emprego de capacitores unitários idênticos a fim de se casar tanto área como perímetro. Caso sejam necessários capacitores com dimensões diferentes dos demais unitários, os autores recomendam que estes devam ter dimensões o mais próximas possível dos unitários. Além disso, os capacitores unitários devem ser posicionados no *layout* da forma mais simétrica possível. De preferência, empregando arranjos do tipo *centróide comum*, onde capacitores unitários pertencentes ao mesmo capacitor são dispostos simetricamente em relação ao centro da matriz de capacitores. Com esse arranjo, os centróides — também conhecidos como centros de massa — de todos os grupos de capacitores devem ser coincidentes, ou seja, comuns. Em [23], foram estudados diferentes posicionamentos simétricos de dispositivos MOS em um *layout*, e a configuração centróide comum foi a que apresentou o melhor casamento.

Neste trabalho, a recomendação de se empregar apenas capacitores unitários idênticos é satisfeita com a aproximação das razões de capacitâncias por números racionais. Assim, uma vez que as razões de capacitâncias do filtro tenham sido aproximadas, o próximo passo é a elaboração do *layout* das matrizes de capacitores unitários. Entretanto, quando o número de capacitores unitários é grande, encontrar o arranjo em centróide comum é uma tarefa bastante difícil e que consome muito tempo do engenheiro de *layout*.

As primeiras ferramentas desenvolvidas para a automação do projeto de *layout* de circuitos integrados não apresentavam uma preocupação com a necessidade de se arranjar os capacitores unitários com geometria de centróide comum [24, 25]. A principal preocupação desses trabalhos era produzir *layouts* compactos e com simples roteamento. O posicionamento dos capacitores unitários empregando-se geometrias simétricas e com centróide comum passou a ser considerado, posteriormente, em diversos outros trabalhos [26–41].

Em [28] e [33] são apresentados métodos automáticos para o posicionamento de capacitores unitários em uma matriz com simetria de centróide comum. Entretanto, o método apresentado nesses trabalhos também lida com matrizes, nas quais alguns capacitores não apresentam as mesmas dimensões que os unitários. Essa característica aumenta consideravelmente a complexidade do algoritmo de posicionamento, porque, além de se obter um *layout* em centróide comum, também busca-se encaixar os capacitores não unitários na matriz de forma que o layout seja o mais compacto possível.

Outros trabalhos consideram o caso mais geral de se posicionar, em centróide comum, blocos analógicos genéricos com dimensões diferentes [32, 34, 37, 40, 41]. Como não há uma uniformidade nas dimensões físicas, além de satisfazer a restrição de centróide comum, os métodos de posicionamento também têm que buscar a solução que produz o *layout* mais compacto, ou seja, o que minimiza os espaços vazios entre os blocos. Para isso, foram desenvolvidas diferentes estruturas de dados para representar o arranjo geométrico dos blocos no *layout*, onde o objetivo é acelerar a busca pela solução ótima.

No presente trabalho, as matrizes de capacitores contêm apenas capacitores unitários idênticos. Dessa forma, qualquer que seja o arranjo dos capacitores na matriz, o *layout* produzido será compacto, pois todos os capacitores unitários se encaixam uniformemente, sem o risco de deixar grandes espaços vazios entre eles. Essa característica simplifica a estrutura de dados utilizada na representação do *layout* e acelera a busca pela solução ótima.

Apesar de ser eficaz na compensação de gradientes de temperatura e variações de processo em capacitores MOS, a geometria com centróide comum tem sua aplicação limitada aos casos em que o número de capacitores unitários que integram cada um dos capacitores do filtro é par, ou quando existe, no máximo, um único capacitor do filtro com um número ímpar de unitários associados [36]. Assim sendo, nem sempre será possível encontrar um arranjo em centróide comum para as razões de capacitâncias aproximadas por quaisquer razões de inteiros.

Nos trabalhos citados acima, sempre que não é possível posicionar os componentes em centróide comum, os métodos desenvolvidos buscam o arranjo que seja o mais próximo possível do ideal. Em [36], é apresentado um método para o layout de

transistores que devem estar muito bem casados. Nesse método, os transistores são quebrados automaticamente em um número par de transistores menores em paralelo, com o objetivo de se obter perfeitamente a configuração com centróide comum. No presente trabalho, o número de capacitores unitários associados a cada capacitor do filtro é determinado pelo método de aproximação descrito no Capítulo II, e não necessariamente corresponde a um número inteiro adequado para o arranjo em centróide comum. Uma forma de contornar essa limitação seria incluir uma restrição no problema de aproximação das razões de capacitâncias que tornasse viáveis apenas soluções onde as razões aproximadas apresentassem numeradores e denominadores pares. Entretanto, essa restrição adicional fatalmente levaria a soluções com numeradores e denominadores maiores, o que aumentaria a área ocupada pelo filtro e o seu consumo de energia.

Por outro lado, em [26] é apresentado um modelo algébrico visando encontrar um arranjo de componentes em um *layout*, de forma que o circuito implementado seja insensível a gradientes de variação de parâmetros. O trabalho citado demonstra que o arranjo em centróide comum é uma das possíveis soluções para o problema, mas não é a única. Entretanto, não é mostrado nenhum método para encontrar as outras soluções que, mesmo não estando arranjadas em centróide comum, tornam o circuito insensível a gradientes de variação de parâmetros.

No presente trabalho, será apresentado um método, baseado em *simulated annealing* [42], que consegue encontrar, quando for possível, arranjos dos capacitores unitários, sem centróide comum, que tornam as razões de capacitâncias insensíveis a gradientes de variação de parâmetros. Com esse método, será possível encontrar *layouts* ótimos, mesmo quando a configuração centróide comum não for possível. Além disso, será mostrado que pode haver mais de um arranjo ótimo para uma mesma matriz de capacitores unitários. Dessa forma, pode-se também otimizar o *layout* com respeito a outros efeitos — como, por exemplo, a atenuação de erros aleatórios ou a simplificação do roteamento — e fazer com que a condição de insensibilidade do arranjo seja apenas uma restrição do problema.

No Capítulo III, é apresentado o método para a otimização do layout das matrizes de capacitores unitários desenvolvido neste trabalho. O método será aplicado a alguns exemplos ilustrativos a fim de se verificar o seu desempenho. Além disso, o método será empregado na obtenção do *layout* das matrizes de capacitores unitários dos filtros a capacitores chaveados projetados no Capítulo II.

### I.3 - FILTRO CONTÍNUO NO TEMPO

Mesmo sendo analógicos, os filtros a capacitores chaveados são sistemas discretos no tempo. A principal característica que os difere dos filtros digitais é o fato de que

as amostras de sinal processadas pelos filtros a capacitores chaveados podem assumir qualquer valor dentro do intervalo de sua faixa dinâmica. Os sinais processados pelos filtros digitais, por outro lado, só podem assumir valores discretos determinados pelo número de bits adotados na representação das amostras. Portanto, filtros a capacitores chaveados são contínuos em amplitude, enquanto que os digitais são discretos em amplitude.

No entanto, apesar das diferenças, ambos lidam com sinais amostrados. Por essa razão, filtros a capacitores chaveados também necessitam que o sinal de entrada tenha seu espectro de frequências limitado por um filtro passa-baixa, a fim de se evitar o fenômeno de *aliasing* [43, 44]. Esse filtro passa-baixa, também conhecido como filtro *anti-aliasing*, deve ser contínuo no tempo, pois, caso contrário, este também iria precisar de um filtro *anti-aliasing*.

Diferentemente dos filtros chaveados, os coeficientes da função de transferência de filtros contínuos no tempo não dependem dos valores relativos de componentes — como as razões de capacitâncias nos filtros a capacitores chaveados. Conseqüentemente, filtros contínuos no tempo são bastante sensíveis às variações dos parâmetros do processo de fabricação. Por essa razão, necessitam de esquemas de sintonia automática para ajustar alguns componentes do filtro a fim de compensar todas as variações [3]. As técnicas mais amplamente conhecidas para a implementação de filtros contínuos no tempo em circuitos integrados CMOS são os filtros MOSFET-C e os OTA-C.

Os filtros MOSFET-C são obtidos a partir de filtros RC-ativos, onde os resistores são substituídos por MOSFET's (*Metal Oxide Semiconductor Field Effect Transistors*) operando na região de triodo [3]. Uma das vantagens dessa substituição é o fato de transistores ocuparem bem menos área em um circuito integrado do que resistores. Mas a principal razão para substituir os resistores por MOSFET's é a necessidade de se controlar a resistência equivalente desses transistores para sintonizar o filtro, compensando as variações que afetam os capacitores. A principal desvantagem dessa técnica é o fato de que transistores MOS operando na região de triodo não são lineares como resistores, levando a distorções nos sinais processados pelo filtro [2]. A estratégia mais empregada para atenuar os efeitos desse comportamento não linear é o emprego de topologias diferenciais para eliminar os harmônicos de ordem par [2]. Outra grande desvantagem dessa técnica é a necessidade de amplificadores operacionais com baixa impedância de saída, o que é difícil de se obter com circuitos CMOS.

Devido às desvantagens mencionadas acima, a técnica mais amplamente adotada na implementação de filtros analógicos é a OTA-C, que emprega circuitos com OTA's (*Operational Transconductance Amplifiers*) e capacitores. Amplificadores operacionais de transcondutância são bem mais simples de se implementar em tecnologias

CMOS, justamente porque esses componentes necessitam de impedâncias de saída elevadas. Além disso, a sintonia destes filtros é realizada variando-se a transcondutância dos OTA's, e existem na literatura diversas técnicas bastante eficientes para o ajuste da transcondutância de um OTA [2, 45, 46]. Conseqüentemente, o filtro *anti-aliasing* desenvolvido neste trabalho será implementado usando a técnica OTA-C.

No projeto de filtros OTA-C, uma das questões mais críticas é a linearidade da relação entre a corrente na saída do OTA e a sua tensão diferencial de entrada. Um par diferencial simples, por exemplo, não apresenta um comportamento linear. Entretanto, esse comportamento não linear não representa um problema crítico em amplificadores operacionais em malha fechada, pois a tensão diferencial de entrada é usualmente muito baixa — idealmente nula. Por outro lado, em filtros OTA-C, os amplificadores operacionais de transcondutância operam com tensões diferenciais de entrada bastante significativas, e o comportamento não linear do par diferencial degradaria a faixa dinâmica do filtro. Por essa razão, diversas estratégias foram desenvolvidas para melhorar a linearidade de um par diferencial [47–81], permitindo que filtros OTA-C pudessem ser implementados com uma ampla faixa dinâmica. Uma visão geral das principais estratégias é apresentada no Capítulo IV.

Um outro problema relacionado ao projeto de filtros contínuos no tempo é que, ao contrário do que acontece em filtros chaveados, pólos em baixas frequências não são facilmente realizáveis. Considere, por exemplo, um filtro de primeira ordem com um pólo em 10 kHz. Um filtro RC-ativo com esse pólo necessitaria ter  $1/RC = 2\pi \cdot 10^4$ . Se considerarmos um capacitor  $C$  na ordem de 1 pF — um valor razoável para ser construído em um circuito integrado —, o valor do resistor  $R$  deverá ser de aproximadamente 16 M $\Omega$ , o que é proibitivamente grande para ser integrado. No caso de filtros OTA-C, os pólos seriam dados em função de  $G_m/C$ , onde  $G_m$  representa a transcondutância do OTA. Nesse caso, para um capacitor  $C$  de 1 pF, a transcondutância  $G_m$  deverá ser de 62,5 nA/V, aproximadamente. Porém, a construção de um OTA com esse valor de transcondutância não é uma tarefa trivial, pois necessitaria de um par diferencial com transistores exageradamente longos. Para contornar esse problema, foram desenvolvidas técnicas de projeto de transdutores para aplicações de baixas frequências [82–97]. As principais são discutidas no Capítulo IV.

No presente trabalho, uma topologia de OTA é proposta para atingir transcondutâncias na faixa de nA/V, com comportamento linear em uma ampla faixa da tensão diferencial de entrada. Esse OTA será empregado na construção de um filtro *anti-aliasing* para o filtro passa-faixa a capacitores chaveados projetado no Capítulo II. O projeto do filtro *anti-aliasing*, assim como a topologia proposta para o OTA e os resultados obtidos através de simulação são apresentados no Capítulo IV.

---

## CAPÍTULO II

---

# APROXIMAÇÃO DAS RAZÕES DE CAPACITÂNCIAS

De acordo com o Capítulo I, a principal motivação para aproximar as razões de capacitâncias de um filtro a capacitores chaveados por números racionais é a possibilidade de se implementar cada capacitor do filtro como uma associação em paralelo de capacitores unitários idênticos. Assim, usando técnicas de *layout* adequadas, é possível obter um excelente casamento entre tais capacitores e, conseqüentemente, aumentar a robustez do filtro com relação a variações dos parâmetros do processo de fabricação CMOS. Entretanto, conforme mencionado, a desvantagem de realizar tais aproximações é a produção de erros na resposta em frequência do filtro. Além disso, foi mostrado que o erro de aproximação de uma razão pode ser feito arbitrariamente pequeno quanto se queira, com a desvantagem de que quanto menor o erro, maiores serão os numeradores e os denominadores inteiros das aproximações racionais, levando a um compromisso entre precisão e a área ocupada pelo circuito.

Para contornar o problema do compromisso entre precisão e área, propõe-se, inicialmente, projetar o filtro a capacitores chaveados com especificações mais exigentes que as originais — reduzindo a máxima atenuação tolerada na banda passante, por exemplo. Uma vez obtida a função de transferência ideal para as especificações modificadas, o problema passa a ser o de aproximar cada uma das razões de capacitâncias por números racionais com os menores numeradores e denominadores inteiros possíveis, de forma que o filtro aproximado satisfaça às especificações originais, mesmo com os erros causados pelas aproximações.

No presente capítulo, é proposta uma metodologia para encontrar uma solução para o problema descrito acima. Tal metodologia é aplicada a dois projetos de filtros a capacitores chaveados que empregam topologias freqüentemente utilizadas na indústria. O primeiro é um filtro passa-banda obtido por simulação de uma rede *lad-*

der passiva, enquanto que o segundo emprega uma cascata de seções biquadráticas (*biquads*) para implementar um filtro passa-baixa. Na Seção II.1, são apresentados os projetos preliminares de ambos os filtros. Na Seção II.2, é apresentado o método de aproximação das razões de capacitâncias. Os resultados obtidos com a aplicação do método aos dois casos exemplo são apresentados na Seção II.3.

## II.1 - FILTROS A CAPACITORES CHAVEADOS

Nesta seção, é apresentada uma breve descrição de ambos os filtros a capacitores chaveados empregados como exemplos. Tais filtros empregam técnicas bem conhecidas na literatura para a obtenção dos valores dos coeficientes da função de transferência e, conseqüentemente, das razões de capacitâncias que serão aproximadas posteriormente. Em cada projeto, as especificações originais foram alteradas através da redução da máxima atenuação permitida na banda passante, com o objetivo de compensar os erros oriundos das aproximações.

### II.1.1 - SIMULAÇÃO DE REDE LADDER

As especificações do projeto preliminar do filtro a capacitores chaveados são:

- Banda passante entre 10 e 30 kHz;
- Banda de rejeição abaixo de 5 kHz e acima de 50 kHz;
- Máxima atenuação na banda passante de 1,0 dB;
- Mínima atenuação na banda de rejeição de 30 dB.

A especificação original da máxima atenuação na banda passante será reduzida de 1 dB para 0,5 dB, a fim de levar em consideração o efeito dos erros de aproximação das razões. É importante mencionar que quanto maior for a redução da máxima atenuação na banda passante em relação às especificações originais, mais relaxadas serão as tolerâncias para a aproximação das razões de capacitâncias. Conseqüentemente, menores serão os números inteiros nos numeradores e denominadores das razões aproximadas. Por outro lado, uma redução excessiva da máxima atenuação da banda passante pode fazer com que seja necessário empregar um filtro com ordem maior que aquela necessária para satisfazer às especificações originais. Assim, não faz sentido tentar economizar área de silício através da redução do número de capacitores unitários, se isso implicar em um aumento da ordem do filtro. Portanto, a alteração nas especificações originais deve ser realizada com cautela por parte do projetista.



Para satisfazer às novas especificações, foi adotada uma aproximação elíptica de sexta ordem. Usando métodos clássicos de síntese de redes passivas [98], obtém-se o protótipo em rede *ladder* duplamente terminada apresentado na Fig. II.1.

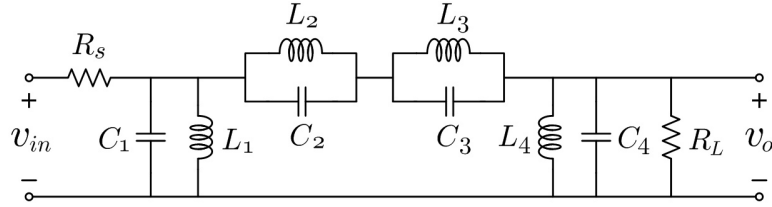


Figura II.1: Rede *ladder* duplamente terminada, empregada como protótipo do filtro a capacitores chaveados.

Com o protótipo passivo pronto, o próximo passo consiste em escrever as equações de estado da rede *ladder*, e implementar cada uma delas empregando integradores a capacitores chaveados — como os da Fig. II.2 [1]. Entretanto, no protótipo passivo da Fig. II.1, os indutores  $L_1$ ,  $L_2$ ,  $L_3$  e  $L_4$  formam um ciclo fechado, indicando que a rede *ladder* sintetizada apresenta uma frequência natural igual a zero. Isso implicará em problemas de estabilidade do filtro a capacitores chaveados, em virtude das tensões de *offset* dos amplificadores operacionais presentes nos integradores [1].

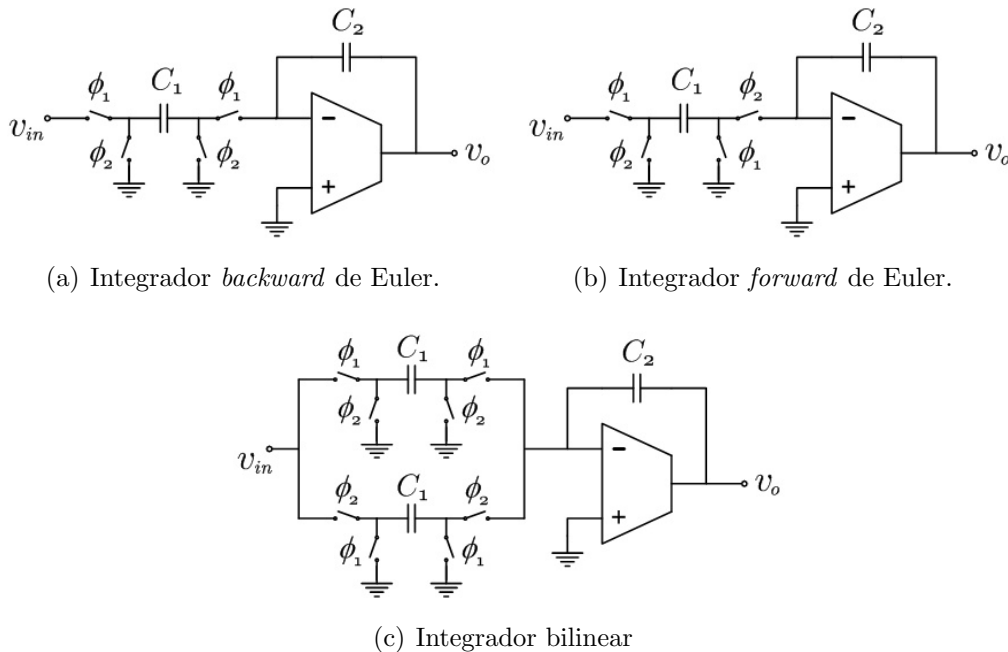


Figura II.2: Integradores a capacitores chaveados.

Adotando a estratégia apresentada em [99], o ciclo de indutores pode ser substituído pelo seu equivalente de Thévenin, visto dos terminais aos quais o ciclo se conecta ao restante da rede *ladder*. Como a frequência natural em zero está relacionada apenas com a corrente no ciclo de indutores, sem afetar as tensões em seus

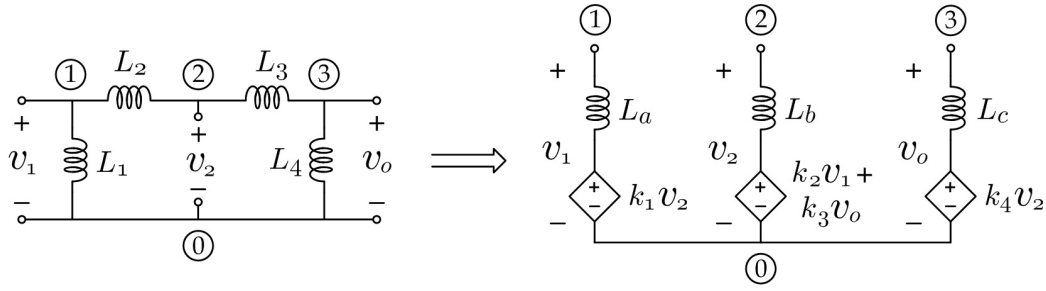


Figura II.3: Equivalente Thévenin do ciclo de indutores presente na rede *ladder* original.

terminais, o equivalente de Thévenin não apresentará o mesmo problema da frequência natural em zero. Na Fig. II.3, é apresentado o circuito equivalente de Thévenin do ciclo de indutores, onde:

$$L_a = \frac{L_1 L_2}{L_1 + L_2}, \quad k_1 = \frac{L_1}{L_1 + L_2}; \quad (\text{II.1})$$

$$L_b = \frac{L_2 L_3}{L_2 + L_3}, \quad k_2 = \frac{L_3}{L_2 + L_3}, \quad k_3 = \frac{L_2}{L_2 + L_3}; \quad (\text{II.2})$$

$$L_c = \frac{L_3 L_4}{L_3 + L_4}, \quad k_4 = \frac{L_4}{L_3 + L_4}. \quad (\text{II.3})$$

Substituindo o circuito equivalente de Thévenin da Fig. II.3 na rede *ladder* da Fig. II.1, obtemos o circuito da Fig. II.4.

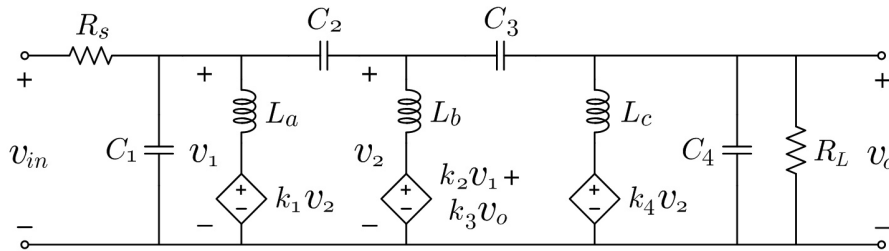


Figura II.4: Rede *ladder* com o ciclo de indutores substituído pelo seu equivalente de Thévenin.

Para a implementação das equações de estado do protótipo, devemos substituir cada uma das operações de integração contínuas no tempo, por integrações discretas. Entre as integrações discretas no tempo, temos a bilinear (trapezoidal), a *forward* e a *backward* de Euler [1]. Entre essas, a mais eficiente é a bilinear, a qual será empregada neste projeto. Entretanto, os integradores de Euler a capacitores chaveados são significativamente mais simples e ocupam menos área que o circuito do integrador bilinear — vide Fig. II.2. Por essa razão, em [99], é apresentado um conjunto de modificações — apresentadas na Fig. II.5 — que podem ser aplicadas a uma rede *ladder*, de forma que, ao se aplicar a integração bilinear às suas equações de estado,

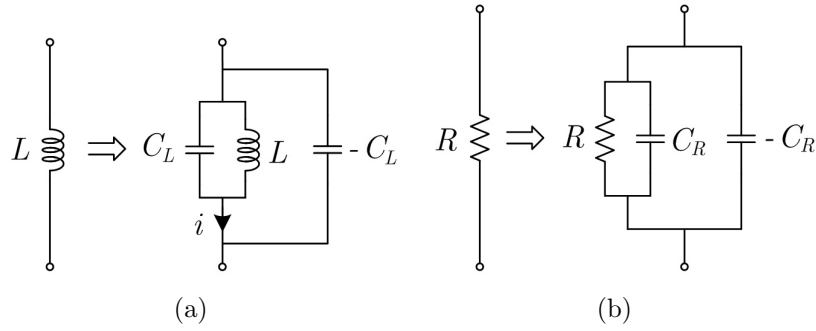


Figura II.5: Transformações a serem aplicadas aos indutores (a) e aos resistores (b) da rede *ladder*.

estas podem ser simplificadas algebricamente até que cada integração seja expressa em termos de um dos integradores de Euler. Desse modo, mesmo substituindo as integrais contínuas no tempo por integrações bilineares, o filtro a capacitores chaveados poderá ser implementado empregando uma combinação de integradores de Euler.

Aplicando as modificações mostradas na Fig. II.5 à rede *ladder* da Fig. II.4, obtém-se o circuito apresentado na Fig. II.6.

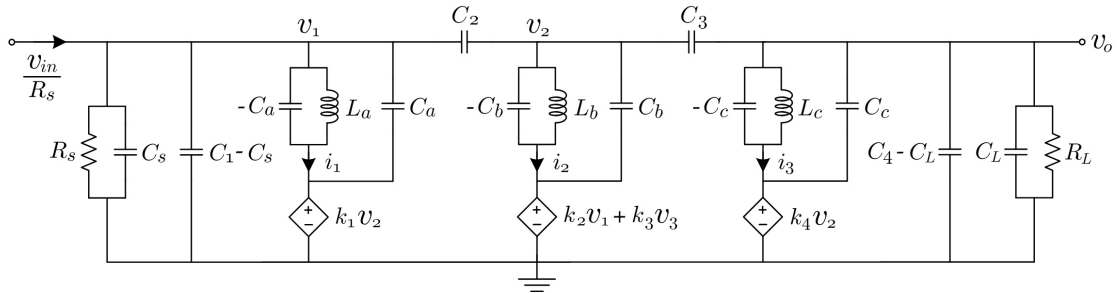


Figura II.6: Rede *ladder* modificada.

Primeiramente, adiciona-se, em paralelo com cada um dos indutores, um capacitor negativo hipotético, conforme mostrado na Fig. II.5(a). A fim de que a função de transferência do filtro não seja alterada, um capacitor positivo, com o mesmo módulo de capacitância, deve ser adicionado em paralelo para anular o efeito do primeiro. De acordo com [99], os capacitores  $C_a$ ,  $C_b$  e  $C_c$  na Fig. II.6 são dados por:

$$C_a = \frac{T^2}{4L_a}, \quad C_b = \frac{T^2}{4L_b}, \quad C_c = \frac{T^2}{4L_c}; \quad (\text{II.4})$$

onde  $T$  é o período de amostragem do filtro a capacitores chaveados — neste projeto,  $T = 5 \mu\text{s}$ . Para que essas modificações tenham o efeito desejado sobre as equações de estado da rede *ladder*, é necessário tomar como variáveis de estado as correntes dos ramos com os indutores e seus respectivos capacitores negativos em paralelo, ao invés de tomar apenas as correntes nos indutores, como normalmente é feito. Assim,

as correntes  $i_1$ ,  $i_2$  e  $i_3$ , apresentadas na Fig. II.6, serão escolhidas como variáveis de estado.

Com os resistores da rede, o procedimento adotado é bastante semelhante. Primeiramente, o ramo formado pela tensão de entrada em série com o resistor  $R_s$ , mostrado na Fig. II.4, é substituído pelo seu circuito equivalente de Norton. Posteriormente, é adicionado um capacitor em paralelo com cada resistor, conforme mostrado na Fig. II.5(b). Para compensar o efeito desses elementos adicionais, também são incluídos, em paralelo, capacitores negativos com o mesmo módulo dos anteriores. Os capacitores negativos são, então, absorvidos pelos capacitores  $C_1$  e  $C_4$  já existentes na rede, conforme mostrado na Fig. II.6. Os capacitores adicionais  $C_s$  e  $C_L$  são dados por:

$$C_s = \frac{T}{2R_s}, \quad C_L = \frac{T}{2R_L}. \quad (\text{II.5})$$

Para completar o conjunto de variáveis de estado do circuito da Fig. II.6, devemos escolher as tensões dos nós, indicadas por  $v_1$ ,  $v_2$  e  $v_o$ .

A equação de estado de  $v_1$  pode ser obtida por meio da equação da Lei das Correntes de Kirchhoff aplicada ao nó do circuito referente a essa tensão. Usando Transformada de Laplace<sup>1</sup>, obtém-se:

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{s} \cdot \left[ \frac{V_{in}}{R_s} - \left( \frac{1}{R_s} + sC_s \right) V_1 - I_1 + s(C_2 + k_1 C_a) V_2 \right]. \quad (\text{II.6})$$

Substituindo em (II.6) a expressão de  $C_s$  dada em (II.5), obtém-se:

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{s} \cdot \left[ \frac{V_{in}}{R_s} - \left( 1 + s\frac{T}{2} \right) \frac{V_1}{R_s} - I_1 + s(C_2 + k_1 C_a) V_2 \right]. \quad (\text{II.7})$$

Substituindo a integração contínua  $1/s$  pela bilinear

$$\frac{1}{s} \rightarrow \frac{T}{2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}}, \quad (\text{II.8})$$

obtém-se a versão discreta no tempo da equação de estado de  $v_1$ :

$$V_1 = \frac{1}{(C_1 - C_s + C_a + C_2)} \cdot \frac{1}{1 - z^{-1}} \cdot \left[ (1 + z^{-1}) \frac{T}{2R_s} V_{in} - \frac{T}{R_s} V_1 - \frac{T}{2} (1 + z^{-1}) I_1 + (1 - z^{-1}) (C_2 + k_1 C_a) V_2 \right]. \quad (\text{II.9})$$

<sup>1</sup>Neste texto emprega-se a convenção de usar letras maiúsculas para designar variáveis no domínio da frequência, e letras minúsculas para designar variáveis no domínio do tempo.

Definindo-se os seguintes parâmetros:

$$\begin{aligned} \frac{A_1}{A} &= \frac{T}{2R_s (C_1 - C_s + C_a + C_2)}, & \frac{A_2}{A} &= \frac{T}{R_s (C_1 - C_s + C_a + C_2)}, \\ \frac{A_3}{A} &= \frac{T}{2(C_1 - C_s + C_a + C_2)}, & \frac{A_4}{A} &= \frac{(C_2 + k_1 C_a)}{(C_1 - C_s + C_a + C_2)}. \end{aligned} \quad (\text{II.10})$$

Pode-se reescrever a equação (II.9) de uma forma mais simplificada:

$$V_1 = \frac{1}{A} \cdot \frac{1}{1 - z^{-1}} \cdot [A_1 (1 + z^{-1}) V_{in} - A_2 V_1 - A_3 (1 + z^{-1}) I_1 + A_4 (1 - z^{-1}) V_2]. \quad (\text{II.11})$$

Para obter a equação de estado da variável  $i_1$ , basta aplicar a Lei das Tensões de Kirchhoff ao ramo paralelo  $L_a(-C_a)$  do circuito da Figura II.6. Assim, obtém-se:

$$\left( \frac{sL_a}{1 - C_a L_a s^2} \right) I_1 = V_1 - k_1 V_2. \quad (\text{II.12})$$

Substituindo o termo  $C_a$  pela sua expressão apresentada em (II.4), na equação (II.12), obtém-se:

$$\left( \frac{s}{1 - \frac{T^2}{4} s^2} \right) L_a I_1 = V_1 - k_1 V_2. \quad (\text{II.13})$$

Assim, aplicando a transformação bilinear à equação (II.13), obtém-se a versão discreta no tempo da equação de estado:

$$(1 + z^{-1}) I_1 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[ \frac{2T}{L_a} V_1 - \frac{2Tk_1}{L_a} V_2 \right]. \quad (\text{II.14})$$

Analogamente ao caso da equação de estado da variável  $v_1$ , definem-se os seguintes parâmetros:

$$\frac{B_1}{B} = \frac{2T}{L_a}, \quad \frac{B_2}{B} = \frac{2Tk_1}{L_a}. \quad (\text{II.15})$$

Assim, pode-se reescrever a equação (II.14) de maneira mais simplificada:

$$(1 + z^{-1}) I_1 = \frac{1}{B} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [B_1 V_1 - B_2 V_2]. \quad (\text{II.16})$$

Para a equação de estado da variável  $v_2$ , aplica-se a Lei das Correntes de Kirchhoff ao nó do circuito referente a esta tensão, obtendo-se:

$$V_2 = \frac{1}{C_b + C_2 + C_3} \cdot \frac{1}{s} \cdot [s(C_2 + k_2 C_b) V_1 + s(C_3 + k_3 C_b) V_o - I_2]. \quad (\text{II.17})$$

Aplicando-se diretamente a transformação bilinear à equação (II.17), obtém-se a versão discreta no tempo da equação de estado de  $v_2$ :

$$V_2 = \frac{1}{C_b + C_2 + C_3} \cdot \frac{1}{1 - z^{-1}} \cdot \left[ (1 - z^{-1}) (C_2 + k_2 C_b) V_1 + (1 - z^{-1}) (C_3 + k_3 C_b) V_o - \frac{T}{2} (1 + z^{-1}) I_2 \right]. \quad (\text{II.18})$$

Analogamente aos casos anteriores, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{D_1}{D} &= \frac{C_2 + k_2 C_b}{C_b + C_2 + C_3}, & \frac{D_2}{D} &= \frac{C_3 + k_3 C_b}{C_b + C_2 + C_3}, \\ \frac{D_3}{D} &= \frac{T}{2(C_b + C_2 + C_3)}. \end{aligned} \quad (\text{II.19})$$

Assim, a equação de estado de  $v_2$  pode ser expressa por:

$$V_2 = \frac{1}{D} \cdot \frac{1}{1 - z^{-1}} \cdot [D_1 (1 - z^{-1}) V_1 + D_2 (1 - z^{-1}) V_o - D_3 (1 + z^{-1}) I_2]. \quad (\text{II.20})$$

Assim como no caso da corrente  $i_1$ , a equação de estado da variável  $i_2$  pode ser obtida a partir da aplicação da Lei das Tensões de Kirchhoff ao ramo paralelo  $L_b(-C_b)$  do circuito da Figura II.6:

$$\left( \frac{sL_b}{1 - C_b L_b s^2} \right) I_2 = V_2 - k_2 V_1 - k_3 V_o. \quad (\text{II.21})$$

Substituindo o termo  $C_b$  em (II.21) pela expressão dada em (II.4), obtém-se:

$$\left( \frac{s}{1 - \frac{T^2}{4} s^2} \right) L_b I_2 = V_2 - k_2 V_1 - k_3 V_o. \quad (\text{II.22})$$

Assim, aplicando-se a transformação bilinear à equação (II.22), obtém-se a versão discreta no tempo da equação de estado de  $i_2$ :

$$(1 + z^{-1}) I_2 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[ \frac{2T}{L_b} V_2 - \frac{2Tk_2}{L_b} V_1 - \frac{2Tk_3}{L_b} V_o \right]. \quad (\text{II.23})$$

Agora, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{E_1}{E} &= \frac{2T}{L_b}, & \frac{E_2}{E} &= \frac{2Tk_2}{L_b}, \\ \frac{E_3}{E} &= \frac{2Tk_3}{L_b}. \end{aligned} \quad (\text{II.24})$$

Assim, a equação de estado (II.23) pode ser reescrita da seguinte forma:

$$(1 + z^{-1}) I_2 = \frac{1}{E} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [E_1 V_2 - E_2 V_1 - E_3 V_o]. \quad (\text{II.25})$$

Para obter a equação de estado da variável  $v_o$ , aplica-se a Lei das Correntes de Kirchhoff ao nó referente a esta tensão, obtendo-se:

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{s} \cdot \left[ s(C_3 + k_4 C_c) V_2 - I_3 - \left( sC_L + \frac{1}{R_L} \right) V_o \right]. \quad (\text{II.26})$$

Substituindo o parâmetro  $C_L$ , na equação (II.26), pela sua expressão apresentada em (II.5), obtém-se:

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{s} \cdot \left[ s(C_3 + k_4 C_c) V_2 - I_3 - \left( 1 + \frac{T}{2}s \right) \frac{V_o}{R_L} \right]. \quad (\text{II.27})$$

Assim, aplicando-se a transformação bilinear à equação (II.27), obtém-se a versão discreta no tempo da equação de estado da variável  $v_o$ :

$$V_o = \frac{1}{C_4 - C_L + C_3 + C_c} \cdot \frac{1}{1 - z^{-1}} \cdot \left[ (C_3 + k_4 C_c) (1 - z^{-1}) V_2 - \frac{T}{2} (1 + z^{-1}) I_3 - \frac{T}{R_L} V_o \right]. \quad (\text{II.28})$$

Então, definem-se os seguintes parâmetros:

$$\begin{aligned} \frac{F_1}{F} &= \frac{T}{R_L (C_4 - C_L + C_3 + C_c)}, & \frac{F_2}{F} &= \frac{T}{2 (C_4 - C_L + C_3 + C_c)}, \\ \frac{F_3}{F} &= \frac{C_3 + k_4 C_c}{C_4 - C_L + C_3 + C_c}. \end{aligned} \quad (\text{II.29})$$

Assim, a equação de estado (II.28) pode ser reescrita da seguinte forma:

$$V_o = \frac{1}{F} \cdot \frac{1}{1 - z^{-1}} \cdot [-F_1 V_o - F_2 (1 + z^{-1}) I_3 + F_3 (1 - z^{-1}) V_2]. \quad (\text{II.30})$$

Finalmente, a equação de estado da variável  $i_3$  pode ser obtida aplicando-se a Lei das Tensões de Kirchhoff ao ramo paralelo  $L_c(-C_c)$  do circuito da Figura II.6:

$$\left( \frac{sL_c}{1 - C_c L_c s^2} \right) I_3 = V_o - k_4 V_2. \quad (\text{II.31})$$

Substituindo o parâmetro  $C_c$  pela expressão dada em (II.4), obtém-se:

$$\left( \frac{s}{1 - \frac{T^2}{4} s^2} \right) L_c I_3 = V_o - k_4 V_2. \quad (\text{II.32})$$

Aplicando a transformação bilinear à equação (II.32), obtém-se a versão discreta no tempo da equação de estado de  $i_3$ :

$$(1 + z^{-1}) I_3 = \frac{z^{-1}}{1 - z^{-1}} \cdot \left[ \frac{2T}{L_c} V_o - \frac{2Tk_4}{L_c} V_2 \right]. \quad (\text{II.33})$$

Analogamente aos casos anteriores, definem-se os seguintes parâmetros:

$$\frac{G_1}{G} = \frac{2T}{L_c}, \quad \frac{G_2}{G} = \frac{2Tk_4}{L_c}. \quad (\text{II.34})$$

Assim, a equação de estado (II.33) pode ser reescrita da seguinte forma:

$$(1 + z^{-1}) I_3 = \frac{1}{G} \cdot \frac{z^{-1}}{1 - z^{-1}} \cdot [G_1 V_o - G_2 V_2]. \quad (\text{II.35})$$

Embora a transformação bilinear tenha sido aplicada a todas as equações de estado, verifica-se que as equações (II.11), (II.20) e (II.30) empregam a integração do tipo *backward* de Euler, e as equações (II.16), (II.25) e (II.35) empregam a integração *forward* de Euler [1]. Conforme pôde ser constatado ao longo das deduções acima, essa característica das equações de estado foi alcançada devido às alterações efetuadas na rede original.

Entretanto, as equações (II.11), (II.16), (II.20), (II.25), (II.30) e (II.35) ainda não estão escritas de maneira adequada para a síntese do filtro a capacitores chaveados. Ainda há a necessidade de se reescrever essas equações, adequando-as para que possam ser implementadas com os integradores da Fig. II.2.

A função de transferência do integrador *backward* de Euler, apresentado na Figura II.2(a), é dada por:

$$\frac{V_o(z)}{V_{in}(z)} = -\frac{C_1}{C_2} \cdot \frac{1}{1 - z^{-1}}. \quad (\text{II.36})$$

A função de transferência do integrador *forward* de Euler, apresentado na Figura II.2(b), é dada pela seguinte expressão:

$$\frac{V_o(z)}{V_{in}(z)} = \frac{C_1}{C_2} \cdot \frac{z^{-1}}{1 - z^{-1}}. \quad (\text{II.37})$$

Por fim, a função de transferência do integrador bilinear, apresentado na Figura II.2(c), é dada por:

$$\frac{V_o(z)}{V_{in}(z)} = -\frac{C_1}{C_2} \cdot \frac{1 + z^{-1}}{1 - z^{-1}}. \quad (\text{II.38})$$

Comparando as expressões das funções de transferência de cada um dos integradores com as equações de estado obtidas, as equações (II.11), (II.16), (II.20), (II.25),



(II.30) e (II.35) devem ser reescritos na seguinte forma:

$$(-V_1) = \frac{1}{A} \cdot \frac{-1}{1-z^{-1}} \cdot [A_1(1+z^{-1})V_{in} + A_2(-V_1) + A_3(1+z^{-1})(-I_1) + A_4(1-z^{-1})V_2]; \quad (\text{II.39})$$

$$(1+z^{-1})(-I_1) = \frac{1}{B} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [B_1(-V_1) + B_2V_2]; \quad (\text{II.40})$$

$$V_2 = \frac{1}{D} \cdot \frac{-1}{1-z^{-1}} \cdot [D_1(1-z^{-1})(-V_1) + D_2(1-z^{-1})(-V_o) + D_3(1+z^{-1})I_2]; \quad (\text{II.41})$$

$$(1+z^{-1})I_2 = \frac{1}{E} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [E_1V_2 + E_2(-V_1) + E_3(-V_o)]; \quad (\text{II.42})$$

$$(-V_o) = \frac{1}{F} \cdot \frac{-1}{1-z^{-1}} \cdot [F_1(-V_o) + F_2(1+z^{-1})(-I_3) + F_3(1-z^{-1})V_2]; \quad (\text{II.43})$$

$$(1+z^{-1})(-I_3) = \frac{1}{G} \cdot \frac{z^{-1}}{1-z^{-1}} \cdot [G_1(-V_o) + G_2V_2]. \quad (\text{II.44})$$

Além de expressar as equações de estado em termos das funções de transferência dos integradores de Euler, as modificações apresentadas acima foram realizadas de modo que cada variável de estado — produzida pela sua respectiva equação — fosse empregada nas demais equações a fim de produzir as as outras variáveis.

Assim, a partir das equações (II.39) até (II.44), verifica-se que as variáveis de estado produzidas por esse conjunto de equações são:  $(-V_1)$ ,  $(1+z^{-1})(-I_1)$ ,  $V_2$ ,  $(1+z^{-1})I_2$ ,  $(-V_o)$  e  $(1+z^{-1})(-I_3)$ . Além disso, todas as operações de integração utilizadas na obtenção das variáveis de estado podem ser simuladas pelos integradores de Euler apresentados na Figura II.2 — com a exceção da integração bilinear do sinal de entrada  $V_{in}$ , necessária ao cálculo da variável  $(-V_1)$ . Portanto, baseado nessas últimas equações de estado, obtemos o filtro a capacitores chaveados mostrado na Fig. II.7.

De acordo com as equações de estado, as razões de capacitâncias do filtro são obtidas através das expressões (II.10), (II.15), (II.19), (II.24), (II.29) e (II.34). Os valores numéricos dessas razões são apresentados na Tabela II.1.

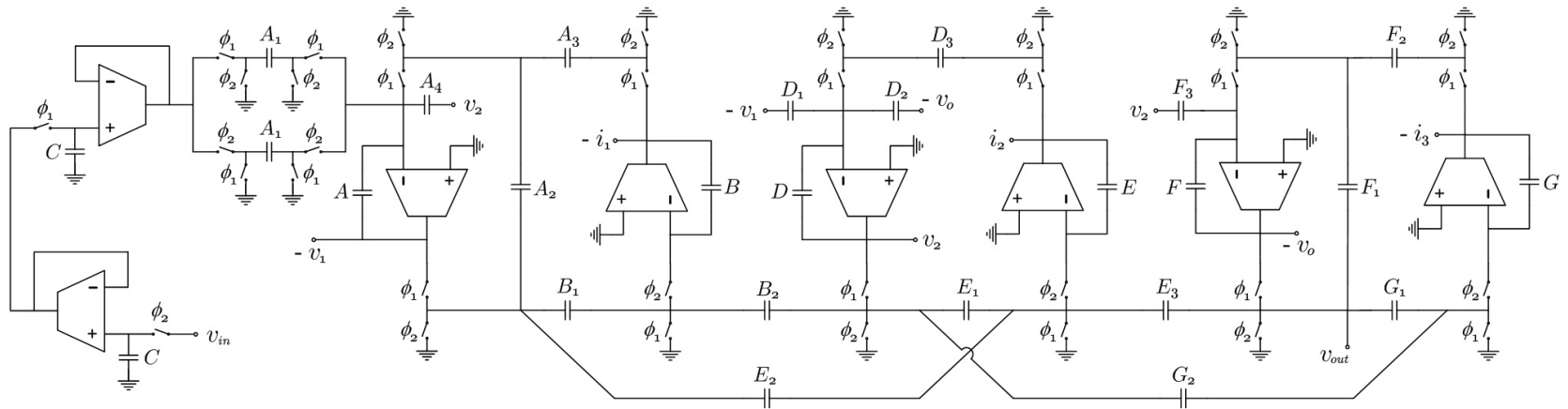


Figura II.7: Filtro a capacitores chaveados obtido por simulação da rede *ladder*.

Tabela II.1: Valores calculados para as razões de capacitâncias.

RAZÃO	VALOR	RAZÃO	VALOR
$A_1/A$	0,1424678518	$E_1/E$	0,7325190006
$A_2/A$	0,1988208250	$E_2/E$	0,0554706315
$A_3/A$	0,5755616856	$E_3/E$	0,3649896636
$A_4/A$	0,8591091894	$F_1/F$	0,4303146309
$B_1/B$	0,2667412564	$F_2/F$	1,4774612952
$B_2/B$	0,0519868029	$F_3/F$	0,4876006943
$D_1/D$	0,6491080042	$G_1/G$	0,5014549462
$D_2/D$	0,0874014591	$G_2/G$	0,5616950041
$D_3/D$	0,4075589886		

Na Tabela II.1 são listados os valores calculados para as razões de capacitâncias que definem os coeficientes da resposta em frequência do filtro da Fig. II.7. Os números reais listados nessa tabela deverão ser aproximados por números racionais, de modo que cada capacitor do filtro possa ser implementado através da associação em paralelo de capacitores unitários idênticos.

Entretanto, a partir da Tabela II.1, verifica-se que há grupos de razões de capacitâncias que apresentam a mesma capacitância no denominador. Essa característica é bastante freqüente em filtros a capacitores chaveados, onde os denominadores das razões são os capacitores de realimentação dos integradores [1]. Portanto, essa característica torna o problema da aproximação das razões por números racionais ainda mais complexo, pois razões com a mesma capacitância no denominador deverão ser aproximadas por números racionais com o mesmo denominador inteiro.

### II.1.2 - CASCATA DE BIQUADS

O outro exemplo de projeto é um filtro a capacitores chaveados passa-baixa com as seguintes especificações:

- Banda passante até 10 kHz;
- Banda de rejeição acima de 20 kHz;
- Máxima atenuação na banda passante de 1 dB;
- Mínima atenuação na banda de rejeição de 40 dB.

Seguindo o mesmo procedimento adotado no projeto anterior, a especificação relativa à máxima atenuação permitida na banda passante foi reduzida para 0,5 dB,

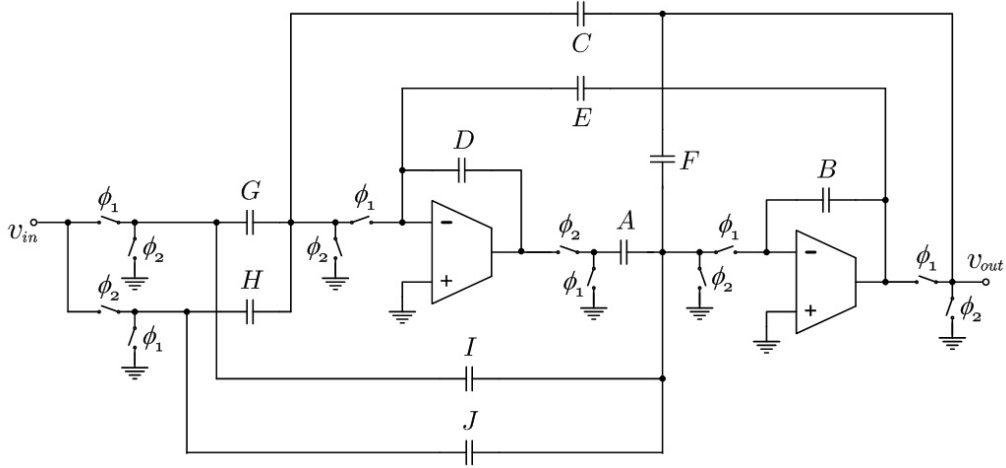


Figura II.8: O biquad de Fleischer e Laker.

com o objetivo de permitir uma margem de erro para as aproximações das razões de capacitâncias. Tais especificações são satisfeitas por um filtro elíptico de quarta ordem, onde a frequência de amostragem escolhida foi também de 200 kHz. Dessa forma, são necessárias duas seções de *biquads* para implementar o filtro.

O circuito escolhido para as seções biquadráticas deste projeto foi o *biquad* de Fleischer e Laker [100], apresentado na Fig. II.8. De acordo com [100], a função de transferência desse circuito é dada por:

$$T(z) = -\frac{DI + (AG - DI - DJ)z^{-1} + (DJ - AH)z^{-2}}{(D(F + B)) + (AC + AE - DF - 2DB)z^{-1} + (DB - AE)z^{-2}}. \quad (\text{II.45})$$

Com o objetivo de expressar cada um dos coeficientes da função de transferência em termos de razões de capacitâncias, dividem-se o numerador e o denominador de (II.45) pelo produto das capacitâncias dos ramos de realimentação dos integradores, ou seja,  $BD$ . Dessa forma, obtém-se a seguinte expressão:

$$T(z) = -\frac{\left(\frac{I}{B}\right) + \left(\frac{AG}{BD} - \frac{I}{B} - \frac{J}{B}\right)z^{-1} + \left(\frac{J}{B} - \frac{AH}{BD}\right)z^{-2}}{\left(\frac{F}{B} + 1\right) + \left(\frac{AC}{BD} + \frac{AE}{BD} - \frac{F}{B} - 2\right)z^{-1} + \left(1 - \frac{AE}{BD}\right)z^{-2}}. \quad (\text{II.46})$$

Mais uma vez, notamos que há grupos de razões de capacitâncias com o mesmo denominador, onde esses denominadores são os capacitores dos ramos de realimentação dos integradores. Os demais capacitores aparecem nos numeradores.

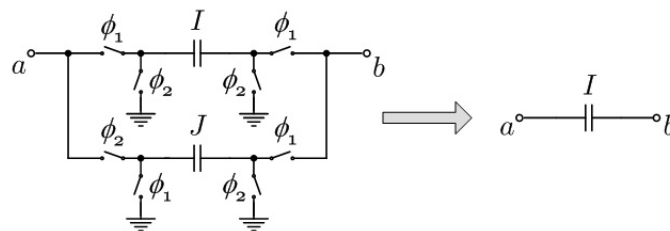
Os valores ideais das razões de capacitâncias de ambas as seções biquadráticas foram calculados empregando-se a metodologia de projeto descrita em [100]. Os valores calculados estão listados na Tabela II.2.

Como os valores obtidos para as capacitâncias  $H$  e  $F$  são iguais a zero, os respectivos capacitores deverão ser removidos do circuito da Fig. II.8. Além disso, como os valores calculados para  $I$  e  $J$  são iguais, os ramos contendo esses capacitores podem

Tabela II.2: Valores ideais das razões de capacitâncias para ambas as seções biquadráticas.

RAZÕES	PRIMEIRO BIQUAD	SEGUNDO BIQUAD
$A/B$	0,1508203693	0,2892344370
$I/B$	0,0356849731	0,3352717385
$J/B$	0,0356849731	0,3352717385
$C/D$	0,2579469629	0,3442247419
$E/D$	1,6495617485	0,2783862246
$F/B$	0,0000000000	0,0000000000
$G/D$	0,2576069766	0,3253980015
$H/D$	0,0000000000	0,0000000000

ser combinados em apenas um ramo, conforme mostrado na Fig. II.9 [100]. Com isso, serão empregados três capacitores a menos no circuito da Fig. II.8.

Figura II.9: Circuito equivalente quanto  $I$  e  $J$  são iguais.

Apesar de empregarem topologias diferentes, tanto este filtro, implementado através de uma cascata de *biquads*, como o anterior, obtido através da simulação das equações de estado de uma rede *ladder*, apresentam um conjunto similar de razões de capacitâncias, que serão aproximadas por números racionais. Em geral, o conjunto de razões de capacitâncias de um filtro a capacitores chaveados segue o mesmo padrão verificado em ambos os projetos ilustrativos apresentados aqui [1]. Portanto, o método de aproximação descrito na próxima seção poderá ser perfeitamente aplicado a outros projetos.

## II.2 - MÉTODO DE APROXIMAÇÃO

Com o objetivo de melhorar o casamento dos capacitores de um filtro a capacitores chaveados, é desejável que cada capacitor do filtro seja implementado utilizando capacitores unitários idênticos em paralelo. Para isso, é necessário aproximar cada razão de capacitâncias do filtro por números racionais, onde os números inteiros que

aparecem nos numeradores e denominadores indicam quantos capacitores unitários devem ser associados em paralelo para implementar as capacitâncias da razão.

Na Seção II.1, as especificações dos filtros foram modificadas para compensar os erros de aproximação das razões de capacitâncias. A máxima atenuação na banda passante de ambos foi alterada de 1 dB para 0,5 dB, levando a uma tolerância máxima de  $\varepsilon = 0,25$  dB na banda passante, conforme mostrado na Fig. II.10.

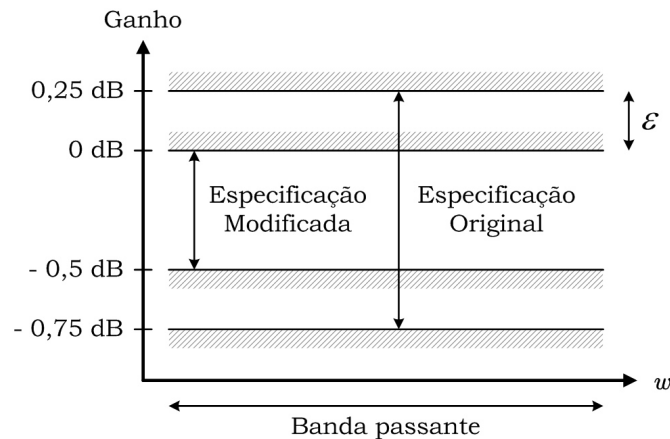


Figura II.10: Variação do ganho na banda passante do filtro projetado e a máxima variação tolerada devido às especificações originais.

Dessa forma, o objetivo é encontrar os números racionais, com os menores numeradores e denominadores inteiros possíveis, que aproximem as razões de capacitâncias do filtro, de modo que os erros resultantes na resposta em frequência fiquem dentro dos limites determinados pelas especificações originais — conforme mostrado na Fig. II.10.

O problema proposto é uma otimização discreta — pois envolve encontrar numeradores e denominadores inteiros para as razões de capacitâncias — com uma restrição não linear — pois o erro na resposta em frequência tem uma relação não linear com cada uma das razões de capacitâncias. Além disso, como a mesma razão de capacitâncias pode ser aproximada por diferentes números racionais com um erro similar, as regiões com soluções viáveis para o problema em questão — isto é, soluções que satisfazem a restrição de erro aceitável na resposta em frequência — estão isoladas e espalhadas por todo o espaço de busca. Também deve ser lembrado que há grupos de razões de capacitâncias com a mesma capacitância no denominador, o que limita a liberdade de escolha dos números inteiros para compor os denominadores desses grupos de razões. Isso torna o problema de otimização ainda mais difícil.

Métodos clássicos de otimização são geralmente rápidos e eficientes na busca pela solução ótima de problemas contínuos, onde a função custo é bem comportada. Entretanto, eles não são aplicáveis a um problema com as características mencionadas

acima. Além disso, os métodos clássicos são muito eficientes para encontrar mínimos locais, mas não são capazes de descartar soluções locais inferiores em favor de soluções melhores na busca pelo mínimo global do problema de otimização.

Algoritmos genéticos, por outro lado, são um conjunto de métodos estocásticos de busca baseados no processo de evolução natural das espécies vivas [20,101]. O algoritmo genético inicia com uma *população de indivíduos*, que são possíveis soluções para o problema de otimização — isto é, pontos no espaço de busca do problema. Os dados que caracterizam cada indivíduo são codificados em um *cromossomo*, que é usualmente representado por uma seqüência de bits — um vetor de bits. Além disso, a cada indivíduo é atribuída uma figura de mérito, denominada *aptidão* (*fitness*), que caracteriza o quão bom um indivíduo é em comparação com os demais da mesma população no que se refere ao objetivo do problema. A cada geração, os indivíduos mais aptos são selecionados entre os membros da população para se reproduzirem e gerarem filhos, da mesma forma que ocorre no processo de seleção natural. Então, os cromossomos dos indivíduos selecionados são recombinados para gerar sua prole. O processo de recombinação é implementado através do mecanismo de *cruzamento* (*crossover*), que consiste em trocar segmentos de cromossomo entre dois indivíduos pais, produzindo dois cromossomos filhos, que são combinações das características genéticas dos pais. A cada geração, novos indivíduos são selecionados e recombinados, produzindo a geração seguinte. O mecanismo da seleção natural permite que os melhores indivíduos sobrevivam e produzam uma prole de indivíduos que podem, potencialmente, vir a ser ainda melhores.

Com o objetivo de permitir que a população escape de mínimos locais, novas características são introduzidas na população através de mutações. Esta operação genética consiste em causar mudanças aleatórias em alguns bits que compõem os cromossomos da população.

A seleção, o cruzamento e as mutações são as operações genéticas básicas, e são repetidas a cada iteração (geração) do algoritmo. Desse modo, os indivíduos que compõem a população se tornarão soluções sucessivamente melhores a cada nova geração. Esse processo deve ser repetido até que algum critério de parada seja satisfeito. É importante deixar claro que, por ser um método de busca estocástico, não se pode garantir que a solução ótima será encontrada, mas o processo evolutivo levará a uma solução que pode ser bem próxima do ótimo [20]. Nas subseções a seguir, é apresentada uma descrição detalhada de como os operadores genéticos foram implementados neste trabalho.

### II.2.1 - CODIFICAÇÃO DOS CROMOSSOMOS

Uma das principais questões envolvendo a aplicação de algoritmos genéticos na solução de um problema de otimização é justamente como representar, na forma de

cromossomo, os dados de cada um dos pontos do espaço de busca do problema. A representação mais eficiente e mais amplamente utilizada [20] é um vetor de bits, onde cada parâmetro é codificado em um grupo de bits consecutivos no vetor. Conforme mostrado na Fig. II.11, cada seqüência de bits que corresponde a um parâmetro é denominada *gene*, em analogia à seqüência dos genes que formam os cromossomos reais dos seres vivos.

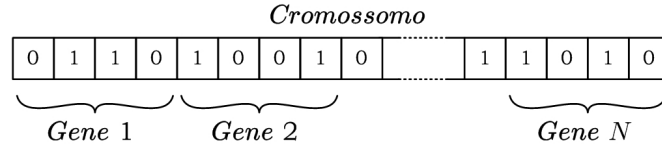


Figura II.11: Codificação dos genes em um cromossomo.

Em nosso problema, o objetivo é atribuir a cada capacitor um número inteiro, que representa o número de capacitores unitários que serão associados em paralelo para implementá-lo no circuito integrado. Para uma dada razão de capacitâncias  $C_1/C_2$ , se o denominador inteiro  $N_{C_2}$  é conhecido, há apenas um único numerador inteiro  $N_{C_1}$  que minimiza o erro de aproximação  $|C_1/C_2 - N_{C_1}/N_{C_2}|$ . Esse inteiro é dado por

$$N_{C_1} = \left[ \frac{C_1}{C_2} \cdot N_{C_2} \right], \quad (\text{II.47})$$

onde os colchetes representam a operação de arredondamento pelo número inteiro mais próximo.

Conseqüentemente, se os inteiros que aproximam as capacitâncias dos denominadores de todas as razões são conhecidos, os respectivos numeradores podem ser prontamente obtidos a partir de (II.47). Dessa forma, para caracterizar um ponto no espaço de busca do problema, será necessário registrar apenas os inteiros que aparecem nos denominadores, ao invés de registrar numeradores e denominadores. Com essa simplificação, o número total de combinações possíveis para a solução do problema é reduzido enormemente, pois o número de denominadores diferentes é normalmente menor que a variedade de numeradores — conforme mostrado nos dois projetos ilustrativos da seção anterior. Essa redução na dimensão do espaço de busca contribui para acelerar a convergência do algoritmo genético.

Como os pontos do espaço de busca serão caracterizados apenas pelos valores inteiros dos denominadores, cada gene deverá conter o valor inteiro de um dos denominadores que caracterizam o indivíduo. No caso do filtro obtido por simulação de rede *ladder*, projetado na Seção II.1.1, temos seis denominadores diferentes, conseqüentemente, o cromossomo de cada indivíduo conterà seis genes. No caso do filtro implementado através da cascata de *biquads*, cada cromossomo conterà quatro genes. Em geral, como os denominadores das razões de capacitâncias são os capacitores dos



ramos de realimentação dos integradores, o número de denominadores diferentes de um filtro será igual ao número de integradores presentes no circuito, ou seja, será igual à ordem do filtro.

O próximo passo é definir quantos bits serão empregados para representar cada gene. Para isso, é necessário estimar quais são os limites inferior  $M_L$  e superior  $M_U$  dos valores inteiros que cada um dos denominadores podem assumir. Tais limites devem ser escolhidos de forma a não limitar demais o espaço de busca do problema, o que dificultaria a localização do mínimo global. Por outro lado, não é adequado definir uma faixa de valores exageradamente grande, porque isso aumentaria a quantidade de bits necessária para a representação do cromossomo, aumentando a dimensão do espaço de busca. Como a dimensão do espaço de busca é dada por  $2^N$ , onde  $N$  é o número de bits que compõem o cromossomo, a simples redução de um bit na representação do cromossomo já reduz a dimensão do espaço pela metade.

Tendo em vista que o número de capacitores unitários associados em paralelo para implementar cada capacitor do filtro tem que ser obrigatoriamente um número inteiro positivo, os limites inferiores para os denominadores são definidos como sendo os menores inteiros positivos  $M_L$  que produzem numeradores não nulos através de (II.47). De acordo com esse critério, os limites inferiores de cada um dos denominadores dos projetos exemplo foram obtidos aplicando-se (II.47) às razões de capacitâncias apresentadas nas Tabelas II.1 e II.2. Os limites obtidos estão listados na Tabela II.3. Nessa tabela,  $B_1$  e  $D_1$  são os denominadores  $B$  e  $D$  da primeira seção biquadrática do filtro *biquad* passa-baixa, e  $B_2$  e  $D_2$  são os denominadores da

Tabela II.3: Limites inferior e superior para os valores de cada denominador inteiro, juntamente com o número de bits necessário para representá-los.

FILTRO <i>Ladder</i> PASSA-FAIXA			
DENOMINADORES	LIMITE INFERIOR	LIMITE SUPERIOR	BITS
$A$	4	22	5
$B$	10	38	5
$D$	6	22	4
$E$	10	36	5
$F$	2	24	5
$G$	1	32	5
FILTRO BIQUAD PASSA-BAIXA			
DENOMINADORES	LIMITE INFERIOR	LIMITE SUPERIOR	BITS
$B_1$	28	53	5
$D_1$	4	27	5
$B_2$	3	24	5
$D_2$	4	44	6

segunda.

Por outro lado, o limite superior de um denominador deve ser o menor inteiro  $M_U$  tal que exista garantidamente pelo menos um inteiro  $N_D < M_U$  que produza um erro na resposta em frequência do filtro dentro dos limites aceitáveis apresentados na Fig. II.10.

Para encontrar o limite superior  $M_U$  de um denominador inteiro em particular, o procedimento adotado foi o seguinte: preservando os valores ideais de todas as outras razões de capacitâncias com denominadores diferentes, somente as razões com o denominador em estudo são aproximadas por números racionais. Partindo-se do limite inferior  $M_L$ , valores inteiros consecutivos são atribuídos ao denominador, onde os respectivos numeradores são obtidos através de (II.47). Para cada valor inteiro atribuído ao denominador, a resposta em frequência do filtro aproximado é calculada e comparada com a resposta desejada e o máximo erro verificado na banda passante é apresentado em um gráfico.

Nas Fig. II.12 até II.17, são apresentados os gráficos obtidos para cada um dos denominadores do filtro *ladder* passa-faixa. Já nas Fig. II.18 até II.21, são apresentados gráficos semelhantes obtidos para o filtro cascata de *biquads* passa-baixa, com respeito às aproximações feitas em cada um dos seus denominadores. Como o máximo erro tolerado na resposta em frequência é dado por  $\varepsilon = 0,25$  dB — conforme mostrado na Fig. II.10 —, o limite superior para o inteiro de cada denominador é escolhido de forma que o máximo erro produzido por ele próprio seja menor que  $\varepsilon$  e que exista pelo menos um valor inteiro, menor que o limite escolhido, tal que o máximo erro também seja inferior a  $\varepsilon$ . Dessa forma, com base nos resultados apresentados nas Fig. II.12 até II.21, foram escolhidos os limites superiores listados na Tabela II.3.

É interessante mencionar aqui que quando são consideradas aproximações por números racionais em todas as razões do filtro ao mesmo tempo, o erro na resposta

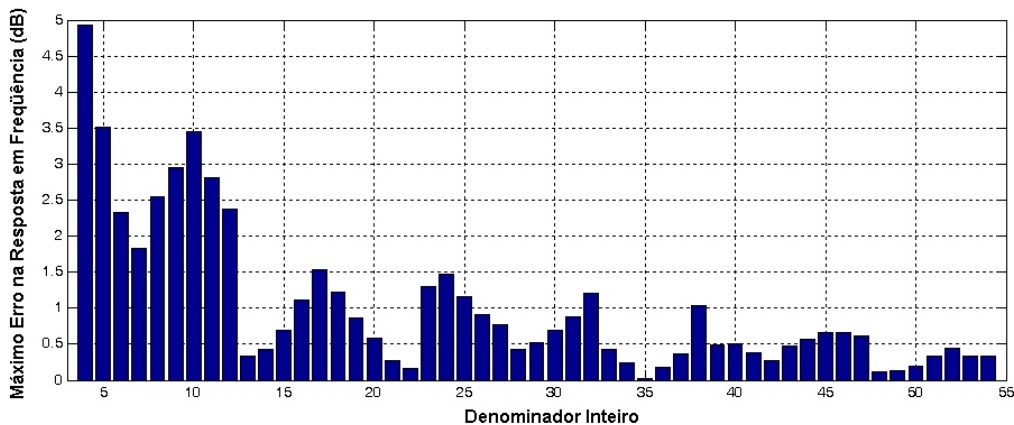


Figura II.12: Máximo erro na resposta em frequência para cada valor inteiro do denominador A.

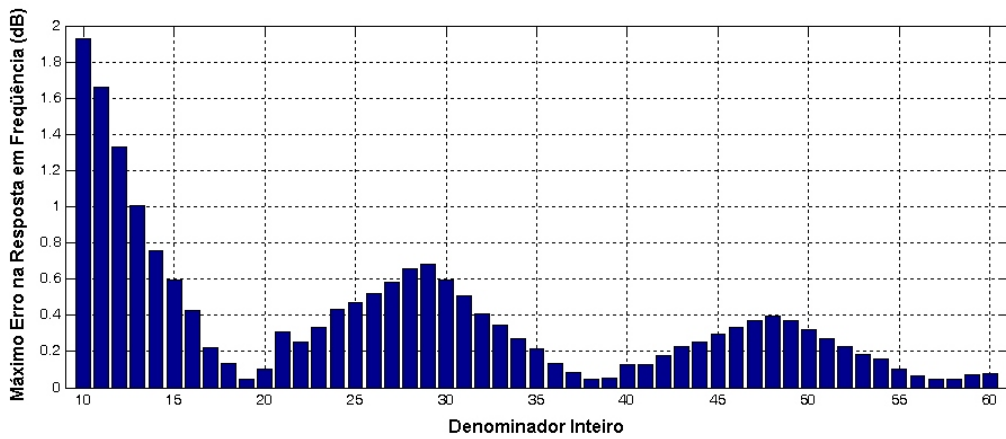


Figura II.13: Máximo erro na resposta em frequência para cada valor inteiro do denominador B.

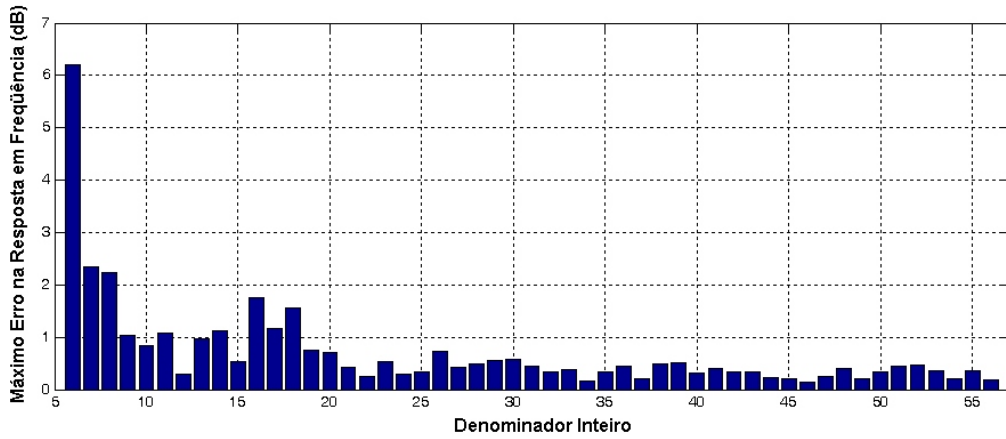


Figura II.14: Máximo erro na resposta em frequência para cada valor inteiro do denominador D.

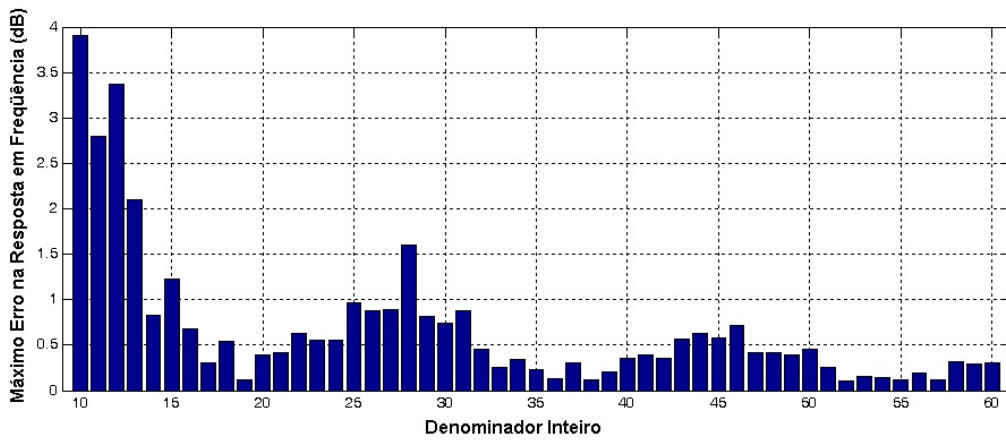


Figura II.15: Máximo erro na resposta em frequência para cada valor inteiro do denominador E.

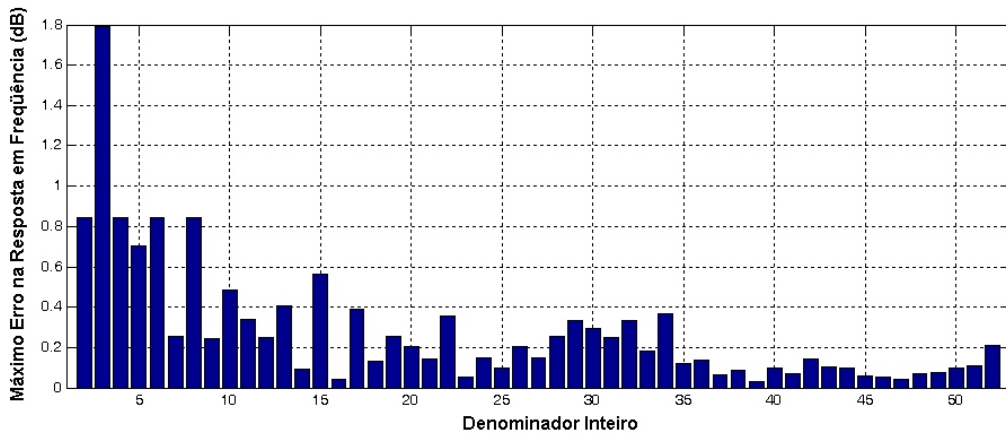


Figura II.16: Máximo erro na resposta em frequência para cada valor inteiro do denominador F.

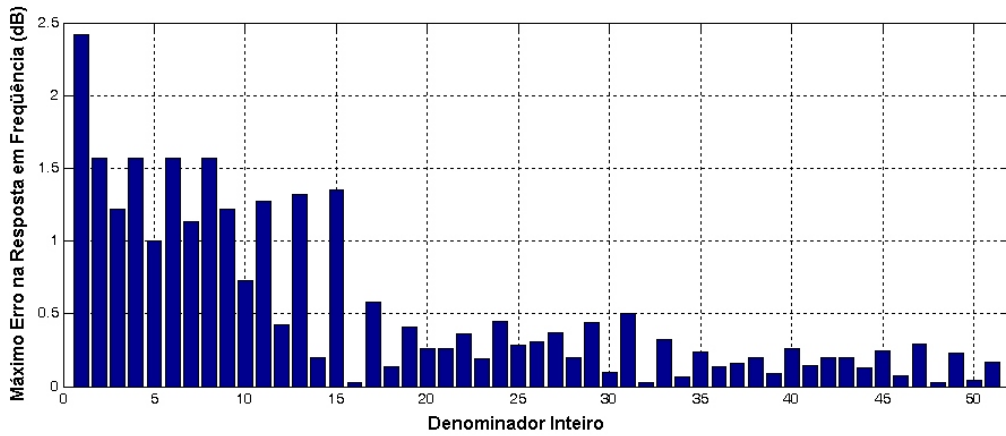


Figura II.17: Máximo erro na resposta em frequência para cada valor inteiro do denominador G.

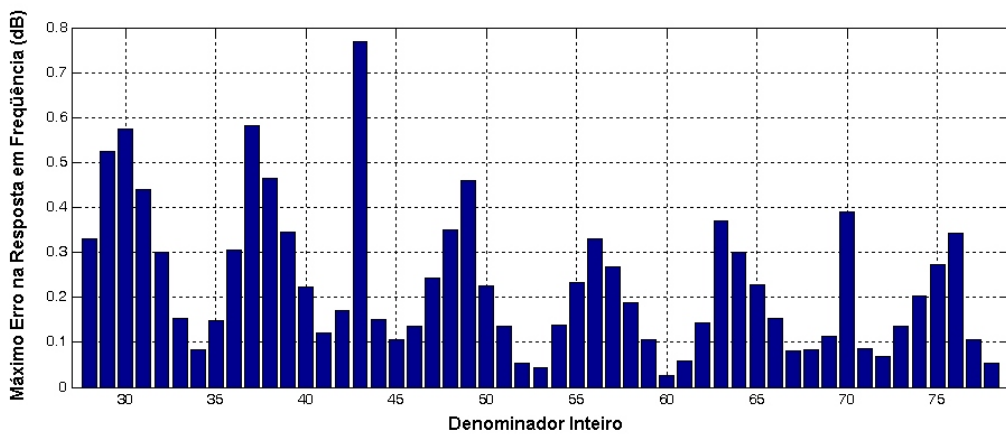


Figura II.18: Máximo erro na resposta em frequência para cada valor inteiro do denominador  $B_1$ .

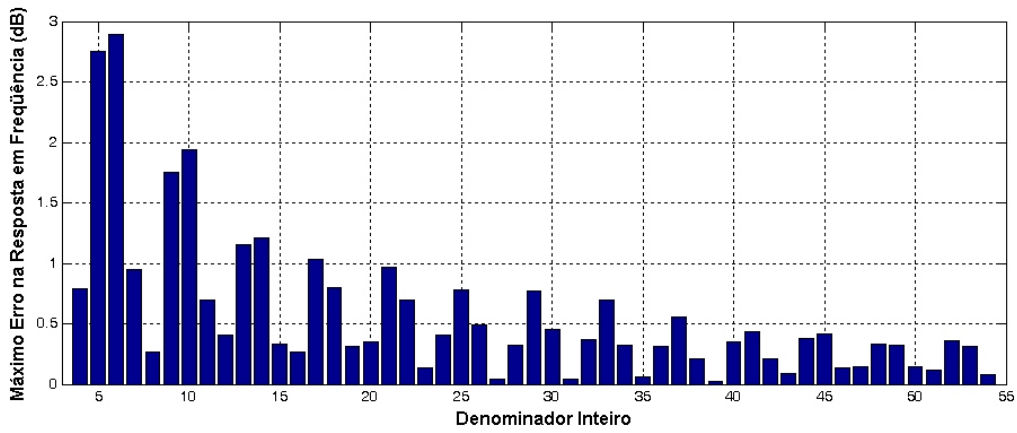


Figura II.19: Máximo erro na resposta em frequência para cada valor inteiro do denominador  $D_1$ .

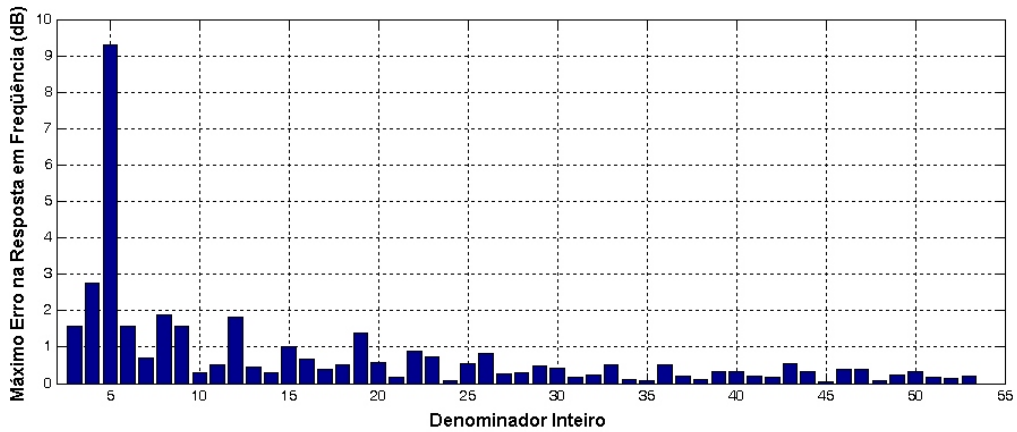


Figura II.20: Máximo erro na resposta em frequência para cada valor inteiro do denominador  $B_2$ .

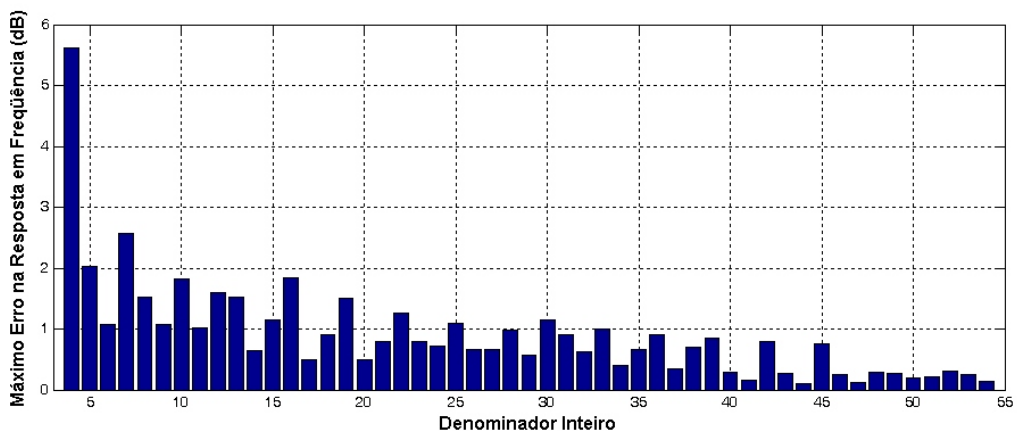


Figura II.21: Máximo erro na resposta em frequência para cada valor inteiro do denominador  $D_2$ .

em frequência produzido pela aproximação de uma razão pode acabar compensando o erro causado pela aproximação de uma outra razão. Dessa forma, os valores ótimos para aproximar os denominadores das razões de capacitâncias não são necessariamente os valores que produzem os pontos de mínimo verificados nos gráficos das Fig. II.12-II.21.

Uma vez que os limites inferior e superior estejam definidos, o número de bits empregado para representar cada denominador deve ser o mínimo necessário para representar a quantidade de números inteiros compreendida entre os dois limites especificados. Assim, o número de bits necessários para representar cada denominador dos filtros exemplo também é listado na Tabela II.3.

### II.2.2 - FUNÇÃO CUSTO

A função custo tem papel determinante no desempenho do algoritmo genético, pois é ela a responsável por julgar se um indivíduo é mais apto que o outro em uma população. Neste problema, a função custo de um indivíduo  $I$  é definida como:

$$f_c(I) = R_{unit}(I) + P(I) + \alpha E_M(I). \quad (\text{II.48})$$

Nessa expressão,  $R_{unit}(I)$  é a razão entre o número total de capacitores unitários  $N_I$  da aproximação representada pelo indivíduo  $I$  — incluindo tanto numeradores como denominadores —, normalizada pelo pior caso desse número, ou seja, o número total de capacitores unitários  $N_{max}$  que são necessários quando todos os denominadores assumem seus limites máximos.

$$R_{unit}(I) = \frac{N_I}{N_{max}}. \quad (\text{II.49})$$

Portanto, teremos  $0 \leq R_{unit}(I) \leq 1$ . Efetivamente, o termo  $R_{unit}(I)$  é a parcela que deseja-se minimizar, com o objetivo de encontrar as aproximações racionais que ocupem a menor área no circuito integrado.

A parcela  $P(I)$  representa uma penalidade a ser adicionada à função custo caso a restrição do erro máximo tolerado na resposta em frequência não seja satisfeita. Considerando somente frequências  $\omega$  na banda passante  $BW$  dos filtros, a penalidade  $P(I)$  é definida da seguinte forma:

$$P(I) = \begin{cases} 0, & \text{se } \forall \omega \in BW \text{ e } -0.75 \text{ dB} \leq |H_I(\omega)| \leq 0.25 \text{ dB} \\ 1 + \delta_I, & \text{caso contrário} \end{cases}, \quad (\text{II.50})$$

onde

$$\delta_I = \max \left\{ (|H_I(\omega)| - 0.25), (-0.75 - |H_I(\omega)|) \right\}, \quad \forall \omega \in BW. \quad (\text{II.51})$$

O objetivo dessa definição da penalidade é fazer com que a função custo seja  $f_c(I) < 1$  caso a restrição de erro na resposta em frequência seja satisfeita, e  $f_c(I) > 1$  caso contrário. Além disso, a definição de  $\delta_I$  faz com que a penalidade seja tanto maior quanto maior for o erro verificado na resposta em frequência do filtro aproximado. Neste ponto, é importante salientar que a escolha de uma penalidade adequada é bastante difícil e dependente do problema de otimização em questão. Caso a penalidade seja muito severa, a função custo terá um aspecto muito rugoso, com um grande número de variações abruptas e picos muito acentuados, o que dificulta a busca pelo mínimo global. Por outro lado, caso a penalidade seja muito leve, corre-se o risco do algoritmo convergir para uma solução que não satisfaça às restrições.

Finalmente,  $E_M(I)$  é o erro médio da resposta em frequência na banda passante do filtro. Considerando que a resposta do filtro é avaliada em  $M$  pontos da banda passante, o erro médio será obtido através da seguinte expressão:

$$E_M(I) = \frac{1}{M} \sum_{i=1}^M |H_I(\omega_i) - H_{des}(\omega_i)|, \quad (\text{II.52})$$

onde  $H_{des}(\omega_i)$  é a resposta em frequência do filtro onde todas as razões de capacitâncias assumem seus valores desejados, e  $H_I(\omega_i)$  é a resposta em frequência do filtro com as aproximações propostas pelo indivíduo  $I$ .

O objetivo do erro médio  $E_M(I)$  na função custo (II.52) é fazer com que o algoritmo selecione a aproximação que produza o menor erro médio na resposta em frequência quando houver indivíduos diferentes na população com o mesmo número total de capacitores unitários, satisfazendo à restrição do máximo erro tolerado. Entretanto, como o mais importante neste problema de otimização é minimizar o termo  $R_{unit}(I)$ , o fator  $\alpha$  foi adicionado à função custo para evitar que o valor do erro médio seja maior que o custo de se adicionar mais um capacitor unitário ao filtro — ou seja,  $\alpha E_M(I) < 1/N_{max}$ . Com esse fator, sempre que a restrição do máximo erro tolerado for satisfeita, aquele indivíduo que apresentar o menor número total de capacitores unitários terá a menor função custo, independentemente do erro médio  $E_M(I)$ . Assim, sabendo-se que  $E_M(I) \leq \varepsilon$  nos casos em que o indivíduo  $I$  satisfaz à restrição, deve-se fazer:

$$\alpha \leq \frac{1}{\varepsilon N_{max}}, \quad (\text{II.53})$$

para que a parcela  $\alpha E_M(I)$  seja sempre menor que o mínimo incremento possível em  $R_{unit}(I)$ . Neste trabalho, especificamente, como  $\varepsilon < 1$ , adotou-se  $\alpha = 1/N_{max}$ .

Finalmente, como nosso problema de otimização consiste em minimizar a função custo  $f_c(I)$ , a aptidão  $A(I)$  de um indivíduo  $I$  será definida por:

$$A(I) = \frac{1}{f_c(I)}. \quad (\text{II.54})$$

Como  $R_{unit}(I)$  nunca será nulo, pois a definição dos limites inferiores dos denominadores garante essa condição, então  $f_c(I) \neq 0$  para qualquer indivíduo  $I$ . Com essa definição, quanto menor o valor da função custo  $f_c(I)$ , mais apto será o indivíduo  $I$ .

Deve ser mencionado que tanto a resposta em frequência desejada quanto a aproximada são calculadas a partir das suas respectivas expressões analíticas. Caso as respostas fossem obtidas através de simulação dos filtros a capacitores chaveados, o tempo de execução da busca através do algoritmo genético seria significativamente maior.

Por fim, também deve ser lembrado que apenas o erro na banda passante do filtro foi considerado na função custo. Essa escolha foi adotada neste trabalho porque as soluções encontradas pelo algoritmo genético não produziram atenuações na banda de rejeição que fossem menores que o mínimo especificado originalmente. Assim, a cada avaliação da função custo, o algoritmo necessita calcular a resposta em frequência apenas na banda passante, economizando bastante tempo de processamento. Entretanto, nos casos em que a solução obtida pelo algoritmo não satisfizer às especificações da banda de rejeição, o erro na resposta em frequência nesta banda deva ser incluído no cálculo da função custo.

### II.2.3 - POPULAÇÃO INICIAL

O algoritmo genético é iniciado com uma população de 1000 indivíduos gerados aleatoriamente, com uma distribuição uniforme de probabilidades. Apenas um indivíduo  $I_0$  é adicionado deterministicamente a essa população inicial, representando uma boa estimativa da melhor aproximação das razões de capacitores. O objetivo de se incluir esse indivíduo é o de prover a população inicial com boas características genéticas desde o início da busca, o que ajudará a acelerar a convergência do algoritmo — tal procedimento foi empregado em [13].

Uma boa estimativa para a solução do problema de aproximação das razões de capacitâncias pode ser obtida diretamente a partir dos gráficos das Fig. II.12 até II.21. A idéia é escolher o menor valor inteiro para cada um dos denominadores, onde o máximo erro produzido na resposta em frequência fique dentro das especificações. Para o exemplo do filtro *ladder*, os denominadores inteiros selecionados para o indivíduo  $I_0$  são:

$$I_0 = \{A = 13, B = 19, D = 12, E = 19, F = 16, G = 16\}. \quad (\text{II.55})$$



Analogamente, para o filtro implementado com a cascata de *biquads*, os denominadores selecionados foram:

$$I_0 = \{B_1 = 34, D_1 = 27, B_2 = 24, D_2 = 61\}. \quad (\text{II.56})$$

Ambas as estimativas (II.55) e (II.56) produzem aproximações que levam a erros na resposta em frequência que estão dentro das restrições de cada um dos seus respectivos filtros. O número total de capacitores unitários — incluindo tanto numeradores como denominadores — foi de 218 para o indivíduo (II.55), e 284 para (II.56).

#### II.2.4 - SELEÇÃO E CRUZAMENTO

Os indivíduos são selecionados para o cruzamento através do esquema clássico de roleta [20], onde a área de cada um de seus setores é proporcional ao *fitness* do indivíduo representado pelo setor. Dessa forma, garante-se que a probabilidade de seleção dos indivíduos mais aptos é maior. A razão para permitir que indivíduos menos aptos tenham a chance, mesmo que pequena, de serem selecionados para gerarem filhos se deve ao fato de que a combinação de características genéticas inadequadas com outras melhores pode produzir descendentes com características novas ainda melhores. Se apenas os mais aptos fossem selecionados, o algoritmo genético convergiria rapidamente para um mínimo local, pois a população não teria uma variabilidade genética suficiente para explorar adequadamente o espaço de busca.

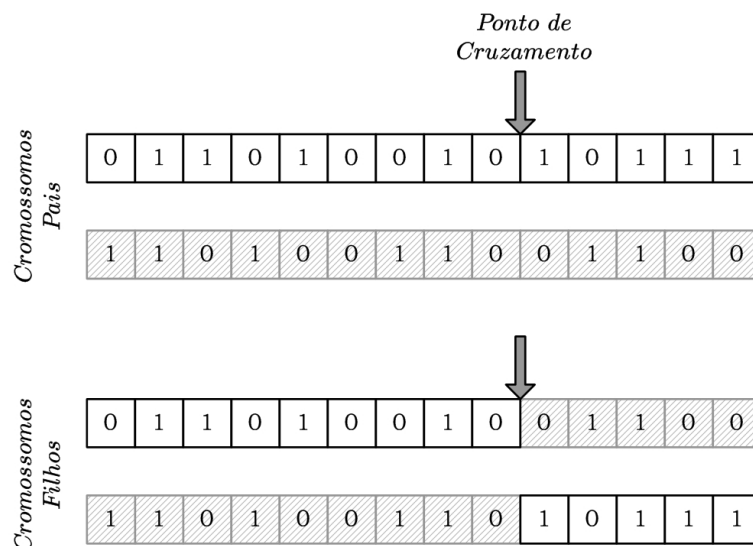


Figura II.22: Cruzamento entre cromossomos.

Uma vez selecionados, os indivíduos são recombinados aos pares, usando o mecanismo de cruzamento. Um ponto do cromossomo é selecionado aleatoriamente,

e trechos de ambos os cromossomos pais são trocados, conforme mostrado na Fig. II.22. Para este problema, foi adotada uma taxa de cruzamento igual a 60% da população.

### II.2.5 - MUTAÇÕES

Uma vez que os cruzamentos já tenham sido realizados, as mutações são realizadas selecionando-se aleatoriamente alguns bits entre todos os cromossomos da população e trocando-os de zero para um, ou de um para zero, conforme o caso. A escolha da taxa de mutações é um outro fator crítico em um algoritmo genético, pois são essas mutações as responsáveis por inserir novas características em uma população para promover uma inspeção mais ampla do espaço de busca, descartando mínimos locais a fim de se localizar o mínimo global. Por outro lado, uma taxa de mutações muito elevada leva a muitas modificações na população, podendo prejudicar a convergência do algoritmo. A melhor taxa depende fortemente do problema em questão e é geralmente escolhida empiricamente. Neste problema, especificamente, a taxa de mutações adotada foi de 5%.

### II.2.6 - ELITISMO

Com o objetivo de preservar as melhores características obtidas pelo algoritmo genético nas gerações seguintes, ao final de cada iteração do algoritmo, o pior indivíduo da população é substituído pelo melhor da geração anterior. Esse procedimento é conhecido como Elitismo [20].

### II.2.7 - CRITÉRIO DE PARADA

As operações genéticas listadas acima são repetidas a cada geração até que algum critério de parada seja satisfeito. Neste problema, a busca é encerrada após um limite de 10000 gerações.

## II.3 - RESULTADOS

O algoritmo genético descrito na Seção II.2 foi aplicado a ambos os projetos ilustrativos apresentados na Seção II.1. A seguir, são apresentados os resultados obtidos.

### II.3.1 - FILTRO OBTIDO POR SIMULAÇÃO DE REDE LADDER

Para o filtro a capacitores chaveados obtido por simulação de rede *ladder*, o algoritmo genético foi executado dez vezes, com diferentes populações iniciais geradas aleatoriamente. Na Fig. II.23, temos a evolução da função custo do melhor indivíduo

da população em cada uma das gerações produzidas pelo algoritmo nas dez rodadas. Nesse gráfico, nota-se que o algoritmo convergiu para a solução ótima em seis entre as dez rodadas. Todavia, os valores finais da função custo obtidos em todas as rodadas foram razoavelmente próximos do ótimo.

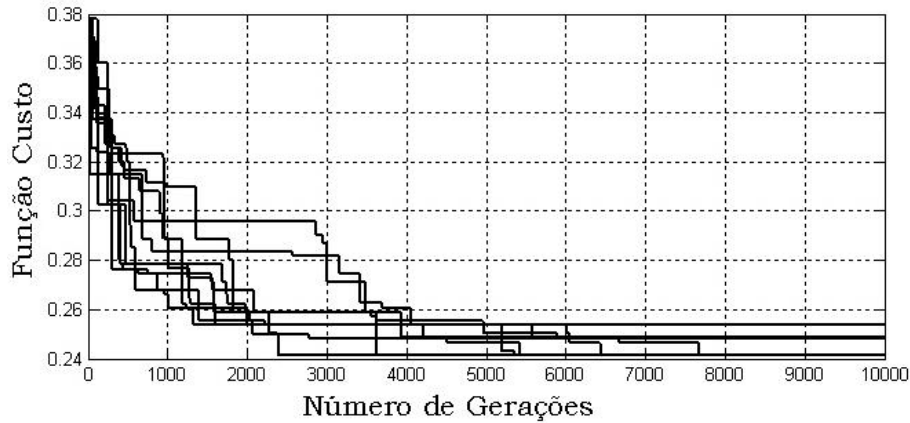


Figura II.23: Melhor valor da função custo de cada geração para dez rodadas do algoritmo genético.

Tabela II.4: Razões aproximadas para o filtro obtido através de simulação de rede *ladder*.

RAZÃO	APROXIMAÇÃO	VALOR DECIMAL
$A_1/A$	1/7	0,14285714285714
$A_2/A$	1/7	0,14285714285714
$A_3/A$	4/7	0,57142857142857
$A_4/A$	6/7	0,85714285714286
$B_1/B$	5/20	0,25000000000000
$B_2/B$	1/20	0,05000000000000
$D_1/D$	8/12	0,66666666666667
$D_2/D$	1/12	0,08333333333333
$D_3/D$	5/12	0,41666666666667
$E_1/E$	12/16	0,75000000000000
$E_2/E$	1/16	0,06250000000000
$E_3/E$	6/16	0,37500000000000
$F_1/F$	3/7	0,42857142857143
$F_2/F$	10/7	1,42857142857143
$F_3/F$	3/7	0,42857142857143
$G_1/G$	1/2	0,50000000000000
$G_2/G$	1/2	0,50000000000000

O melhor indivíduo encontrado pelo algoritmo genético foi

$$I_{sol} = \{A = 7, B = 20, D = 12, E = 16, F = 7, G = 2\}. \quad (\text{II.57})$$

As razões de capacitâncias correspondentes a essa solução são apresentadas na Tabela II.4. É interessante comparar os valores decimais das razões aproximadas com os valores ideais apresentados anteriormente na Tabela II.1.

Para implementar todos as razões aproximadas listadas na Tabela II.4, são necessários 133 capacitores unitários ao todo. Esse número é, aproximadamente, 62% do total de capacitores unitários necessários para implementar a estimativa inicial dada em (II.55).

Na Fig. II.24, é apresentada uma comparação entre a resposta em frequência desejada e a obtida com as aproximações da Tabela II.4. Nota-se que o filtro aproximado satisfaz adequadamente às especificações iniciais dadas na Seção II.1.1.

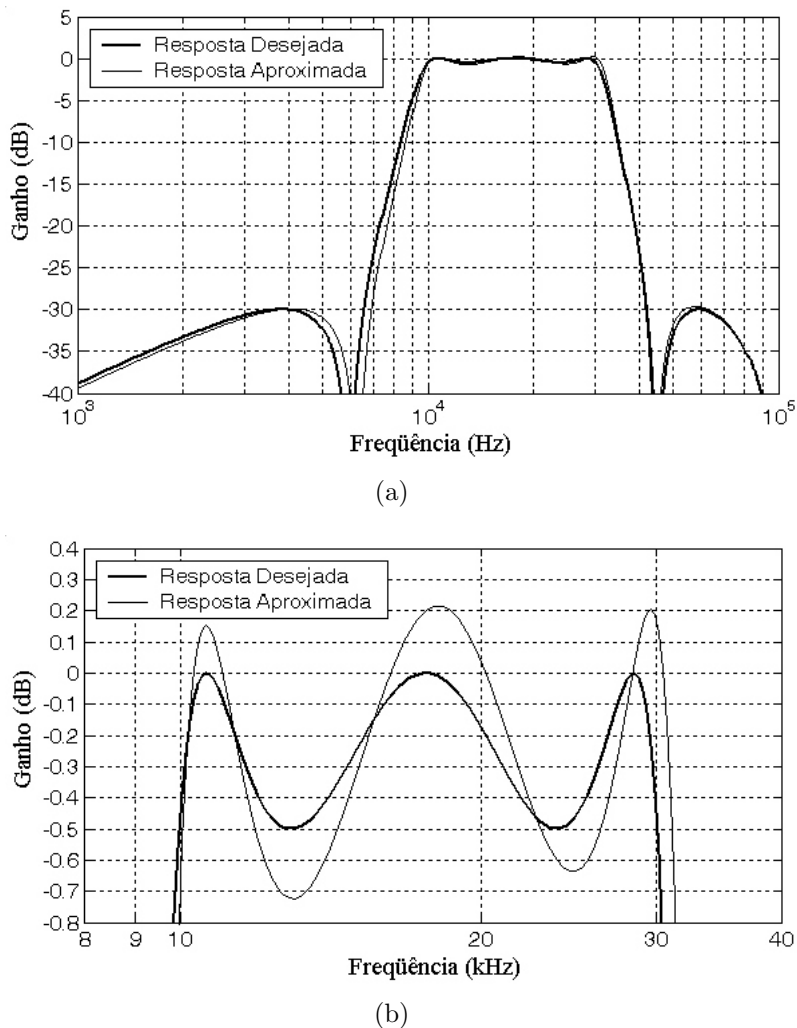


Figura II.24: Comparação entre as respostas em frequência desejada e aproximada (a), com o detalhe da banda passante do filtro (b).

### II.3.2 - FILTRO COM CASCATA DE BIQUADS

Analogamente ao exemplo anterior, o algoritmo genético foi também executado dez vezes para o filtro implementado com a cascata de *biquads*, com diferentes po-

pulações iniciais geradas aleatoriamente. Na Fig. II.25, temos a evolução da função custo do melhor indivíduo da população em cada uma das gerações produzidas pelo algoritmo nas dez rodadas. A solução ótima, neste exemplo, foi encontrada em oito das dez rodadas realizadas.

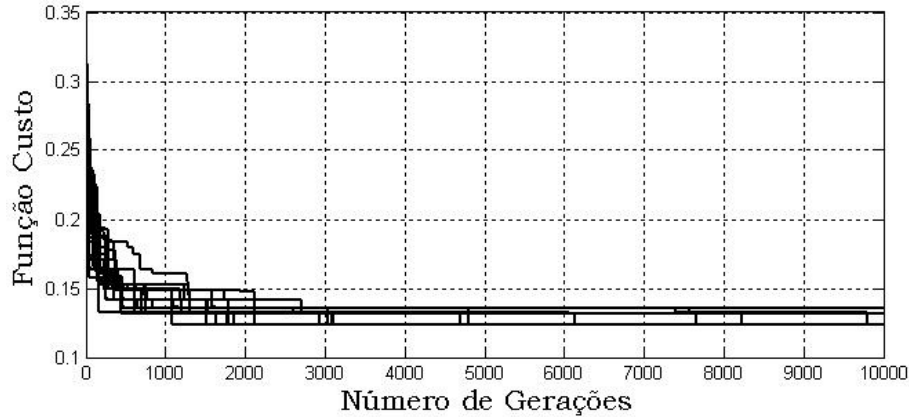


Figura II.25: Melhor valor da função custo de cada geração para dez rodadas do algoritmo genético.

Tabela II.5: Razões aproximadas para ambas as seções biquadráticas.

PRIMEIRA SEÇÃO BIQUADRÁTICA		
RAZÕES	APROXIMAÇÃO	VALOR DECIMAL
$A/B$	$4/28$	0,14285714285714
$I/B$	$1/28$	0,03571428571429
$C/D$	$1/4$	0,25000000000000
$E/D$	$7/4$	1,75000000000000
$G/D$	$1/4$	0,25000000000000
SEGUNDA SEÇÃO BIQUADRÁTICA		
RAZÕES	APROXIMAÇÃO	VALOR DECIMAL
$A/B$	$2/7$	0,28571428571429
$I/B$	$2/7$	0,28571428571429
$C/D$	$5/14$	0,35714285714286
$E/D$	$4/14$	0,28571428571429
$G/D$	$5/14$	0,35714285714286

O melhor indivíduo encontrado pelo algoritmo foi:

$$I_{sol} = \{B_1 = 28, D_1 = 4, B_2 = 7, D_2 = 14\}. \quad (\text{II.58})$$

As razões de capacitâncias correspondentes a essa solução são apresentadas na Tabela II.5. Novamente é ilustrativo comparar os valores decimais das razões apro-

ximadas com os valores apresentados anteriormente na Tabela II.2. Como os capacitores  $I$  e  $J$  foram projetados com o mesmo valor, a simplificação apresentada na Fig. II.9 permite que apenas um capacitor faça o papel de ambos. Dessa forma, o capacitor  $J$  foi omitido da Tabela II.5. Analogamente, como os capacitores  $F$  e  $H$  são nulos, estes também foram omitidos da Tabela II.5.

Para implementar todas as razões aproximadas listadas na Tabela II.5, são necessários 85 capacitores unitários ao todo. Esse número é, aproximadamente, 30% do total de capacitores unitários necessários para implementar a estimativa inicial dada por (II.56). Nesse caso, a redução em relação à estimativa inicial foi bem maior que a verificada no outro exemplo.

Na Fig. II.26, é apresentada uma comparação entre a resposta em frequência ideal e a obtida com as aproximações da Tabela II.5. Nota-se, mais uma vez, que o filtro aproximado satisfaz adequadamente às especificações iniciais dadas na Seção II.1.2.

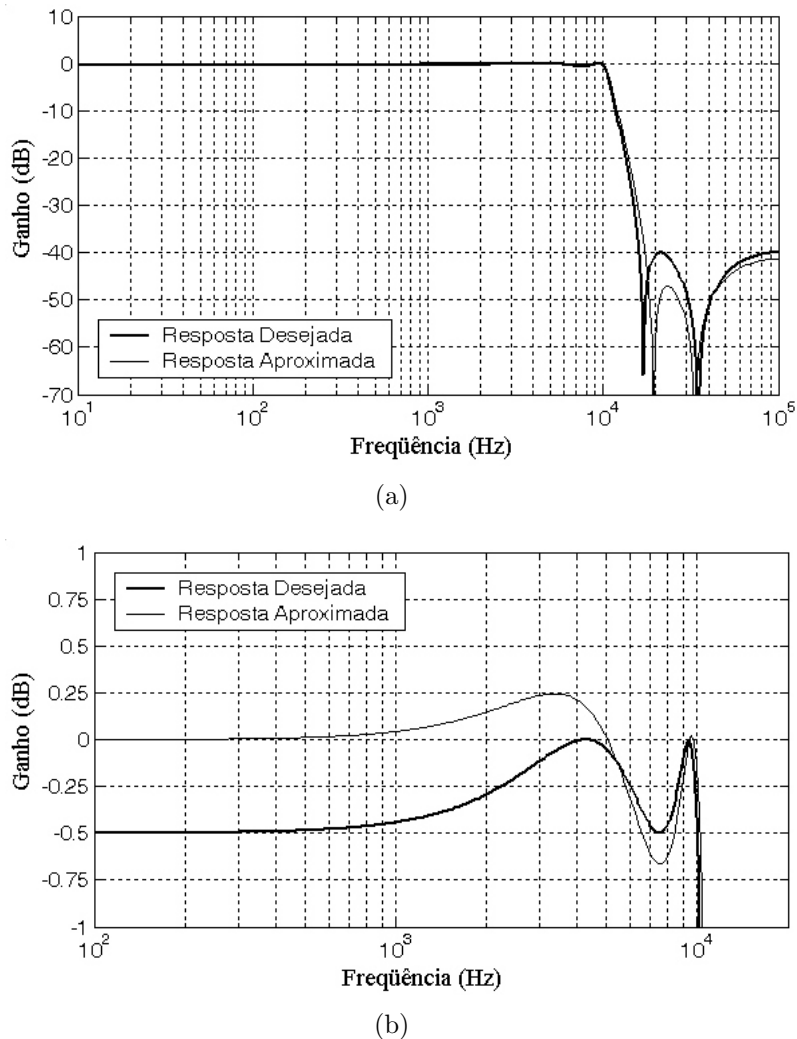


Figura II.26: Comparação entre as respostas em frequência desejada e aproximada (a), com o detalhe da banda passante do filtro (b).

De acordo com os resultados obtidos para ambos os filtros a capacitores chaveados descritos na Seção II.1, verifica-se que a metodologia proposta foi capaz de aproximar adequadamente as razões de capacitâncias por números racionais. Conforme mencionado anteriormente, o projetista poderia optar por reduzir o máximo erro tolerado  $\varepsilon$  na resposta em frequência do filtro para melhorar a precisão das aproximações. Entretanto, isso levaria a números racionais com numeradores e denominadores maiores que os obtidos para uma tolerância  $\varepsilon$  maior.

Os testes realizados comprovaram que o algoritmo genético empregado nesta abordagem foi capaz de encontrar as aproximações ótimas para ambos os filtros a capacitores chaveados. Para verificar se os resultados encontrados pelo algoritmo genético são realmente as soluções ótimas, foi realizado o seguinte teste: os limites superiores apresentados na Tabela II.3 foram substituídos pelos denominadores da melhor solução encontrada com o algoritmo genético. Com esse procedimento, a dimensão do espaço de busca sofre uma redução grande o suficiente para tornar viável uma busca exaustiva. Assim, foi verificado que não existe nenhuma solução que produza erros toleráveis na resposta em frequência com um número de capacitores unitários inferior ao que já fora obtido com o algoritmo genético.

Entretanto, ao contrário dos métodos de otimização clássicos determinísticos, o algoritmo genético não possui convergência garantida [20], ou seja, a solução ótima para o problema de otimização não será encontrada em todas as vezes em que o algoritmo de busca for executado. Essa característica foi verificada nos testes realizados neste trabalho. No exemplo do filtro obtido por simulação de uma rede *ladder*, a solução ótima foi encontrada em 60% das buscas realizadas, enquanto que no exemplo do filtro implementado com uma cascata de *biquads*, a solução ótima foi encontrada em 80% das rodadas. Para melhorar esses índices, o projetista poderia ajustar os parâmetros do algoritmo — tamanho da população, taxa de cruzamentos, taxa de mutações e número de gerações — para adequar o algoritmo de busca para cada filtro a capacitores chaveados em particular. Entretanto, levando-se em consideração que esses ajustes são realizados empiricamente e a busca pelos parâmetros mais adequados consumiria muito tempo do projetista, é mais vantajoso executar mais de uma vez o algoritmo e tomar como solução ótima aquela que mais vezes for encontrada em todas as buscas realizadas. Uma outra alternativa seria adotar um procedimento semelhante ao descrito acima, onde a solução de apenas uma rodada do algoritmo genético é empregada na redefinição dos limites superiores da Tabela II.3. Então, uma nova busca genética — ou uma busca exaustiva, caso os novos limites viabilizem esse tipo de abordagem — é realizada com um espaço de busca menor, aumentando a probabilidade de a solução ótima ser encontrada.

---

---

## CAPÍTULO III

---

# OTIMIZAÇÃO DO LAYOUT DOS CAPACITORES

No capítulo anterior, foi apresentado o método para aproximar cada uma das razões de capacitâncias de um filtro a capacitores chaveados por números racionais. A principal motivação para essas aproximações é permitir que cada capacitor seja implementado através da associação em paralelo de capacitores unitários idênticos. Dessa forma, o casamento entre os capacitores do filtro será bastante aprimorado, desde que técnicas adequadas de *layout* sejam adotadas.

Entretanto, o posicionamento adequado dos capacitores unitários em um *layout*, é uma tarefa bastante árdua e que consome bastante tempo do engenheiro responsável pelo *layout*. Dessa forma, este capítulo é dedicado à proposição de uma metodologia para automatizar e otimizar o *layout* dos capacitores unitários produzidos pelas aproximações encontradas com o método descrito no Capítulo II.

Na Seção III.1, é apresentado o problema do posicionamento dos capacitores unitários em uma matriz. O método proposto para a solução desse problema é descrito detalhadamente na Seção III.2. Finalmente, na Seção III.3 são apresentados os resultados obtidos através de exemplos de aplicação do método proposto.

### III.1 - APRESENTAÇÃO DO PROBLEMA

Considere que uma razão de capacitores  $C_A/C_B = N/M$ , onde  $N$  e  $M$  são números inteiros, deve ser implementada com  $N + M$  capacitores unitários idênticos. Tais capacitores unitários serão arranjados em uma matriz, onde  $C_A$  é construído associando-se  $N$  deles em paralelo, e  $C_B$  associando-se os outros  $M$ . Entretanto, devido a erros causados, por exemplo, por variações da espessura do óxido as capacitâncias dos capacitores unitários presentes na matriz não são idênticas. A razão



de capacitâncias que será efetivamente implementada pode ser descrita como:

$$\frac{C_A}{C_B} = \frac{\sum_{i=1}^N C_i}{\sum_{j=1}^M C_j} = \frac{N}{M} \cdot \frac{\frac{1}{N} \cdot \sum_{i=1}^N C_i}{\frac{1}{M} \cdot \sum_{j=1}^M C_j}, \quad (\text{III.1})$$

onde  $C_i$  ( $i = 1, \dots, N$ ) e  $C_j$  ( $j = 1, \dots, M$ ) representam as capacitâncias reais dos capacitores unitários que implementam  $C_A$  e  $C_B$ , respectivamente.

De acordo com (III.1), a razão de capacitâncias  $C_A/C_B$  será implementada com seu valor ideal inalterado, se e somente se:

$$\frac{1}{N} \cdot \sum_{i=1}^N C_i = \frac{1}{M} \cdot \sum_{j=1}^M C_j. \quad (\text{III.2})$$

Ou seja, nenhum erro será verificado na implementação da razão  $C_A/C_B$  se o valor médio das capacitâncias dos capacitores unitários que implementam  $C_A$  for igual ao valor médio das que implementam  $C_B$ .

De acordo com resultados experimentais publicados na literatura [7,23], o arranjo dos capacitores unitários que leva ao melhor casamento entre os dispositivos é aquele com centróide comum. Nesse arranjo, os centros de massa — centróides — dos grupos de capacitores unitários associados a um mesmo capacitor devem coincidir.

A razão pela qual a geometria de centróide comum é bem sucedida na tarefa de casar dispositivos pode ser entendida através de um modelo linear de variação das capacitâncias ao longo da área do circuito integrado [28]. A variação de capacitância ao longo da superfície de um circuito integrado não é perfeitamente linear. Entretanto, como essas variações são pequenas, um modelo linear é uma aproximação bastante razoável. Sejam, por exemplo, as matrizes de capacitores apresentadas na Fig III.1. Nessas matrizes, consideramos que há um gradiente de variação do processo de fabricação que faz com que as capacitâncias variem linearmente a uma taxa  $\lambda$  ao longo da direção horizontal, e a uma taxa  $\mu$  na direção vertical. Dessa forma, a capacitância de um capacitor unitário  $C_{xy}$  posicionado nas coordenadas  $(x, y)$  da matriz será dada por:

$$C_{xy} = C + \lambda x + \mu y, \quad (\text{III.3})$$

onde  $C$  é o valor ideal da capacitância, sem sofrer a ação do gradiente.

Ambas as matrizes da Fig. III.1 implementam três capacitores  $C_A$ ,  $C_B$  e  $C_C$ , onde  $C_A$  e  $C_B$  são formados por quatro capacitores unitários em paralelo e  $C_C$  por oito. Na matriz da Fig. III.1(a), os capacitores unitários estão arranjados com centróide comum, apresentando simetria em relação ao ponto central da matriz. Já

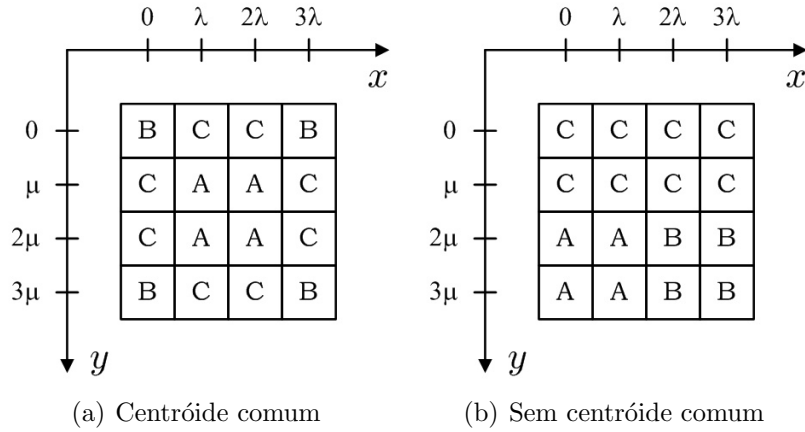


Figura III.1: Matrizes de capacitores unitários implementando três capacitores  $C_A$ ,  $C_B$  e  $C_C$ , juntamente com os eixos mostrando o modelo de variação linear das capacitâncias com a posição na matriz.

na matriz III.1(b), os capacitores unitários pertencentes a um mesmo capacitor estão arranjados lado a lado de forma a facilitar a interconexão entre eles.

Considerando o modelo (III.3), as capacitâncias médias dos capacitores unitários que formam  $C_A$ ,  $C_B$  e  $C_C$  no *layout* da Fig. III.1(a) são dadas, respectivamente, por:

$$\begin{aligned}
 \langle C_{xy} \rangle_A &= \frac{1}{4} \cdot [(C + \lambda + \mu) + (C + 2\lambda + \mu) \\
 &\quad + (C + \lambda + 2\mu) + (C + 2\lambda + 2\mu)] \\
 &= C + \frac{3}{2} \lambda + \frac{3}{2} \mu
 \end{aligned} \tag{III.4}$$

$$\begin{aligned}
 \langle C_{xy} \rangle_B &= \frac{1}{4} \cdot [C + (C + 3\lambda) + (C + 3\mu) \\
 &\quad + (C + 3\lambda + 3\mu)] \\
 &= C + \frac{3}{2} \lambda + \frac{3}{2} \mu
 \end{aligned} \tag{III.5}$$

$$\begin{aligned}
 \langle C_{xy} \rangle_C &= \frac{1}{8} \cdot [(C + \lambda) + (C + 2\lambda) + (C + \mu) \\
 &\quad + (C + 3\lambda + \mu) + (C + 2\mu) \\
 &\quad + (C + 3\lambda + 2\mu) + (C + \lambda + 3\mu) \\
 &\quad + (C + 2\lambda + 3\mu)] \\
 &= C + \frac{3}{2} \lambda + \frac{3}{2} \mu
 \end{aligned} \tag{III.6}$$

De acordo com os resultados acima, os valores médios das capacitâncias unitárias

dos capacitores  $C_A$ ,  $C_B$  e  $C_C$  são iguais. De acordo com (III.1), essa característica leva a um bom casamento entre esses três capacitores, pois faz com que seus valores relativos fiquem insensíveis a gradientes de variação dos parâmetros de processo.

Por outro lado, se calcularmos a capacitância unitária média para os mesmos capacitores no *layout* da Fig. III.1(b), obteremos:

$$\begin{aligned}\langle C_{xy} \rangle_A &= \frac{1}{4} \cdot [(C + 2\mu) + (C + \lambda + 2\mu) \\ &\quad + (C + 3\mu) + (C + \lambda + 3\mu)] \\ &= C + \frac{1}{2}\lambda + \frac{5}{2}\mu\end{aligned}\tag{III.7}$$

$$\begin{aligned}\langle C_{xy} \rangle_B &= \frac{1}{4} \cdot [(C + 2\lambda + 2\mu) + (C + 3\lambda + 2\mu) \\ &\quad + (C + 2\lambda + 3\mu) + (C + 3\lambda + 3\mu)] \\ &= C + \frac{5}{2}\lambda + \frac{5}{2}\mu\end{aligned}\tag{III.8}$$

$$\begin{aligned}\langle C_{xy} \rangle_C &= \frac{1}{8} \cdot [C + (C + \lambda) + (C + 2\lambda) + (C + 3\lambda) + (C + \mu) \\ &\quad + (C + \lambda + \mu) + (C + 2\lambda + \mu) + (C + 3\lambda + \mu)] \\ &= C + \frac{3}{2}\lambda + \frac{1}{2}\mu\end{aligned}\tag{III.9}$$

Nesse caso, verifica-se que todas as três médias resultaram em valores diferentes entre si. Conseqüentemente, é razoável esperar que o arranjo em centróide comum apresente uma maior imunidade a gradientes de variação de parâmetros, o que é comprovado a partir de resultados experimentais [7, 23].

É interessante mencionar que o arranjo apresentado na Fig. III.1(a) não é a única forma de se arranjar os capacitores unitários de  $C_A$ ,  $C_B$  e  $C_C$  em centróide

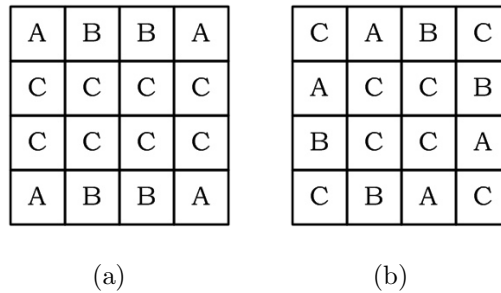


Figura III.2: Exemplos de arranjos em centróide comum para a mesma matriz de capacitores.

comum. Na Fig. III.2 são apresentados outros possíveis arranjos para os mesmos capacitores, onde pode-se também verificar que as capacitâncias unitárias médias serão iguais para cada um dos capacitores implementados, mesmo na presença de gradientes de variação de parâmetros.

No entanto, não é sempre possível arranjar os capacitores unitários em uma matriz com centróide comum. Em [36], é apresentado um teorema que apresenta as condições necessárias para que seja possível arranjar os capacitores unitários com centróide comum:

**Teorema 1** *Será possível arranjar os capacitores unitários com centróide comum somente se todos os capacitores forem compostos por um número par de capacitores unitários, ou quando houver, no máximo, um único capacitor com número ímpar desses capacitores.*

A verificação desse teorema é direta. Caso um dos capacitores unitários de um capacitor do filtro não estiver posicionado no centro da matriz, é necessário que exista um outro unitário, pertencente ao mesmo capacitor, localizado simetricamente em relação ao centro. Dessa forma, se todos os capacitores unitários associados a um mesmo elemento estiverem posicionados fora do centro da matriz, estes devem existir aos pares, simetricamente em relação ao centro. Portanto, tais capacitores deverão ter obrigatoriamente um número par de capacitores unitários. Caso a matriz permita o posicionamento de um capacitor unitário no centro, este capacitor não precisa de um outro localizado simetricamente. Dessa forma, o único capacitor permitido com número ímpar de capacitores unitários é aquele que posiciona um de seus unitários no centro da matriz. Como os demais capacitores não poderão posicionar também um de seus unitários no centro, todos os demais deverão ter um número par de capacitores unitários.

Entretanto, o arranjo com centróide comum não é o único que torna os capacitores insensíveis ao gradiente linear de variação de parâmetros. Considere, por exemplo, as matrizes de capacitores unitários apresentadas na Fig. III.3. Nelas são implementados quatro capacitores  $C_A$ ,  $C_B$ ,  $C_C$  e  $C_D$ , onde  $C_A$  é composto por dezesseis capacitores unitários,  $C_B$  por catorze,  $C_C$  por quatro e  $C_D$  por apenas um.

Calculando a média das capacitâncias unitárias para os capacitores da Fig. III.3(a), teremos:

$$\langle C_{xy} \rangle_A = \frac{1}{16} \cdot [16C + 48\lambda + 32\mu] = C + 3\lambda + 2\mu. \quad (\text{III.10})$$

$$\langle C_{xy} \rangle_B = \frac{1}{14} \cdot [14C + 42\lambda + 28\mu] = C + 3\lambda + 2\mu. \quad (\text{III.11})$$

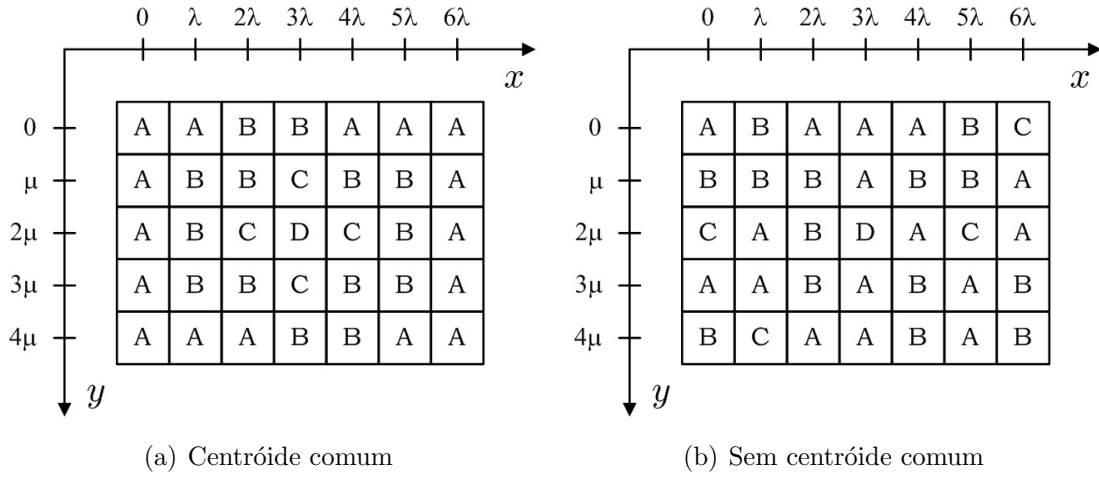


Figura III.3: Matrizes de capacitores unitários implementando quatro capacitores  $C_A$ ,  $C_B$ ,  $C_C$  e  $C_D$ , juntamente com os eixos mostrando o modelo de variação linear das capacitâncias com a posição na matriz.

$$\langle C_{xy} \rangle_C = \frac{1}{4} \cdot [4C + 12\lambda + 8\mu] = C + 3\lambda + 2\mu. \quad (\text{III.12})$$

$$\langle C_{xy} \rangle_D = C + 3\lambda + 2\mu. \quad (\text{III.13})$$

Como já era esperado, o arranjo com centróide comum produziu a mesma capacitância unitária média para todos os capacitores implementados na matriz.

Analogamente, calculando a capacitância unitária média para os mesmos capacitores na matriz da Fig. III.3(b), obtém-se:

$$\langle C_{xy} \rangle_A = \frac{1}{16} \cdot [16C + 48\lambda + 32\mu] = C + 3\lambda + 2\mu. \quad (\text{III.14})$$

$$\langle C_{xy} \rangle_B = \frac{1}{14} \cdot [14C + 42\lambda + 28\mu] = C + 3\lambda + 2\mu. \quad (\text{III.15})$$

$$\langle C_{xy} \rangle_C = \frac{1}{4} \cdot [4C + 12\lambda + 8\mu] = C + 3\lambda + 2\mu. \quad (\text{III.16})$$

$$\langle C_{xy} \rangle_D = C + 3\lambda + 2\mu. \quad (\text{III.17})$$

Ou seja, o arranjo da Fig. III.3(b) produziu os mesmos valores médios de capacitâncias unitárias, mesmo não empregando a geometria com centróide comum.

A grande vantagem desse resultado é a possibilidade de se conseguir um arranjo insensível a gradientes de variação de parâmetros, mesmo nos casos em que não é possível arranjar os capacitores unitários com centróide comum. Considere, por exemplo, a matriz de capacitores apresentada na Fig. III.4, onde são implementados

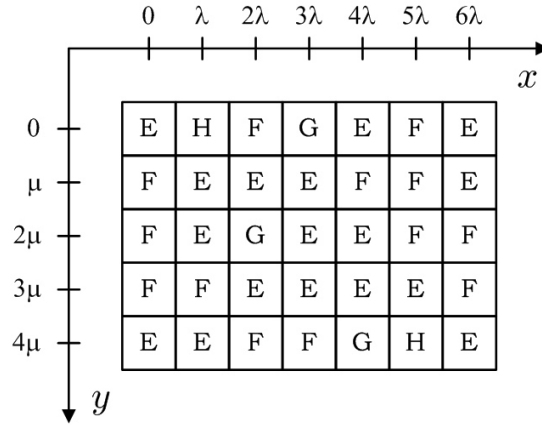


Figura III.4: Matriz de capacitores unitários implementando os capacitores  $C_E$ ,  $C_F$ ,  $C_G$  e  $C_H$ , onde não é possível obter um arranjo com centróide comum.

quatro capacitores  $C_E$ ,  $C_F$ ,  $C_G$  e  $C_H$ . O capacitor  $C_E$  é formado por dezessete capacitores unitários em paralelo,  $C_F$  por treze,  $C_G$  por três e, finalmente,  $C_H$  por dois — ou seja, cada um dos capacitores da matriz é implementado por um número primo de capacitores unitários. De acordo com o Teorema 1, não é possível obter um arranjo com centróide comum para essa matriz. Entretanto, o arranjo apresentado na Fig. III.4 é insensível a gradientes lineares de variação de parâmetros, conforme pode ser constatado calculando-se a média das capacitâncias unitárias para cada capacitor:

$$\langle C_{xy} \rangle_E = \frac{1}{17} \cdot [17C + 51\lambda + 34\mu] = C + 3\lambda + 2\mu. \quad (\text{III.18})$$

$$\langle C_{xy} \rangle_F = \frac{1}{13} \cdot [13C + 39\lambda + 26\mu] = C + 3\lambda + 2\mu. \quad (\text{III.19})$$

$$\langle C_{xy} \rangle_G = \frac{1}{3} \cdot [3C + 9\lambda + 6\mu] = C + 3\lambda + 2\mu. \quad (\text{III.20})$$

$$\langle C_{xy} \rangle_H = C + 3\lambda + 2\mu. \quad (\text{III.21})$$

Além disso, a matriz apresentada na Fig. III.4 não é o único arranjo possível que torna os capacitores  $C_E$ ,  $C_F$ ,  $C_G$  e  $C_H$  insensíveis a gradientes lineares de variação de parâmetros. Na Fig. III.5, são apresentados outros dois arranjos possíveis.

Todavia, não é sempre possível encontrar um arranjo de capacitores unitários que torne as razões de capacitâncias insensíveis a gradientes de processo. Na Fig. III.6 é apresentado um exemplo bem simples onde pode ser facilmente verificado que não é possível arranjar os capacitores unitários pertencentes aos capacitores  $C_I$  e  $C_J$  de forma a tornar as razões de capacitâncias insensíveis a gradientes lineares.

Portanto, nos casos em que é possível haver vários arranjos insensíveis a gradi-

E	F	F	E	E	E	E
G	E	F	E	G	F	F
E	H	F	F	E	H	E
E	F	F	E	F	F	F
F	E	E	E	E	G	E

(a)

F	G	E	E	F	E	F
E	E	F	E	H	E	E
F	E	E	G	E	E	E
F	F	H	E	F	F	E
E	F	F	F	F	G	E

(b)

Figura III.5: Dois exemplos de arranjos insensíveis a gradientes lineares de variação de parâmetros para os capacitores  $C_E$ ,  $C_F$ ,  $C_G$  e  $C_H$ .

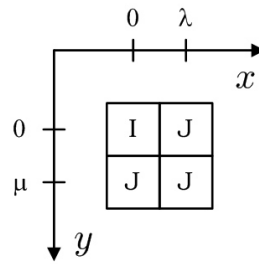


Figura III.6: Matriz de capacitores unitários implementando os capacitores  $C_I$  e  $C_J$ , onde não é possível obter um arranjo insensível a gradientes lineares.

entes lineares, pode-se formular o problema de encontrar o *layout* ótimo considerando a condição de insensibilidade como sendo uma restrição do problema e otimizar algum outro parâmetro de desempenho que esteja relacionado com o arranjo dos capacitores unitários. Por outro lado, nos casos em que um arranjo insensível não é realizável, o erro nas razões de capacitâncias será a principal figura de mérito a ser minimizada. No entanto, mesmo nesse caso, pode haver mais de um arranjo dos capacitores unitários de forma que o erro médio das razões de capacitâncias seja o mínimo. Dessa forma, um outro parâmetro de desempenho também pode ser utilizado para escolher o melhor arranjo, entre aqueles que produzem o erro médio mínimo nas razões de capacitâncias.

Um importante parâmetro de desempenho pode ser incluído se levarmos em consideração variações aleatórias nas capacitâncias de cada um dos capacitores unitários, ao invés de assumirmos apenas variações produzidas por gradientes. Nesse sentido, a regra de Pelgrom [102] diz que a variância verificada nas capacitâncias de dois capacitores unitários retangulares de largura  $W$ , comprimento  $L$  e separados por uma distância  $D_x$  é dada por:

$$\sigma^2(C_{xy}) = \frac{A_P^2}{WL} + S_P^2 D_x^2, \quad (\text{III.22})$$

onde  $A_P$  e  $S_P$  são constantes que dependem do processo de fabricação. A partir dessa regra, podemos concluir que quanto maiores os capacitores unitários, menor será a variância e, conseqüentemente, melhor será o casamento. Além disso, o casamento também será tanto melhor quanto mais próximos os capacitores forem posicionados no *layout*.

Lembrando da relação (III.1), e considerando que as capacitâncias unitárias  $C_i$  ( $i = 1, \dots, N$ ) e  $C_j$  ( $j = 1, \dots, M$ ) são variáveis aleatórias independentes, igualmente distribuídas e com média  $\bar{C}$ , teremos:

$$E \left[ \frac{1}{N} \cdot \sum_{i=1}^N C_i \right] = \bar{C}, \quad (\text{III.23})$$

$$E \left[ \frac{1}{M} \cdot \sum_{j=1}^M C_j \right] = \bar{C}, \quad (\text{III.24})$$

onde  $E[\cdot]$  representa o valor esperado de uma variável aleatória.

Para que a razão de capacitâncias  $C_A/C_B$  seja implementada com uma boa acurácia, a condição (III.2) deve ser satisfeita. Como ambos os termos em (III.2) apresentam o mesmo valor esperado, nosso esforço deve se concentrar em reduzir ao máximo suas variâncias. Assumindo, novamente, que as capacitâncias unitárias são independentes e igualmente distribuídas, teremos:

$$VAR \left[ \frac{1}{N} \cdot \sum_{i=1}^N C_i \right] = \frac{\sigma_A^2}{N}, \quad (\text{III.25})$$

$$VAR \left[ \frac{1}{M} \cdot \sum_{j=1}^M C_j \right] = \frac{\sigma_B^2}{M}, \quad (\text{III.26})$$

onde  $\sigma_A^2$  e  $\sigma_B^2$  são as variâncias dos capacitores unitários que formam  $C_A$  e  $C_B$ , respectivamente. Tais expressões mostram que quanto maior o número de capacitores unitários empregados em paralelo para formar ambos  $C_A$  e  $C_B$ , menores serão as variâncias das médias e, conseqüentemente, melhor será o casamento. Além disso, caso as variâncias  $\sigma_A^2$  e  $\sigma_B^2$  sejam iguais, o capacitor que possuir o maior número de capacitores unitários em paralelo apresentará a menor variância em sua capacitância unitária média. Esse resultado, aliado à regra de Pelgrom (III.22), nos leva a uma interessante regra de *layout*: em uma matriz de capacitores, os capacitores unitários que aparecem em maior número deverão ser arranjados nas posições mais distantes do centro da matriz, enquanto que os capacitores unitários que aparecem em menor número deverão ser posicionados bem próximos do centro da matriz. Dessa forma, os capacitores unitários que aparecem em maior número estarão mais distantes entre



si, apresentando uma variância maior. Entretanto, essa maior variância é compensada pelo fato de aparecerem em maior número, conforme mostrado em (III.25) e (III.26). Por outro lado, para compensar o fato de alguns capacitores possuírem poucos unitários em paralelo, estes deverão ser arranjados o mais próximo possível uns dos outros, para diminuir sua variância.

Na próxima seção, será apresentado o método proposto para encontrar o *layout* de uma matriz de capacitores unitários que seja ótima em relação a regra de afastamento entre capacitores, apresentada acima, e que satisfaça à restrição de insensibilidade a gradientes lineares de variação de capacitâncias. Neste trabalho, nos concentraremos apenas no posicionamento dos capacitores na matriz. O roteamento das interconexões entre os capacitores não será abordado aqui em virtude de existirem ferramentas comerciais bastante satisfatórias para o roteamento automático.

## III.2 - MÉTODO PROPOSTO

Dadas as seguintes razões de capacitâncias:

$$\frac{C_2}{C_1}, \frac{C_3}{C_1}, \frac{C_4}{C_1}, \dots, \frac{C_K}{C_1}, \quad (\text{III.27})$$

com numeradores e denominadores inteiros — correspondendo ao número de capacitores unitários idênticos associados em paralelo para implementar cada capacitor das razões —, deseja-se encontrar o arranjo ótimo de seus capacitores unitários em uma matriz, com o objetivo de se obter o melhor casamento possível — de acordo com as considerações apresentadas na seção anterior.

Foram adotadas razões de capacitâncias com o mesmo denominador nessa formulação por causa dos grupos de capacitâncias que compartilham o mesmo denominador em filtros a capacitores chaveados — conforme mostrado nos projetos exemplo da Seção II.1. No entanto, essa formulação é bastante geral, pois caso as razões  $C_2/C_1$  e  $C_3/C_1$ , por exemplo, estejam bem casadas, então a razão  $C_2/C_3$  também estará.

Nas próximas subseções, serão apresentados os detalhes da implementação do método proposto para resolver esse problema.

### III.2.1 - ESTRUTURA DE DADOS ADOTADA

O primeiro passo para estabelecer um método computacional para resolver o problema proposto acima é definir uma estrutura de dados para representar a matriz de capacitores unitários. A escolha natural é adotar uma matriz bidimensional, onde cada elemento da matriz é um número inteiro que identifica o capacitor ao qual aquele elemento da matriz pertence. Dessa forma, seguindo a nomenclatura

definida em (III.27), elementos da matriz com o inteiro 1 representam capacitores unitários de  $C_1$ , elementos com o número 2 representam capacitores unitários de  $C_2$  e assim por diante. Caso o número total de posições permitidas pelo número de linhas e colunas da matriz seja maior que o número total de capacitores unitários, elementos *dummy*  $C_0$  deverão ser incluídos na matriz. Tais capacitores *dummy* serão identificados pelo número zero. Tais capacitores não serão considerados nos cálculos da função custo e nem terão influência sobre a restrição de insensibilidade a gradientes.

### III.2.2 - RESTRIÇÃO DO PROBLEMA

O problema de otimização proposto restringe o espaço de busca a *layouts* insensíveis a gradientes lineares de variação de capacitâncias. Para avaliar a sensibilidade do *layout*, pode-se empregar um esquema semelhante ao que foi adotado na seção anterior.

Analogamente ao cálculo apresentado em (III.3), define-se que um gradiente linear faz com que a capacitância de um capacitor unitário  $C_{n,m}$ , localizado na linha  $n$  e coluna  $m$  da matriz, seja dada por:

$$C_{n,m} = 1 + \mu n + \lambda m. \quad (\text{III.28})$$

Somando-se todas as capacitâncias unitárias  $C_{n,m}$  associadas ao mesmo capacitor  $C_k$ , obteremos um novo valor de capacitância  $\hat{C}_k$ , levando em conta o efeito do gradiente linear. Desse modo, define-se o erro relativo  $\varepsilon_k$  na implementação de uma razão de capacitâncias  $C_k/C_1$  da seguinte forma:

$$\varepsilon_k = \left| \frac{\frac{C_k}{C_1} - \frac{\hat{C}_k}{\hat{C}_1}}{\frac{C_k}{C_1}} \right|, \quad k = 2, 3, \dots, K. \quad (\text{III.29})$$

Para que o *layout* seja insensível a qualquer gradiente de variação de capacitâncias — independentemente dos valores de  $\mu$  e  $\lambda$  —, é necessário escolher uma base para o espaço vetorial de todos os possíveis gradientes e verificar se o arranjo é insensível aos vetores da base. Caso essa condição seja satisfeita, o *layout* garantidamente será insensível a todas as combinações lineares dos vetores da base — ou seja, todos os gradientes possíveis de variação nos parâmetros de processo.

Portanto, optou-se por adotar a base canônica ortonormal para o espaço vetorial de todos os vetores no plano:  $(1,0)$  e  $(0,1)$ . Dessa forma, o erro relativo III.29 deve ser calculado para todos os capacitores da matriz, considerando  $\mu = 1$  e  $\lambda = 0$ , e também  $\mu = 0$  e  $\lambda = 1$ .

Com base na discussão acima, o erro médio na implementação das razões de capacitância, devido ao gradiente linear, é definido como:

$$\mathcal{E}_M(L) = \frac{1}{2} \cdot \left[ \left( \frac{1}{K-1} \cdot \sum_{k=2}^K \varepsilon_k \right)_{\lambda=0} + \left( \frac{1}{K-1} \cdot \sum_{k=2}^K \varepsilon_k \right)_{\mu=0} \right], \quad (\text{III.30})$$

onde  $L$  representa a matriz de capacitores unitários em questão. A primeira parcela corresponde à média dos erros relativos calculados considerando  $\mu = 1$  e  $\lambda = 0$ , enquanto que a segunda corresponde à média dos mesmos erros calculados considerando  $\mu = 0$  e  $\lambda = 1$ .

Dessa forma, neste problema, busca-se o *layout* ótimo da matriz de capacitores unitários que satisfaça à seguinte restrição:

$$\mathcal{E}_M(L) = \frac{1}{K-1} \cdot \sum_{k=2}^K \varepsilon_k = 0. \quad (\text{III.31})$$

### III.2.3 - FUNÇÃO CUSTO

Além de tornar o *layout* da matriz de capacitores unitários insensível a gradientes de variação de parâmetros, o problema de otimização deve afastar do centro os capacitores unitários que aparecem em maior número, e aproximar aqueles que aparecem em menor número. Portanto, é necessário formular uma função custo que seja tão menor quanto mais a matriz se aproximar desse arranjo ótimo.

Uma função custo com essas características pode ser obtida a partir de uma analogia com o *momento de inércia*, definido na mecânica como:

$$I = \sum_x \sum_y M_{x,y} [(x - x_o)^2 + (y - y_o)^2], \quad (\text{III.32})$$

onde  $M_{x,y}$  é a massa de um ponto material localizado nas coordenadas  $(x, y)$  de um plano, e  $x_o$  e  $y_o$  são as coordenadas do ponto por onde o eixo de revolução passa perpendicularmente a esse plano. Essa situação é ilustrada na Fig. III.7.

De acordo com a definição de momento de inércia dada em (III.32), quanto mais afastados os pontos de massa estiverem do eixo de revolução, maior será o momento de inércia. Além disso, se as maiores massas estiverem posicionadas próximo ao eixo e as menores mais afastadas, o momento de inércia será menor do que na situação inversa, onde as maiores massas estão mais afastadas e as menores mais próximas do eixo. É justamente essa característica que torna o momento de inércia adequado para os propósitos do nosso problema.

No caso da matriz de capacitores unitários, o ponto do eixo de revolução será sempre o centro da matriz. A razão para essa escolha será justificada mais adiante.

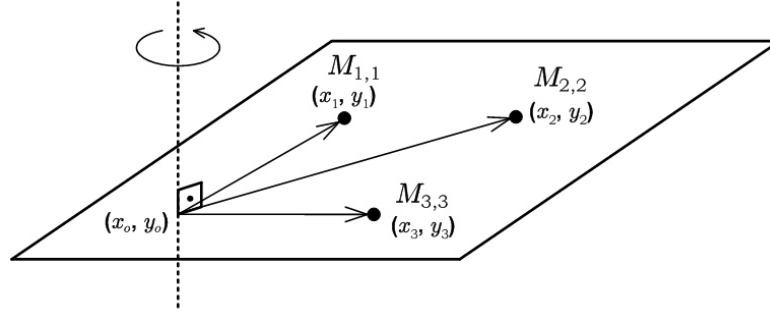


Figura III.7: Pontos de massa distribuídos em um plano que gira em torno de um eixo perpendicular.

Desse modo, se tivermos uma matriz com  $N$  linhas e  $M$  colunas, as coordenadas do eixo de revolução serão dadas por<sup>1</sup>:

$$\begin{cases} n_o = \frac{N-1}{2} \\ m_o = \frac{M-1}{2} \end{cases} . \quad (\text{III.33})$$

Neste problema, desejamos afastar da origem — o eixo de revolução — os capacitores unitários que aparecem em maior número. Dessa forma, definimos a “massa” de um capacitor unitário como sendo o inverso do número total de capacitores unitários associados ao mesmo capacitor que ele próprio. Dessa forma, capacitores unitários que aparecem em maior número na matriz serão mais “leves”, enquanto que capacitores unitários que aparecem em menor número serão mais “pesados”.

Como exemplo, considere a matriz de capacitores apresentada na Fig. III.4. As coordenadas do centro dessa matriz são:

$$\begin{cases} n_o = 2 \\ m_o = 3 \end{cases} . \quad (\text{III.34})$$

Já as “massas” dos capacitores unitários, associados a cada um dos capacitores da matriz, são dadas por:

$$M_{CE} = \frac{1}{17}, \quad M_{CF} = \frac{1}{13}, \quad M_{CG} = \frac{1}{3}, \quad M_{CH} = \frac{1}{2}; \quad (\text{III.35})$$

onde  $M_{CE}$ ,  $M_{CF}$ ,  $M_{CG}$  e  $M_{CH}$  são as “massas” dos capacitores unitários que compõem os capacitores  $C_E$ ,  $C_F$ ,  $C_G$  e  $C_H$ , respectivamente.

Então, a partir das considerações acima, define-se a função custo de uma matriz

<sup>1</sup>Nessa definição, assume-se que a numeração das linhas e das colunas da matriz começam em zero. Dessa forma, a numeração das linhas vai de  $n = 0$  até  $n = N-1$ . Essa numeração foi escolhida para ser compatível com a indexação de matrizes empregada pela linguagem de programação C++, a qual foi utilizada para implementar este algoritmo de otimização.

$L$  como sendo dada por:

$$f_c(L) = \sum_{n=0}^{N-1} \sum_{m=0}^{M-1} M_{n,m} [(n - n_o)^2 + (m - m_o)^2], \quad (\text{III.36})$$

onde  $M_{n,m}$  é a “massa” do capacitor unitário posicionado na linha  $n$  e coluna  $m$  da matriz.

Assim, o algoritmo de otimização buscará a solução que minimiza o “momento de inércia”, ou seja, a matriz ótima apresentará os capacitores unitários que aparecem em menor número mais próximos do centro, enquanto que capacitores unitários que aparecem em maior número ficarão em posições mais afastadas.

O centro da matriz foi escolhido como o ponto do eixo de giro porque isso fará com que a solução ótima tenha um aspecto bem próximo ao de uma geometria com centróide comum. Como essa geometria é insensível a gradientes de variação de parâmetros, a referida escolha vai auxiliar o algoritmo de otimização a encontrar uma solução ótima que também satisfaça à restrição (III.31).

#### III.2.4 - ALGORITMO DE OTIMIZAÇÃO

Encontrar o arranjo ótimo da matriz de capacitores é de um problema de otimização combinatória, pois o espaço de busca consiste em todos os arranjos possíveis dos capacitores unitários na matriz. Tal problema é bem semelhante ao já conhecido Problema Quadrático de Alocação (PQA).

O PQA é um problema da classe *NP-difícil*, proposto inicialmente por Koopmans e Beckmann em 1957 [103], e possui aplicações em diversas áreas como engenharia, economia, arquitetura e ergonomia. Consiste em alocar objetos de forma que cada um seja posicionado em um único local, com o objetivo de otimizar as distâncias ou fluxos de demanda entre cada par, ou então o custo associado ao posicionamento dos próprios objetos. Em [104], é apresentada uma revisão de várias abordagens publicadas na literatura para encontrar a solução de um PQA. Entre os métodos apresentados nesse trabalho, o *simulated annealing* [42] foi o que apresentou o melhor desempenho, sendo, por exemplo, mais eficiente que a abordagem através de algoritmos genéticos — adotada para resolver o problema da aproximação das razões de capacitâncias no Capítulo II.

Além disso, vários trabalhos publicados sobre otimização do *layout* de circuitos integrados analógicos empregam *simulated annealing* como algoritmo de busca [32, 34, 41]. Dessa forma, devido ao seu bom desempenho na solução desse tipo de problema, esse algoritmo foi adotado como o método de otimização básico no presente trabalho.

*Simulated annealing* é um algoritmo de otimização estocástico, baseado em uma

heurística inspirada no arranjo de átomos na formação de uma rede cristalina. Quando aquecemos um sólido até o seu ponto de fusão, os átomos do material ficam livres o suficiente para se movimentarem, devido ao elevado grau de agitação térmica. Se o material fundido for resfriado muito rapidamente, os átomos não terão tempo suficiente para se rearranjarem de forma regular e organizada. Assim, o sólido apresentará um arranjo irregular de átomos. Por outro lado, se o material fundido for resfriado lentamente, os átomos terão tempo para encontrar a melhor forma de se rearranjarem e restabelecerem suas ligações químicas. Esse arranjo ótimo se repete regularmente ao longo de todo o sólido, formando uma estrutura cristalina que constitui a condição de mínima energia potencial dos átomos.

Inspirando-se nesse fenômeno físico — conhecido como *annealing*<sup>2</sup> —, Kirkpatrick, Gelatt e Vecchi [42] desenvolveram o *simulated annealing* para resolver o problema de se encontrar mínimos globais de problemas de otimização bastante complexos. O algoritmo inicia a partir de um ponto inicial  $p$ , escolhido aleatoriamente no espaço de busca, com uma temperatura inicial  $t$ . Uma perturbação é aplicada ao ponto inicial de forma a obter um novo ponto  $p'$  nas vizinhanças de  $p$ . Então a diferença entre as energias — função custo — de ambos os pontos é calculada  $\Delta\mathcal{E} = \mathcal{E}(p') - \mathcal{E}(p)$ . Caso o novo ponto tenha uma energia menor que o ponto inicial — isto é,  $\Delta\mathcal{E} < 0$  —, o ponto  $p$  é descartado e  $p'$  passa a ser o ponto atual da busca ( $p \leftarrow p'$ ). Por outro lado, se  $p'$  apresentar uma energia maior — isto é,  $\Delta\mathcal{E} > 0$  —, então a aceitação do novo ponto  $p'$  ocorre de acordo com uma probabilidade dada pela lei de Boltzmann:

$$P(\Delta\mathcal{E}) = e^{-\Delta\mathcal{E}/kt}, \quad (\text{III.37})$$

onde  $k$  é a constante de Boltzmann e  $t$  é a temperatura absoluta. Assim, uma vez definido se a nova solução será aceita ou não, o algoritmo é repetido, aplicando-se novamente uma perturbação ao ponto atual e decidindo se o novo ponto deve ser aceito como a nova solução atual. Esse processo é, então, repetido até que um critério de parada seja satisfeito.

O fato de o algoritmo permitir que uma solução pior — ou seja, com maior valor de energia — seja aceita como solução atual dá ao *simulated annealing* a capacidade de fugir de mínimos locais durante a busca. Caso toda solução pior fosse descartada, a busca convergiria rapidamente para um mínimo local. De acordo com (III.37), a probabilidade de aceitação de uma solução pior é tanto maior quanto mais alta for a temperatura  $t$ . Dessa forma, a temperatura inicial deve ser alta para que o método possa explorar bem o espaço de busca. À medida que o algoritmo evolui, a tem-

---

<sup>2</sup>Em português, esse fenômeno é denominado *recozimento*. Entretanto, neste trabalho será empregada a expressão em inglês em virtude de ser um termo consagrado na literatura.

peratura  $t$  deve ser lentamente reduzida ao longo das iterações, seguindo um plano de resfriamento pré-estabelecido. Assim, a probabilidade de aceitação de soluções piores vai progressivamente diminuindo, permitindo ao *simulated annealing* convergir para o mínimo global. É importante mencionar que a temperatura inicial e o plano de resfriamento são parâmetros que influenciam criticamente na convergência do algoritmo. Trabalhar com temperaturas exageradamente altas dificulta a convergência do método. Por outro lado, temperaturas baixas ou resfriamentos muito rápidos fazem com que o algoritmo venha a convergir prematuramente para mínimos locais. A escolha desses parâmetros é bastante dependente do problema de otimização.

Em nosso problema, a energia a ser minimizada é a função custo definida em (III.36). Entretanto, o problema de otimização está sujeito à restrição apresentada em (III.31). Para fazer com que o algoritmo de busca descarte os pontos do espaço de busca que não satisfazem à restrição, pode-se adotar a mesma estratégia empregada no Capítulo II. Naquela abordagem, foi incluída uma parcela de penalidade à função custo, a fim de que seu valor fosse significativamente aumentado caso a restrição do erro na resposta em frequência não fosse satisfeita. Entretanto, escolher o valor da penalidade é uma tarefa difícil e dependente do problema em questão. Caso a penalidade seja muito severa, aparecerão mínimos locais muito abruptos, fazendo com que o algoritmo de busca tenha muita dificuldade em escapar deles. Por outro lado, uma penalidade muito leve pode fazer com que a solução encontrada não satisfaça à restrição.

Para evitar esse problema, uma melhor alternativa é empregar uma variação do *simulated annealing*, denominada *Constrained Simulated Annealing (CSA)* [105]. Nessa abordagem, dada a função custo (III.36), sujeita à restrição (III.31), define-se a *função Lagrangiana generalizada*:

$$L_d(L, \lambda) = f_c(L) + \lambda \mathcal{E}_M(L). \quad (\text{III.38})$$

Essa função possui duas variáveis, a matriz  $L$  e o multiplicador de Lagrange  $\lambda$ . Essa é uma abordagem bem semelhante àquela que aplica uma penalidade à função custo caso a restrição não seja satisfeita. Todavia, nesse caso, o peso da penalidade, expresso pelo multiplicador  $\lambda$ , é variável. Assim, o método de otimização não só se encarrega de encontrar a solução ótima para a função custo  $f_c(L)$ , como também busca o valor ótimo para o multiplicador  $\lambda$ .

Assim, no *constrained simulated annealing*, a função energia passa a ser (III.38). A cada iteração do algoritmo, uma perturbação é aplicada à matriz  $L$ , simplesmente trocando-se de posição dois capacitores unitários diferentes. A energia da nova matriz é calculada, e o algoritmo decide se a aceita como solução atual usando os

mesmos critérios apresentados anteriormente. Entretanto, a cada 20 iterações do algoritmo, uma das perturbações é aplicada ao multiplicador  $\lambda$ , ao invés de à matriz  $L$ , produzindo um valor  $\lambda'$  nas vizinhanças de  $\lambda$ . Uma vez que  $\lambda'$  tenha sido obtido, a nova energia é calculada. Caso a nova energia seja maior que a atual,  $\lambda'$  é aceito imediatamente como multiplicador atual  $\lambda$ . Caso a energia continue igual ao valor atual, significando que a restrição está sendo satisfeita — ou seja,  $\mathcal{E}_M(L) = 0$  em (III.38) —, o multiplicador atual  $\lambda$  é mantido e  $\lambda'$  é descartado. Finalmente, caso a nova energia seja menor que a atual, a aceitação do novo multiplicador é decidida a partir da probabilidade dada pela equação de Boltzmann (III.37). Dessa forma, a idéia é favorecer o aumento da penalidade sobre a restrição conforme o algoritmo evolui. No início da busca, a penalidade é bem pequena e o algoritmo tentará buscar o mínimo global da função custo  $f_c(L)$  sem restrições. Conforme a busca vai evoluindo, a penalidade sobre a restrição vai sendo ajustada, fazendo com que o algoritmo passe a buscar soluções que satisfaçam à restrição nas proximidades do mínimo global de  $f_c(L)$ . Caso não exista nenhum arranjo que produza  $\mathcal{E}_M(L) = 0$ , o algoritmo se encarregará de obter o valor ótimo para  $\lambda$ , de tal forma que a minimização de  $\mathcal{E}_M(L)$  seja o objetivo preponderante da busca.

O algoritmo é resumidamente apresentado no pseudocódigo abaixo:

#### PROCEDIMENTO CSA

```

Escolha do ponto inicial  $p = (L, \lambda)$ ;
Ajuste da temperatura inicial  $T = T_0$ ;
Ajuste do número de tentativas por Temperatura  $N_P$ ;
ENQUANTO ( $T > T_f$ ) FAÇA
    PARA  $n \leftarrow 1$  até  $N_P$  FAÇA
        Obter um ponto  $p'$  na vizinhança de  $p$ ;
        Calcular a variação de energia  $\Delta \mathcal{E}$ ;
        SE ( $\Delta \mathcal{E} < 0$ ) ENTÃO
            Aceita  $p \leftarrow p'$ ;
        SENÃO
            Produz um número aleatório  $0 \leq x \leq 1$ ;
            SE ( $x < e^{-\Delta \mathcal{E}/T}$ ) ENTÃO
                Aceita  $p \leftarrow p'$ ;
        FIM_SE
    FIM_PARA
    Reduz a temperatura  $T \leftarrow \alpha T$ ;
FIM_ENQUANTO
FIM_PROCEDIMENTO

```



A escolha do ponto inicial  $p = (L, \lambda)$  é feita obtendo-se um arranjo aleatório dos capacitores unitários na matriz  $L$  e ajustando  $\lambda = 0$ . A temperatura inicial  $T_O$  é escolhida como sendo igual ao maior valor de  $\Delta \mathcal{E}$  para o problema — isso leva a uma probabilidade máxima de 36,7% para a aceitação de uma solução pior. O maior valor de  $\Delta \mathcal{E}$  é estimado no início da busca, gerando uma matriz auxiliar  $L_{aux}$ , aleatoriamente, e aplicando-se 1000 permutações ao acaso entre seus elementos. Para cada permutação, é computada a correspondente variação na energia  $\Delta \mathcal{E}$ . Entre essas 1000 permutações realizadas, o maior valor de  $\Delta \mathcal{E}$  verificado é tomado como uma estimativa para o seu valor máximo. O número de iterações realizadas para cada valor de temperatura é escolhido como  $N_P = 1/2 \cdot C_{n,2}$ , onde  $C_{n,2} = \frac{1}{2}(n-1)n$  é o número de combinações possíveis dos  $n$  elementos da matriz dois a dois.

Para obter um ponto  $p'$  nas vizinhanças de  $p$ , pode-se perturbar a matriz  $L$ , ou o multiplicador  $\lambda$ . Conforme mencionado acima, a cada vinte iterações, a matriz  $L$  é perturbada em dezenove delas e o multiplicador  $\lambda$  em apenas uma. Para perturbar a matriz  $L$ , basta trocar de posição dois capacitores unitários diferentes. Os dois capacitores a serem permutados podem ser escolhidos aleatoriamente. Entretanto, em [106] é mostrado que o desempenho do *simulated annealing* é significativamente melhorado se permutações sistemáticas são aplicadas à matriz, seguindo uma seqüência bem definida e aplicada periodicamente ao longo das iterações. Nesse trabalho, a ordem com que as permutações são feitas é a seguinte: em uma iteração trocam-se os elementos (0,0) e (0,1); na iteração seguinte, trocam-se os elementos (0,0) e (0,2); e assim por diante até que todos os pares possíveis tenham sido permutados. Então, uma vez que todas as combinações dois a dois tenham sido trocadas, a mesma seqüência de trocas recomeça na iteração seguinte. É importante mencionar que, antes de realizar a troca, o algoritmo testa se os elementos a serem trocados representam capacitores unitários associados a capacitores diferentes. Caso isso não seja verdadeiro, a troca não é realizada e as próximas combinações são testadas seqüencialmente até que dois elementos diferentes da matriz sejam selecionados.

No caso do multiplicador  $\lambda$ , a perturbação é realizada da seguinte forma:

$$\lambda' \leftarrow |\lambda + r x|, \quad (\text{III.39})$$

onde  $x$  é um número aleatório, igualmente distribuído no intervalo  $[-1, 1]$ , e  $r$  é um fator que controla o raio da vizinhança de  $\lambda$ , onde  $\lambda'$  poderá ser escolhido. Esse raio, por sua vez, é obtido a partir da expressão

$$r = r_o \cdot \frac{T}{T_O} \cdot \mathcal{E}_M(L), \quad (\text{III.40})$$

onde  $r_o$  é uma constante,  $T$  é a temperatura corrente e  $T_O$  é a temperatura inicial da busca. De acordo com essa expressão, quanto maior o erro médio  $\mathcal{E}_M(L)$ , maior será o raio  $r$ . O objetivo disso é buscar valores maiores de  $\lambda'$  e aumentar o peso do próprio erro médio na função energia quando seu valor ainda estiver alto. Com relação à temperatura, conforme seu valor for progressivamente reduzido, o algoritmo estará convergindo para o mínimo global. Portanto, a temperatura corrente foi incluída na expressão do raio  $r$  para evitar que grandes variações de  $\lambda$  atrapalhem a convergência do *simulated annealing*.

A “energia” é dada pela função (III.38). Entretanto, o cálculo da variação de energia  $\Delta\mathcal{E}$  depende se a perturbação foi aplicada à matriz  $L$  ou ao multiplicador  $\lambda$ . Se a perturbação foi aplicada à matriz  $L$ , então  $\Delta\mathcal{E} = L_d(L', \lambda) - L_d(L, \lambda)$ . Entretanto, caso a perturbação tenha sido aplicada ao multiplicador  $\lambda$ , então  $\Delta\mathcal{E} = L_d(L, \lambda) - L_d(L, \lambda')$ . Dessa forma, caso  $\Delta\mathcal{E} < 0$ , então a perturbação em  $L$  reduziu a energia, ou a perturbação em  $\lambda$  aumentou a penalidade por não se satisfazer a restrição (III.31).

Com relação à redução da temperatura, o plano de resfriamento adotado foi o exponencial, conforme mostrado no pseudocódigo acima. Nesse plano, a taxa de redução da temperatura é controlada através do parâmetro  $\alpha$ . No presente trabalho, o valor adotado foi  $\alpha = 0,9$ . Assim, a temperatura é lentamente reduzida até que o limite inferior — definido aqui como sendo  $T_f = 10^{-5} \cdot T_O$  — seja alcançado. Nesse ponto, a busca é encerrada.

O algoritmo de busca apresentado nesta seção foi aplicado a diversos exemplos de matrizes de capacitores a fim de verificar o seu desempenho. Os resultados são apresentados a seguir.

### III.3 - RESULTADOS OBTIDOS

O objetivo desta seção é verificar o desempenho do método proposto para otimizar o arranjo dos capacitores unitários em uma matriz. Primeiramente, o método será aplicado a exemplos puramente ilustrativos, através dos quais será possível avaliar a qualidade das soluções obtidas por uma simples inspeção visual das matrizes obtidas. Em seguida, o método é aplicado na elaboração do *layout* das matrizes de capacitores unitários dos filtros a capacitores chaveados apresentados no Capítulo II.

#### III.3.1 - EXEMPLOS ILUSTRATIVOS

No primeiro exemplo, temos quatro capacitores  $C_1$ ,  $C_2$ ,  $C_3$  e  $C_4$ , onde  $C_1$  é implementado por dezesseis capacitores unitários em paralelo,  $C_2$  por quatorze,  $C_3$  por quatro e  $C_4$  por apenas um. Esses capacitores unitários deverão ser arranjados

em uma matriz com cinco linhas e sete colunas. Executando-se 100 vezes o algoritmo proposto, obtivemos diferentes soluções com erro médio  $\mathcal{E}_M(L) = 0$  e com o mesmo valor da função custo  $f_c(L)$ . Duas dessas soluções são apresentadas na Fig. III.8.

1	1	2	2	2	1	1
1	1	2	3	2	2	1
1	2	3	4	3	2	1
1	2	2	3	2	1	1
1	1	2	2	2	1	1

(a)

1	1	1	2	2	1	1
1	2	2	3	2	2	1
1	2	3	4	3	2	1
1	2	2	3	2	2	1
1	1	2	2	1	1	1

(b)

Figura III.8: Duas das soluções obtidas pelo método proposto para o *layout* do primeiro exemplo.

É importante salientar que ambas as soluções mostradas na Fig. III.8 são ótimas, pois apresentam exatamente o mesmo valor para a função custo e são insensíveis a gradientes de processo. Também é interessante notar que ambas as soluções da Fig. III.8 apresentam seus capacitores unitários arranjados em geometria de centróide comum. Dessa forma, como não existe apenas um arranjo possível com centróide comum, é natural que o problema não tenha apenas um único mínimo global. Essa característica leva o algoritmo a encontrar diferentes soluções ótimas.

No segundo exemplo, temos uma matriz de capacitores unitários com sete linhas e nove colunas, implementando outros cinco capacitores  $C_1$ ,  $C_2$ ,  $C_3$ ,  $C_4$  e  $C_5$ , onde  $C_1$  é formado por trinta e dois capacitores unitários em paralelo,  $C_2$  por dez,  $C_3$  por doze,  $C_4$  por oito e  $C_5$  por apenas um. Trata-se de uma matriz significativamente maior que a do exemplo anterior. Neste caso, o número elevado de capacitores unitários complica a busca por um arranjo em centróide comum através de uma simples inspeção visual.

Aplicando-se o algoritmo de otimização a esse exemplo, obtemos novamente diferentes soluções insensíveis a gradientes de processo e com o mesmo valor da função custo. Duas dessas soluções são mostradas na Fig. III.9. Nota-se, mais uma vez, que ambas as soluções apresentam seus capacitores unitários dispostos em geometria de centróide comum.

Em ambos os exemplos apresentados até aqui, nota-se que a minimização do momento de inércia definido em (III.36) fez com que os capacitores unitários que aparecem em maior número fossem posicionados nas bordas das matrizes, enquanto os capacitores unitários que aparecem em menor número estão posicionados mais próximos do centro, como era desejado.

Ao contrário dos dois primeiros, no terceiro exemplo não será possível obter um

1	1	1	1	3	3	1	1	1
1	1	3	2	2	3	3	1	1
1	1	2	4	4	4	2	1	1
1	3	2	4	5	4	2	3	1
1	1	2	4	4	4	2	1	1
1	1	3	3	2	2	3	1	1
1	1	1	3	3	1	1	1	1

(a)

1	1	1	1	3	1	1	1	1
1	1	3	3	2	2	3	1	1
1	1	2	4	4	4	2	3	1
1	3	2	4	5	4	2	3	1
1	3	2	4	4	4	2	1	1
1	1	3	2	2	3	3	1	1
1	1	1	1	3	1	1	1	1

(b)

Figura III.9: Duas das soluções obtidas pelo método proposto para o *layout* do segundo exemplo.

arranjo com centróide comum. Para isso, empregaremos outros quatro capacitores  $C_1$ ,  $C_2$ ,  $C_3$  e  $C_4$ , onde  $C_1$  é implementado por dezessete capacitores unitários em paralelo,  $C_2$  por treze,  $C_3$  por três e  $C_4$  por dois. Esses números são iguais aos do exemplo da Fig. III.4. Conforme já mostrado naquela ocasião, apesar de cada capacitor ser formado por um número primo de capacitores unitários, é perfeitamente possível encontrar arranjos insensíveis a gradientes de processo para este problema.

Utilizando o método proposto, também são obtidas diferentes soluções insensíveis a gradientes de processo, e que apresentam o mesmo valor para a função custo. Duas dessas soluções são apresentadas na Fig. III.10, onde se pode notar que a minimização do “momento de inércia” fez com que os arranjos obtidos pelo algoritmo apresentassem uma razoável simetria com relação ao centro da matriz, embora os capacitores unitários não estejam dispostos com centróide comum. Esse grau de simetria, por outro lado, não ocorre nos exemplos anteriores das Fig. III.4 e III.5.

1	1	2	1	2	1	1
1	2	2	4	2	2	1
1	2	3	3	3	2	1
1	1	2	4	2	1	1
1	1	2	2	2	1	1

(a)

1	1	2	1	2	1	1
1	2	2	3	2	2	1
1	2	4	3	4	2	1
1	1	2	3	2	1	1
1	1	2	2	2	1	1

(b)

Figura III.10: Duas das soluções obtidas pelo método proposto para o *layout* do terceiro exemplo.

Finalmente, considere um quarto exemplo em que temos sete capacitores  $C_1$ ,  $C_2$ ,

$C_3$ ,  $C_4$ ,  $C_5$ ,  $C_6$  e  $C_7$ , onde  $C_1$  é implementado por dezesseis capacitores unitários em paralelo,  $C_2$  por doze,  $C_3$  por quatro e  $C_4$ ,  $C_5$ ,  $C_6$  e  $C_7$  são implementados por um capacitor unitário cada. Nesse caso, infelizmente, não é possível obter um arranjo insensível a gradientes de processo, por causa da quantidade de capacitores implementados por apenas um capacitor unitário.

Aplicando-se o método proposto a esse quarto exemplo, novamente obtemos diferentes soluções com o mesmo erro médio  $\mathcal{E}_M(L) \neq 0$  e com o mesmo valor da função custo  $f_c(L)$ . Duas dessas soluções são apresentadas na Fig. III.11. Nesses resultados, são verificadas duas características interessantes: os capacitores unitários que aparecem sozinhos — ou seja, os capacitores unitários de  $C_4$ ,  $C_5$ ,  $C_6$  e  $C_7$  — ficaram concentrados no centro da matriz, e os demais capacitores unitários foram arranjados com centróide comum nas posições restantes. A primeira característica é consequência direta da minimização do “momento de inércia” (III.36), fazendo com que os capacitores unitários que aparecem em menor número fiquem juntos no centro. De acordo com a regra de Pelgrom (III.22), isso melhora o casamento de  $C_4$ ,  $C_5$ ,  $C_6$  e  $C_7$ . Já a segunda característica é uma consequência direta da minimização do erro médio  $\mathcal{E}_M(L)$ .

1	1	2	2	1	1
1	2	3	2	2	1
1	3	4	7	2	1
1	2	6	5	3	1
1	2	2	3	2	1
1	1	2	2	1	1

(a)

1	1	2	1	1	1
1	2	2	2	2	1
2	3	4	7	3	1
1	3	6	5	3	2
1	2	2	2	2	1
1	1	1	2	1	1

(b)

Figura III.11: Duas das soluções obtidas pelo método proposto para o *layout* do quarto exemplo.

Para cada um dos exemplos acima, o algoritmo de otimização foi executado 100 vezes, com diferentes condições iniciais, geradas aleatoriamente. Na Tabela III.1, é apresentado um perfil estatístico dos resultados obtidos nas 100 execuções do algoritmo para cada um dos quatro exemplos. Para cada exemplo, é apresentado o menor valor encontrado para o erro médio  $\mathcal{E}_M(L)$  e para a função custo  $f_c(L)$  nas 100 buscas realizadas. Além disso, são apresentadas as médias e os desvios padrão dos valores obtidos para esses parâmetros. De acordo com essa tabela, verifica-se que o algoritmo foi capaz de encontrar a solução ótima na maioria das vezes em que foi executado. Além disso, as médias e os desvios padrão de  $\mathcal{E}_M(L)$  e  $f_c(L)$  mostram que, mesmo quando a solução ótima não é encontrada, o algoritmo obtém

uma solução que está bastante próxima da ótima.

Tabela III.1: Avaliação da Performance do algoritmo de otimização nos exemplos ilustrativos.

EXEMPLOS	$\mathcal{E}_M(L)$		
	MÍNIMO	MÉDIA	$\sigma$
1	0,0000000	0,0000000	0,0000
2	0,0000000	5,04882e-7	2,5144e-6
3	0,0000000	3,41327e-5	9,6196e-5
4	0,0010667	0,00106683	1,6168e-6
EXEMPLOS	$f_c(L)$		
	MÍNIMO	MÉDIA	$\sigma$
1	0,0683673	0,0684022	8,8448e-5
2	0,0452257	0,0453646	1,8723e-4
3	0,0699490	0,0698597	2,3575e-4
4	0,0857143	0,0857143	1,3035e-16

De acordo com a Tabela III.1, nos exemplos 2 e 3, o algoritmo encontrou algumas poucas soluções em que a restrição  $\mathcal{E}_M(L) = 0$  não é satisfeita. Nesses dois exemplos, o valor mínimo da função custo  $f_c(L)$  registrado na tabela foi o menor valor obtido quando a restrição é satisfeita — isto é, o menor valor de  $f_c(L)$  obtido para soluções viáveis. Por essa razão, como os valores de  $f_c(L)$  nos casos em que a restrição não é satisfeita foram, em sua maioria, menores que o valor mínimo viável, o valor médio de  $f_c(L)$  no exemplo 3 foi menor que o mínimo.

Os resultados obtidos para os exemplos ilustrativos desta seção mostram que o método proposto foi capaz de produzir *layouts* ótimos para as matrizes de capacitores unitários. Tais resultados concordam adequadamente com a intuição, pois os exemplos foram escolhidos estrategicamente para tornar possível a verificação visual da simetria dos arranjos. Nas próximas duas seções, o algoritmo será aplicado a exemplos menos intuitivos, e que fazem parte dos projetos dos filtros a capacitores chaveados apresentados no Capítulo II.

### III.3.2 - LAYOUT DO FILTRO LADDER

No Capítulo II, foi apresentado o projeto do filtro passa-faixa a capacitores chaveados, obtido através da simulação de uma rede ladder passiva. O método de aproximação das razões de capacitores foi aplicado a esse filtro, produzindo as razões aproximadas listadas na Tabela II.4. Os numeradores e denominadores inteiros das razões aproximadas representam o número de capacitores unitários que devem ser associados em paralelo para implementar cada capacitor do filtro. Dessa forma, o próximo passo do projeto consiste em arranjar os capacitores unitários no *layout*, empregando o método proposto neste capítulo.

De acordo com as equações de estado (II.39)-(II.44), empregadas na síntese do

filtro *ladder*, os capacitores identificados pela mesma letra devem estar muito bem casados, pois estes implementam as razões de capacitâncias que aparecem como coeficientes das equações. Além disso, as equações de estado não possuem razões de capacitâncias onde numerador e denominador são identificados por letras diferentes — portanto, tais capacitores não necessitam estar muito bem casados. Com base nessas observações, conclui-se que o *layout* do filtro será formado por uma matriz de capacitores unitários para cada grupo de capacitores identificados pela mesma letra. Assim, capacitores pertencentes a equações de estado diferentes serão arranjados em matrizes diferentes. Portanto, de acordo com a Tabela II.4, teremos seis matrizes de capacitores unitários no *layout* do filtro *ladder*, e o número de capacitores unitários associados a cada capacitor é dado por:

$$\begin{aligned}
 \text{Matriz A} &\rightarrow [A = 7; A_1 = 1; A_2 = 1; A_3 = 4; A_4 = 6], \\
 \text{Matriz B} &\rightarrow [B = 20; B_1 = 5; B_2 = 1], \\
 \text{Matriz D} &\rightarrow [D = 12; D_1 = 8; D_2 = 1; D_3 = 5], \\
 \text{Matriz E} &\rightarrow [E = 16; E_1 = 12; E_2 = 1; E_3 = 6], \\
 \text{Matriz F} &\rightarrow [F = 7; F_1 = 3; F_2 = 10; F_3 = 3], \\
 \text{Matriz G} &\rightarrow [G = 2; G_1 = 1; G_2 = 1].
 \end{aligned}
 \tag{III.41}$$

Uma vez que no circuito do filtro a capacitores chaveados apresentado na Fig. II.7, o capacitor  $A_1$  aparece duas vezes, a matriz A deve ser construída com dois capacitores  $A_1$ , totalizando vinte capacitores unitários para implementar  $A, A_1, A_2, A_3$  e  $A_4$ .

Neste trabalho, será considerado o caso em que o filtro a capacitores chaveados é implementado usando uma estrutura diferencial. Esse tipo de estrutura tem como principais vantagens a redução de ruído de modo comum, atenuação do efeito de injeção de carga produzido pelas chaves analógicas e a eliminação de componentes harmônicos de ordem par [1]. A desvantagem dessa abordagem é o fato de o circuito ser implementado com o dobro de capacitores — isto é, um conjunto de capacitores para os ramos positivos e outro idêntico para os ramos negativos. Dessa forma, a matriz A terá um total de 40 capacitores unitários, as matrizes B e D terão 52 cada uma, a matriz E terá 70, a matriz F terá 46 e a matriz G terá 8.

Antes de aplicar o método para a otimização do posicionamento dos capacitores unitários, deve-se definir o número de linhas e colunas de cada matriz. Isso é definido a partir do *floorplanning* do *layout*, apresentado na Fig. III.12. Nessa figura, cada bloco representa uma das matrizes de capacitores unitários listadas em (III.41). A matriz identificada como S/H contém os capacitores do circuito de amostragem (*sample and hold*) na entrada do filtro, presente no circuito da Fig. II.7. As chaves analógicas serão posicionadas ao longo da fronteira do *layout* para evitar cruzamentos entre as trilhas de metal carregando os sinais de chaveamento

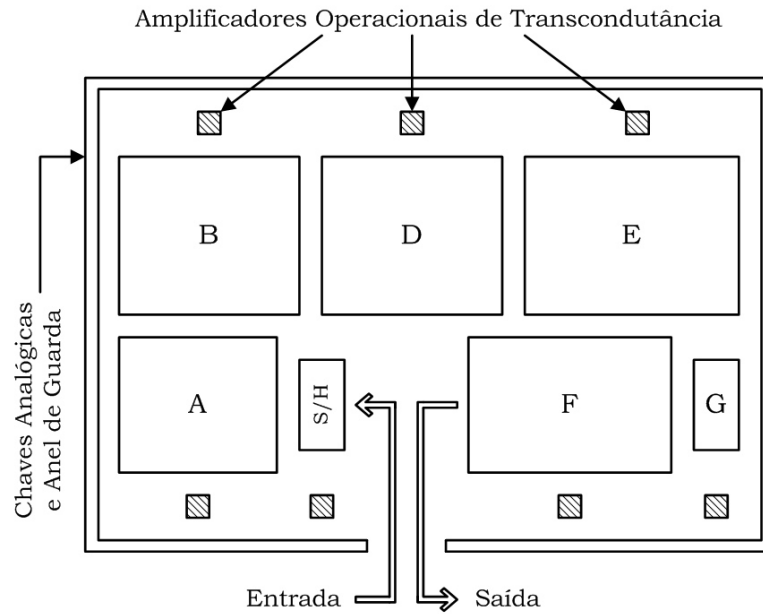


Figura III.12: Floorplanning do filtro ladder a capacitores chaveados, mostrando o posicionamento de cada uma das matrizes de capacitores unitários.

e aquelas que carregam os sinais analógicos processados pelo filtro. Assim, evita-se que os acoplamentos capacitivos devidos a tais cruzamentos contaminem os sinais analógicos com os sinais de chaveamento. A inclusão de um anel de guarda na fronteira do filtro tem como objetivo a blindagem do substrato contra ruído proveniente de outras partes do circuito integrado. Finalmente, deve ser mencionado que o posicionamento das matrizes no *floorplanning* foi escolhido de forma a aproximar matrizes de capacitores que apresentam o maior número de interconexões entre si.

De acordo com a Fig. III.12, para que as matrizes de capacitores unitários possam ser encaixadas perfeitamente lado a lado no *layout*, as matrizes B, D e E devem ter o mesmo número de linhas, assim como as matrizes A e F. A matriz G, no entanto, terá um número de linhas menor que A e F devido ao fato de apresentar um número bastante reduzido de capacitores unitários em comparação com essas duas últimas. Na Tabela III.2 são listados os números de linhas e colunas das matrizes de capacitores unitários. Em algumas das matrizes, o número total de posições permitidas pelo número de linhas e colunas excedeu o número total de

Tabela III.2: Dimensões das matrizes de capacitores unitários do filtro SC *ladder*.

MATRIZ	LINHAS	COLUNAS	DUMMIES
A	6	7	2
B	7	8	4
D	7	8	4
E	7	10	0
F	6	8	2
G	4	2	0



capacitores unitários da matriz. Nesses casos, capacitores *dummy* foram incluídos para completar as matrizes. Na Tabela III.2, também é indicado o número de capacitores *dummy* adicionados a cada matriz.

Aplicando o método proposto ao *layout* da matriz A, obtemos diferentes soluções com os mesmos valores numéricos para o erro médio  $\mathcal{E}_M(L)$  e para a função custo  $f_c(L)$ . Entre as soluções obtidas, duas são apresentadas na Fig. III.13. Em ambas as figuras, os capacitores unitários são identificados pelo símbolo do capacitor do filtro ao qual cada um deles pertence, assim como nos exemplos apresentados anteriormente. Os capacitores *dummy*, por sua vez, estão identificados na matriz através do número zero. Como o filtro será implementado com uma estrutura diferencial, os capacitores dos ramos positivos estão representados em branco, e os capacitores dos ramos negativos estão representados em cinza. Nenhuma das soluções obtidas apresentou insensibilidade ao gradiente linear de variação de capacitâncias. Entretanto, as soluções exibem arranjos dos capacitores unitários que minimizam o erro médio  $\mathcal{E}_M(L)$ . Apesar de não ser possível obter um arranjo com centróide comum para todos os grupos de capacitores unitários nessa matriz, os capacitores unitários pertencentes a  $A_3$  e  $A_4$  estão dispostos com centróide comum em ambas as soluções apresentadas na Fig. III.13. Qualquer uma das duas soluções encontradas poderia ser perfeitamente adotada para o *layout* da matriz A na implementação do filtro.

O	A	A <sub>4</sub>	A <sub>4</sub>	A	A	A
A	A <sub>4</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>4</sub>	A
A	A <sub>3</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>4</sub>	A <sub>4</sub>
A <sub>4</sub>	A <sub>4</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>3</sub>	A
A	A <sub>4</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>4</sub>	A
A	A	A	A <sub>4</sub>	A <sub>4</sub>	A	O

(a)

A	A	A	A <sub>4</sub>	A <sub>4</sub>	A	O
A	A <sub>4</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>4</sub>	A
A <sub>4</sub>	A <sub>3</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>4</sub>	A
A	A <sub>4</sub>	A <sub>1</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>3</sub>	A <sub>4</sub>
A	A <sub>4</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>3</sub>	A <sub>4</sub>	A
O	A	A <sub>4</sub>	A <sub>4</sub>	A	A	A

(b)

Figura III.13: Duas soluções obtidas pelo método proposto para o *layout* da matriz A.

Com a matriz B, a situação não foi muito diferente. Foram obtidas diversas soluções com os mesmos valores numéricos para o erro médio e para a função custo. Duas das soluções obtidas são apresentadas na Fig. III.14. Novamente, ambas as soluções não apresentam insensibilidade ao gradiente linear de variação de capacitâncias, mas apresentam o arranjo que minimiza o erro médio devido a esse gradiente. Embora qualquer uma das duas soluções da Fig. III.14 pudesse ser escolhida para a implementação do *layout* da matriz B, a da Fig. III.14(a) é claramente a que apresenta o arranjo mais organizado e mais simples de ser roteado.

0	B	B	B	B	B	B	0
B	B	B	B	B	B	B	B
B	B	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B	B
B	B	B <sub>1</sub>	B <sub>2</sub>	B <sub>2</sub>	B <sub>1</sub>	B	B
B	B	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B	B
B	B	B	B	B	B	B	B
0	B	B	B	B	B	B	0

(a)

0	B	B	B	B	B	B	0
B	B	B	B	B	B	B	B
B	B	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B	B
B	B	B <sub>1</sub>	B <sub>2</sub>	B <sub>2</sub>	B <sub>1</sub>	B	B
B	B	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B <sub>1</sub>	B	B
B	B	B	B	B	B	B	B
0	B	B	B	B	B	B	0

(b)

Figura III.14: Duas soluções obtidas pelo método proposto para o *layout* da matriz B.

Na Fig. III.15 são apresentadas duas das diversas soluções obtidas para o *layout* da matriz D. Ambas produzem o mesmo valor para o erro médio e para a função custo. Apesar de também não serem soluções insensíveis a gradientes lineares de variação de capacitâncias, ambas apresentam arranjos que minimizam o erro médio  $\mathcal{E}_M(L)$  devido a esse gradiente.

0	D	D	D	D	D	D	0
D	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D
D	D <sub>1</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>1</sub>	D
D	D	D <sub>3</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>3</sub>	D	D
D	D <sub>1</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>1</sub>	D
D	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D
0	D	D	D	D	D	D	0

(a)

0	D	D	D	D <sub>1</sub>	D	D	0
D	D	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D	D
D	D <sub>1</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>1</sub>	D
D	D <sub>1</sub>	D <sub>3</sub>	D <sub>2</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>1</sub>	D
D	D <sub>1</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>3</sub>	D <sub>1</sub>	D
D	D	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D <sub>1</sub>	D	D
0	D	D	D <sub>1</sub>	D	D	D	0

(b)

Figura III.15: Duas soluções obtidas pelo método proposto para o *layout* da matriz D.

Na Fig. III.16, por sua vez, são apresentadas duas das soluções obtidas para o *layout* da matriz E. Apesar de também não serem insensíveis a gradientes lineares de variação de capacitâncias, ambas apresentam arranjos que minimizam o erro médio  $\mathcal{E}_M(L)$  devido a esse gradiente.

Para a matriz F, dois dos resultados obtidos através do método proposto são apresentados na Fig. III.17. Ambas as soluções apresentam o mesmo valor para o erro médio  $\mathcal{E}_M(L)$  e para a função custo  $f_c(L)$ , e qualquer uma das duas poderia ser escolhida para a implementação do *layout* da matriz F.

Finalmente, na Fig. III.18, são apresentadas duas das soluções obtidas para o

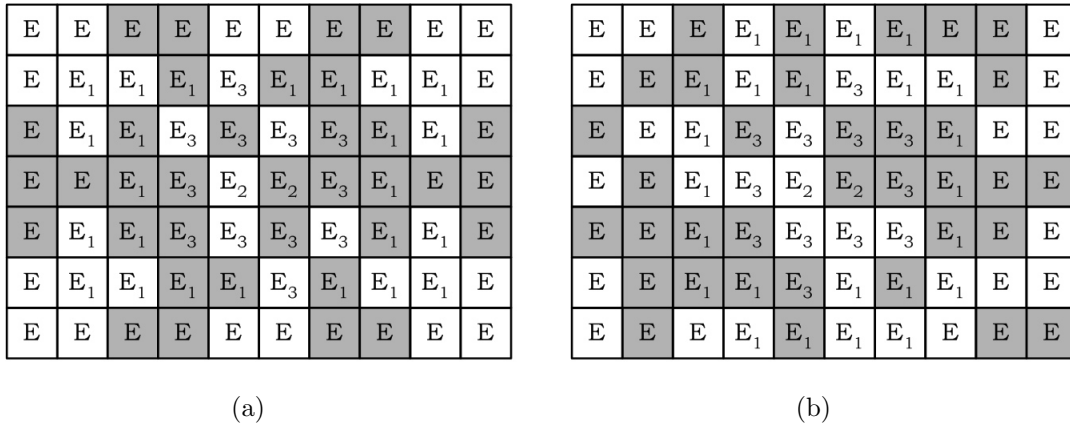


Figura III.16: Duas soluções obtidas pelo método proposto para o *layout* da matriz E.

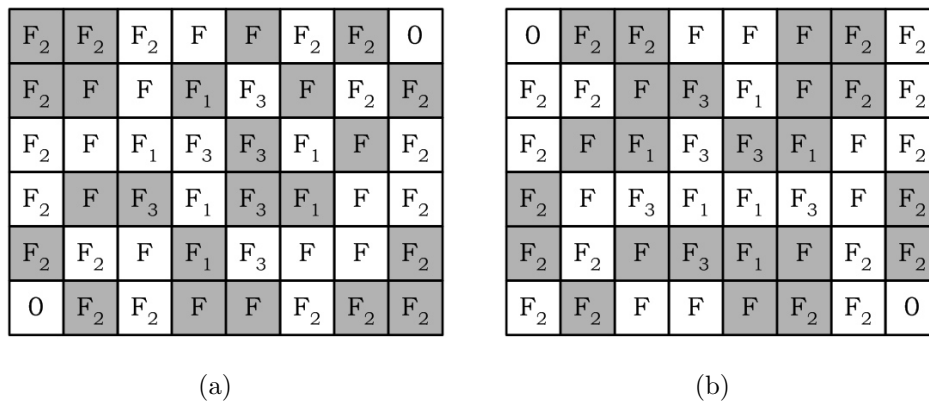


Figura III.17: Duas soluções obtidas pelo método proposto para o *layout* da matriz F.

*layout* da matriz G. Como essa matriz possui poucos capacitores unitários, as diferenças entre as soluções obtidas são apenas sutis, ao contrário das matrizes anteriores. Qualquer uma das soluções poderia ser escolhida para a implementação do filtro.

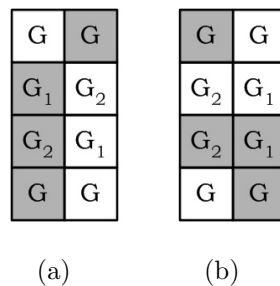


Figura III.18: Duas soluções obtidas pelo método proposto para o *layout* da matriz G.

O algoritmo de otimização foi executado 100 vezes para cada uma das matrizes do filtro. A exemplo da Tabela III.1, apresentada na subseção anterior, a Tabela III.3 lista um conjunto de dados estatísticos, obtidos a partir dos resultados encontrados para cada matriz. Novamente, tais resultados mostram que o algoritmo convergiu

adequadamente para as soluções ótimas em termos de  $\mathcal{E}_M(L)$  e  $f_c(L)$ . Nos problemas apresentados até aqui, a solução ótima para o problema do arranjo dos capacitores unitários em uma matriz não é única. Dessa forma, diferentes soluções foram encontradas pelo algoritmo para os mesmos valores de  $\mathcal{E}_M(L)$  e  $f_c(L)$ , conforme mostrado anteriormente.

Tabela III.3: Performance do algoritmo de otimização nas matrizes de capacitores do filtro SC *ladder*.

MATRIZES	$\mathcal{E}_M(L)$		
	MÍNIMO	MÉDIA	$\sigma$
A	0,001527810	0,001539920	1,5096e-5
B	0,000285322	0,000285322	3,7531e-19
D	0,000203802	0,000205811	6,5762e-6
E	0,000169866	0,000171843	2,8288e-6
F	0,000136154	0,000137550	1,1118e-5
G	0,001663170	0,001663170	1,9197e-16
MATRIZES	$f_c(L)$		
	MÍNIMO	MÉDIA	$\sigma$
A	0,1598230	0,1603410	3,2369e-4
B	0,0492278	0,0492799	1,6574e-4
D	0,0838160	0,0840417	3,0682e-4
E	0,0716229	0,0718426	1,8278e-4
F	0,1131680	0,1131960	1,4145e-4
G	0,5833333	0,5833333	7,7716e-16

### III.3.3 - LAYOUT DO FILTRO CASCATA DE BIQUADS

O filtro passa-baixa de quarta ordem projetado na Seção II.1 é formado por duas seções biquadráticas e, conseqüentemente, os capacitores de uma não interferem na outra. Portanto, não há necessidade de que os capacitores de um *biquad* estejam bem casados com os do outro. Além disso, de acordo com a função de transferência dos *biquads* (II.46), há dois grupos distintos de razões de capacitâncias: um grupo possui o capacitor  $B$  no denominador, enquanto o outro apresenta o capacitor  $D$  como denominador; sendo que os capacitores que formam os numeradores de um grupo são diferentes dos numeradores do outro grupo. Dessa forma, não há necessidade de casar os capacitores de um grupo com os de outro.

Portanto, de acordo com a discussão acima, o *layout* do filtro cascata de *biquads* será formado, ao todo, por quatro matrizes de capacitores unitários. Cada um dos dois *biquads* terá duas matrizes cada, onde os capacitores pertencentes ao grupo de razões com o denominador  $B$  estarão em uma das matrizes, e os do grupo com o denominador  $D$  na outra. Então, de acordo com os resultados apresentados na Tabela II.5, os números de capacitores unitários pertencentes a cada matriz são

dados por:

$$\begin{aligned}
 \text{Matriz } B_1 &\rightarrow [A = 4; B = 28; I = 1], \\
 \text{Matriz } D_1 &\rightarrow [C = 1; D = 4; E = 7; G = 1], \\
 \text{Matriz } B_2 &\rightarrow [A = 2; B = 7; I = 2], \\
 \text{Matriz } D_2 &\rightarrow [C = 5; D = 14; E = 4; G = 5],
 \end{aligned}
 \tag{III.42}$$

onde  $B_1$  e  $D_1$  se referem, respectivamente, aos grupos de capacitores com denominadores  $B$  e  $D$  da primeira seção biquadrática e, analogamente,  $B_2$  e  $D_2$  se referem aos mesmos grupos da segunda seção biquadrática. Para tornar este exemplo de aplicação diferente do filtro anterior, será considerada uma implementação simplesmente terminada — ou seja, não será empregada uma estrutura diferencial. Assim, os capacitores listados acima não aparecerão duplicados nas matrizes.

Assim como no *layout* do filtro *ladder*, o número de linhas e colunas das matrizes de capacitores unitários depende do *floorplanning* do *layout*, o qual é mostrado esquematicamente na Fig. III.19, seguindo o mesmo padrão do *floorplanning* adotado para o filtro *ladder*. Para que as matrizes possam se encaixar adequadamente no *layout* da Figura III.19, foram escolhidos os números de linhas e colunas apresentados na Tabela III.4.

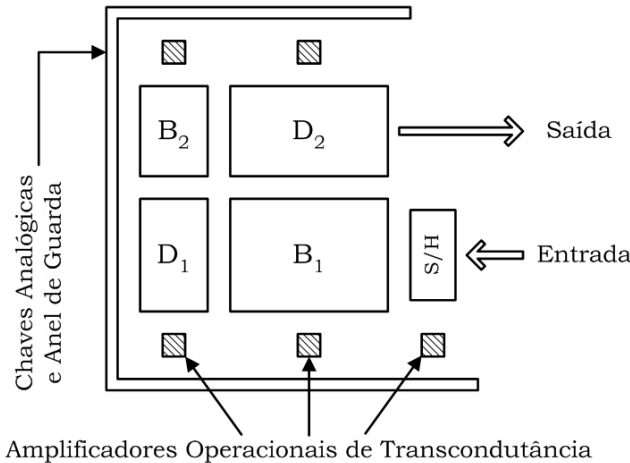


Figura III.19: Floorplanning do filtro cascata de *biquads*, mostrando o posicionamento de cada uma das matrizes de capacitores unitários.

Tabela III.4: Dimensões das matrizes de capacitores unitários do filtro cascata de *biquads*.

MATRIZ	LINHAS	COLUNAS	DUMMIES
$B_1$	5	7	2
$D_1$	5	3	2
$B_2$	4	3	1
$D_2$	4	7	0

Aplicando-se o método proposto neste trabalho à matriz de capacitores  $B_1$ , também são obtidas diversas soluções com o mesmo valor numérico para o erro médio  $\mathcal{E}_M(L)$  e para a função custo  $f_c(L)$ . Entretanto, ao contrário das soluções obtidas para o filtro *ladder*, as soluções ótimas obtidas para a matriz  $B_1$  são insensíveis a gradientes lineares de variação das capacitâncias. Duas das soluções encontradas pelo algoritmo são apresentadas na Fig. III.20, onde se verifica que ambos apresentam centróide comum. Qualquer uma das duas soluções poderia ser escolhida para a implementação do filtro.

B	B	B	B	B	B	0
B	B	B	A	B	B	B
B	B	A	I	A	B	B
B	B	B	A	B	B	B
0	B	B	B	B	B	B

(a)

0	B	B	B	B	B	B
B	B	B	A	B	B	B
B	B	A	I	A	B	B
B	B	B	A	B	B	B
B	B	B	B	B	B	0

(b)

Figura III.20: Duas soluções obtidas pelo método proposto para o *layout* da matriz  $B_1$ .

Para a matriz  $D_1$ , foram também encontradas diversas soluções possíveis, onde duas delas são apresentadas na Fig. III.21. Apesar de ambas as soluções apresentarem os mesmos valores mínimos para o erro médio  $\mathcal{E}_M(L)$ , as soluções ótimas não são insensíveis a gradientes lineares de variação de capacitâncias.

0	E	0
E	E	E
D	G	D
D	C	D
E	E	E

(a)

0	E	0
E	E	E
D	C	D
D	G	D
E	E	E

(b)

Figura III.21: Duas soluções obtidas pelo método proposto para o *layout* da matriz  $D_1$ .

Para a matriz  $B_2$ , foram também encontradas diversas soluções possíveis, das quais duas são apresentadas na Fig. III.22. Ambas as soluções apresentam os mesmos valores mínimos para o erro médio  $\mathcal{E}_M(L)$ , mas as soluções ótimas não são insensíveis a gradientes lineares de variação de capacitâncias. É interessante notar que a simetria de ambas as soluções é bastante similar a um arranjo com centróide comum.

0	B	B
B	I	A
A	I	B
B	B	B

0	B	B
I	A	B
B	A	I
B	B	B

(a)
(b)

Figura III.22: Duas soluções obtidas pelo método proposto para o *layout* da matriz  $B_2$ .

Finalmente, duas das diversas soluções encontradas para a matriz  $D_2$  são apresentadas na Fig. III.23. Ambas as soluções apresentam os mesmos valores mínimos para o erro médio  $\mathcal{E}_M(L)$ , mas as soluções ótimas não são insensíveis a gradientes lineares de variação de capacitâncias.

D	D	C	G	C	D	D
D	G	E	E	G	D	D
D	D	C	E	E	G	D
D	D	G	C	C	D	D

D	D	G	C	G	D	D
D	C	G	E	E	D	D
D	D	E	E	C	C	D
D	D	C	G	G	D	D

(a)
(b)

Figura III.23: Duas soluções obtidas pelo método proposto para o *layout* da matriz  $D_2$ .

O algoritmo de otimização foi também executado 100 vezes para cada uma das matrizes do filtro. A exemplo da Tabela III.3, apresentada na subseção anterior, a Tabela III.5 apresenta um conjunto de dados estatísticos, obtidos a partir dos resultados encontrados para cada matriz. Novamente, tais resultados mostram que

Tabela III.5: Performance do algoritmo de otimização nas matrizes de capacitores do filtro SC implementado com biquads.

MATRIZES	$\mathcal{E}_M(L)$		
	MÍNIMO	MÉDIA	$\sigma$
$B_1$	1,88741e-32	2,81224e-32	9,4352e-33
$D_1$	0,000669388	0,001447050	9,6975e-4
$B_2$	0,000249494	0,000552908	6,4919e-4
$D_2$	2,52048e-5	2,52048e-5	4,0658e-20
MATRIZES	$f_c(L)$		
	MÍNIMO	MÉDIA	$\sigma$
$B_1$	0,0353741	0,0353741	3,4695e-17
$D_1$	0,1446430	0,1435890	0,00159409
$B_2$	0,1692550	0,1692550	1,5521e-16
$D_2$	0,1000000	0,1000000	1,9429e-16

o algoritmo convergiu adequadamente para as soluções ótimas em termos de  $\mathcal{E}_M(L)$  e  $f_c(L)$ . Todavia, no caso da matriz  $D_1$ , as soluções que apresentam os valores mínimos para o erro médio  $\mathcal{E}_M(L)$ , produzem valores para a função custo  $f_c(L)$  que são significativamente maiores que o valor mínimo que essa função pode assumir para a referida matriz. Portanto, nas 100 rodadas do algoritmo, seis soluções que não minimizam  $\mathcal{E}_M(L)$  — mas minimizam  $f_c(L)$  — foram encontradas. Na Tabela III.5, o valor mínimo de  $f_c(L)$  considerado é o menor valor obtido apenas para os casos em que o erro médio é minimizado. Por essa razão, a média dos valores de  $f_c(L)$  ficou menor que o valor mínimo.



---

---

## CAPÍTULO IV

---

# FILTRO GM-C ANTI-ALIASING

Nos capítulos anteriores, foi dada ênfase ao projeto de filtros a capacitores chaveados. Entretanto, tais filtros são sistemas discretos no tempo e, conseqüentemente, sujeitos ao fenômeno de *aliasing* [43]. O Teorema de Nyquist [43, 44] apresenta as condições que devem ser satisfeitas para evitar esse fenômeno. A primeira delas diz que um sinal contínuo, antes de ser amostrado, deve ter a banda de seu espectro de frequências limitada superiormente por uma frequência máxima  $f_{max}$ . Além disso, para que o sinal contínuo possa ser completamente caracterizado através de suas amostras discretas no tempo, a frequência  $f_s$  com que o sinal é amostrado deve ser obrigatoriamente maior que o dobro de  $f_{max}$ .

Dessa forma, antes de ser amostrado, um sinal contínuo no tempo precisa ser processado por um filtro passa-baixa, contínuo no tempo, a fim de que seu espectro de frequências seja limitado.

As principais técnicas para a implementação de filtros contínuos no tempo em circuitos integrados CMOS são MOSFET-C e Gm-C [3]. Os filtros MOSFET-C são construídos exatamente como os filtros RC-Ativos, onde os amplificadores operacionais e os capacitores são mantidos e os resistores são substituídos por MOSFET's (*Metal Oxide Semiconductor Transistors*) operando na região de triodo. Essa técnica tem duas grandes desvantagens: amplificadores operacionais com impedância de saída suficientemente baixa não são facilmente conseguidos em tecnologias CMOS; e a utilização de componentes não lineares como MOSFET's no lugar de resistores aumenta a distorção produzida pelo filtro, reduzindo sua faixa dinâmica [2].

Filtros Gm-C, por outro lado, são constituídos por OTA's (*Operational Transconductance Amplifiers*) e capacitores. Ao contrário de amplificadores operacionais, OTA's necessitam de impedâncias de saída elevadas, o que é relativamente simples de ser obtido em tecnologias CMOS. Além disso, existem na literatura diversos trabalhos sobre a linearização da transcondutância de OTA's, fazendo com que filtros

Gm-C produzam pouca distorção.

Neste trabalho, um filtro Gm-C será projetado para operar como filtro *anti-aliasing* do filtro passa-faixa a capacitores chaveados desenvolvido no Capítulo II. Esse filtro a capacitores chaveados possui uma banda passante entre 10 e 30 kHz, com frequência de amostragem de  $f_s = 200$  kHz. Conseqüentemente, o filtro passa-baixa *anti-aliasing* deve ter sua banda passante se estendendo até 30 kHz, no mínimo, e banda de rejeição começando em  $f_s/2 = 100$  kHz, a fim de satisfazer o Teorema de Nyquist. Entretanto, filtros contínuos no tempo com pólos nessa faixa de frequência requerem capacitores muito grandes para uma implementação em circuito integrado.

Alternativamente, capacitores em torno de 1 pF podem ser empregados na implementação do filtro, caso os OTA's apresentem transcondutâncias da ordem de nA/V. Portanto, uma topologia de OTA é proposta neste trabalho com o objetivo de se atingir transcondutâncias na faixa de nA/V, com comportamento linear em uma ampla faixa da tensão diferencial de entrada. Essa topologia será, então, aplicada ao projeto do filtro *anti-aliasing* mencionado acima.

Na Seção IV.1 é apresentado o projeto preliminar do filtro Gm-C, a partir de uma rede ladder passiva. Nesse projeto preliminar, os OTA's serão considerados ideais, pois o circuito real é discutido somente na Seção IV.2. Finalmente, na Seção IV.3 serão apresentados os resultados obtidos por simulação para verificar a performance do OTA proposto e do filtro *anti-aliasing*.

## IV.1 - PROJETO PRELIMINAR DO FILTRO GM-C

O filtro passa-faixa a capacitores chaveados projetado no Capítulo II tem banda passante compreendida entre 10 e 30 kHz, e frequência de amostragem de 200 kHz. De acordo com o Teorema de Nyquist [43], a frequência mais elevada de um sinal contínuo no tempo que este filtro pode processar corretamente é de 100 kHz. Conseqüentemente, a banda rejeição do filtro *anti-aliasing* deve começar nessa frequência. A banda passante, por outro lado, não pode se estender até 100 kHz, pois tal filtro seria irrealizável. Como a banda passante do filtro a capacitores chaveados se

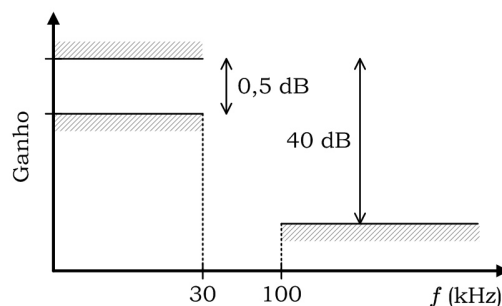


Figura IV.1: Especificações do filtro *anti-aliasing*.

estende até 30 kHz, essa é a maior frequência que a banda passante do filtro *anti-aliasing* deve conter. Dessa forma, a melhor escolha para o limite da banda passante do filtro *anti-aliasing* é 30 kHz, pois uma frequência maior que essa levaria a um filtro de ordem mais elevada desnecessariamente. Conseqüentemente, as especificações definidas para o filtro *anti-aliasing* são apresentadas na Fig. IV.1.

Tais especificações são satisfeitas por um filtro passa-baixa de terceira ordem, usando a aproximação de Chebyshev. Partindo da função de transferência do filtro, e utilizando métodos de síntese de redes passivas [98], obtém-se a rede *ladder* da Fig. IV.2, que será empregada como protótipo para a obtenção do filtro Gm-C. Os valores normalizados dos componentes da rede *ladder* são listados na Tabela IV.1<sup>1</sup>.

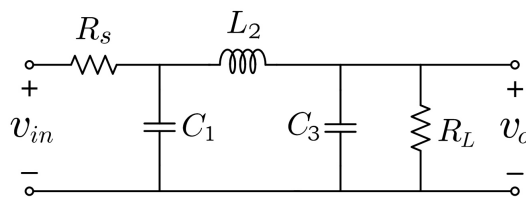


Figura IV.2: Protótipo *ladder* do filtro Gm-C *anti-aliasing*.

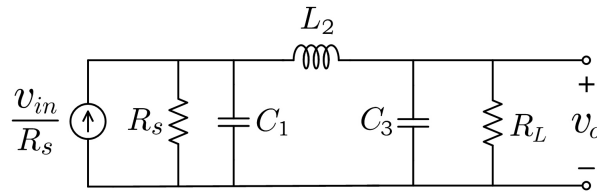


Figura IV.3: Rede *ladder* com entrada em fonte de corrente.

Tabela IV.1: Valores normalizados dos componentes da rede *ladder*.

COMPONENTE	VALOR
$R_S$	1,0000000000000000
$C_1$	$8,468528757236334 \cdot 10^{-6}$
$L_2$	$5,818130310788204 \cdot 10^{-6}$
$C_3$	$8,468528757236334 \cdot 10^{-6}$
$R_L$	1,0000000000000000

O primeiro passo para obter o filtro Gm-C a partir do protótipo em rede *ladder* é substituir o ramo de entrada, formado pela tensão  $v_{in}$  em série com o resistor  $R_S$ , pelo seu equivalente de Norton, conforme mostrado na Fig. IV.3. O próximo passo consiste em substituir os resistores e os indutores do protótipo por transcondutores e capacitores. A fonte de corrente na entrada, por exemplo, pode ser implementada

<sup>1</sup>Essa rede *ladder* foi sintetizada com o auxílio do programa ELETSIM, desenvolvido pelo prof. Antônio Carlos Moreirão de Queiroz (COPPE/UFRJ) e disponibilizado no endereço <http://www.coe.ufrj.br/~acmq>.

por um simples OTA, cuja transcondutância normalizada é dada por  $G_m = 1/R_S = 1$ . Dessa forma, aplicando-se a tensão  $v_{in}$  à entrada do OTA, a corrente aplicada à entrada do filtro será  $G_m \cdot v_{in} = v_{in}/R_S$ .

Como uma fonte de corrente controlada pela tensão sobre ela mesma funciona exatamente como um resistor, os resistores  $R_S$  e  $R_L$  podem ser implementados por OTA's cujas tensões de saída são aplicadas às respectivas entradas, conforme mostrado na Fig. IV.4. Como tem-se  $R_S = R_L$ , os OTA's empregados nessa tarefa terão transcondutâncias normalizadas  $G_m = 1/R_S = 1/R_L = 1$ , que, por sua vez, é o valor da transcondutância do OTA na entrada do filtro, conforme discutido no parágrafo anterior.

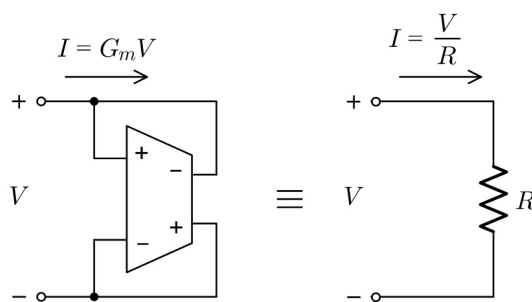


Figura IV.4: Implementação de um resistor a partir de um transcondutor.

Com relação ao indutor  $L_2$ , a técnica comumente adotada em filtros Gm-C consiste em utilizar giradores para fazer com que a impedância de um capacitor seja vista pelo restante da rede como uma impedância indutiva. Essa técnica é mostrada esquematicamente na Fig. IV.5, onde o girador é composto por dois transcondutores. A idéia é aplicar ao capacitor  $C$  uma corrente proporcional à tensão de entrada  $V_1$ . Assim, essa corrente produzirá uma queda de tensão  $V_2$  sobre o capacitor, que será empregada no controle da corrente drenada pelo ramo de entrada do circuito. Assim, a impedância vista dos terminais de entrada do circuito será proporcional ao inverso da impedância do capacitor. Isso significa que, de acordo com a Fig. IV.5, o circuito terá o comportamento de um indutor com indutância igual a  $C/G_m^2$ . Neste projeto, optou-se por empregar transcondutores normalizados com a mesma transcondutância que aqueles que implementam os resistores da rede *ladder*, ou seja,  $G_m = 1$ . Dessa forma, o indutor  $L_2$  será simulado por um capacitor  $C_2$  cuja capacitância

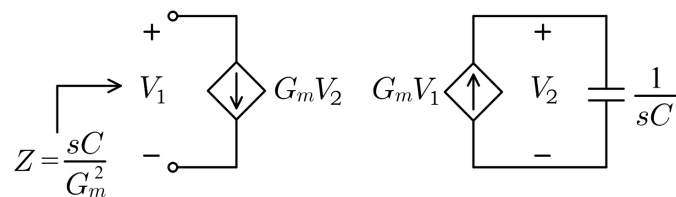


Figura IV.5: Simulação de um indutor através de um capacitor e girador.

normalizada é numericamente igual à indutância de  $L_2$  apresentada na Tabela IV.1. Assim, o filtro Gm-C será implementado com todos os transdutores iguais, o que facilita bastante a sintonia do filtro realizada através do ajuste da transcondutância dos OTA's.

Assim, aplicando-se à rede *ladder* da Fig. IV.3 as transformações discutidas acima, obtém-se o filtro Gm-C apresentado na Fig. IV.6, com topologia diferencial e com todos os OTA's iguais. Neste circuito, foram necessários dois giradores para fazer com que o capacitor  $C_2$  fosse visto por toda a rede como o indutor  $L_2$ .

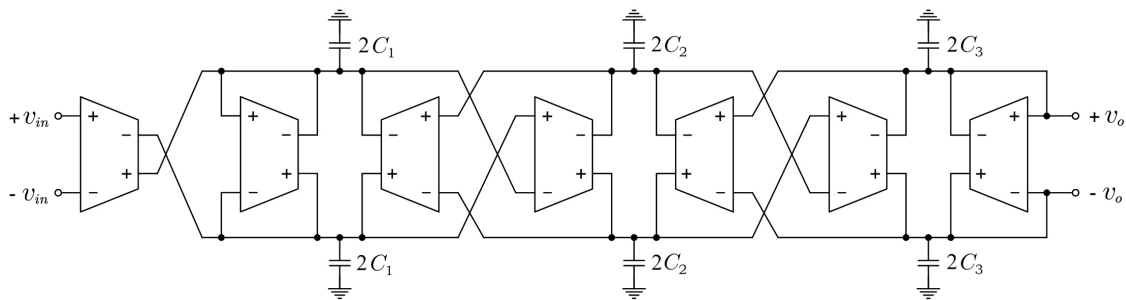


Figura IV.6: Filtro Gm-C com topologia diferencial.

No filtro Gm-C da Fig. IV.6, ao invés de apenas um capacitor suspenso entre os terminais diferenciais, optou-se por empregar dois capacitores com o dobro da capacitância, onde um dos nós está conectado ao nó de terra. A principal vantagem dessa configuração é a manutenção do equilíbrio entre os dois ramos diferenciais do filtro, pois os elementos parasitas associados à placa superior de um capacitor de silício policristalino é significativamente diferente dos parasitas associados à placa inferior. Dessa forma, apenas a placa superior é conectada aos ramos diferenciais do filtro, enquanto que a placa inferior — a que apresenta a maior capacitância parasita em relação ao substrato — fica sempre conectada ao nó de terra.

Finalmente, o último passo do projeto é definir o fator de escala de impedância para a transcondutância  $G_m$  dos OTA's e as capacitâncias  $C_1$ ,  $C_2$  e  $C_3$  apresentadas na Tabela IV.1. A escolha desse fator de escala deve ser feita de modo a não produzir capacitores inviáveis para uma implementação em circuito integrado e também não exigir demais do projeto dos OTA's.

Caso o fator de escala fosse escolhido de modo a fazer com que a transcondutância dos OTA's fosse  $G_m = 100 \mu\text{A}/\text{V}$ , por exemplo, as capacitâncias do filtro seriam  $C_1 = C_3 = 0,847 \text{ nF}$  e  $C_2 = 0,582 \text{ nF}$ , o que seria inviável para uma implementação integrada. Por outro lado, a escolha de um fator de escala que produza capacitores suficientemente pequenos levará a OTA's com baixíssima transcondutância. Um dos maiores problemas de se escolher um fator de escala muito pequeno é a especificação da impedância de saída do OTA. Isso acontece porque a impedância de saída dos OTA's em um filtro Gm-C deve ser muito maior que a impedância dos capacitores

do filtro na faixa de frequências de interesse. Com capacitores da ordem de 100 fF, operando a 10 kHz — menor frequência da banda passante do filtro a capacitores chaveados —, a impedância desses capacitores seria igual a  $Z_C = 1/(2\pi f C) = 169 \text{ M}\Omega$ , e a impedância de saída dos OTA's teria que ser bem maior que esse valor.

Também deve ser mencionado que os valores das capacitâncias do filtro são limitados inferiormente pelas capacitâncias dos próprios OTA's, pois estas últimas podem levar a erros na resposta em frequência do filtro.

Para este projeto, foi adotado um fator de escala de impedância igual a  $5 \text{ G}\Omega$ . Assim, os valores de transcondutância e das capacitâncias do filtro ficam conforme mostrado na Tabela IV.2, os quais são adequados para uma implementação em circuito integrado.

Tabela IV.2: Valores da transcondutância dos OTA's e das capacitâncias do filtro Gm-C.

COMPONENTE	VALOR
$G_m$	200 nA/V
$C_1$	1,69 pF
$L_2$	1,16 pF
$C_3$	1,69 pF

Na próxima seção, é apresentada a topologia proposta para atingir a especificação de  $G_m$  citada acima, com uma característica suficientemente linear em uma ampla faixa da tensão diferencial de entrada.

## IV.2 - AMPLIFICADOR OPERACIONAL DE TRANSCONDUTÂNCIA

Um dos objetivos do presente trabalho é propor uma topologia de OTA que apresente uma transcondutância ajustável na faixa de 200 nA/V, com uma impedância de saída suficientemente elevada em relação ao nível de impedância do filtro e que produza pouca distorção para uma ampla faixa da tensão diferencial de entrada.

Nesta seção, será apresentada, inicialmente, uma revisão bibliográfica dos principais trabalhos publicados na literatura com propostas de topologias de OTA com baixa distorção e baixas transcondutâncias. Então, a topologia proposta neste trabalho será apresentada e discutida.

### IV.2.1 - REVISÃO BIBLIOGRÁFICA

Entre as principais questões envolvidas no projeto de um amplificador operacional de transcondutância para filtros Gm-C está a linearidade da relação entre a corrente de saída e a tensão diferencial de entrada. Por essa razão, é necessário implementar os transdutores com um circuito suficientemente linear para a aplicação em questão. Por essa razão, pares diferenciais simples, como o da Fig. IV.7,

não são adequados para a implementação do circuito de entrada de OTA's de filtros Gm-C, em função da elevada distorção verificada na forma de onda de corrente na saída quando são aplicadas tensões diferenciais maiores que alguns milivolts.

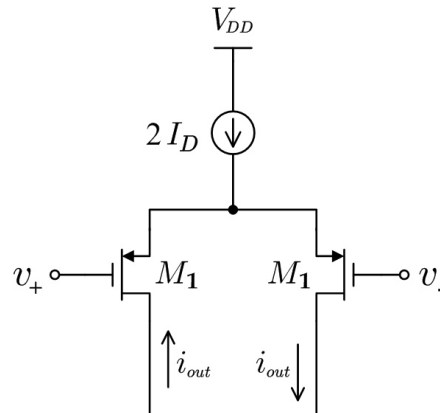


Figura IV.7: Par diferencial simples com MOSFET's de canal P.

Na literatura, há diversas técnicas publicadas para aumentar a faixa de operação linear de um par diferencial MOS [48, 107]. Entre elas, as mais comumente empregadas fazem uso de realimentação negativa. Em [51], por exemplo, uma parcela da corrente na saída do par diferencial de entrada é aplicada a um conversor corrente-tensão, que produz uma versão atenuada da tensão diferencial de entrada que, por sua vez, é comparada com a tensão na entrada.

Todavia, a técnica de realimentação negativa mais utilizada é, sem dúvida, a degeneração de fonte [49, 58, 64, 65, 74], onde as fontes de ambos os transistores do par diferencial são conectadas entre si através de um resistor, conforme mostrado na Fig. IV.8 — ou, alternativamente, através de um transistor MOS operando na região de triodo. Dessa forma, a corrente de saída do par diferencial produz uma versão atenuada da tensão diferencial de entrada ao passar através do resistor de degeneração. Como essa tensão aparece na mesma malha que as tensões  $v_{GS}$  de

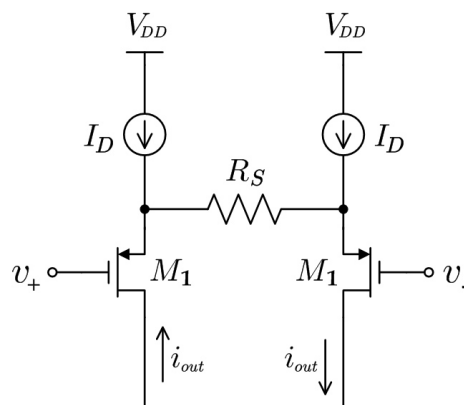


Figura IV.8: Par diferencial com degeneração de fonte.

ambos os transistores do par diferencial, a tensão que é efetivamente convertida em corrente pelo par é a diferença entre a tensão diferencial de entrada e a tensão no resistor, produzindo o efeito de realimentação negativa. Em [68], é proposta uma topologia que combina realimentação de corrente e degeneração de fonte para aprimorar a linearidade de um par diferencial.

Em circuitos bipolares, a técnica de degeneração de emissor produz um par diferencial com característica significativamente mais linear que a degeneração de fonte em tecnologias MOS. Isso acontece porque a tensão  $v_{BE}$  varia muito pouco durante a operação do par bipolar degenerado, fazendo com que a tensão diferencial de entrada seja quase integralmente aplicada ao resistor de degeneração. Assim, a corrente de saída — e, conseqüentemente a transcondutância — é praticamente determinada apenas pelo resistor, levando a um comportamento bastante linear. Por outro lado, em pares diferenciais MOS degenerados, a tensão  $v_{GS}$  varia significativamente durante a operação do par degenerado, distorcendo a forma de onda da corrente na saída. Por essa razão, em [59, 67, 71, 77] um amplificador operacional foi empregado em cada uma das entradas de um par diferencial MOS degenerado para resolver esse problema, conforme mostrado na Fig. IV.9. O elevado ganho do amplificador operacional faz com que a tensão da fonte acompanhe a tensão de entrada, fazendo com que esta seja integralmente aplicada ao resistor de degeneração, conforme acontece nos pares bipolares degenerados.

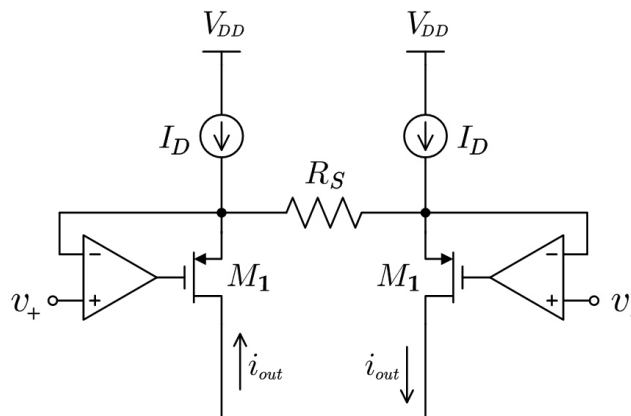


Figura IV.9: Par diferencial com degeneração de fonte e amplificadores operacionais para manter constantes as tensões de  $V_{GS}$  dos transistores.

Uma forma alternativa de se utilizar a degeneração de fonte para reduzir a distorção de pares diferenciais é apresentada na Fig. IV.10(a) [49]. Durante a operação deste par, os transistores  $M_1$  sempre estarão operando na região de saturação. Os transistores  $M_{2A}$  e  $M_{2B}$ , por outro lado, poderão trocar de região de operação durante a excursão do sinal diferencial de entrada, produzindo a curva de transcondutância apresentada esquematicamente na Fig. IV.10(b). Nessa figura, a região  $A$  corresponde à faixa de valores da tensão diferencial de entrada em que ambos  $M_{2A}$



e  $M_{2B}$  operam na região de triodo, como se fossem resistores de geração de fonte. Na região  $B$ , a tensão diferencial é negativa o suficiente para fazer com que  $M_{2A}$  passe a operar na região de saturação, com  $M_{2B}$  se mantendo em triodo. Já na região  $C$ , a tensão diferencial de entrada é positiva e elevada o suficiente para fazer com que  $M_{2B}$  passe a operar na região de saturação e  $M_{2A}$  opere na região de triodo. Assim, ajustando-se adequadamente as dimensões dos transistores, pode-se obter uma transcondutância quase constante para uma ampla faixa da tensão diferencial de entrada, conforme mostrado na Fig. IV.10(b).

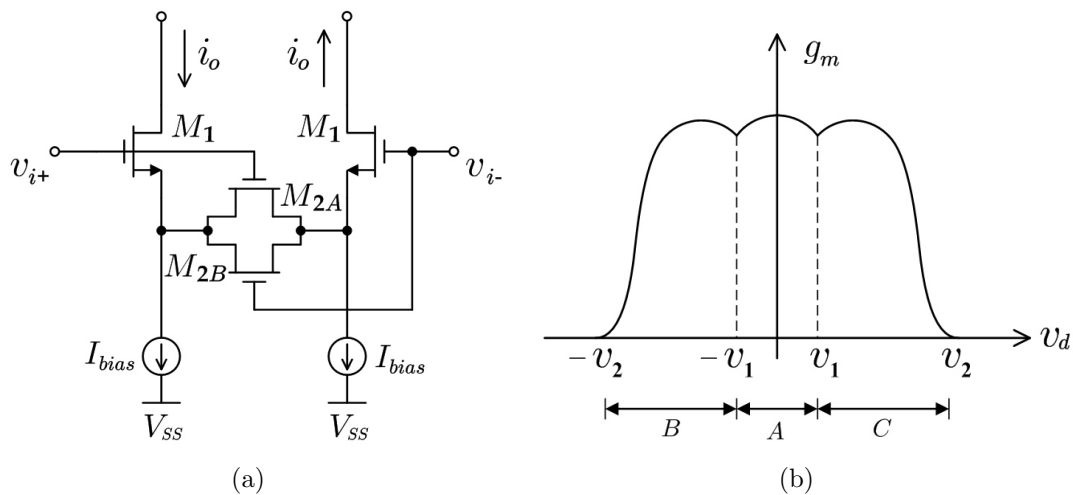


Figura IV.10: Par diferencial com degeneração de fonte alternativa (a) para manter a transcondutância razoavelmente constante em uma ampla faixa da tensão diferencial de entrada (b).

Em uma outra abordagem, adotada em [47, 56, 64, 75], ajusta-se a corrente de polarização do par diferencial de acordo com o sinal de entrada, tornando a conversão tensão-corrente realizada pelos transistores do par linear para uma ampla faixa da tensão diferencial de entrada. Essa abordagem é conhecida na literatura como *polarização adaptativa*.

Em [50, 52, 53, 57, 63, 69], foram propostas outras técnicas que empregam combinações de pares diferenciais, onde cada par é construído com transistores de dimensões diferentes. O objetivo é fazer com que um par cancele o efeito não linear do outro. Em [54], o circuito de entrada é composto por uma combinação de diferentes pares diferenciais, onde os terminais de dreno são conectados à saída de forma cruzada. Cada par diferencial da combinação é projetado para operar em uma faixa diferente da tensão de entrada, de modo que o conjunto opere de forma satisfatoriamente linear para uma ampla faixa da tensão diferencial de entrada. Tais abordagens dependem criticamente do casamento entre todos os transistores dos pares diferenciais que compõem o circuito de entrada. Em [55, 72, 78, 80], a técnica de cancelamento de não linearidades é combinada com a degeneração de fonte para

se obter transcondutores altamente lineares.

Uma outra idéia é o emprego de pares pseudo-diferenciais [79, 81] para se obter uma característica mais linear. Pares pseudo-diferenciais são comumente utilizados em abordagens onde os transistores do par operam na região de triodo [60, 66, 70, 73, 76]. A razão de se empregar transistores polarizados na região de triodo provém do modelo de primeira ordem do transistor MOS [45]:

$$I_D = k_n \frac{W}{L} \left[ (V_{GS} - V_{th}) V_{DS} - \frac{1}{2} V_{DS}^2 \right]. \quad (\text{IV.1})$$

Mantendo-se a tensão  $V_{DS}$  constante, a relação entre a corrente de dreno do transistor e a sua tensão  $V_{GS}$  fica bastante linear. A desvantagem dos pares pseudo-diferenciais é o reduzido valor da CMRR (*Common-mode Rejection Ratio*) obtida com essa topologia.

Além das abordagens citadas acima, existe ainda uma abordagem não convencional no projeto de transcondutores [61, 62], que consiste em aplicar a tensão de entrada diretamente a um resistor e espelhar a corrente resultante para a saída. Tal abordagem tem a desvantagem de produzir transcondutores com impedância de entrada mais baixa que as abordagens convencionais.

Na literatura, é comum os autores apontarem a redução da transcondutância como a principal desvantagem dos métodos de linearização baseados em realimentação negativa — como a degeneração de fonte, por exemplo. Entretanto, o objetivo deste trabalho é justamente obter uma topologia de OTA que apresente baixas transcondutâncias. Por essa razão, a necessidade de OTA's com baixa transcondutância possibilitará o desenvolvimento de um circuito bastante linear.

Além da linearidade, o projeto do filtro contínuo no tempo deste trabalho deve levar em consideração algumas questões relativas à faixa de frequências do projeto [82]. Uma dessas questões está relacionada com os elementos parasitas dos transistores que compõem os amplificadores. Como são necessárias baixas transcondutâncias, os transistores necessitam de canais bem longos. O emprego de transistores com grande área de canal é particularmente vantajosa para reduzir a potência de ruído *flicker* produzida pelo circuito [45] — tendo-se em vista que, em processos CMOS, a potência desse tipo de ruído é a dominante em frequências de até centenas de kilohertz [46]. Todavia, transistores com grandes áreas de canal apresentam elevadas capacitâncias entre porta e canal, além de outros efeitos capacitivos do transistor MOS.

Em projetos envolvendo baixas frequências, empregam-se, preferencialmente, transistores MOS de canal P na implementação dos pares diferenciais de entrada. Como a mobilidade dos buracos é cerca de três vezes menor que a mobilidade dos elétrons, transistores de canal P apresentam menores transcondutâncias que transi-

stores de canal N com as mesmas dimensões. Além disso, transistores de canal P produzem menos ruído *flicker* do que transistores de canal N [85].

Na literatura existem diversas abordagens para a implementação de OTA's com baixas transcondutâncias para aplicações em baixas frequências [96]. Uma delas consiste simplesmente em fazer uso da redução de transcondutância proporcionada pela realimentação negativa [97]. Também empregam-se transistores MOS operando na região de triodo para realizar a conversão tensão-corrente [95]. A vantagem desta última abordagem é a baixa relação  $g_m/I_D$  dos transistores polarizados na região de triodo.

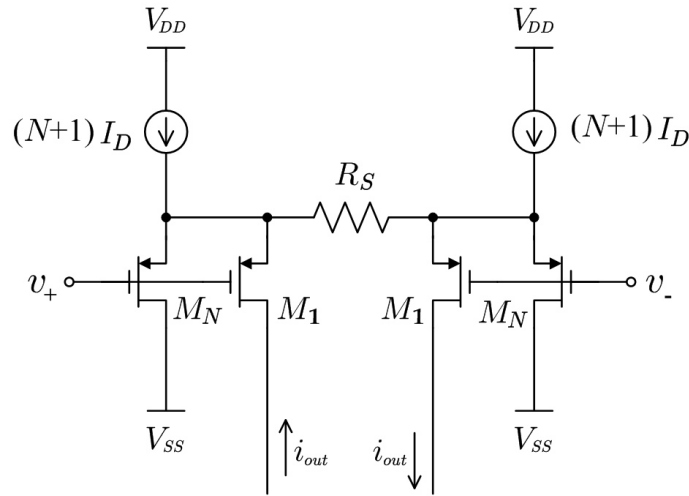


Figura IV.11: Idéia básica da técnica de divisão de corrente.

Em [85] é apresentada a técnica de divisão de corrente para a redução da transcondutância de um par diferencial. Essa técnica é ilustrada na Fig. IV.11, onde os transistores  $M_N$  são formados por  $N$  transistores idênticos a  $M_1$  em paralelo. O resistor de degeneração de fonte  $R_S$  é usualmente implementado por um transistor operando na região de triodo. A partir da análise de pequenos sinais do circuito da Fig. IV.11, observa-se que a transcondutância do circuito é dada por:

$$G_m = \frac{i_{out}}{(v_+ - v_-)} = \frac{g_{m1}}{2 + R_S(N+1)g_{m1}}, \quad (\text{IV.2})$$

onde  $g_{m1}$  é a transcondutância de  $M_1$  — a transcondutância de  $M_N$  é igual a  $N g_{m1}$ . Considerando que  $R_S(N+1)g_{m1} \gg 2$ , então:

$$G_m \cong \frac{1}{R_S(N+1)}. \quad (\text{IV.3})$$

Portanto, a transcondutância pode ser reduzida aumentando-se a resistência  $R_S$  ou o fator  $N$ . Nos projetos onde o resistor  $R_S$  é implementado por um transistor MOS operando na região de triodo, a técnica de divisão de corrente permite reduzir a

transcondutância do par diferencial sem a necessidade de transistores de degeneração com canal exageradamente longo, tendo-se em vista que a resistência equivalente de um transistor MOS na região de triodo é aproximadamente

$$R_{DS} \cong \frac{L}{k_n W (V_{GS} - V_{th})}. \quad (\text{IV.4})$$

Em [85] é mencionado que espelhos de corrente também podem ser empregados na redução da transcondutância. Entretanto, essa técnica tem a desvantagem de piorar a tensão de *offset* do OTA, pois quanto maior for o fator de atenuação, pior será o casamento dos transistores que implementam o espelho. Além disso, grandes fatores de atenuação de corrente aumentam a potência de ruído na saída.

Por outro lado, em [91,92,94] é proposta a divisão de corrente série-paralelo, onde o transistor do espelho de corrente que recebe a corrente de entrada é implementado por transistores idênticos em paralelo, enquanto que o outro transistor do espelho é implementado por transistores idênticos em série. Essa divisão de corrente série-paralelo tem a vantagem de atingir grandes atenuações sem ocupar muita área e produzir menos ruído que um espelho de corrente comum, com o mesmo fator de atenuação.

Uma outra técnica de redução de transcondutância é o cancelamento de corrente, ilustrada na Fig. IV.12, onde os transistores  $M_1$  e  $M_N$  possuem o mesmo comprimento de canal  $L_1 = L_N$  e diferentes larguras  $W_N = N \cdot W_1$ , onde  $0 < N < 1$ . Nessa abordagem, a corrente na saída de um dos pares diferenciais é subtraída da corrente do outro, reduzindo a corrente total na saída e, conseqüentemente, a transcondutância. Todavia, essa topologia possui uma realimentação positiva, fazendo com que a estabilidade do circuito seja muito sensível ao descasamento de componentes. Por

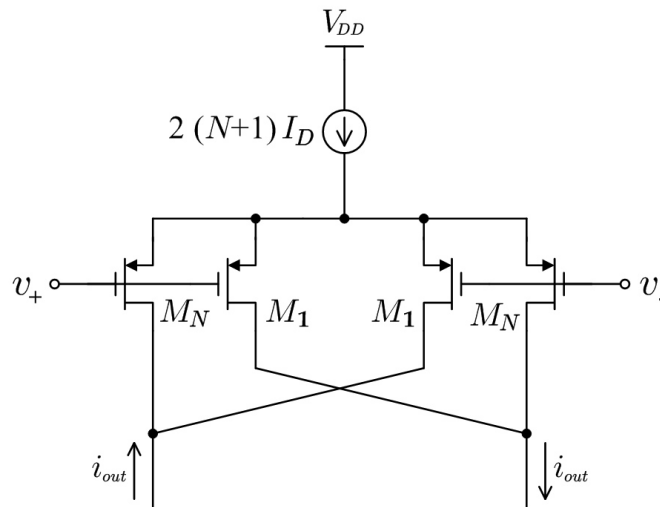


Figura IV.12: Técnica de cancelamento de corrente.

essa razão, na prática, o fator de escala  $N$  é limitado a uma faixa de 0,5 a 0,9. Esta técnica é empregada nos OTA's propostos em [83, 86], combinada com a divisão de corrente.

Uma outra abordagem emprega multiplicadores de transcondutância [108] para produzir pares diferenciais com baixo  $G_m$  [89]. Em [90], são cascadeados dois estágios com transcondutâncias  $g_m$  e  $1/g_m$  para produzir uma transcondutância total bem baixa. Em [87, 88], o sinal de entrada é aplicado ao substrato dos transistores do par diferencial, pois a transcondutância de efeito de corpo  $g_{mb} = \partial I_D / \partial V_{BS}$  é significativamente menor que a transcondutância  $g_m = \partial I_D / \partial V_{GS}$ . Entretanto, essa abordagem tem a desvantagem de reduzir a impedância de entrada do OTA.

Uma forma alternativa de reduzir a transcondutância consiste em atenuar a tensão diferencial de entrada antes de aplicá-la ao par diferencial do OTA. Uma forma de se implementar essa atenuação é com o emprego de transistores com porta flutuante no par diferencial [93]. O divisor capacitivo formado pelas duas portas e o canal do transistor atenua o sinal de entrada por um fator que depende da relação geométrica entre essas portas. A desvantagem do uso de transistores com porta flutuante é a incerteza da carga que pode vir a ser acumulada pela porta, tanto durante o processo de fabricação, como também durante a vida útil do circuito, devido à injeção de portadores quentes [109]. Tais cargas acumuladas pela porta flutuante causam um *offset* imprevisível na tensão de limiar  $V_{th}$  dos transistores.

Em [87, 88] são comparadas três diferentes abordagens para a redução de transcondutâncias: degeneração de fonte, entrada pelo substrato e atenuação através de porta flutuante, onde todas elas são implementadas juntamente com a divisão de corrente. De acordo com os resultados apresentados, o OTA com entrada pelo substrato apresentou a melhor linearidade, mas produziu mais ruído e exigiu um maior consumo de potência que os demais. A abordagem com degeneração de fonte, por outro lado, foi a que menos ruído produziu e apresentou o menor consumo de potência. Entretanto, esta foi a que demonstrou a pior linearidade. Já a abordagem empregando porta flutuante apresentou performances intermediárias entre as duas anteriores.

Finalmente, deve ser mencionada uma abordagem diferente de todas as outras discutidas acima, onde empregam-se escaladores de impedância para fazer com que capacitores pequenos apresentem aproximadamente o mesmo efeito de capacitores maiores no circuito [84]. Esse escalamento de impedância é conseguido através de espelhos de corrente, e foi utilizado em aplicações de baixíssimas frequências, combinado com algumas das técnicas citadas acima [85, 86].

## IV.2.2 - TOPOLOGIA PROPOSTA

Neste trabalho, ao invés de transistores com porta flutuante, será empregado o atenuador MOS apresentado na Fig. IV.13 [110–113] para atenuar a tensão na entrada do OTA.

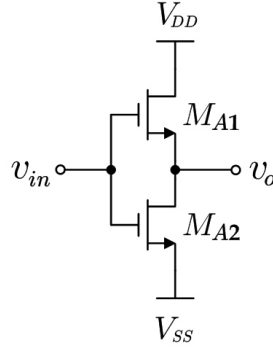


Figura IV.13: Atenuador MOS.

Para o transistor  $M_{A1}$  na Fig. IV.13, tem-se

$$V_{DS1} = V_{DD} - v_o, \quad (\text{IV.5})$$

$$V_{GS1} = v_{in} - v_o. \quad (\text{IV.6})$$

Como  $v_{in} \leq V_{DD}$ , então  $V_{DS1} > V_{GS1} - V_{th}$ , fazendo com que  $M_{A1}$  opere na região de saturação. Por outro lado, para o transistor  $M_{A2}$ , tem-se

$$V_{DS2} = v_o - V_{SS} = v_{in} - V_{GS1} - V_{SS}, \quad (\text{IV.7})$$

$$V_{GS2} = v_{in} - V_{SS}. \quad (\text{IV.8})$$

Considerando que ambos  $M_{A1}$  e  $M_{A2}$  estão com  $V_{GS} > V_{th}$ , teremos que  $V_{DS2} < V_{GS2} - V_{th}$ , fazendo com que  $M_{A2}$  opere na região de triodo.

Dessa forma, as correntes de dreno em cada transistor são dadas por:

$$I_{D1} = \frac{1}{2} k_n \frac{W_1}{L_1} (V_{GS1} - V_{th})^2, \quad (\text{IV.9})$$

$$I_{D2} = k_n \frac{W_2}{L_2} \left[ (V_{GS2} - V_{th}) V_{DS2} - \frac{1}{2} V_{DS2}^2 \right]. \quad (\text{IV.10})$$

Como o circuito faz com que  $I_{D1} = I_{D2}$ , teremos que:

$$v_o = (v_{in} - V_{SS} - V_{th}) \cdot \left(1 - \sqrt{\frac{R}{R+1}}\right) + V_{SS}, \quad (\text{IV.11})$$

onde o termo  $R$  é dado pela razão:

$$R = \frac{W_2/L_2}{W_1/L_1}. \quad (\text{IV.12})$$

Nota-se que a relação entre a tensão de saída  $v_o$  e a de entrada  $v_{in}$  (IV.11) é linear — de acordo com o modelo de nível 1 para os transistores MOS —, onde o fator de atenuação é dado por:

$$\frac{\partial v_o}{\partial v_{in}} = 1 - \sqrt{\frac{R}{R+1}}, \quad (\text{IV.13})$$

o qual depende exclusivamente das dimensões dos transistores  $M_{A1}$  e  $M_{A2}$ .

Além da relação linear entre  $v_o$  e  $v_{in}$ , o atenuador da Fig. IV.13 apresenta uma elevada impedância de entrada e uma baixa impedância de saída, pois o nó de saída está conectado à fonte de  $M_{A1}$ . Essa baixa impedância de saída também contribui para reduzir o ruído na saída do atenuador [113].

Além dessas vantagens, o atenuador MOS requer menos área que outras técnicas de atenuação. Se o atenuador for implementado com  $L_1 = L_2$  e  $W_2 = 2 \cdot W_1$ , teremos  $R = 2$ . Isso leva a um fator de atenuação  $\frac{\partial v_o}{\partial v_{in}} = 0,1835$ . Caso fosse empregado o atenuador com porta flutuante, o mesmo fator de atenuação seria conseguido com uma razão de capacitâncias de cerca de 4,5 — ou seja, mais que o dobro da razão entre as larguras de  $M_{A1}$  e  $M_{A2}$ .

Entretanto, de acordo com [110], verifica-se que a saída do atenuador apresenta uma tensão de *offset* dada por

$$v_o|_{v_{in}=0} = -(V_{SS} + V_{th}) \cdot \left(1 - \sqrt{\frac{R}{R+1}}\right) + V_{SS}, \quad (\text{IV.14})$$

cujo valor é tão próximo de  $V_{SS}$  quanto menor for o ganho (IV.13).

A topologia de OTA proposta no presente trabalho é apresentada na Fig. IV.14, onde  $V_{b1}$  até  $V_{b4}$  são tensões de polarização DC, e  $V_{ctrl}$  é a tensão de controle da transcondutância do OTA. Nesse circuito, verifica-se a presença dos atenuadores MOS na entrada, o emprego da técnica de divisão de corrente, combinada com degeneração de fonte.

O atenuador na entrada, além de reduzir a transcondutância do OTA, tem importante papel na linearização do par diferencial. Com a atenuação, o OTA apresentará

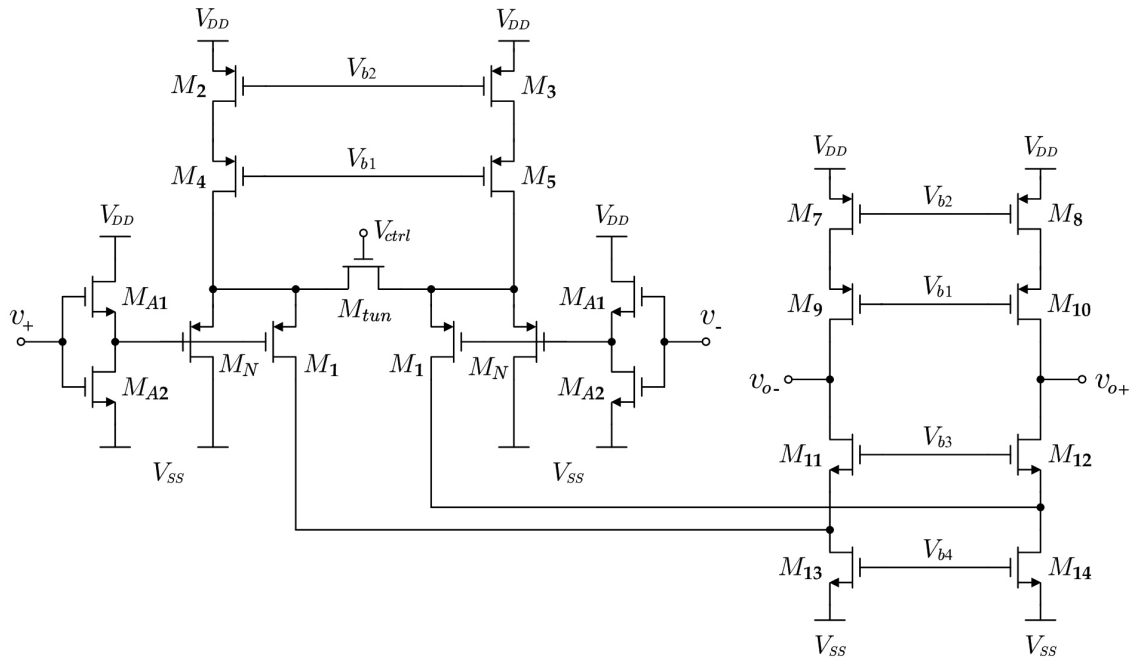


Figura IV.14: Topologia de OTA proposta neste trabalho.

um comportamento linear para uma ampla faixa da tensão diferencial de entrada.

Por causa da tensão de *offset* próxima a  $V_{SS}$  na saída dos atenuadores, foi empregada a saída em cascode dobrado, pois essa topologia permite que a tensão de modo comum nas portas do par diferencial atinja  $V_{SS}$  sem que os seus transistores de canal P entrem na região de triodo [46]. Assim, a tensão de *offset* dos atenuadores proporciona duas vantagens para o circuito da Fig. IV.14: uma ampla faixa de ajuste para a transcondutância do OTA e o uso da estrutura cascode para implementar as fontes de corrente que polarizam o par diferencial.

Com uma tensão de modo comum próxima a  $V_{SS}$  na entrada do par diferencial, a tensão DC nos terminais de dreno e fonte do transistor de degeneração  $M_{tun}$  também será baixa. Assim, se um transistor de canal N for empregado para implementar  $M_{tun}$ , teremos uma ampla faixa de valores possíveis para a tensão de controle  $V_{ctrl}$  tal que  $V_{GS} > V_{th}$ . Como consequência, teremos uma ampla faixa de ajuste da transcondutância do OTA.

A baixa tensão de modo comum na entrada do par diferencial também possibilita o uso de fontes de corrente em cascode para polarizar o par, pois há tensão suficiente para manter  $M_2$ - $M_5$  operando na região saturação. Com a configuração cascode, a impedância da fonte de corrente de polarização será elevada, aumentando a rejeição a tensões de modo comum do OTA. Essa rejeição é de grande importância para esta topologia, principalmente porque a tensão de *offset* dos atenuadores depende da tensão de limiar  $V_{th}$  (IV.14), a qual sofre com os efeitos de variação dos parâmetros de processo. Por causa da dependência da tensão de *offset* dos atenuadores em



relação a  $V_{th}$ , é de fundamental importância que ambos os atenuadores estejam muito bem casados. Assim, essas variações nos parâmetros de processo produzirão tensões de *offset* que serão aplicadas em modo comum à entrada do par diferencial. Por outro lado, descasamentos nos parâmetros de ambos os atenuadores produzirão uma tensão diferencial de *offset* na entrada do par diferencial. Na Seção IV.3.1 são apresentados resultados obtidos através de simulações de Monte Carlo para quantificar esse *offset* diferencial.

Além das outras vantagens mencionadas anteriormente, o uso de um par diferencial com transistores de canal P permite que tais transistores sejam construídos com o seu poço conectado ao terminal de fonte, com o objetivo de anular o efeito de corpo [45]. No caso do OTA da Fig. IV.14, essa característica é de vital importância porque a tensão de *offset* dos atenuadores faz com que a tensão de polarização nos terminais de fonte dos transistores do par seja bem menor que  $V_{DD}$ , o que levaria a um grande aumento na tensão de limiar desses transistores caso o poço fosse conectado à tensão de  $V_{DD}$ .

O uso do divisor de corrente pode ser dispensado, dependendo da transcondutância que o OTA deverá apresentar. Entretanto, a presença do divisor possibilita o emprego de um transistor com canal não muito longo para a implementação da resistência de degeneração de fonte.

Finalmente, o emprego de uma saída em cascode dobrado, além de produzir uma elevada impedância de saída, faz com que os únicos nós de alta impedância do OTA sejam os dois terminais de saída. Assim, o pólo dominante da resposta em frequência em malha aberta do OTA será determinado pela impedância de saída do OTA e pelos próprios capacitores do filtro. Essa característica permite que a estabilidade do OTA em malha fechada seja assegurada sem a necessidade da inclusão de circuitos de compensação.

Na próxima seção, são apresentadas algumas modificações na topologia da Fig. IV.14 para incluir o sistema de controle de modo comum, resultando na topologia final do OTA proposto.

### IV.2.3 - CONTROLE DE MODO COMUM

Como a topologia de OTA proposta neste trabalho é totalmente diferencial, há a necessidade de se incluir um mecanismo para controlar a tensão de modo comum na saída do amplificador. Considere, por exemplo, que a corrente de polarização DC produzida pelos transistores  $M_7$  e  $M_8$ , no circuito da Fig. IV.14, seja ligeiramente diferente da corrente drenada pelos transistores  $M_{11}$  e  $M_{12}$  devido a descasamentos entre os componentes. Essa diferença nas correntes de polarização levará a uma tensão DC de modo comum na saída do OTA. Dependendo da diferença entre as correntes, a tensão de modo comum pode ser elevada o suficiente — por causa da

alta impedância de saída do OTA — para fazer com que os transistores de canal N, ou os de canal P, no cascode de saída entrem na região de triodo. Em amplificadores totalmente diferenciais, como o da Fig. IV.14, realimentar as tensões de saída na entrada não resolverá o problema, porque o par diferencial na entrada rejeita tensões de modo comum — ou seja, somente a componente diferencial da tensão na saída é realimentada.

Existem na literatura diversos circuitos para realizar o controle da tensão de modo comum de amplificadores totalmente diferenciais [45]. Basicamente, o controle é realizado medindo-se a tensão de modo comum na saída do amplificador, e essa medida é utilizada para ajustar as correntes de polarização até que os erros de descasamento sejam compensados e a tensão de modo comum na saída se estabilize em um valor de referência. No circuito do OTA apresentado na Fig. IV.14, por exemplo, pode-se ajustar a fonte de corrente formada por  $M_7$  e  $M_8$ , ou então a fonte formada por  $M_{13}$  e  $M_{14}$ . Ajustar as fontes de corrente formadas por  $M_2$  e  $M_3$  também é uma alternativa possível, mas isso afetaria a polarização do par diferencial e, conseqüentemente, a transcondutância do OTA.

No presente projeto, a topologia adotada para o OTA foi proposta com o objetivo de permitir grandes excursões de sinal com baixa distorção. Dessa forma, o sistema de controle de modo comum deve ser capaz de medir a parcela de modo comum da tensão na saída, mesmo na presença de grandes tensões diferenciais. Na Fig. IV.15(a) é apresentado um sistema de controle de modo comum que atende a esse requisito [45]. Basicamente, foram adicionados ao circuito do OTA dois transistores

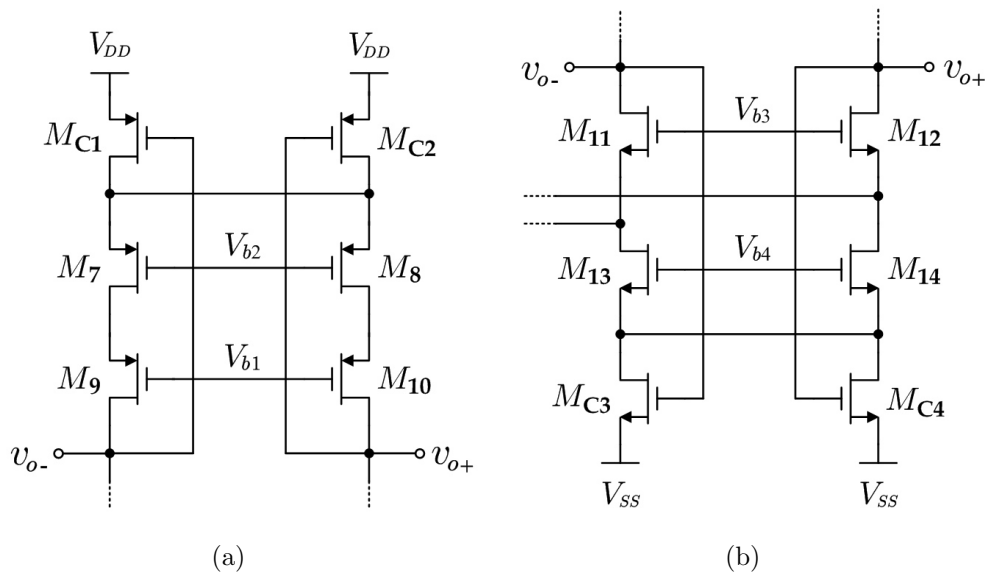


Figura IV.15: Circuitos de controle de modo comum usando transistores na região de triodo para o ajuste da corrente na saída em cascode dobrado. O ajuste pode ser realizado tanto na fonte de corrente PMOS (a), quanto na fonte NMOS (b).

iguais  $M_{C1}$  e  $M_{C2}$  — polarizados na região de triodo — com o objetivo de ajustar as fontes de corrente formadas por  $M_7$  e  $M_8$ . Alternativamente, a mesma idéia pode ser empregada para ajustar as fontes de corrente formadas por  $M_{13}$  e  $M_{14}$ , conforme mostrado na Fig. IV.15(b).

Na Fig. IV.15(b), como ambos  $M_{C3}$  e  $M_{C4}$  estão submetidos à mesma tensão  $v_{DS}$ , a corrente total entregue por eles é

$$I_{cmfb} = I_{C3} + I_{C4} = k_n \frac{W}{L} \cdot \left[ (v_{o-} - V_{SS} - V_{th}) v_{DS} - \frac{v_{DS}^2}{2} \right] + k_n \frac{W}{L} \cdot \left[ (v_{o+} - V_{SS} - V_{th}) v_{DS} - \frac{v_{DS}^2}{2} \right], \quad (\text{IV.15})$$

$$I_{cmfb} = 2 k_n \frac{W}{L} \cdot \left[ v_{cm} - V_{SS} - V_{th} - \frac{v_{DS}}{2} \right] v_{DS}, \quad (\text{IV.16})$$

onde  $v_{cm} = (v_{o+} + v_{o-})/2$  é a tensão de modo comum na saída do OTA. Dessa forma, a corrente total drenada pelo par  $M_{C3}$  e  $M_{C4}$  é controlada pela tensão de modo comum na saída do amplificador. Uma relação análoga também pode ser obtida para a corrente fornecida pelo par  $M_{C1}$  e  $M_{C2}$  da Fig. IV.15(a).

Assumindo que o OTA é projetado para uma corrente de polarização  $I_{bias}$  e uma tensão nula de modo comum na saída, os transistores  $M_{C1}$  e  $M_{C2}$  devem ser dimensionados de forma a conduzir uma corrente igual a  $I_{bias}$  quando  $v_{cm} = 0$ . Analogamente, os transistores  $M_{C3}$  e  $M_{C4}$  devem ser dimensionados para conduzir uma corrente igual a  $2I_{bias}$  quando  $v_{cm} = 0$  — pois esses transistores recebem também as correntes do par diferencial.

No circuito da Fig. IV.15(b), caso as correntes fornecidas pelas fontes da parte superior do cascode assumam um valor  $I_{bias} + \delta I$ , o excesso de corrente injetado no cascode inferior forçará uma elevação nas tensões  $v_{DS}$  dos transistores de canal N, devido ao efeito de modulação do comprimento de canal. Isso aumentará a tensão de modo comum na saída do amplificador. Esse aumento, por sua vez, elevará as tensões  $v_{GS}$  de  $M_{C3}$  e  $M_{C4}$ , fazendo com que a corrente  $I_{cmfb}$  aumente até que o excesso de corrente  $\delta I$  seja compensado e a tensão de modo comum na saída seja corrigida. De acordo com essa análise qualitativa, sempre que houver um descasamento de corrente, a tensão de modo comum na saída do amplificador sofrerá uma ligeira variação para fazer com que a corrente  $I_{cmfb}$  compense a diferença  $\delta I$ , levando a um erro na tensão de modo comum que será tão menor quanto maior for o ganho de transcondutância do par  $M_{C3}$  e  $M_{C4}$ . Assim, a maior desvantagem desse esquema de controle de modo comum é justamente o baixo ganho de transcondutância dos transistores  $M_{C3}$  e  $M_{C4}$ , em função de ambos estarem operando na região de triodo. Uma análise análoga também pode ser feita para o esquema da Fig. IV.15(a).

A expressão (IV.16) foi obtida empregando-se o modelo aproximado de nível 1

para descrever o comportamento dos transistores MOS. Entretanto, outros efeitos, não descritos por esse modelo simplificado, fazem com que a corrente  $I_{cm,fb}$  também seja afetada pela parcela diferencial da tensão na saída. Uma forma de se verificar esse efeito é considerar que as correntes em  $M_{C3}$  e  $M_{C4}$  são dadas pelas seguintes expansões em série de Taylor:

$$\begin{aligned} I_{cm,fb} &= I_{C3} + I_{C4} \\ &= [K_0 + K_1 v_{o-} + K_2 v_{o-}^2 + \dots] + [K_0 + K_1 v_{o+} + K_2 v_{o+}^2 + \dots] \quad (\text{IV.17}) \\ &= K_0 + K_1 (v_{o+} + v_{o-}) + K_2 (v_{o+}^2 + v_{o-}^2) + \dots \end{aligned}$$

Nessas expansões, é razoável supor que os coeficientes  $K_i$  ( $i = 1, 2, \dots$ ) são iguais para  $M_{C3}$  e  $M_{C4}$ , porque ambos são idênticos e possuem a mesma tensão  $v_{DS}$ . Assim, a parcela diferencial da tensão nas saídas  $v_{o+}$  e  $v_{o-}$  será cancelada no termo de primeira ordem ( $v_{o+} + v_{o-}$ ), mas não será cancelada no termo quadrático ( $v_{o+}^2 + v_{o-}^2$ ).

Com o objetivo de atenuar essa dependência com relação à parcela diferencial da tensão na saída do OTA, o sistema de controle de modo comum adotado neste trabalho combina os dois circuitos da Fig. IV.15, conforme mostrado no esquema da Fig. IV.16.

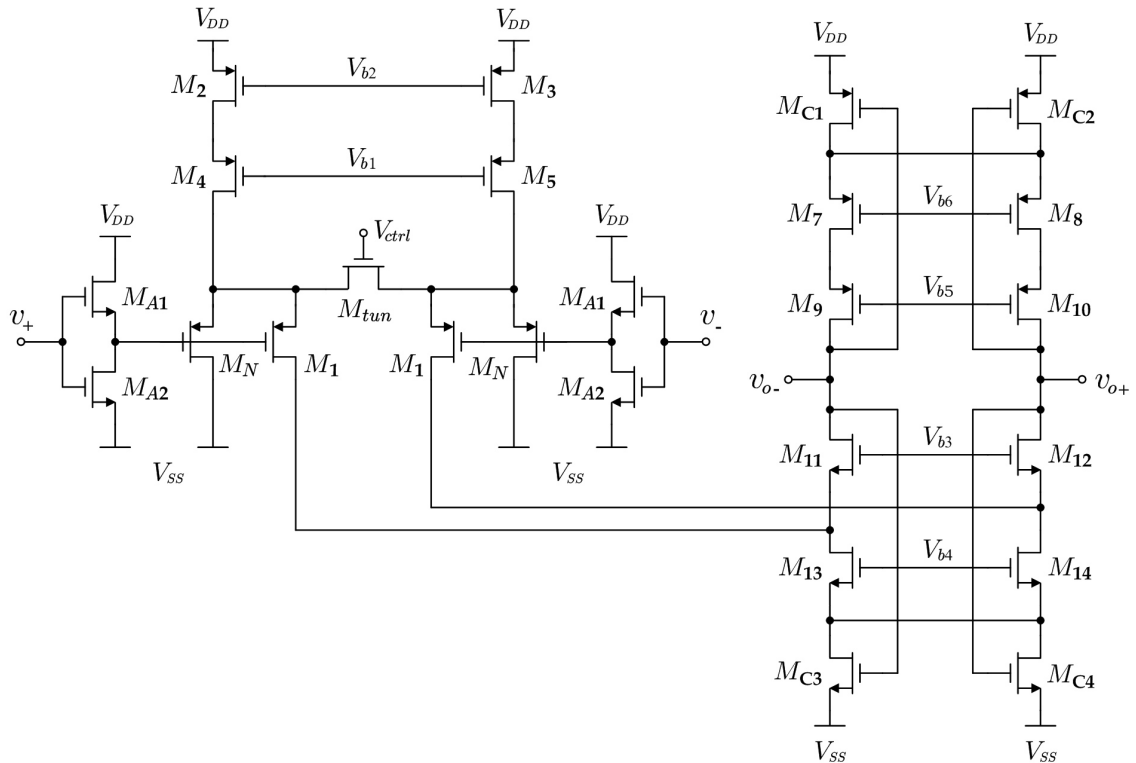


Figura IV.16: Topologia proposta incluindo a circuitaria de controle de modo comum.

Nesse esquema, quando a tensão de modo comum na saída é positiva, as tensões  $|v_{GS}|$  em  $M_{C1}$  e  $M_{C2}$  diminuem, reduzindo a corrente de compensação fornecida

pelos dois. Por outro lado, as tensões  $v_{GS}$  de  $M_{C3}$  e  $M_{C4}$  aumentam, elevando a corrente do par. Dessa forma, ambos os esquemas de compensação combinam seus esforços para controlar a tensão de modo comum na saída.

Quando uma parcela diferencial de tensão aparece na saída, uma das tensões  $v_{GS}$  aumenta e a outra diminui em cada um dos pares  $M_{C1}$ - $M_{C2}$  e  $M_{C3}$ - $M_{C4}$ . Resultados obtidos através de simulações — realizadas com o modelo BSim3v3 — revelam que ambos os pares têm suas correntes  $I_{cm,fb}$  reduzidas quanto maior for a tensão diferencial aplicada. Assim, dimensionando adequadamente os transistores  $M_{C1}$ - $M_{C4}$  no circuito da Fig. IV.16, a redução de corrente em um dos pares de controle de modo comum será compensada pela redução de corrente no outro devido à mesma parcela de tensão diferencial na saída. Na próxima seção, são apresentados resultados de simulação para ilustrar como o cancelamento dos efeitos da parcela diferencial acontece de fato, e como tais resultados são utilizados para dimensionar os transistores de controle de modo comum.

#### IV.2.4 - PROJETO DO OTA

O filtro Gm-C, implementado com o OTA proposto neste trabalho, será projetado para o um processo CMOS 0,35  $\mu\text{m}$ . Nesse processo, será empregada uma polarização com  $V_{DD} = 2,5 \text{ V}$  e  $V_{SS} = -2,5 \text{ V}$ . Nesta seção, são apresentados os detalhes do dimensionamento do OTA apresentado na Fig. IV.16.

Neste projeto, não serão empregados cálculos analíticos para dimensionar os transistores. Encontrar a largura e o comprimento de canal dos transistores através de simulações realizadas com modelos mais acurados se mostra bem mais eficiente do que cálculos analíticos realizados com modelos aproximados.

Antes de iniciar o dimensionamento dos transistores do amplificador da Fig. IV.16, é necessário definir os circuitos responsáveis por estabelecer as tensões de polarização  $V_{b1}$ - $V_{b6}$ . Na Fig. IV.17 é apresentado o circuito responsável por  $V_{b1}$  e

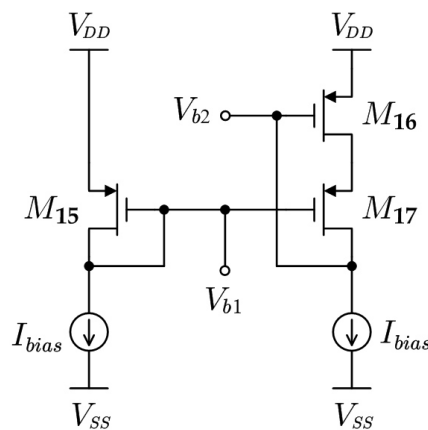


Figura IV.17: Circuito para estabelecer as tensões de polarização  $V_{b1}$  e  $V_{b2}$ .

$V_{b2}$ , empregando espelhos de corrente.

Os circuitos de polarização do cascode na saída do OTA, apresentados na Fig. IV.18, seguem a mesma idéia do circuito da Fig. IV.17. No entanto, devido à presença dos transistores do sistema de controle de modo comum, foram adicionados os transistores  $M_{C5}$  e  $M_{C6}$  para casar o circuito da Fig. IV.18(a) com o da Fig. IV.15(a). Analogamente, os transistores  $M_{C7}$  e  $M_{C8}$  foram incluídos para casar os transistores do espelho de corrente formado pelos circuitos das Fig. IV.18(b) e IV.15(a).

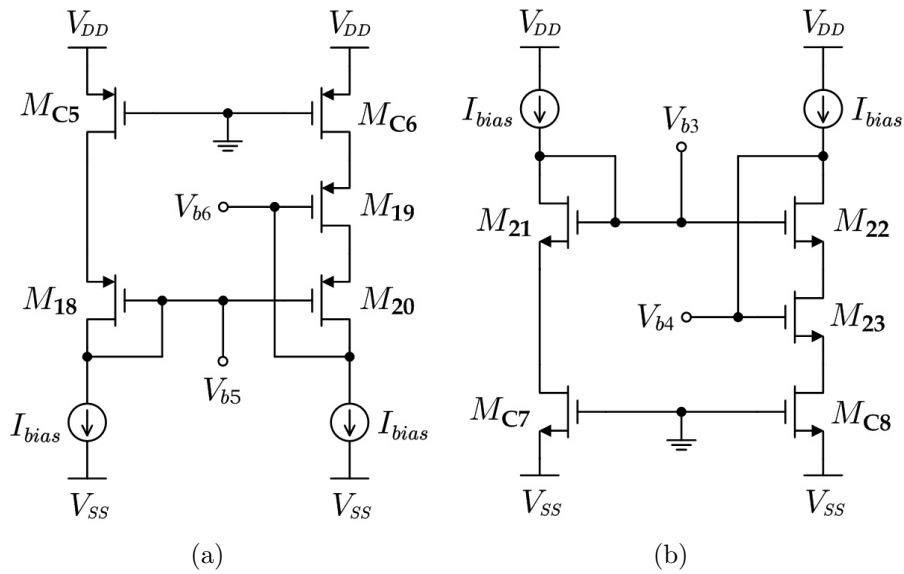


Figura IV.18: Circuitos para estabelecer as tensões de polarização do cascode na saída do OTA.

Como se deseja uma tensão de modo comum nula na saída do OTA, as portas dos transistores  $M_{C5}$ - $M_{C8}$  foram conectadas à terra para fazer com que o sistema de controle de modo comum estabilize as tensões nas portas de  $M_{C1}$ - $M_{C4}$  em zero.

O projeto do OTA se inicia com o dimensionamento dos atenuadores na entrada. Para este projeto, deseja-se uma atenuação de 5 vezes. Assim, tomando como ponto de partida a expressão (IV.13) para o ganho do atenuador, a razão  $R$  entre as razões de aspecto dos transistores  $M_{A1}$  e  $M_{A2}$  é obtida resolvendo-se a equação

$$1 - \sqrt{\frac{R}{R+1}} = \frac{1}{5}, \quad (\text{IV.18})$$

de onde se obtém  $R = 1,778$ . Para facilitar o *layout* do OTA e também melhorar o casamento entre os transistores  $M_{A1}$  e  $M_{A2}$ , optou-se por utilizar  $R = 2$ . Dessa forma,  $M_{A2}$  poderá ser implementado por dois transistores idênticos a  $M_{A1}$  em paralelo.

Uma vez determinada a razão  $R$ , resta dimensionar a largura e o comprimento

do transistor unitário a ser empregado na implementação de  $M_{A1}$  e  $M_{A2}$ . O critério adotado para esse dimensionamento foi escolher as dimensões tais que a corrente drenada pelo atenuador durante a operação do OTA mantenha o consumo de potência do OTA em níveis aceitáveis para o projeto.

De acordo com os resultados obtidos através de simulação — os quais são apresentados na Seção IV.3.1 —, verifica-se que os atenuadores na entrada do OTA produzem uma distorção aceitável em sinais senoidais cuja amplitude se estende até 1,6 V em cada uma de suas entradas — o que representa uma excursão de sinal diferencial de 3,2 V. Assim, arbitrando uma corrente máxima de  $20 \mu\text{A}$  para uma tensão de entrada  $v_{in}$  variando de  $-1,6$  até  $1,6$  V, obtém-se, através de simulações, as seguintes dimensões para os transistores unitários que implementarão  $M_{A1}$  e  $M_{A2}$ :

$$\begin{cases} W_{at} = 1 \mu\text{m} \\ L_{at} = 10 \mu\text{m} \end{cases} \quad (\text{IV.19})$$

Em projetos com restrição sobre o consumo de potência, deve-se escolher a corrente máxima nos atenuadores de forma a atender às especificações.

Com relação ao restante do circuito do OTA apresentado na Fig. IV.16, a corrente de polarização do cascode na saída e do par diferencial formado pelos transistores  $M_1$  será identificada por  $I_{bias}$  deste ponto em diante. No circuito divisor de corrente, os transistores  $M_N$  são implementados com  $N$  transistores iguais a  $M_1$  em paralelo — onde  $N$  representa um número inteiro. Dessa forma, a corrente de polarização em  $M_N$  será  $N \cdot I_{bias}$ . Na Tabela IV.3, são apresentadas as correntes de polarização, dadas em função de  $I_{bias}$ , em todos os transistores do amplificador. Baseado nessas correntes, foram definidas as larguras e os comprimentos de canal mostrados na tabela.

Para facilitar o projeto, todos os transistores de canal N e canal P serão dimensionados com o mesmo comprimento de canal, isto é, de acordo com a Tabela IV.3,  $L_P = L_N$ . A exceção é o transistor de degeneração de fonte  $M_{tun}$ , cujo comprimento de canal será escolhido de modo a atingir a transcondutância desejada para o OTA.

Além das correntes, é necessário definir as tensões de polarização  $V_{GS}$  e  $V_{DS}$  para cada um dos transistores. Tais tensões são definidas com o objetivo de manter os transistores operando na região de saturação para a máxima excursão de sinal desejada na saída do OTA — exceto os transistores do sistema de controle de modo comum, que devem operar na região de triodo.

No caso da saída positiva  $v_{o+}$ , para que o transistor  $M_{10}$  opere na região de

Tabela IV.3: Atribuição das correntes de polarização e das dimensões dos transistores do circuito do OTA.

TRANSISTORES	CORRENTE DC	W	L
$M_1$	$I_{bias}$	$W_{dif}$	$L_P$
$M_N$	$N \cdot I_{bias}$	$N \cdot W_{dif}$	$L_P$
$M_2, M_3, M_4, M_5$	$(N + 1) \cdot I_{bias}$	$(N + 1) \cdot W_P$	$L_P$
$M_7, M_8, M_9, M_{10}$	$I_{bias}$	$W_P$	$L_P$
$M_{11}, M_{12}$	$I_{bias}$	$W_N$	$L_N$
$M_{13}, M_{14}$	$2 \cdot I_{bias}$	$2 \cdot W_N$	$L_N$
$M_{tun}$	0	$W_{tun}$	$L_{tun}$
$M_{15}, M_{18}$	$I_{bias}$	$W_{PB}$	$L_P$
$M_{16}, M_{17}, M_{19}, M_{20}$	$I_{bias}$	$W_P$	$L_P$
$M_{21}$	$I_{bias}$	$W_{NB}$	$L_N$
$M_{22}, M_{23}$	$I_{bias}$	$W_N$	$L_N$
$M_{C1}, M_{C2}, M_{C5}, M_{C6}$	$I_{bias}$	$W_{CP}$	$L_P$
$M_{C3}, M_{C4}$	$2 \cdot I_{bias}$	$2 \cdot W_{CN}$	$L_N$
$M_{C7}, M_{C8}$	$I_{bias}$	$W_{CN}$	$L_N$

saturação, a seguinte desigualdade deve ser satisfeita:

$$\begin{aligned}
 V_{DS10} &\leq V_{GS10} - V_{thp} \\
 V_{D10} &\leq V_{G10} - V_{thp} \\
 v_{o+} &\leq V_{b5} + |V_{thp}|,
 \end{aligned} \tag{IV.20}$$

onde  $V_{thp} < 0$  é a tensão de limiar do transistor de canal P.

Analogamente, para a tensão na saída negativa  $v_{o-}$ , obtém-se

$$v_{o-} \leq V_{b5} + |V_{thp}|. \tag{IV.21}$$

Além disso, a excursão na saída positiva  $v_{o+}$  também é limitada inferiormente para que o transistor  $M_{12}$  se mantenha na região de saturação:

$$\begin{aligned}
 V_{DS12} &\geq V_{GS12} - V_{thn} \\
 V_{D12} &\geq V_{G12} - V_{thn} \\
 v_{o+} &\geq V_{b3} - V_{thn},
 \end{aligned} \tag{IV.22}$$

onde  $V_{thn} > 0$  é a tensão de limiar do transistor de canal N.

Analogamente, para a tensão na saída negativa  $v_{o-}$ , obtém-se

$$v_{o-} \geq V_{b3} - V_{thn}. \tag{IV.23}$$



Em relação às tensões de polarização  $V_{b3}$ - $V_{b6}$ , tem-se que:

$$V_{b3} = V_{SS} + V_{DSC3} + V_{DS13} + V_{GS11} = V_{SS} + V_{DSC4} + V_{DS14} + V_{GS12}, \quad (\text{IV.24})$$

$$V_{b4} = V_{SS} + V_{DSC3} + V_{GS13} = V_{SS} + V_{DSC4} + V_{GS14}, \quad (\text{IV.25})$$

$$V_{b5} = V_{DD} + V_{DSC1} + V_{DS7} + V_{GS9} = V_{DD} + V_{DSC2} + V_{DS8} + V_{GS10}, \quad (\text{IV.26})$$

$$V_{b6} = V_{DD} + V_{DSC1} + V_{GS7} = V_{DD} + V_{DSC2} + V_{GS8}. \quad (\text{IV.27})$$

Dessa forma, para se conseguir a máxima excursão de sinal na saída do OTA, deve-se polarizar os transistores do cascode com as menores tensões  $V_{GS}$  e  $V_{DS}$  possíveis.

Além da excursão de sinal na saída, outro fator que influencia na escolha das tensões de polarização dos transistores  $M_{13}$ ,  $M_{14}$ ,  $M_{C3}$  e  $M_{C4}$  é a necessidade de manter os transistores do par diferencial operando na região de saturação. Os transistores  $M_N$  estarão na região de saturação se

$$\begin{aligned} V_{DSN} &\leq V_{GSN} - V_{thp} \\ V_{DN} &\leq V_{GN} - V_{thp} \\ V_{SS} &\leq V_{GN} + |V_{thp}|. \end{aligned} \quad (\text{IV.28})$$

Como  $V_{GN} \geq V_{SS}$ , a desigualdade (IV.28) será sempre satisfeita e  $M_N$  estará sempre operando na região de saturação.

Por outro lado, para que  $M_1$  esteja operando na região de saturação, deve-se satisfazer

$$\begin{aligned} V_{DS1} &\leq V_{GS1} - V_{thp} \\ V_{D1} &\leq V_{G1} + |V_{thp}|. \end{aligned} \quad (\text{IV.29})$$

Devido à tensão de *offset* próxima a  $V_{SS}$  na saída do atenuador, o pior caso da tensão na porta de  $M_1$  ocorre quando  $V_{G1} = V_{SS}$ . Conseqüentemente, para manter  $M_1$  operando na região de saturação, a sua tensão de dreno deve ser

$$V_{D1} \leq V_{SS} + |V_{thp}|. \quad (\text{IV.30})$$

Por outro lado, a tensão no dreno de  $M_1$  é dada por  $V_{D1} = V_{SS} + V_{DSC3} + V_{DS13} = V_{SS} + V_{DSC4} + V_{DS14}$ . Assim, para manter os dois transistores  $M_1$  na saturação, as

seguintes desigualdades devem ser satisfeitas

$$V_{DSC3} + V_{DS13} \leq |V_{thp}|, \quad (IV.31)$$

$$V_{DSC4} + V_{DS14} \leq |V_{thp}|. \quad (IV.32)$$

De acordo com os parâmetros do processo de fabricação considerado,  $V_{thp} = -1,03$  V e  $V_{thn} = 0,706$  V.

A partir das considerações acima com relação à excursão de sinal na saída e à operação do par diferencial, optou-se por polarizar os transistores  $M_7$ - $M_{14}$  com  $\Delta V_{GS} = |V_{GS} - V_{th}| = 0,2$  V. Tal tensão é baixa o suficiente para permitir uma grande excursão de sinal na saída do OTA, e também é suficientemente alta para garantir que esses transistores não estarão operando em inversão fraca. Para os transistores  $M_7$ ,  $M_8$ ,  $M_{13}$  e  $M_{14}$ , foi escolhida uma tensão de polarização  $|V_{DS}| = 0,3$  V para garantir a operação na região de saturação  $|V_{DS}| \geq |V_{GS} - V_{th}|$  com uma folga de 0,1 V. A tensão de polarização nos drenos de  $M_{13}$  e  $M_{14}$  é estabelecida por  $V_{b3}$  e as tensões  $V_{GS}$  de  $M_{11}$  e  $M_{12}$ , respectivamente. Analogamente, no caso de  $M_7$  e  $M_8$ , essa tensão é estabelecida por  $V_{b5}$  e as tensões de  $V_{GS}$  de  $M_9$  e  $M_{10}$ , respectivamente.

Como os transistores  $M_{C1}$ - $M_{C4}$  do sistema de controle de modo comum deverão estar operando na região de triodo, optou-se por polarizá-los com  $|V_{DS}| \leq 0,05$  V, para que esses transistores não afetem significativamente a excursão de sinal na saída do OTA.

Com esses valores escolhidos para as tensões de polarização, as desigualdades (IV.31) e (IV.32) serão plenamente satisfeitas, pois  $V_{DSC3} + V_{DS13} = V_{DSC4} + V_{DS14} = 0,35$  V  $\leq |V_{thp}| = 1,01$  V. Além disso, de acordo com (IV.20) e (IV.26), o limite da excursão de sinal em  $v_{o+}$  será

$$\begin{aligned} v_{o+} &\leq V_{b5} - V_{thp} = V_{DD} + V_{DSC2} + V_{DS8} + V_{GS10} - V_{thp} \\ &\leq V_{DD} + V_{DSC2} + V_{DS8} - |\Delta V_{GS10}| = 1,95 \text{ V}. \end{aligned} \quad (IV.33)$$

Por outro lado, considerando (IV.22) e (IV.24), o limite inferior da excursão de  $v_{o+}$  será

$$\begin{aligned} v_{o+} &\geq V_{b3} - V_{thn} = V_{SS} + V_{DSC4} + V_{DS14} + V_{GS12} - V_{thn} \\ &\geq V_{SS} + V_{DSC4} + V_{DS14} + \Delta V_{GS12} = -1,95 \text{ V}. \end{aligned} \quad (IV.34)$$

As expressões para os limites de excursão de sinal de  $v_{o-}$  são análogas.

Com o objetivo de manter uma regularidade na polarização das fontes de corrente do OTA, optou-se por polarizar os transistores  $M_2$ - $M_5$  com a mesma tensão  $\Delta V_{GS} =$

$|V_{GS} - V_{th}| = 0,2$  V, adotada no cascode. Além disso, os transistores  $M_2$  e  $M_3$  também serão polarizados com  $|V_{DS}| = 0,3$  V.

Com relação ao par diferencial, a transcondutância do par com divisão de corrente e degeneração de fonte é dada por (IV.3), considerando que  $R_S (N + 1) g_{m1} \gg 2$  — onde  $R_S$  é a resistência de degeneração de fonte e  $g_{m1}$  é a transcondutância dos transistores  $M_1$ . Dessa forma, a transcondutância do par será aproximadamente determinada apenas pela resistência de degeneração de fonte e pelo fator de divisão de corrente. Tal característica é bastante vantajosa para o OTA proposto, pois a sua transcondutância será ajustada exatamente através da resistência equivalente do transistor  $M_{tun}$  — que faz a função do resistor  $R_S$  na Fig. IV.11.

De acordo com o modelo de nível 1, a transcondutância de  $M_1$  é dada por

$$g_{m1} = \frac{2 I_{bias}}{|V_{GS1} - V_{thp}|}. \quad (IV.35)$$

Assim, para garantir que  $R_S (N + 1) g_{m1} \gg 2$ , a tensão de polarização  $\Delta V_{GS1} = |V_{GS1} - V_{thp}|$  deve ser a menor possível para que valor da transcondutância  $g_{m1}$  seja o maior que se pode conseguir com a corrente de polarização  $I_{bias}$ . Portanto, a exemplo do que foi feito na polarização dos transistores do cascode, optou-se por empregar  $\Delta V_{GS1} = 0,2$  V.

Finalmente, com relação à polarização dos circuitos apresentados nas Fig. IV.17 e IV.18, tem-se

$$V_{GS15} = V_{DS16} + V_{GS17} = V_{DS2} + V_{GS4} = V_{DS3} + V_{GS5}, \quad (IV.36)$$

$$V_{GS18} = V_{DS19} + V_{GS20} = V_{DS7} + V_{GS9} = V_{DS8} + V_{GS10}, \quad (IV.37)$$

$$V_{GS21} = V_{DS23} + V_{GS22} = V_{DS13} + V_{GS11} = V_{DS14} + V_{GS12}. \quad (IV.38)$$

Uma vez definidas as tensões de polarização em cada um dos transistores do circuito, resta apenas definir o valor da corrente de polarização  $I_{bias}$  para que os transistores possam ser dimensionados através de simulações. Um dos critérios para a escolha da corrente de polarização é a necessidade de que  $I_{bias}$  seja maior que a máxima corrente exigida na saída do OTA durante sua operação. De acordo com os resultados de simulação apresentados na Seção IV.3.1, a máxima amplitude do sinal diferencial que o OTA deve experimentar em sua entrada será de 3,2 V. Assim, nessa situação extrema, o OTA estará entregando sua corrente máxima na saída.

O valor desejado para a transcondutância do OTA é de 200 nA/V. No entanto, devido a desvios nos parâmetros do processo de fabricação do circuito integrado, esse

valor não será efetivamente verificado no circuito real. Por isso, foi incluída a tensão de controle  $V_{ctrl}$  no circuito da Fig. IV.16, para permitir o ajuste da transcondutância dos OTA's fabricados. Por essa razão, o OTA deve ser dimensionado de modo que sua transcondutância possa assumir valores menores e maiores que  $200 \text{ nA/V}$ , dependendo do ajuste da tensão  $V_{ctrl}$ . Assim, será possível compensar desvios de transcondutância tanto para mais, como para menos que o valor desejado.

Neste projeto, o transistor  $M_{tun}$  será dimensionado — com o auxílio de simulações — para que a máxima transcondutância ajustável esteja em torno de  $400 \text{ nA/V}$ . Para esse valor de transcondutância, a máxima corrente que o OTA deverá disponibilizar em sua saída é  $G_{m(max)} \cdot v_{in(max)} = 1,28 \text{ }\mu\text{A}$ . Portanto,  $I_{bias} > 1,28 \text{ }\mu\text{A}$ .

Para dimensionar os demais transistores do OTA, são simulados os circuitos de teste apresentados na Fig. IV.19. Nesses circuitos, fixam-se as tensões  $V_D$ ,  $V_G$  e  $V_S$  desejadas e configura-se o simulador para realizar uma varredura no valor da largura  $W$  do transistor entre dois limites, que podem ser estimados através do modelo de nível 1 do MOSFET. Como resultado, deve-se obter um gráfico da corrente de dreno em função dos valores de largura  $W$  considerados na varredura. Então, a partir desse resultado de simulação, encontra-se qual o valor de  $W$  que produz a corrente de polarização desejada para as tensões de polarização definidas no projeto. Esse procedimento equivale a resolver as equações do MOSFET usando o modelo BSIM3v3. Assim, o dimensionamento dos transistores é realizado de maneira bem mais acurada do que se fossem realizados cálculos com modelos aproximados.

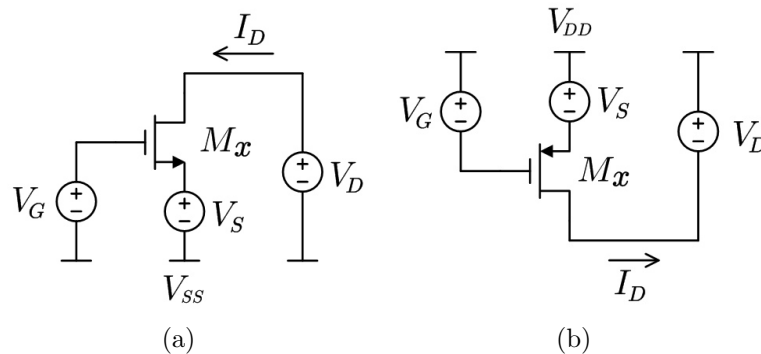


Figura IV.19: Circuitos adotados no dimensionamento de transistores de canal N (a) e P (b) através de simulações.

O comprimento de canal  $L$  dos transistores, por outro lado, foi definido de forma a se obter uma impedância de saída suficientemente alta para o OTA. Além disso, a área do canal de um transistor é inversamente proporcional à potência de ruído *flicker* produzida pelo dispositivo [114]. Dessa forma, a escolha do comprimento de canal também influencia na potência de ruído produzida pelo filtro, pois o ruído *flicker* é a parcela dominante do ruído verificado na faixa de frequências do projeto.

Assim, foram dimensionadas duas versões do OTA da Fig. IV.16. Uma delas com

$I_{bias} = 1,5 \mu\text{A}$ , e a outra com  $I_{bias} = 2,0 \mu\text{A}$ . Em cada um dos projetos, o transistor  $M_{tun}$  e o fator de divisão de corrente  $N$  do par diferencial foram dimensionados de forma que o OTA apresentasse  $200 \text{ nA/V}$  aproximadamente no meio da faixa de valores possíveis das transcondutâncias ajustáveis através de  $V_{ctrl}$ . Os gráficos de transcondutância em função da tensão diferencial de entrada obtidos através da simulação são apresentados nas Fig. IV.20(a) e IV.20(b) para os OTA's polarizados com  $I_{bias} = 1,5 \mu\text{A}$  e  $I_{bias} = 2,0 \mu\text{A}$ , respectivamente. Para cada OTA, foram traçados gráficos de transcondutância obtidos para diferentes ajustes de  $V_{ctrl}$ , variando de  $0,6 \text{ V}$  até  $2,5 \text{ V}$ .

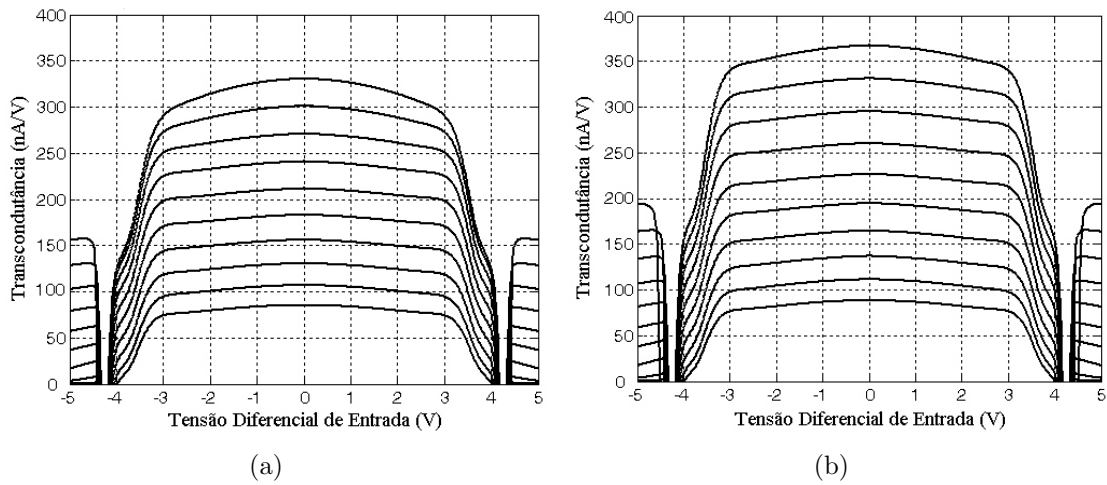


Figura IV.20: Transcondutâncias em função da tensão diferencial de entrada para diferentes ajustes da tensão  $V_{ctrl}$ , obtidas para o OTA polarizado com  $I_{bias} = 1,5 \mu\text{A}$  (a) e com  $I_{bias} = 2,0 \mu\text{A}$  (b).

Comparando os resultados da Fig. IV.20, verifica-se que o OTA polarizado com  $I_{bias} = 2,0 \mu\text{A}$  apresentou uma menor dependência da suas curvas com relação à tensão diferencial de entrada — principalmente para os valores mais elevados de transcondutância ajustados por  $V_{ctrl}$ . Portanto, nota-se que a linearidade do OTA pode ser melhorada a custo de um aumento no consumo de potência. Correntes de polarização maiores não produziram uma melhoria de linearidade significativa o suficiente que justificasse o aumento no consumo de potência. Além de melhorar a linearidade, verificou-se que a polarização com  $I_{bias} = 2,0 \mu\text{A}$  proporcionou uma maior faixa de transcondutâncias atingíveis com o OTA. Sendo assim, optou-se por adotar  $I_{bias} = 2,0 \mu\text{A}$  para a polarização do OTA.

Por fim, resta ainda dimensionar adequadamente os transistores  $M_{C1}$ - $M_{C4}$  do sistema de controle de modo comum. Inicialmente, os transistores  $M_{C3}$  e  $M_{C4}$  são dimensionados, com o auxílio do simulador, para apresentarem  $V_{DS} \leq 50 \text{ mV}$  para  $I_D = 2 I_{bias} = 4,0 \mu\text{A}$  — conforme mostrado na Tabela IV.3. Já os transistores  $M_{C1}$  e  $M_{C2}$  são dimensionados de forma que a dependência da corrente de compensação

drenada por  $M_{C3}$  e  $M_{C4}$  em relação à parcela diferencial da tensão na saída seja compensada pela corrente em  $M_{C1}$  e  $M_{C2}$ . Com esse objetivo, foram obtidos os gráficos da Fig. IV.21 para a tensão de modo comum estabelecida na saída do OTA em função da parcela diferencial nos mesmos terminais de saída. Na Fig. IV.21(a), o OTA proposto foi simulado apenas com o sistema de controle de modo comum formado por  $M_{C1}$  e  $M_{C2}$  — os transistores  $M_{C3}$  e  $M_{C4}$  foram curto-circuitados. Já na Fig. IV.21(b), foi a vez do OTA ser simulado apenas com  $M_{C3}$  e  $M_{C4}$  realizando o controle de modo comum.

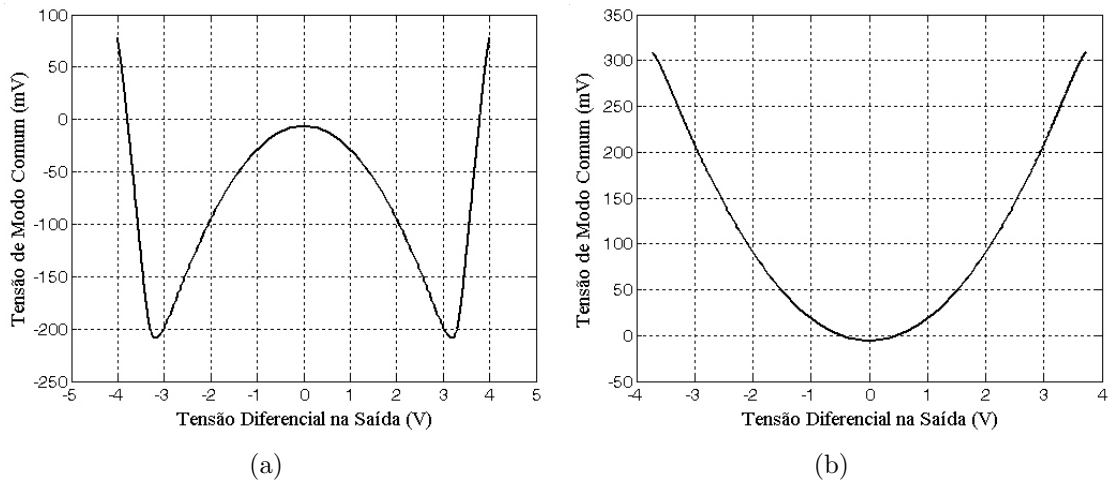


Figura IV.21: Parcela de modo comum da tensão na saída do OTA produzida pelo esquema de controle formado por  $M_{C1}$  e  $M_{C2}$  (a) e por  $M_{C3}$  e  $M_{C4}$  (b) isoladamente.

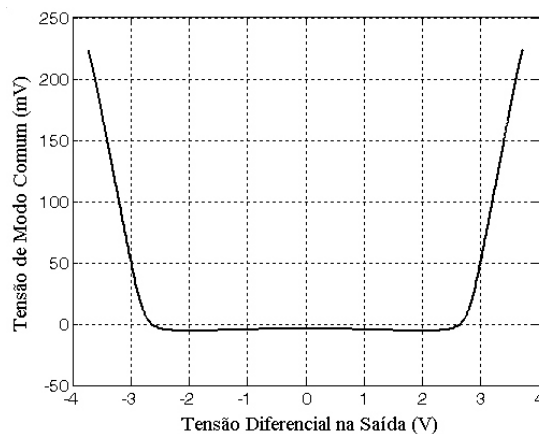


Figura IV.22: Parcela de modo comum da tensão na saída do OTA produzida por ambos os esquemas de controle em conjunto.

De acordo com os resultados, verifica-se que a tensão de modo comum estabelecida pelo controle realizado por  $M_{C1}$  e  $M_{C2}$  diminui quando a parcela diferencial na saída aumenta. Esse comportamento permanece em uma faixa da tensão diferencial na saída em que  $M_{C1}$  e  $M_{C2}$  operam com  $|V_{GS}| > |V_{thp}|$ . Já a tensão de modo comum

estabelecida pelo controle realizado por  $M_{C3}$  e  $M_{C4}$  tem o comportamento inverso em relação à parcela diferencial.

Simulando o circuito do OTA com ambos os circuitos de controle de modo comum — conforme mostrado na Fig. IV.16 —, as dimensões dos transistores  $M_{C1}$  e  $M_{C2}$  foram ajustadas até que a curva da tensão de modo comum em função da parcela diferencial na saída do OTA apresentasse o aspecto mostrado na Fig. IV.22, onde se verifica pouca dependência em relação à parcela diferencial em uma ampla faixa de tensão. A partir desses resultados, verifica-se a vantagem de combinar ambos os sistemas de controle de modo comum em um mesmo OTA.

Finalmente, os valores obtidos para as variáveis de projeto listadas na Tabela IV.3 são apresentados resumidamente na Tabela IV.4.

Tabela IV.4: Valores obtidos para as variáveis de projeto listadas na Tabela IV.3.

VARIÁVEL	VALOR
$I_{bias}$	2,0 $\mu\text{A}$
$W_{dif}$	20,0 $\mu\text{m}$
$N$	3
$W_P$	18,0 $\mu\text{m}$
$W_{PB}$	2,7 $\mu\text{m}$
$W_N$	5,6 $\mu\text{m}$
$W_{NB}$	0,65 $\mu\text{m}$
$W_{CP}$	3,0 $\mu\text{m}$
$W_{CN}$	2,0 $\mu\text{m}$
$W_{tun}$	1,0 $\mu\text{m}$
$L_{tun}$	10,0 $\mu\text{m}$
$L_P$	5,0 $\mu\text{m}$
$L_N$	5,0 $\mu\text{m}$

Na Tabela IV.5 são listados os resultados obtidos através de simulação para o ponto de operação DC do OTA projetado — usando o modelo BSIM3v3 e os parâmetros típicos do processo de fabricação CMOS 0,35  $\mu\text{m}$  considerado neste trabalho. Outros resultados de simulação obtidos para o OTA e para o filtro Gm-C são apresentados a seguir.

### IV.3 - SIMULAÇÕES

Nesta seção são apresentados os resultados obtidos através de simulação para verificar o desempenho dos circuitos projetados nas seções anteriores. Todos os resultados apresentados nesta seção foram obtidos através do simulador Spectre, considerando o modelo BSIM3v3 para os transistores MOS. As simulações de Monte Carlo apresentadas aqui foram realizadas considerando as variâncias fornecidas pela

Tabela IV.5: Ponto de operação DC do OTA projetado, obtido através de simulação.

TRANSISTORES	$I_D$	$V_{DS}$	$V_{GS}$	$V_{th}$
$M_{A1}$	6,09 $\mu A$	4,778 V	2,278 V	0,818 V
$M_{A2}$	6,09 $\mu A$	0,222 V	2,5 V	0,708 V
$M_1$	2,00 $\mu A$	-1,135 V	-1,215 V	-1,026 V
$M_N$	6,01 $\mu A$	-1,437 V	-1,215 V	-1,026 V
$M_2, M_3$	8,00 $\mu A$	-0,308 V	-1,230 V	-1,027 V
$M_4, M_5$	8,00 $\mu A$	-3,254 V	-1,325 V	-1,128 V
$M_7, M_8$	2,00 $\mu A$	-0,310 V	-1,260 V	-1,059 V
$M_9, M_{10}$	2,00 $\mu A$	-2,102 V	-1,354 V	-1,157 V
$M_{11}, M_{12}$	2,00 $\mu A$	2,163 V	1,123 V	0,920 V
$M_{13}, M_{14}$	4,00 $\mu A$	0,302 V	0,985 V	0,776 V
$M_{C1}, M_{C2}$	2,00 $\mu A$	-0,092 V	-2,504 V	-1,055 V
$M_{C3}, M_{C4}$	4,00 $\mu A$	0,031 V	2,496 V	0,743 V

empresa detentora do processo de fabricação CMOS 0,35  $\mu m$  adotado neste trabalho. Com relação às simulações de ruído, como o filtro Gm-C será empregado como filtro *anti-aliasing* do filtro SC que possui banda passante compreendida entre 10 e 30 kHz, todas as potências de ruído apresentadas nesta seção foram obtidas integrando-se a densidade espectral de potência fornecida pelo simulador nessa faixa de frequências.

Na Seção IV.3.1 são apresentados os resultados obtidos apenas para o atenuador MOS. Os resultados simulados obtidos para o OTA proposto são apresentados na Seção IV.3.2. Na Seção IV.3.3, são apresentados os resultados das simulações realizadas para avaliar o desempenho do circuito de controle de modo comum. Finalmente, os resultados obtidos para o filtro Gm-C são apresentados na Seção IV.3.4.

#### IV.3.1 - RESULTADOS OBTIDOS PARA O ATENUADOR MOS

Primeiramente, com o objetivo de avaliar a distorção produzida pelo atenuador da Fig. IV.13, foi realizada uma varredura da tensão de entrada  $v_{in}$ , medindo-se a correspondente tensão na saída  $v_o$ . Na Fig. IV.23(a) são apresentados os resultados obtidos para diferentes configurações de ganho do atenuador, onde são empregados de  $N = 1$  a  $N = 4$  transistores idênticos em paralelo na implementação de  $M_{A2}$ . Nota-se que o circuito começa a operar adequadamente como um atenuador quando a tensão de entrada  $v_{in}$  é elevada o suficiente para fazer com que ambos  $M_{A1}$  e  $M_{A2}$  operem em inversão forte. Na Fig. IV.23(b) são apresentadas as respectivas derivadas das curvas da Fig. IV.23(a). De acordo com esses resultados, verifica-se que o comportamento do atenuador não é perfeitamente linear, conforme previsto em (IV.11), a partir do modelo simplificado de primeira ordem.

A fim de se quantificar a distorção produzida pelo atenuador MOS devido a



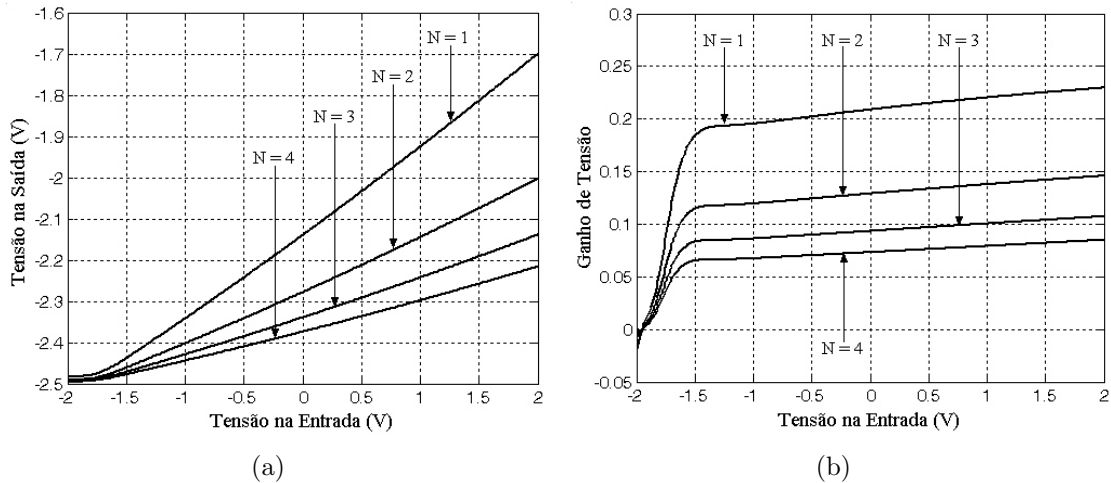


Figura IV.23: Varredura DC da tensão de entrada do atenuador para diferentes configurações de ganho.

efeitos de segunda ordem, foi medida a distorção harmônica total (THD) da forma de onda da saída  $v_o$  em função da amplitude do sinal de tensão na entrada  $v_{in}$ . Os valores obtidos para a configuração do atenuador onde  $N = 2$  — configuração de ganho adotada no projeto do OTA<sup>2</sup> — são apresentados no gráfico da Fig. IV.24. Comparando-se este gráfico com o da Fig. IV.23(a), nota-se que o THD cresce quase linearmente com a amplitude da tensão de entrada até que esta ultrapassa o limite em que os transistores estão operando em inversão forte. A partir desse ponto, a característica de transferência de tensão do atenuador passa a ser significativamente não linear, produzindo um aumento acentuado na distorção harmônica do sinal na saída.

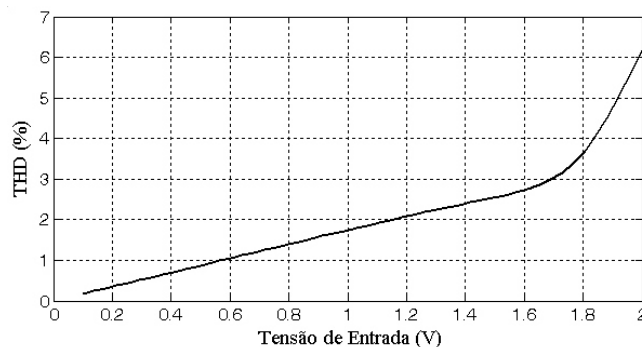


Figura IV.24: THD do sinal na saída  $v_o$  do atenuador MOS em função da amplitude da tensão na entrada  $v_{in}$ .

Para verificar o quanto o atenuador MOS é sensível a variações nos parâmetros do processo de fabricação e a descasamentos entre  $M_{A1}$  e  $M_{A2}$ , na Fig. IV.25 são apresentadas as curvas da característica de transferência de tensão do atenuador,

<sup>2</sup>Deste ponto em diante, todos os resultados de simulação foram obtidos para o caso em que  $N = 2$ .

obtidas em 500 simulações de Monte Carlo. De acordo com os resultados obtidos, nota-se que a tensão de *offset* na saída do atenuador é mais acentuada do que a variação verificada na inclinação da curva característica — ou seja, no ganho.

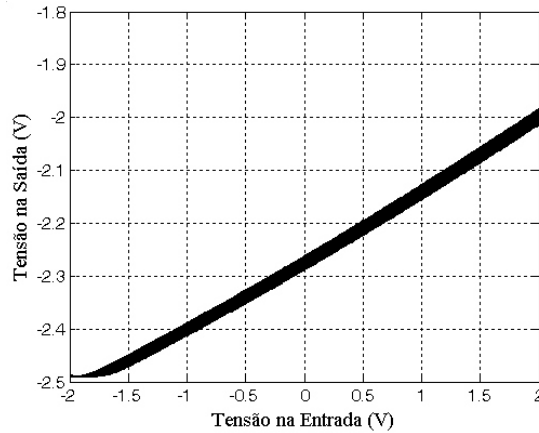


Figura IV.25: Resultados obtidos para a característica de transferência de tensão do atenuador ( $N = 2$ ) a partir de 500 simulações de Monte Carlo.

Com o objetivo de determinar o efeito predominante sobre as variações verificadas na tensão de *offset* na saída do atenuador, foram realizadas mais 500 simulações de Monte Carlo, considerando os efeitos de variação nos parâmetros do processo de fabricação e os efeitos de descasamento separadamente. Os resultados são apresentados nos histogramas da Fig. IV.26. Nota-se claramente que as variações nos parâmetros do processo de fabricação são o efeito predominante sobre as flutuações verificadas na tensão de *offset* do atenuador. Este resultado já era esperado se for considerada a expressão analítica (IV.14). Nela verifica-se que a tensão  $V_{th}$  — um parâmetro do processo de fabricação — tem maior influência sobre o *offset* que a razão  $R$  entre as

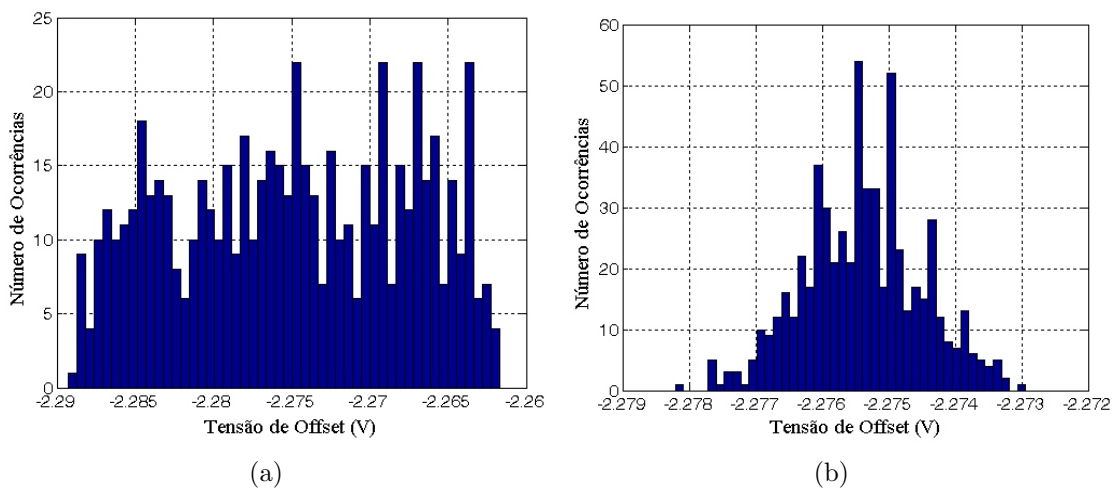


Figura IV.26: Histogramas da tensão de *offset* na saída do atenuador, considerando efeitos de variação dos parâmetros do processo de fabricação (a) e descasamento de componentes (b) separadamente.

dimensões dos transistores — afetada pelo descasamento.

Na Fig. IV.27 é apresentado o gráfico da variação da corrente de dreno dos transistores que integram o atenuador em função da tensão de entrada  $v_{in}$ . Conforme mencionado anteriormente, os transistores do atenuador foram dimensionados para drenarem essa faixa de corrente durante a operação do OTA.

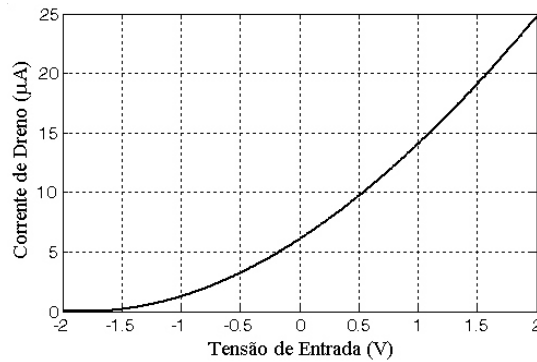


Figura IV.27: Corrente de dreno nos transistores do atenuador em função da tensão de entrada  $v_{in}$ .

Também foi avaliada a resposta em frequência do atenuador, mostrada na Fig. IV.28. De acordo com os resultados, nota-se que o atenuador mantém o seu ganho em toda a faixa de frequências de interesse do filtro *anti-aliasing*. É interessante notar que o zero produzido pela capacitância  $C_{GS}$  do transistor  $M_{A1}$  e a capacitância  $C_{GD}$  do transistor  $M_{A2}$  — conectadas em paralelo entre a entrada  $v_{in}$  e a saída  $v_o$  no circuito da Fig. IV.13 — tem efeito dominante sobre a resposta em frequência do atenuador, fazendo com que sua atenuação diminua em frequências superiores a 1 MHz. Já o pólo do circuito aparece em uma frequência mais alta, em virtude da baixa impedância de saída do atenuador. É interessante notar que o ganho do atenuador tende para um valor constante em altas frequências, o qual é determinado pelo divisor capacitivo formado pela capacitância entre os nós  $v_{in}$  e  $v_o$ , juntamente com a capacitância entre o nó  $v_o$  e o terra para pequenos sinais.

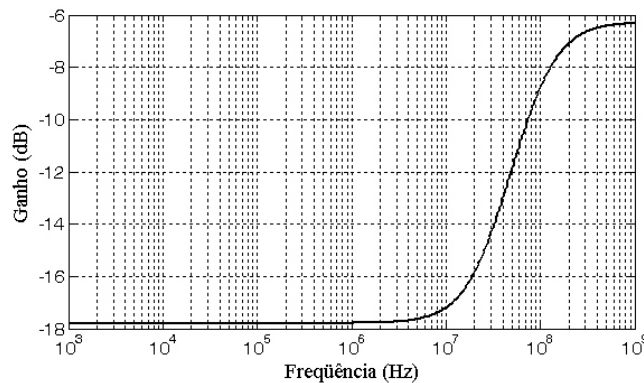


Figura IV.28: Resposta em frequência do atenuador.

Com relação à potência de ruído produzida pelo atenuador, a densidade espectral

de potência na saída  $v_o$  é apresentada na Fig. IV.29. Nota-se que o ruído *flicker* é o efeito dominante na faixa de frequências de interesse — 10 a 30 kHz. A potência de ruído na saída é de  $2,70 \cdot 10^{-11} \text{ V}^2$ , enquanto que a potência equivalente na entrada é de  $1,62 \cdot 10^{-9} \text{ V}^2$ .

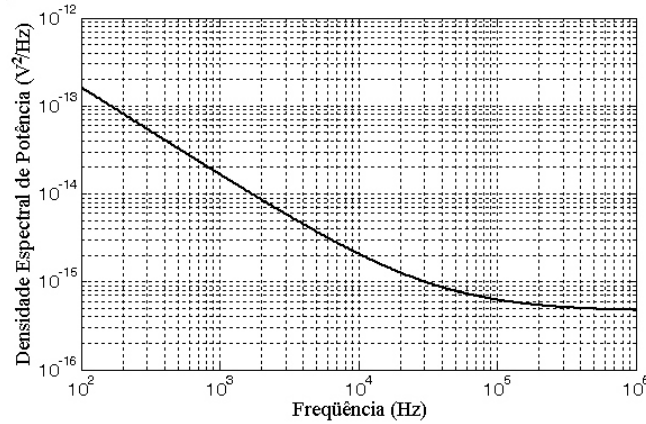


Figura IV.29: Densidade espectral de potência de ruído na saída do atenuador MOS.

Apesar do atenuador MOS distorcer um pouco o sinal em sua saída, esse efeito é atenuado no OTA proposto em virtude do par diferencial do OTA receber a versão atenuada da tensão de entrada medida diferencialmente entre os dois atenuadores do circuito. Ao empregar a tensão medida diferencialmente, os componentes harmônicos de ordem par são cancelados, reduzindo a distorção harmônica do sinal diferencial atenuado. Para verificar esse efeito, foi realizada uma simulação onde um sinal de entrada puramente diferencial foi aplicado a dois atenuadores MOS idênticos, e a tensão diferencial de saída foi medida entre as saídas de ambos os atenuadores. Na Fig. IV.30(a), são apresentados os gráficos da tensão diferencial de saída em função de uma varredura DC da tensão diferencial de entrada para diferen-

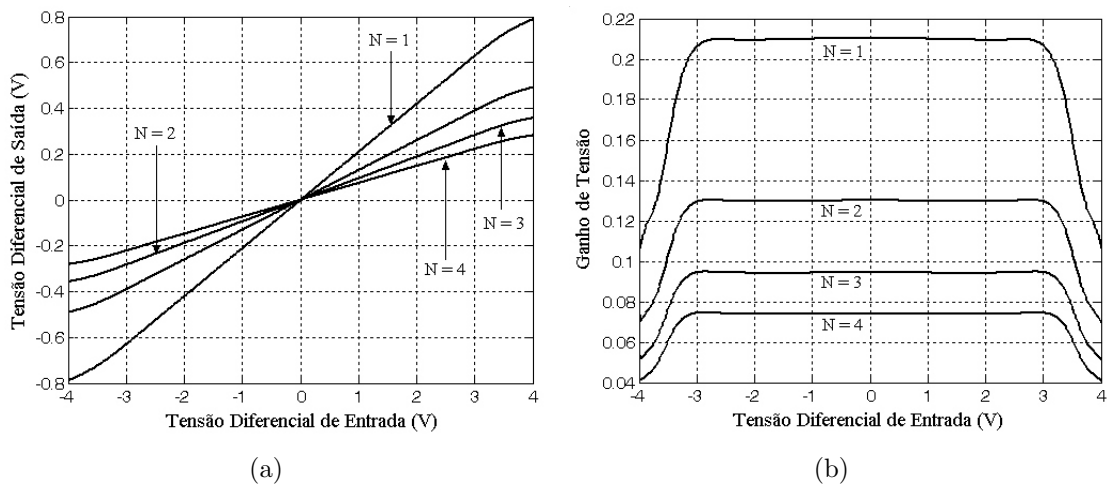


Figura IV.30: Varredura DC da tensão diferencial de entrada para diferentes configurações de ganho dos atenuadores.

tes configurações de ganho dos atenuadores. As derivadas primeiras dessas curvas são apresentadas na Fig. IV.30(b). Comparando esses resultados com aqueles da Fig. IV.23, nota-se uma significativa melhoria na linearidade da característica de transferência de tensão.

Analogamente ao que foi feito para um atenuador simples, na Fig. IV.31 é apresentado o gráfico da distorção harmônica total (THD) do sinal diferencial na saída em função da amplitude do sinal diferencial aplicado à entrada. Nota-se uma expressiva redução na distorção do sinal atenuado em relação aos resultados apresentados na Fig. IV.24.

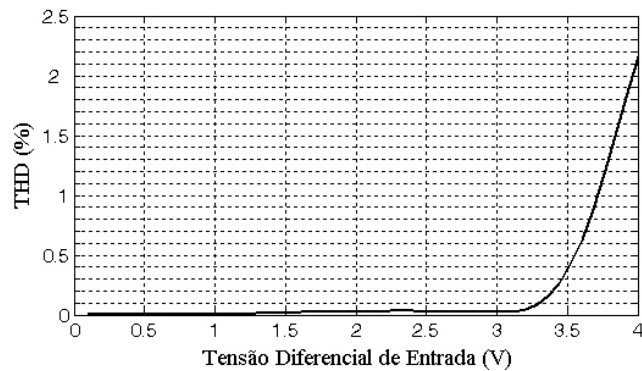


Figura IV.31: THD do sinal diferencial na saída em função da amplitude da tensão diferencial de entrada.

Apesar de reduzir a distorção do sinal atenuado, o uso de dois atenuadores na entrada do OTA proposto tem a desvantagem de contribuir para a tensão de *offset* diferencial do amplificador, pois descasamentos entre ambos os atenuadores irão proporcionar uma tensão diferencial DC na entrada do par diferencial do OTA. Para avaliar esse efeito, foram realizadas 500 simulações de Monte Carlo para medir como tensão DC medida diferencialmente nas saídas de ambos os atenuadores do OTA se comporta mediante variações de parâmetros de processo e de descasamento. Os resultados obtidos foram organizados no histograma da Fig. IV.32. De acordo com os resultados obtidos, verificou-se uma tensão de *offset* diferencial média de  $-28,75 \mu\text{V}$ , com um desvio padrão de  $1,27 \text{ mV}$ .

Comparando os resultados da Fig. IV.32 com os da Fig. IV.25, nota-se que houve uma redução significativa na variância da tensão de *offset*. Isso se deve ao fato de que as variações na tensão DC na saída devido a desvios de parâmetros que afetam igualmente ambos os atenuadores são canceladas quando a tensão de saída é medida diferencialmente, restando erros causados apenas por descasamentos entre os atenuadores. Como os resultados da Fig. IV.26 comprovam que os efeitos das variações de parâmetros do processo de fabricação são o efeito dominante sobre o *offset* do atenuador, é razoável esperar que a variância da tensão tomada diferencialmente seja menor.

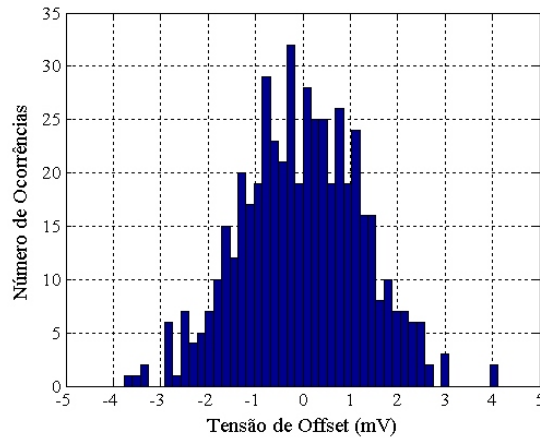


Figura IV.32: Histograma da tensão de *offset* diferencial obtido a partir de 500 simulações de Monte Carlo.

Por fim, foi também obtida a resposta em frequência dos atenuadores com a saída tomada diferencialmente. Ao contrário do que foi feito na simulação com apenas um atenuador — onde a saída do atenuador foi mantida em aberto —, neste caso foi considerada a influência das capacitâncias do par diferencial de entrada, medindo-se a resposta em frequência do par de atenuadores no próprio circuito do OTA. O gráfico com o módulo da resposta em frequência é apresentado na Fig. IV.33, o qual apresentou aproximadamente o mesmo formato da resposta apresentada na Fig. IV.28. Entretanto, nota-se que a resposta sofreu uma ligeira redução em torno da frequência do zero antes de começar a subir. Isso se deve ao fato de que há dois atenuadores no circuito analisado, com zeros localizados aproximadamente na mesma frequência. Além disso, nota-se que o ganho tende para um valor em altas frequências que vem a ser menor que aquele verificado na resposta do atenuador simples. Isso se deve ao aumento da capacitância no nó de saída por causa da inclusão do par diferencial do OTA. Assim, reduz-se o ganho do divisor capacitivo formado pela capacitância entre os nós  $v_{in}$  e  $v_o$  dos atenuadores e a capacitância dos nós de saída — o efeito desse divisor capacitivo é dominante em altas frequências.

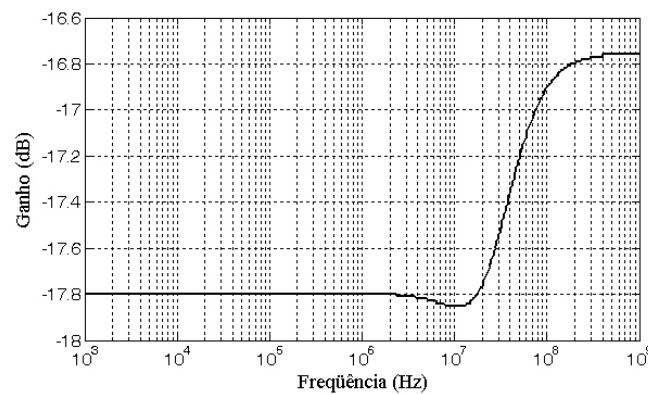


Figura IV.33: Resposta em frequência do atenuador duplo com a saída tomada diferencialmente.

## IV.3.2 - RESULTADOS OBTIDOS PARA O OTA

Inicialmente, foi realizada uma varredura DC da tensão diferencial de entrada do OTA, medindo-se a corrente resultante em um curto-circuito entre as suas duas saídas diferenciais. Na Fig. IV.34(a), são apresentados os gráficos da corrente na saída em função da tensão diferencial de entrada, obtidas para diferentes ajustes da tensão  $V_{ctrl}$ , no intervalo de 0,6 V até 2,5 V. As derivadas primeiras dessas curvas são apresentadas na Fig. IV.34(b), onde pode ser observado que a transcondutância do OTA proposto pode ser ajustada de 39,5 nA/V até 367,2 nA/V, e não sofre grandes variações com a tensão diferencial de entrada variando de  $-3$  a  $3$  V. Comparando esses resultados com os gráficos da Fig. IV.30, percebe-se que a faixa da tensão diferencial de entrada em que o OTA mantém a sua transcondutância é basicamente determinada pelos atenuadores. O valor de transcondutância de 200 nA/V, desejado para o filtro *anti-aliasing* da Seção IV.1, é conseguido com  $V_{ctrl} = 1,2$  V.

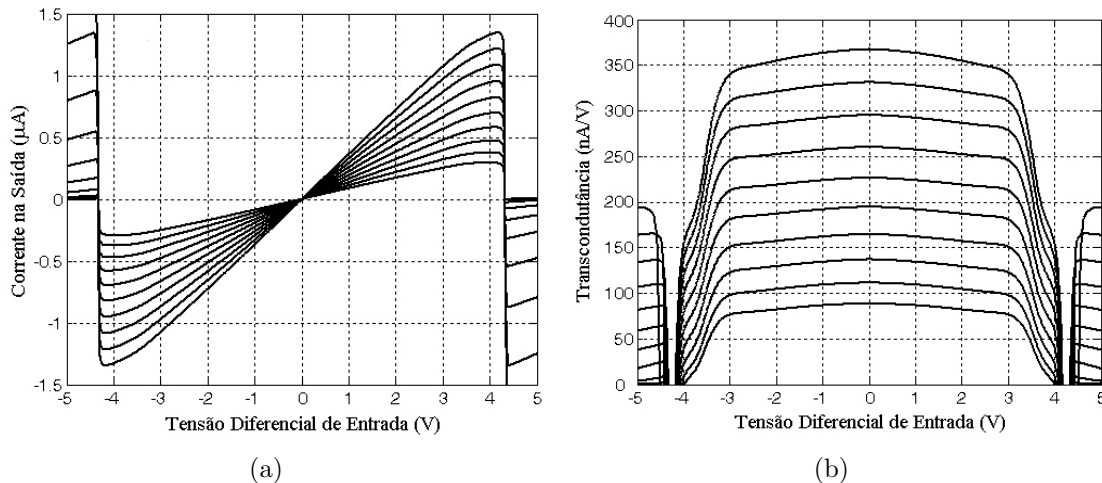


Figura IV.34: Correntes de curto-circuito na saída do OTA em função da tensão diferencial de entrada (a), obtidas para diferentes tensões de controle de transcondutância  $V_{ctrl}$ , juntamente com as suas respectivas derivadas (b).

Na Fig. IV.35 são apresentadas as formas de onda no tempo da corrente de curto-circuito na saída do OTA, obtidas para uma tensão senoidal de entrada com 1 V de amplitude diferencial, e para diferentes ajustes da tensão de controle da transcondutância  $V_{ctrl}$ .

Com o objetivo de quantificar a distorção produzida pelo OTA, foram obtidas as curvas da distorção harmônica total (THD) da forma de onda da corrente na saída em função da amplitude da tensão diferencial de entrada, considerando quatro diferentes ajustes da tensão  $V_{ctrl}$ , conforme mostrado na Fig. IV.36. De acordo com esses resultados, verifica-se que a maior distorção foi produzida para a menor tensão  $V_{ctrl}$  — ou seja, para a menor transcondutância. Para valores mais altos de  $V_{ctrl}$ , a distorção foi significativamente reduzida. Entretanto, ela voltou a subir

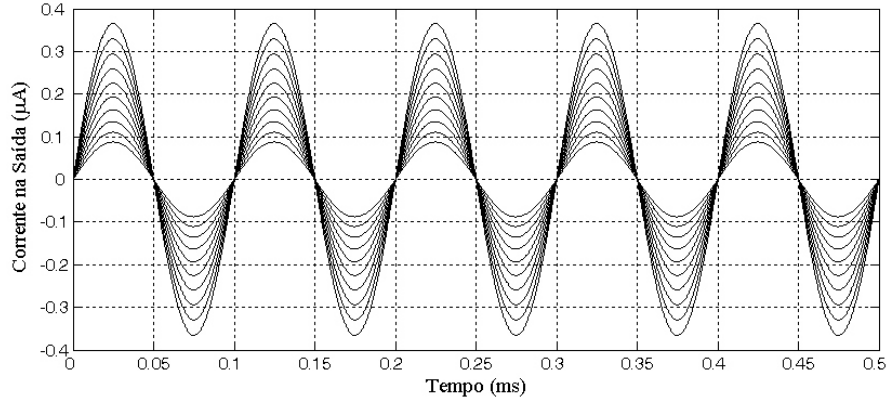


Figura IV.35: Resposta no tempo da corrente de curto-circuito na saída do OTA devido a uma tensão senoidal de entrada com 1 V de amplitude diferencial. Cada forma de onda foi obtida para um ajuste diferente da tensão  $V_{ctrl}$ .

ligeiramente para  $V_{ctrl} = 2,5$  V. Com  $V_{ctrl} = 1,2$  V — tensão que corresponde a uma transcondutância de aproximadamente 200 nA/V —, a distorção harmônica foi inferior a 0,6% para amplitudes da tensão diferencial de entrada inferiores a 3 V.

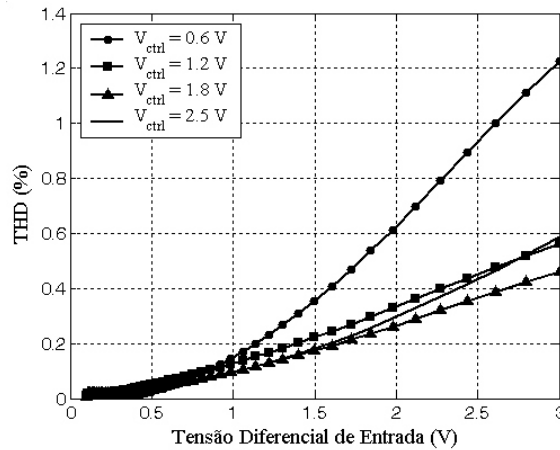


Figura IV.36: THD da forma de onda de corrente na saída do OTA em função da tensão diferencial de entrada para diferentes ajustes da tensão  $V_{ctrl}$ .

Para avaliar como a transcondutância do OTA é afetada por variações nos parâmetros do processo de fabricação e por descasamentos, foram realizadas simulações de Monte Carlo do transcondutor, considerando a tensão de controle ajustada em  $V_{ctrl} = 1,2$  V. Nas Fig. IV.37(a) e IV.37(b) são apresentadas as curvas da transcondutância obtidas através das simulações de Monte Carlo, considerando variações nos parâmetros do processo de fabricação e descasamentos nos transistores do OTA, respectivamente. A partir dos resultados, verifica-se que o efeito que mais afeta a transcondutância do OTA é a variação dos parâmetros do processo de fabricação. Isso acontece porque esses parâmetros afetam diretamente a resistência equivalente do transistor  $M_{tun}$ , responsável por definir a transcondutância do OTA. Essa é uma das razões pelas quais filtros Gm-C em geral devem ser implementados



com um sistema de sintonia automática, para evitar que a resposta em frequência do filtro apresente desvios consideráveis em relação às especificações de projeto.

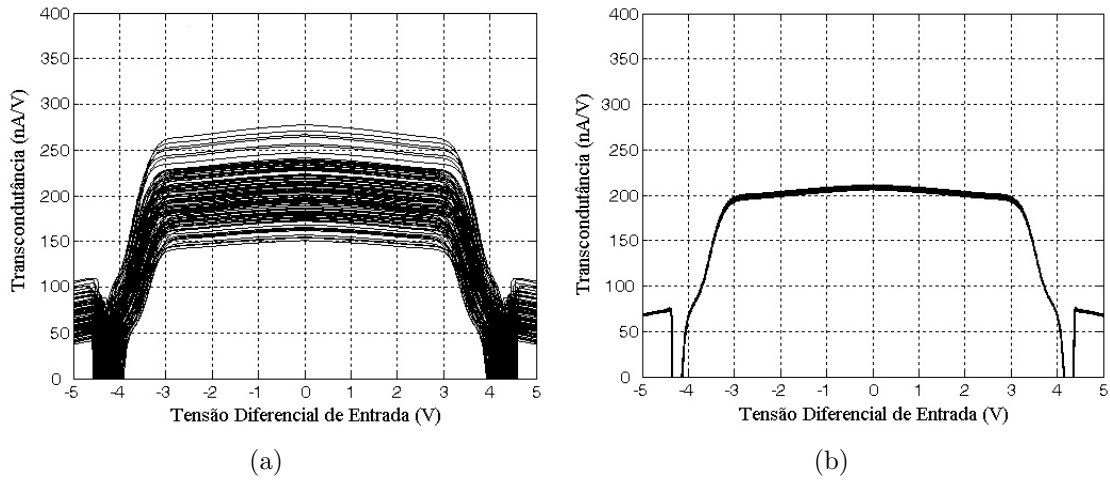


Figura IV.37: Curvas da transcondutância do OTA em função da tensão diferencial de entrada, com  $V_{ctrl} = 1,2$  V, obtidas em 100 simulações de Monte Carlo, considerando variações dos parâmetros do processo de fabricação (a) e descasamentos entre os transistores (b).

A resposta em frequência do OTA foi obtida através da simulação de um integrador Gm-C formado pelo transcondutor proposto e uma capacitância de carga  $C_L = 1,16$  pF — que corresponde à menor capacitância do filtro —, conforme mostrado na Fig. IV.38. Essas simulações, a transcondutância  $G_m$  do OTA foi variada de 39,5 a 367,2 nA/V. Simulando a resposta em frequência do integrador para diferentes ajustes da transcondutância do OTA, obtêm-se os gráficos da Fig. IV.39, para as respostas de módulo e fase.

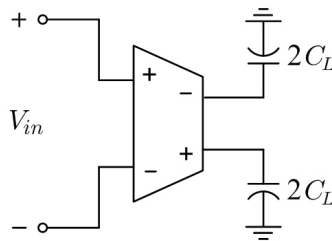


Figura IV.38: Integrador Gm-C empregado na medição da resposta em frequência do OTA.

A função de transferência de um integrador Gm-C ideal seria

$$H(s) = \frac{G_m}{s C_L}, \quad (\text{IV.39})$$

onde  $G_m$  é a transcondutância do OTA. Todavia, na resposta em frequência obtida na Fig. IV.39, verifica-se a presença de um pólo em baixa frequência. Esse pólo se

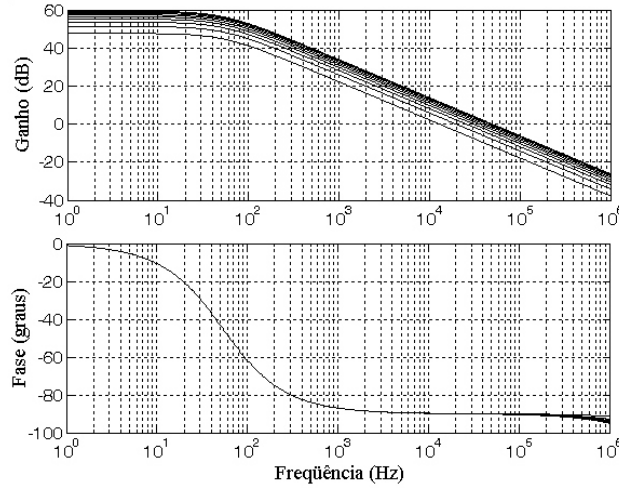


Figura IV.39: Resposta em frequência do integrador Gm-C da Fig. IV.38, obtida para diferentes ajustes da tensão de controle da transcondutância  $V_{ctrl}$ .

deve à impedância de saída finita do OTA real, que deve ser alta o suficiente para que a resposta em frequência do circuito seja bem próxima da de um integrador ideal na faixa de frequências de interesse. No caso do presente projeto, a faixa de interesse vai de 10 a 30 kHz. De acordo com os resultados da Fig. IV.39, nessa faixa de frequências, o circuito se comporta como um integrador, onde o módulo da resposta em frequência cai a uma taxa de 20 dB/década, apresentando um desvio de fase de aproximadamente  $90^\circ$ .

Considerando o caso mais realista, onde a impedância de saída do OTA é dada por  $R_o$ , a função de transferência do circuito da Fig. IV.38 seria dada por

$$H_{real}(s) = \frac{G_m R_o}{1 + s R_o C_L}. \quad (IV.40)$$

De acordo com essa expressão, verifica-se que o ganho DC do circuito é dado por  $G_m R_o$ , o qual depende diretamente da transcondutância do OTA. Por essa razão, nos resultados da Fig. IV.39, verificou-se que o ganho DC muda com a tensão de controle de transcondutância  $V_{ctrl}$ . Além disso, como a frequência do pólo não depende da transcondutância, esta se manteve inalterada para os diferentes ajustes de  $V_{ctrl}$  considerados na simulação, conforme pode ser verificado claramente no gráfico da resposta de fase.

Com relação ao ruído produzido pelo OTA, na Fig. IV.40 são apresentados os gráficos das densidades espectrais de potência de ruído equivalente na entrada e na saída do OTA. Com relação ao ruído equivalente na entrada, o gráfico de sua densidade espectral mostra que o ruído flicker é predominante até cerca de centenas de kHz. Como a simulação de ruído foi realizada com o circuito integrador da Fig. IV.38, a densidade espectral de ruído na saída do OTA é afetada pela resposta em frequência do circuito, fazendo com que seu gráfico tenha um formato diferente

daquele obtido para o ruído equivalente na entrada. Deve ser mencionado aqui que a escolha do menor capacitor do filtro Gm-C como capacitância de carga para essa simulação se deve justamente ao fato de que este capacitor produzirá o pólo em mais alta frequência na resposta do integrador, levando ao pior caso da potência de ruído na saída.

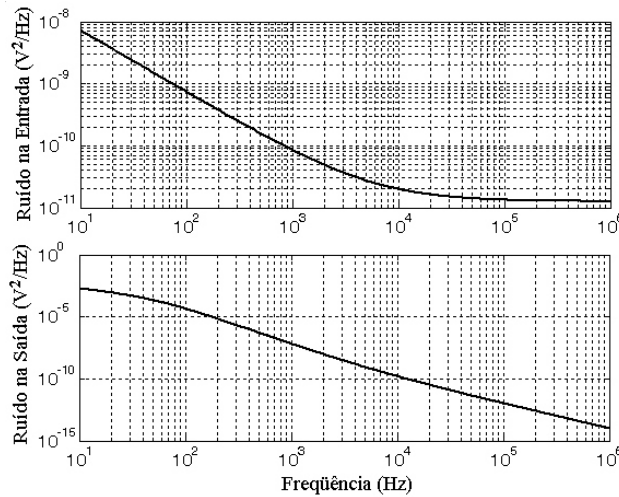


Figura IV.40: Densidade espectral de potência de ruído equivalente na entrada (a) e na saída (b) do OTA.

A potência de ruído verificada na saída do OTA, na banda de 10 a 30 kHz, foi de  $8,598 \cdot 10^{-7} \text{ V}^2$ , enquanto que a potência de ruído equivalente na entrada foi de  $3,321 \cdot 10^{-7} \text{ V}^2$ . Além disso, de acordo com o simulador, os transistores do OTA que mais contribuíram com a potência de ruído na saída são apresentadas na Tabela IV.6. Os transistores  $M_4$ ,  $M_5$ ,  $M_9$ ,  $M_{10}$ ,  $M_{11}$  e  $M_{12}$  não foram incluídos na tabela, por contribuírem com menos de 0,1% da potência total de ruído. De acordo com os resultados da tabela, a maior parte da potência de ruído produzida pelo OTA é proveniente dos transistores que implementam as fontes de corrente do cascode dobrado, com destaque para os transistores  $M_{13}$  e  $M_{14}$ , que são os responsáveis pela maior parcela do ruído produzido pelo OTA. A principal conclusão que se pode

Tabela IV.6: Contribuição percentual de cada grupo de transistores para a potência de ruído na saída do OTA.

Transistores	Contribuição de Ruído (%)
$M_{13}$ e $M_{14}$	64,64
$M_7$ e $M_8$	17,08
$M_1$ (ambos)	11,38
$M_2$ e $M_3$	2,82
$M_N$ (ambos)	2,28
$M_{tun}$	0,73
$M_{A1}$ (ambos)	0,72
$M_{A2}$ (ambos)	0,32

extrair dos dados da Tabela IV.6 é o fato de que tanto os transistores do atenuador, como também os transistores  $M_N$  do divisor de corrente, contribuíram com apenas 3,32% do ruído total produzido pelo OTA.

Por fim, resta avaliar como será a tensão de *offset* diferencial devido a descasamentos nos transistores do OTA, pois este é um dos maiores problemas usualmente verificados em OTA's com baixa transcondutância [96]. Como exemplo, considere o circuito do OTA apresentado na Fig. IV.14. Caso os transistores  $M_7$  e  $M_8$  não estejam perfeitamente casados, a corrente em um dos ramos da saída diferencial será diferente da corrente na outra. Esse efeito também ocorre se houver descasamentos entre  $M_2$  e  $M_3$ ,  $M_{13}$  e  $M_{14}$ , entre os transistores  $M_1$  e  $M_N$  do par diferencial e entre os atenuadores. Dessa forma, uma tensão diferencial deverá ser aplicada à entrada do OTA para compensar o efeito desses descasamentos de corrente. Essa tensão de compensação na entrada é, por definição, a tensão de *offset* diferencial do amplificador. Nas aplicações onde a transcondutância é elevada, para compensar um pequeno desbalanço de corrente na saída do OTA, basta uma tensão de *offset* bem pequena na entrada. Entretanto, quanto menor a transcondutância do OTA, maior será a tensão de *offset* necessária para compensar o mesmo desbalanço de corrente. No presente projeto, por exemplo, em erro de 1% no casamento entre as correntes de  $2 \mu\text{A}$  que polarizam a saída do OTA produzirá um desbalanço de  $20 \text{ nA}$ . Considerando uma transcondutância de  $200 \text{ nA/V}$ , seria necessária uma tensão de *offset* de  $100 \text{ mV}$  na entrada para compensar o desbalanço de corrente.

Para evitar desbalanços de corrente que levem a grandes tensões de *offset*, pode-se empregar uma corrente de polarização bem baixa, pois um erro no casamento entre os transistores produzirá um desbalanço proporcional à corrente de polarização. Entretanto, baixas correntes de polarização limitam a faixa de tensões diferenciais que podem ser aplicadas à entrada do OTA. Isso ocorre porque a máxima corrente que o transcondutor pode fornecer em sua saída é limitada exatamente pela sua polarização. Por essa razão, OTA's com baixa transcondutância e baixa tensão de *offset* apresentam uma reduzida faixa para a tensão diferencial de entrada, onde a distorção produzida é aceitável [83, 89, 92]. Em [94], por exemplo, são comparadas quatro topologias de OTA com baixa transcondutância, onde se verifica que reduzindo a faixa de tensão diferencial de entrada que produz  $\text{THD} < 1\%$ , diminui-se a tensão de *offset*.

No presente trabalho, o transcondutor proposto apresenta  $\text{THD} < 1\%$  para uma ampla faixa da tensão diferencial de entrada. Portanto, é imprescindível avaliar o comportamento da tensão de *offset* diferencial produzida pelo OTA. Para tanto, foi empregado o circuito do OTA com realimentação unitária, conforme mostrado na Fig. IV.41. Nesse circuito, devido à elevada impedância de saída do OTA, um desbalanço de corrente produzirá uma tensão significativamente alta. Ao aplicar

inversamente a tensão de saída à entrada, o circuito irá se estabilizar com uma tensão de saída que corresponde à tensão de *offset* que deve ser aplicada à entrada para compensar os desbalanços do circuito.

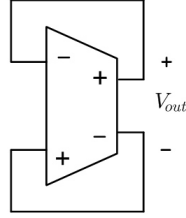


Figura IV.41: Circuito para medição da tensão de offset diferencial.

A tensão de *offset* obtida por essa medida depende do ganho de tensão DC do OTA:

$$V_{out} = \frac{A_V}{1 + A_V} \cdot V_{off}, \quad (IV.41)$$

onde  $A_V$  é o ganho de tensão DC do amplificador e  $V_{off}$  é a tensão de *offset* diferencial que deseja-se medir. Assim, o erro de se medir  $V_{off}$  a partir de  $V_{out}$  é

$$\frac{V_{off} - V_{out}}{V_{off}} = \frac{1}{1 + A_V}. \quad (IV.42)$$

Como temos que  $A_V > 100$ , então o erro nos resultados obtidos será menor que 1%.

Realizando 500 simulações de Monte Carlo, considerando descasamentos entre transistores e variações de parâmetros de processo, obteve-se o histograma da Fig. IV.42, onde verifica-se que a tensão de *offset* está distribuída com uma média de  $-6,19$  mV e um desvio padrão de  $\sigma = 107,69$  mV. Levando-se em consideração que o OTA apresentou THD  $< 1\%$  para tensões diferenciais de até 3 V, a faixa de tensões de *offset* correspondendo a  $3\sigma = 323,07$  mV equivale a 10,7% da excursão máxima de sinal na entrada do OTA.

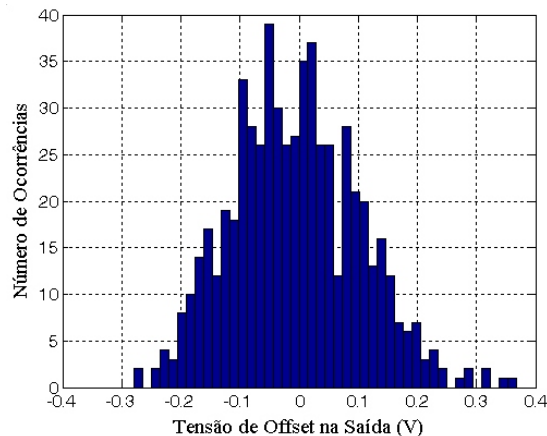


Figura IV.42: Histograma com a distribuição estatística da tensão de offset diferencial do OTA.

Deve ser mencionado que, de acordo com os resultados de simulação obtidos para o atenuador diferencial na seção anterior, a tensão de *offset* diferencial produzida por este apresenta uma média de  $-28,75 \mu\text{V}$  e  $\sigma = 1,27 \text{ mV}$ . A média, teoricamente, deveria ser zero, mas apresentou esse baixo valor devido ao número finito de simulações de Monte Carlo realizadas. Descontando a atenuação de cerca de cinco vezes, a tensão de *offset* equivalente na entrada apenas devido aos atenuadores terá, aproximadamente, média de  $-143,75 \mu\text{V}$  e  $\sigma = 6,35 \text{ mV}$ . De acordo com essa estimativa, verifica-se que os atenuadores contribuem muito pouco com a tensão de *offset* obtida para o transcondutor.

Na Tabela IV.7 são apresentados os principais parâmetros de desempenho do OTA, medidos através de simulações.

Tabela IV.7: Parâmetros de desempenho do OTA.

Parâmetros	Valores
Ganho DC	52,3 até 64,7 dB
Transcondutância	39,5 até 367,2 nA/V
Ruído na Saída	$8,598 \cdot 10^{-7} \text{ V}^2$
GB	11,6 até 48,3 kHz
Margem de Fase	$90,6^\circ$ até $90,3^\circ$
Potência	$100,7 \mu\text{W}$

### IV.3.3 - RESULTADOS OBTIDOS PARA O CONTROLE DE MODO COMUM

Na seção anterior, foram realizadas simulações para avaliar o desempenho geral do OTA projetado. Nesta seção, são apresentados os resultados de simulação visando avaliar exclusivamente a performance do sistema de controle de modo comum.

Primeiramente, foi adotado o circuito da Fig. IV.41, contendo os mesmos capacitores de carga empregados no integrador da Fig. IV.38. Definindo uma condição inicial de 1,0 V para ambos os capacitores de carga, foram realizadas 100 simulações de Monte Carlo da resposta transitória para avaliar o valor da tensão de modo comum que seria estabelecido na saída do OTA em regime permanente. Na Fig. IV.43(a) são apresentados os resultados obtidos considerando apenas variações nos parâmetros do processo de fabricação, enquanto que os gráficos da Fig. IV.43(b) foram obtidos considerando-se apenas descasamentos entre os componentes do circuito. De acordo com os resultados, verifica-se que os descasamentos entre os transistores são os responsáveis pelos erros na tensão de modo comum na saída do OTA em regime permanente, conforme já era esperado. Considerando casamento ideal entre os transistores e parâmetros médios típicos para os parâmetros do processo de fabricação, a tensão de modo comum na saída do OTA se estabilizou em  $-3,29 \text{ mV}$ .

Considerando o mesmo circuito do integrador da Fig. IV.38, foi aplicado um sinal senoidal com frequência de 1 kHz e amplitude de 100 mV na entrada  $V_{in}$ . Na

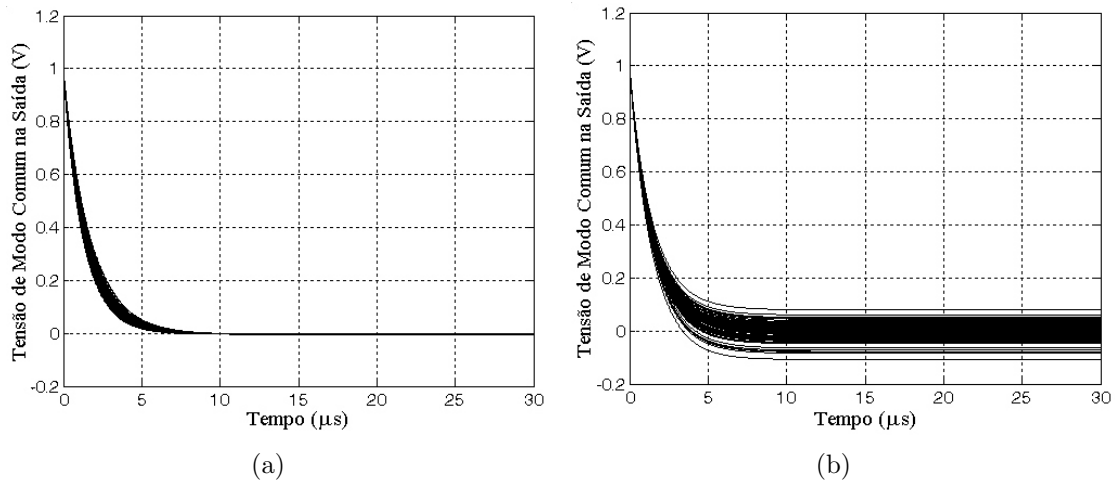


Figura IV.43: Respostas transitórias da tensão de modo comum na saída do OTA obtidas em 100 simulações de Monte Carlo, considerando variações dos parâmetros do processo de fabricação (a) e descasamentos entre os transistores (b).

Fig. IV.44 são apresentadas as formas de onda das tensões medidas em ambas as saídas diferenciais do OTA em relação à terra. Nesses resultados, verifica-se o comportamento transitório inicial referente à ação do circuito de controle estabilizando a tensão de modo comum na saída em  $-3,29$  mV, mesmo na presença de um sinal diferencial na saída com  $2,8$  V de amplitude.

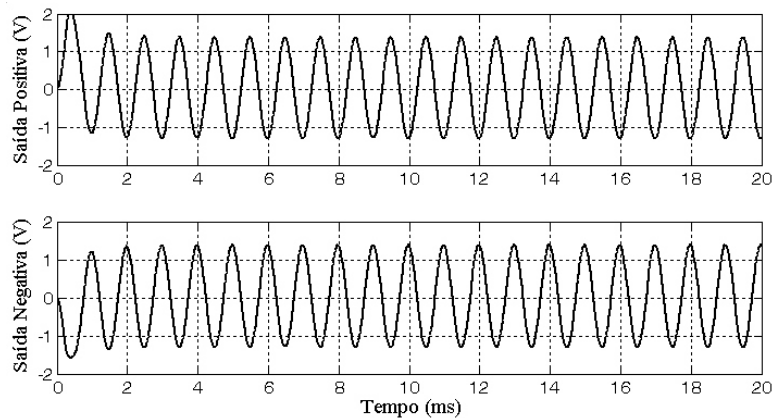


Figura IV.44: Formas de onda das tensões medidas em ambas as saídas diferenciais do OTA em relação à terra.

Com o objetivo de avaliar a estabilidade do sistema de controle de modo comum do OTA, foi realizada a simulação da resposta em frequência em malha aberta, onde as portas dos transistores  $M_{C1}$ - $M_{C4}$  foram desconectadas das saídas  $v_{o+}$  e  $v_{o-}$  no circuito da Fig. IV.16, e conectadas a uma fonte de tensão que simula o modo comum na saída do OTA. O restante do circuito foi montado conforme mostra a Fig. IV.45<sup>3</sup>, onde os capacitores de carga têm o mesmo valor considerado na simulação

<sup>3</sup>Apesar do OTA estar realimentado, a malha do circuito de controle de modo comum — não mostrada na figura — está aberta.

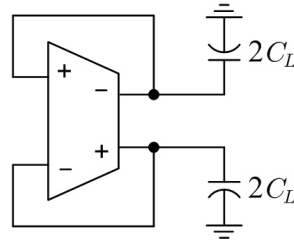


Figura IV.45: Circuito empregado na medição da resposta em frequência do circuito de controle de modo comum em malha aberta.

da resposta em frequência do OTA. Assim, a resposta em frequência entre a fonte de modo comum e a saída do OTA é apresentada na Fig. IV.46, onde se verifica que o ganho DC em malha aberta é de 26,88 dB, e a margem de fase é de 89,7°. Conforme já mencionado na Seção IV.2.3, este sistema de controle de modo comum tem a desvantagem de proporcionar um baixo ganho DC. A margem de fase, por sua vez, é definida pelo pólo dominante, formado pela capacitância de carga  $C_L$  e pela impedância de saída do OTA, e apresentou um valor adequado para garantir a estabilidade do sistema de controle de modo comum.

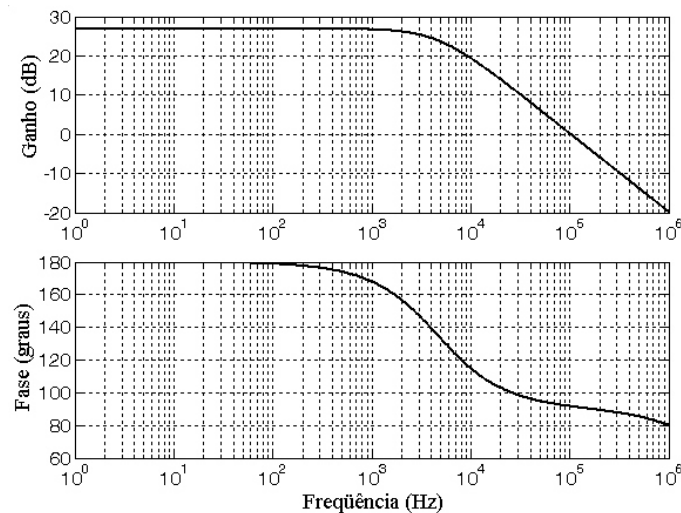


Figura IV.46: Resposta em frequência do sistema de controle de modo comum em malha aberta.

Na Seção IV.2.4, os transistores  $M_{C1}$ - $M_{C4}$  do sistema de controle de modo comum foram dimensionados de modo que o efeito da parcela diferencial da tensão na saída em  $M_{C1}$  e  $M_{C2}$  fosse cancelado pelo mesmo efeito em  $M_{C3}$  e  $M_{C4}$ , levando ao comportamento ilustrado na Fig. IV.22. Neste ponto, deve ser verificado se descasamentos entre os transistores podem afetar significativamente esse comportamento. Para isso, os gráficos da tensão de modo comum em função da parcela diferencial — apresentados na Fig. IV.47 — foram obtidos em 100 simulações de Monte Carlo, considerando descasamentos entre os componentes e variações nos parâmetros do processo de fabricação. De acordo com os resultados, verifica-se novamente que a



tensão de modo comum estabelecida na saída do OTA varia consideravelmente, em virtude do baixo ganho de transcondutância dos transistores  $M_{C1}$ - $M_{C4}$ , polarizados na região de triodo. Entretanto, mesmo com essas variações, a tensão de modo comum em cada uma das curvas sofre poucas variações em uma ampla faixa da parcela diferencial da tensão de entrada.

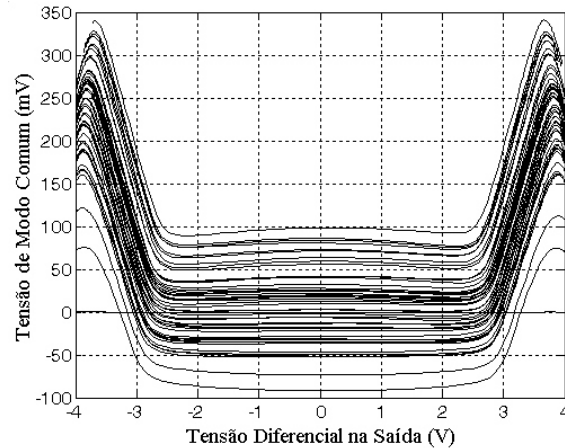


Figura IV.47: Curvas da tensão de modo comum na saída do OTA dadas em função da parcela diferencial, obtidas em 100 simulações de Monte Carlo.

#### IV.3.4 - RESULTADOS OBTIDOS PARA O FILTRO GM-C

Primeiramente, são apresentadas na Fig. IV.48 as respostas em frequência do filtro Gm-C, obtidas para diferentes ajustes da tensão de controle da transcondutância dos OTA's, variando de 0,6 V até 2,5 V. De acordo com esses resultados, verifica-se que o limite superior da banda passante do filtro varia de 5,25 até 52,4 kHz, ou seja, praticamente uma década. Além disso, também verificou-se uma ligeira variação no ganho da resposta em frequência do filtro com a mudança no ajuste da transcondutância dos OTA's. Esse efeito se deve à impedância de saída finita dos transdutores, a qual afeta a resposta em frequência do filtro e permanece fixa enquanto a transcondutância do OTA é ajustada.

A fim de verificar a sensibilidade do filtro Gm-C em relação às variações nos parâmetros do processo de fabricação e os descasamentos entre os componentes, foram realizadas simulações de Monte Carlo considerando cada um desses dois efeitos separadamente. Na Fig. IV.49 são apresentados os resultados obtidos para a resposta em frequência do filtro em 100 simulações de Monte Carlo, considerando apenas variações aleatórias nos parâmetros do processo de fabricação. Já na Fig. IV.50, são apresentados os resultados obtidos em outras 100 simulações de Monte Carlo, considerando apenas descasamentos entre os componentes do filtro. Todos esses resultados foram obtidos considerando  $V_{ctrl} = 1,2$  V, o que corresponde a uma transcondutância de aproximadamente 200 nA/V para os OTA's do filtro — quando

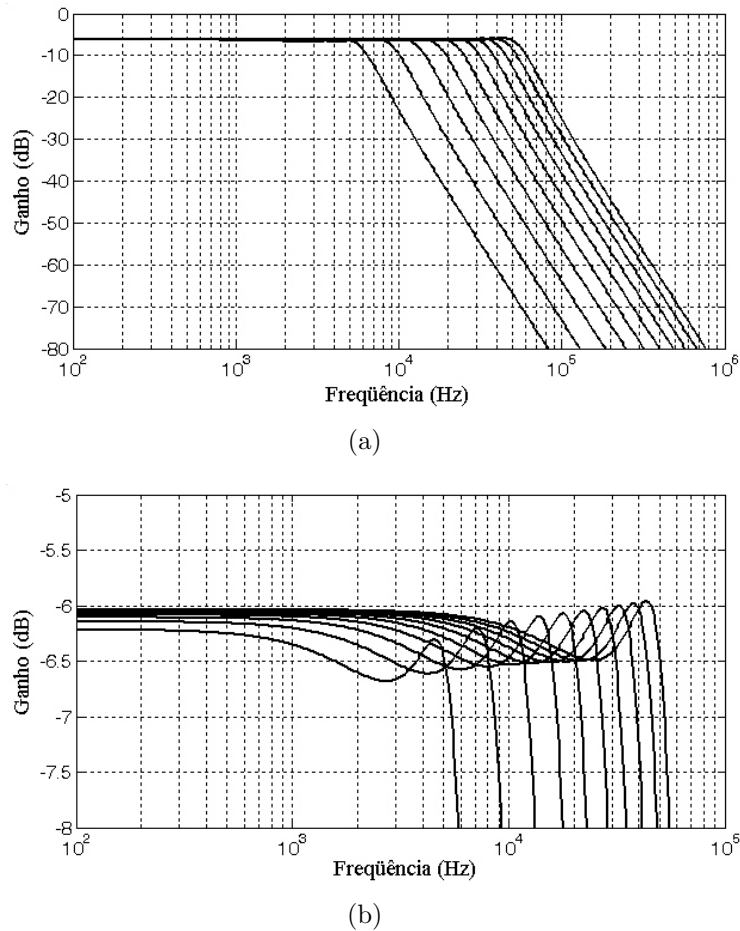


Figura IV.48: Respostas em frequência do filtro Gm-C, obtidas para diferentes ajustes da tensão de controle da transcondutância dos OTA's (a), juntamente com o detalhe da banda passante (b).

são considerados os valores típicos dos parâmetros do processo de fabricação. Deste ponto em diante nesta seção, todos os resultados apresentados foram obtidos com esse ajuste da tensão  $V_{ctrl}$ .

De acordo com os resultados obtidos nas simulações de Monte Carlo, verifica-se que as variações nos parâmetros do processo de fabricação têm impacto direto na frequência de corte do filtro. Tal resultado já era esperado, levando-se em consideração a dependência dessa frequência de corte com respeito à transcondutância dos OTA's. Essa dependência ficou comprovada nos resultados apresentados na Fig. IV.37(a), onde foi verificado que essas transcondutâncias são significativamente sensíveis às variações nos parâmetros do processo de fabricação. Por outro lado, os descasamentos entre os componentes não afetou significativamente a frequência de corte do filtro, mas influenciou no ganho do filtro em toda a banda passante. Por fim, deve ser mencionado que o uso de uma rede *ladder* na síntese do filtro teve grande influência na sensibilidade verificada, pois o filtro Gm-C herdou a baixa sensibilidade de seu protótipo [115].

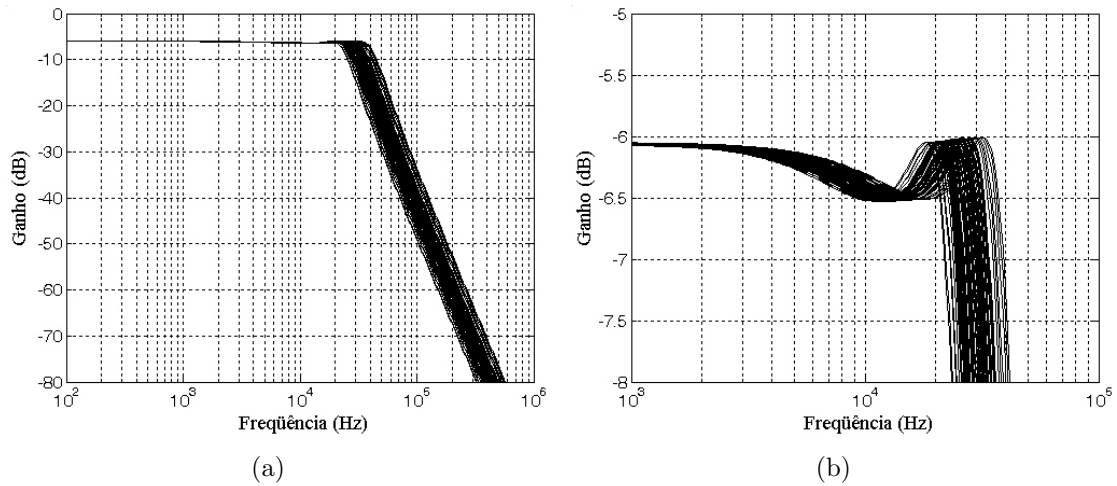


Figura IV.49: Respostas em frequência do filtro Gm-C obtidas em 100 simulações de Monte Carlo, considerando apenas variações nos parâmetros do processo de fabricação.

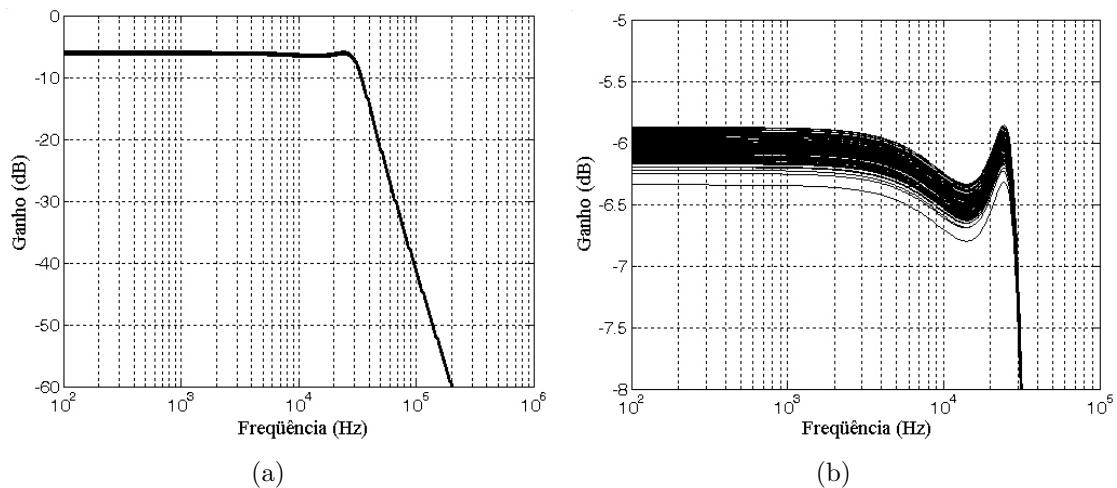
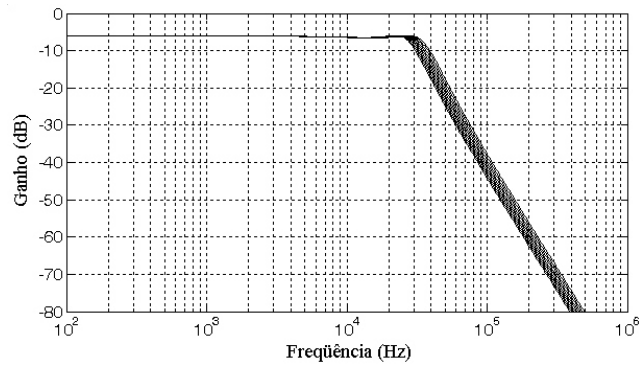


Figura IV.50: Respostas em frequência do filtro Gm-C obtidas em 100 simulações de Monte Carlo, considerando apenas descasamentos entre os componentes.

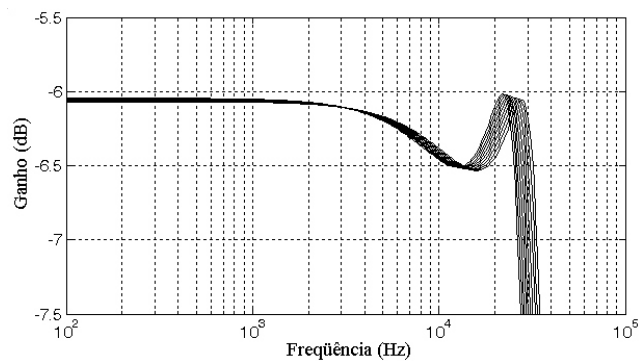
Comparando os resultados mostrados nas Fig. IV.48 e IV.49, nota-se que a faixa de frequências de corte em que o filtro Gm-C pode ser ajustado excede o intervalo que a mesma frequência de corte pode assumir quando são consideradas variações nos parâmetros no processo de fabricação. Portanto, o filtro projetado pode perfeitamente compensar os efeitos de variação dos parâmetros caso seja adotado algum tipo de sistema de sintonia que ajuste a tensão  $V_{ctrl}$  até que o filtro fabricado atinja sua frequência de corte especificada.

Na Fig. IV.51 são apresentadas as respostas em frequência do filtro Gm-C obtidas para diferentes temperaturas linearmente espaçadas no intervalo de  $-40$  a  $85^\circ$  C. Nota-se que a variação de temperatura afeta basicamente a frequência de corte do filtro, assim como o que foi verificado para variações nos parâmetros de processo. Tal comportamento já era esperado, tendo-se em vista que a temperatura afeta

diretamente os parâmetros do processo de fabricação.



(a)



(b)

Figura IV.51: Respostas em frequência do filtro Gm-C obtidas considerando-se temperaturas linearmente espaçadas entre  $-40$  e  $85^\circ$  C.

Na Fig. IV.52, são apresentados os gráficos da resposta em frequência do filtro em relação a cada um dos nós internos do filtro Gm-C da Fig. IV.6 — nos gráficos, os nós internos são identificados através dos capacitores a eles conectados. De acordo com esses resultados, verifica-se que o ganho entre a entrada e qualquer um dos

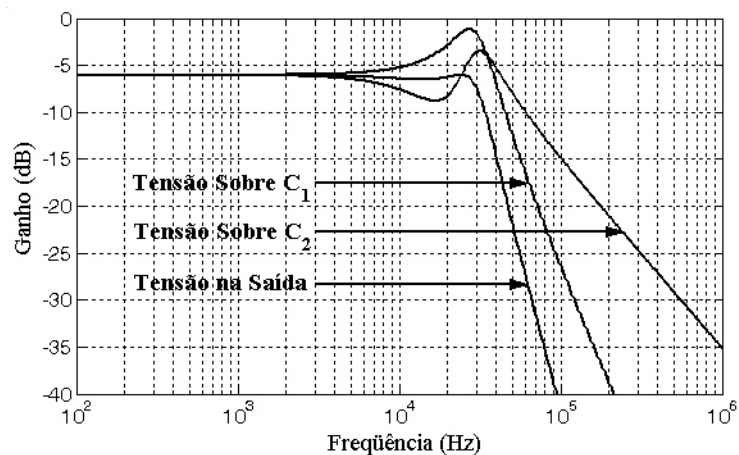


Figura IV.52: Resposta em frequência do filtro Gm-C com respeito aos nós internos do circuito do filtro.

nós internos não ultrapassa 0 dB. Portanto, não há problemas relacionados com a excursão de sinal nas saídas dos OTA's do filtro.

Com relação à distorção harmônica produzida pelo filtro, na Fig. IV.53 é apresentado o gráfico da distorção harmônica total do sinal na saída do filtro Gm-C em função da amplitude diferencial do sinal de entrada. Nessa simulação, foi considerado um sinal de entrada com frequência de 1,0 kHz, para que os seus harmônicos mais significativos pertençam à banda passante do filtro. De acordo com esse resultado, verifica-se que a distorção do sinal na saída cresce lentamente com a amplitude do sinal de entrada até esta atingir 3,0 V. A partir desse valor de amplitude, a taxa de crescimento da distorção aumenta, fazendo com que o THD atinja 1% para uma amplitude do sinal de entrada de aproximadamente 3,5 V. Tal comportamento está intimamente relacionado com a distorção produzida pelos atenuadores na entrada dos OTA's que compõem o filtro, conforme pode ser constatado comparando-se os resultados da Fig. IV.53 com os da Fig. IV.31.

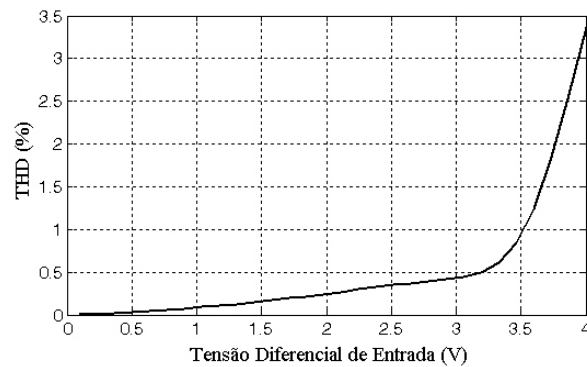


Figura IV.53: Distorção harmônica total do sinal na saída do filtro Gm-C em função da amplitude de um sinal diferencial de entrada com frequência de 1,0 kHz.

A fim de se avaliar o quanto a distorção harmônica é afetada por descasamentos entre os transistores e por variações nos parâmetros de processo, foram realizadas 500 simulações de Monte Carlo, onde a amplitude do sinal diferencial de entrada foi mantida fixa em 3,0 V. O histograma com os resultados obtidos é apresentado na Fig. IV.54, onde se verifica que o THD é relativamente pouco afetado por descasamentos e variações no processo de fabricação.

Na Fig. IV.55 são apresentadas formas de onda obtidas através da simulação no tempo do filtro Gm-C, considerando um sinal diferencial de entrada com amplitude de 3,0 V. A forma de onda da tensão diferencial na saída é apresentada no primeiro gráfico, onde percebe-se a atenuação de 6,02 dB proporcionada pelo filtro — atenuação herdada do protótipo *ladder* empregado na síntese do filtro. No segundo gráfico, são apresentadas as formas de onda das tensões em cada uma das saídas diferenciais do filtro, referenciadas em relação à terra.

A fim de avaliar a tensão de *offset* diferencial na saída do filtro, foram realizadas

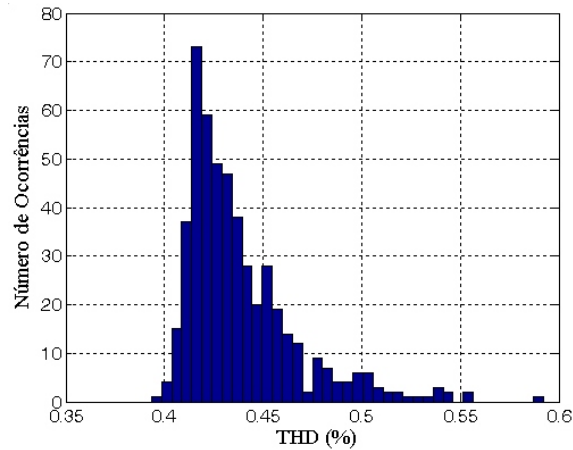


Figura IV.54: Histograma com os dados obtidos em 500 simulações de Monte Carlo para a distorção harmônica total do sinal na saída do filtro Gm-C devido a um sinal diferencial com 3,0 V de amplitude em 1 kHz.

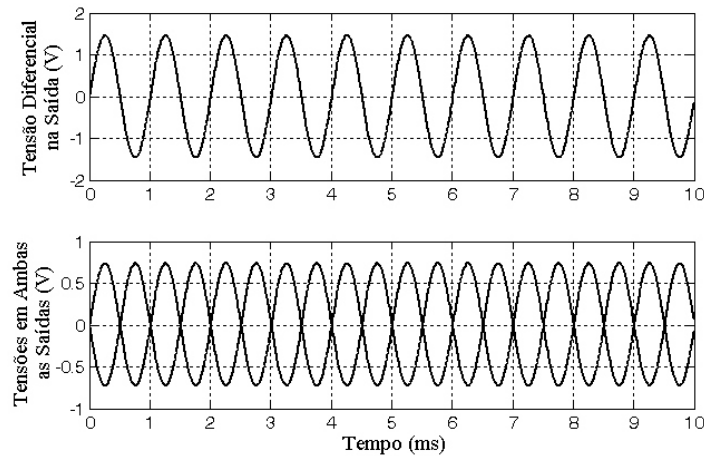


Figura IV.55: Resposta no tempo do filtro Gm-C, mostrando o sinal diferencial na saída, juntamente com as formas de onda dos sinais em cada uma das saídas referenciadas em relação à terra.

100 simulações de Monte Carlo da mesma resposta no tempo apresentada na Fig. IV.55, considerando tanto variações nos parâmetros do processo de fabricação, como também descasamentos entre os componentes. As formas de onda obtidas para a tensão diferencial na saída são apresentadas na Fig. IV.56. Já nas Fig. IV.57 e IV.58, são apresentadas as formas de onda das tensões medidas nos terminais positivo e negativo na saída do filtro, respectivamente, referenciadas em relação à terra.

A fim de melhor quantificar tanto a tensão de modo comum como também a tensão de *offset* diferencial na saída do filtro Gm-C, o ponto de polarização DC do filtro foi obtido em 500 simulações de Monte Carlo, considerando tanto variações nos parâmetros do processo de fabricação, como também descasamentos entre os componentes. Os resultados estão organizados nos histogramas da Fig. IV.59. De acordo com esses dados, a tensão de modo comum média na saída do filtro foi de  $-3,89$  mV, com um desvio padrão de  $24,3$  mV. Já o valor médio da tensão de *offset*

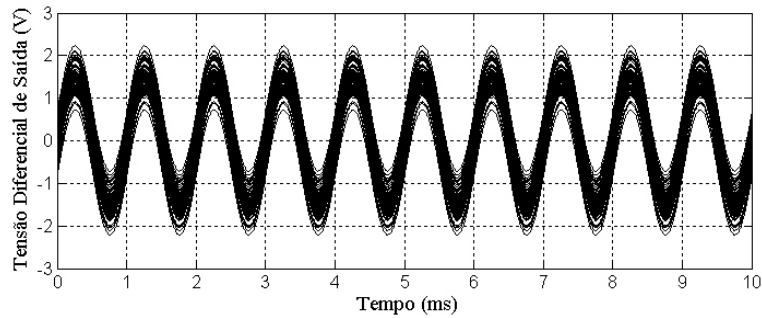


Figura IV.56: Resultados obtidos em 100 simulações de Monte Carlo para a forma de onda da tensão diferencial na saída do filtro Gm-C.

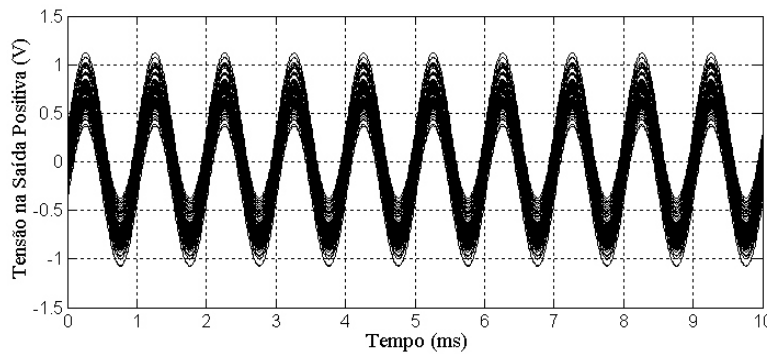


Figura IV.57: Formas de onda da tensão no terminal de saída positivo do filtro Gm-C, obtidas em 100 simulações de Monte Carlo.

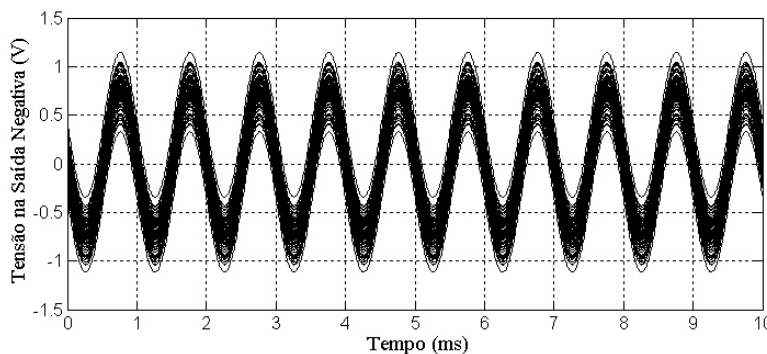


Figura IV.58: Formas de onda da tensão no terminal de saída negativo do filtro Gm-C, obtidas em 100 simulações de Monte Carlo.

na saída foi de  $-1,52$  mV, com um desvio padrão de  $269,1$  mV. De acordo com esses resultados, verifica-se que o sistema de controle de modo comum adotado conseguiu manter o modo comum na saída do filtro em níveis aceitáveis, em comparação com a excursão de sinal. Em relação à tensão de *offset* diferencial na saída, já era esperada uma variância significativa, levando-se em conta os resultados apresentados na Seção IV.3.2. Mesmo assim, analisando os resultados da Fig. IV.56, nota-se que as tensões de *offset* diferencial na saída do filtro ainda são aceitáveis quando comparadas com a excursão de sinal.

Na Fig. IV.60 é apresentado o gráfico da densidade espectral de potência do

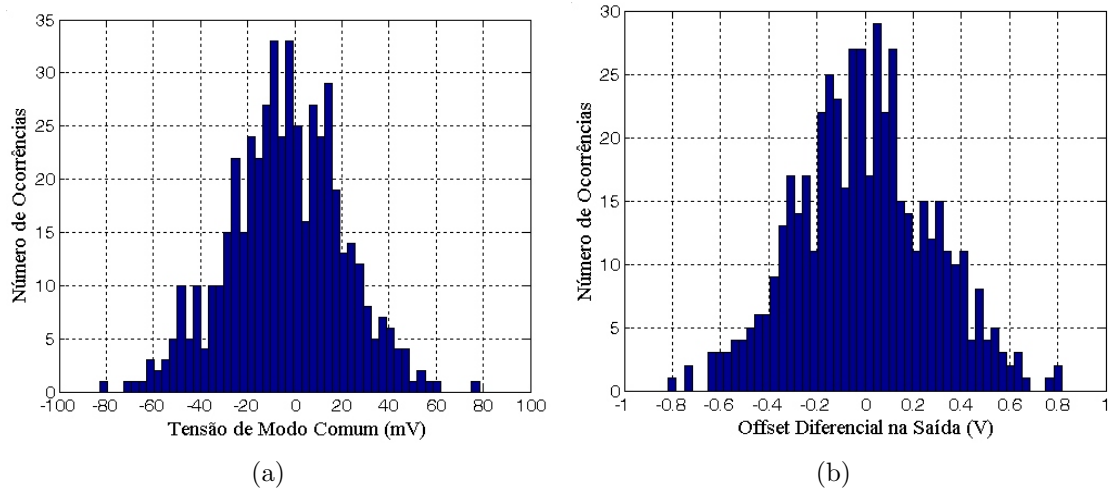


Figura IV.59: Histogramas com a distribuição da tensão de modo comum (a) e a tensão de *offset* diferencial (b) na saída do filtro Gm-C.

ruído na saída do filtro Gm-C. Integrando-se a densidade espectral obtida na banda frequências de interesse — ou seja, de 10 a 30 kHz —, obteve-se uma potência de  $7,316 \cdot 10^{-7} \text{ V}^2$ . A potência equivalente de ruído na entrada foi de  $3,182 \cdot 10^{-6} \text{ V}^2$ .

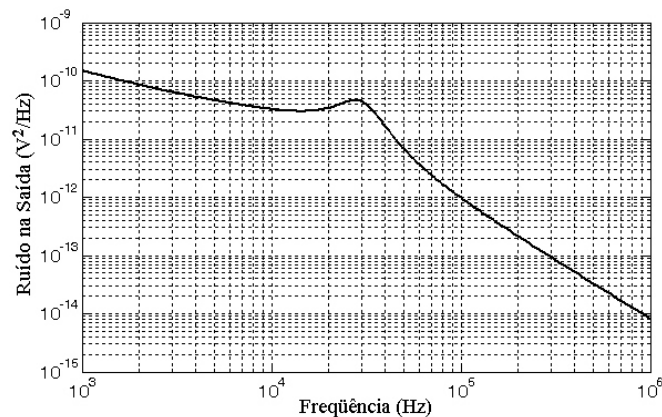


Figura IV.60: Densidade espectral de ruído na saída do filtro Gm-C.

Finalmente, na Tabela IV.8 são apresentados, resumidamente, alguns parâmetros de desempenho do filtro Gm-C obtidos através de simulação. Com relação à faixa dinâmica do filtro, foi considerado que o limite inferior da potência do sinal na saída é o ruído produzido pelo filtro. Já a máxima excursão de sinal na saída corresponde à amplitude do sinal tal que  $\text{THD} = 1\%$ . De acordo com a Fig. IV.53, essa distorção é atingida para um sinal diferencial de entrada com 3,5 V de amplitude. Como o ganho do filtro na banda passante é de  $-6,02 \text{ dB}$ , a máxima excursão de sinal correspondente na saída é de 1,75 V.

Portanto, de acordo com os resultados obtidos, conclui-se que a principal vantagem do filtro Gm-C projetado com a topologia de OTA proposta é a baixa distorção de sinal verificada para uma ampla faixa de excursão de sinal. Por outro



Tabela IV.8: Parâmetros de desempenho do Filtro Gm-C.

Parâmetros	Valores
Banda Passante	5,25 até 52,4 kHz
Ruído na Saída	$8,553 \cdot 10^{-4} V_{RMS}$
Ruído Equivalente na Entrada	$1,784 \cdot 10^{-3} V_{RMS}$
Faixa Dinâmica @ THD = 1%	63,2 dB
Potência	774,1 $\mu W$

lado, a principal desvantagem é o nível da tensão de *offset* diferencial na saída do filtro. Entretanto, a tensão de *offset* diferencial não constitui um grande problema para a aplicação em questão, pois o filtro Gm-C projetado neste capítulo exercerá a função de filtro *anti-aliasing* de um filtro a capacitores chaveados passa-faixa. Como esse último apresenta um zero de transmissão na frequência zero, o *offset* diferencial produzido pelo filtro *anti-aliasing* será prontamente rejeitado.

---

---

## CAPÍTULO V

---

# CONCLUSÃO

Nos capítulos anteriores foram apresentadas as propostas da presente pesquisa de tese e os respectivos resultados obtidos. Neste capítulo, é apresentada uma análise geral desses resultados e os possíveis desdobramentos deste trabalho.

### V.1 - APROXIMAÇÃO DAS RAZÕES DE CAPACITÂNCIAS

Os resultados obtidos com o emprego de um algoritmo genético foram satisfatórios, uma vez que conseguiram aproximar as razões de capacitâncias dentro das especificações de erro da resposta em frequência, com a minimização do número total de capacitores unitários idênticos empregados na implementação do filtro a capacitores chaveados.

É importante mencionar que o método foi capaz de encontrar as aproximações ótimas tanto no caso de um filtro de baixa sensibilidade — como aquele obtido a partir de um protótipo *ladder* —, como também para um filtro com pior sensibilidade — como aquele implementado através de uma cascata de *biquads*.

Também deve ser mencionado que o método desenvolvido neste trabalho para a aproximação de razões de capacitâncias também pode ser aplicado a outros problemas semelhantes. Em filtros a correntes chaveadas, os coeficientes do filtro são determinados por razões do tipo  $(W_1/L_1)/(W_2/L_2)$ , onde  $W_1/L_1$  e  $W_2/L_2$  são razões de aspecto de dois transistores  $M_1$  e  $M_2$ . Assim, para melhorar o casamento entre os dispositivos, seria bastante adequado empregar o mesmo método para se conseguir implementar todos os transistores de um filtro a correntes chaveadas através da associação em paralelo de transistores unitários idênticos.

Também deve ser considerado que o problema de aproximação das razões de capacitâncias formulado neste trabalho também poderia ser resolvido por outros métodos de otimização com características semelhantes às dos algoritmos genéticos.

Uma alternativa interessante que pode ser testada em trabalhos futuros seria a solução do problema de otimização proposto empregando o algoritmo *Constrained Simulated Annealing*, adotado na solução do problema de otimização do *layout* das matrizes de capacitores unitários.

Uma outra investigação que poderia ser feita em um trabalho de pesquisa futuro seria a inclusão de mais um grau de liberdade na escolha das aproximações das razões de capacitâncias, além do erro na resposta em frequência. A faixa dinâmica na saída dos amplificadores operacionais de cada um dos integradores, por exemplo, poderia ser modificada, ao invés de ser equalizada, de forma a incluir esse grau de liberdade adicional. Assim, poder-se-ia reduzir o erro tolerável na resposta em frequência, relaxando as especificações modificadas do filtro.

## V.2 - LAYOUT DAS MATRIZES DE CAPACITORES

Os resultados obtidos mostraram que o método proposto conseguiu encontrar arranjos dos capacitores unitários bastante adequados para aplicações onde há a necessidade de se implementar capacitores muito bem casados. O uso do algoritmo *constrained simulated annealing* foi muito bem sucedido, tanto em relação à capacidade de encontrar as soluções ótimas, como também em relação ao tempo de execução.

Deve ser mencionado que a metodologia desenvolvida neste trabalho não se limita a apenas filtros a capacitores chaveados. Tal método pode ser também aplicado em projetos onde o casamento de componentes é necessário. Em filtros a correntes chaveadas, há a necessidade de se casar os transistores dos espelhos de corrente. Em conversores A/D e D/A, há a necessidade de se casar resistores, capacitores ou transistores, dependendo da implementação. Até em filtros contínuos há a necessidade de se casar o filtro com o seu respectivo sistema de sintonia automática.

Os resultados mostraram, entretanto, que existem diversos arranjos possíveis para uma mesma matriz de capacitores que resultam exatamente no mesmo valor da função custo. Tal característica do problema fez com que o algoritmo encontrasse várias soluções ótimas diferentes nas diversas rodadas do programa. Entretanto, ao escolher a solução que seria efetivamente implementada, foram adotados alguns critérios de seleção como, por exemplo, simetria e facilidade de rotear as interconexões dos capacitores. Dessa forma, com o objetivo de restringir ainda mais as soluções ótimas obtidas pelo algoritmo de busca, pode-se estudar a inclusão de outras parcelas na função custo de modo a levar em conta os outros critérios de avaliação dos arranjos.

Assim como no caso do problema de aproximação das razões de capacitâncias, o problema de otimização proposto neste trabalho também poderia ser resolvido por

outros métodos de otimização com características semelhantes ao *constrained simulated annealing*. Conforme mencionado no Capítulo III, esse algoritmo foi escolhido para a implementação do método proposto em virtude da sua reconhecida eficiência na solução desse tipo de problema.

De acordo com os resultados obtidos, verificou-se que o método proposto encontrou várias soluções diferentes com o mesmo valor de “momento de inércia” e do erro médio. Dessa forma, seria interessante investigar a inclusão de outros parâmetros a serem otimizados além desses dois. Um parâmetro interessante a ser considerado seria encontrar qual das múltiplas soluções possíveis é a que apresenta maior facilidade de se realizar a interconexão dos capacitores no *layout*, facilitando o trabalho da ferramenta computacional responsável pelo roteamento do *layout*.

Além disso, uma atividade futura nessa linha de pesquisa será a fabricação de um circuito integrado de teste contendo diferentes arranjos de matrizes de capacitores unitários, com o objetivo de avaliar a melhoria na qualidade do casamento entre os capacitores posicionados com o uso da metodologia proposta neste trabalho.

Finalmente, deve ser mencionado que o objetivo futuro dessa pesquisa será o de produzir uma ferramenta de software para realizar tanto as aproximações das razões de capacitâncias por números racionais, como também posicionar os capacitores unitários idênticos oriundos dessas aproximações em um *layout* otimizado. Tal ferramenta será bastante útil ao projetista de filtros a capacitores chaveados.

### V.3 - FILTRO OTA-C CONTÍNUO NO TEMPO

Os resultados obtidos comprovam que a topologia proposta foi bem sucedida na obtenção de um OTA de baixa transcondutância, com operação linear em uma ampla faixa da tensão diferencial de entrada. Além disso, a topologia proposta permitiu que o OTA apresentasse uma extensa faixa de possíveis valores de transcondutância que o amplificador pode assumir.

O controle de modo comum utilizado conseguiu adequadamente controlar a parcela de modo comum da tensão na saída do OTA proposto, mesmo na presença de tensões diferenciais com amplitudes de 3,0 V.

De acordo com os resultados, verificou-se que a principal desvantagem da topologia proposta para o OTA é a elevada tensão de *offset* diferencial. Entretanto, as simulações de Monte Carlo comprovaram que os atenuadores adicionados à entrada do amplificador não contribuem significativamente para essa tensão de *offset*, que é causada principalmente devido à baixa transcondutância do OTA.

Com relação ao ruído produzido pelo OTA, verificou-se que os atenuadores e o esquema de divisão de corrente contribuem com apenas 3,32% do ruído total produzido pelo OTA. Além disso, como o ruído *flicker* é a parcela predominante na

faixa de frequências deste projeto, o ruído produzido pelos OTA's ainda pode ser reduzido caso o projetista esteja disposto a aumentar a área do canal dos transistores que compõem o cascode dobrado na saída do amplificador — pois a potência de ruído *flicker* é inversamente proporcional à área de canal dos transistores.

De acordo com os resultados obtidos, verificou-se que os transistores que definem as correntes de polarização da saída em cascode dobrado do OTA são os maiores responsáveis pelo ruído produzido pelo amplificador. Como trabalho de pesquisa futuro, poder-se-ia investigar uma forma de reduzir o ruído produzido por esses transistores. Uma forma de se obter isso seria reduzindo sua transcondutância, para diminuir o ganho de tensão entre esses transistores e a saída. Entretanto, como a corrente de polarização é fixada pela transcondutância do OTA e pela máxima excursão de sinal diferencial na entrada, uma redução de transcondutância para uma dada corrente de polarização fixa requer um aumento na tensão de polarização ( $V_{GS} - V_{th}$ ). Este aumento na tensão de polarização dos transistores do cascode dobrado tem como efeito colateral a redução da excursão de sinal na saída do OTA. Portanto, encontrar um modo de dimensionar os transistores do OTA de forma a reduzir o ruído constitui um interessante trabalho de investigação.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] GREGORIAN, R., TEMES, G. C., *Analog MOS integrated circuits for signal processing*. John Wiley & Sons, 1986.
- [2] JOHNS, D., MARTIN, K., *Analog Integrated Circuit Design*. John Wiley & Sons, 1997.
- [3] TSIVIDIS, Y. P., “Integrated continuous-time filter design - an overview”, *IEEE Journal of Solid-State Circuits*, v. 29, n. 3, pp. 166–176, March 1994.
- [4] MCCREARY, J. L., “Matching properties and voltage and temperature dependence of MOS capacitors”, *IEEE Journal of Solid-State Circuits*, v. SC-16, n. 6, pp. 608–616, December 1981.
- [5] SAINT, C., SAINT, J., *IC Mask Design: Essential Layout Techniques*. McGraw-Hill, 2002.
- [6] KINGET, P. R., “Device mismatch and tradeoffs in the design of analog circuits”, *IEEE Journal of Solid-State Circuits*, v. 40, n. 6, pp. 1212–1224, June 2005.
- [7] MCNUTT, M. J., LEMARQUIS, S., DUNKLEY, J. L., “Systematic capacitance matching errors and corrective layout procedures”, *IEEE Journal of Solid-State Circuits*, v. 29, n. 5, pp. 611–616, May 1994.
- [8] TSIVIDIS, Y., *Mixed analog-digital VLSI devices and technology: an introduction*. McGraw-Hill, 1995.
- [9] BRGLEZ, F., “Digital Filter Design with short word-length coefficients”, *IEEE Transactions on Circuits and Systems*, v. CAS-25, n. 12, pp. 1044–1050, December 1978.
- [10] KODEK, D. M., “Design of optimal finite wordlength FIR digital filters using linear programming techniques”, *IEEE Transactions on Acoustics, Speech and Signal Processing*, v. 28, n. 3, pp. 304–308, June 1980.

- [11] LIM, Y. C., PARKER, S. R., CONSTANTINIDES, A. G., “Finite word length FIR filter design using integer programming over a discrete coefficient space”, *IEEE Transactions on Acoustics, Speech and Signal Processing*, v. 30, n. 4, pp. 661–664, August 1982.
- [12] KJELLSTRÖM, G., TAXÉN, L., LINDBERG, P. O., “Discrete optimization of digital filters using gaussian adaptation and quadratic function minimization”, *IEEE Transactions on Circuits and Systems*, v. CAS-34, n. 10, pp. 1238–1242, October 1987.
- [13] HASEYAMA, M., MATSUURA, D., “A filter coefficient quantization method with genetic algorithm, including simulated annealing”, *IEEE Signal Processing Letters*, v. 13, n. 4, pp. 189–192, April 2006.
- [14] FUSHIMI, S., NAKAYAMA, K., “A discrete optimization method of switched capacitor filters”, *Electronics and Communications in Japan (Part I: Communications)*, v. 68, n. 2, pp. 40–49, February 1985.
- [15] NAKAYAMA, K., SATO, Y., KURAISHI, Y., “Design techniques for switched-capacitor adaptive line equalizer”, *IEEE Transactions on Circuits and Systems*, v. CAS-32, n. 8, pp. 759–766, August 1985.
- [16] PORTE, J., “A discrete optimization method of cascaded switched capacitor filters”, *Annales des télécommunications*, v. 47, n. 3-4, pp. 153–158, 1992.
- [17] SOARES, C. F. T., PETRAGLIA, A., “0.35  $\mu\text{m}$  CMOS band-pass switched-capacitor filter with improved capacitance matching”. In: *Proceedings of the Fourth IASTED International Conference Circuits, Signals and Systems*, pp. 86–90, November 2006.
- [18] SOARES, C. F. T., PETRAGLIA, A., “An approximation algorithm to improve capacitance matching in the design of SC filters”, *Analog Integrated Circuits and Signal Processing*, v. 57, n. 1-2, pp. 49–56, November 2008.
- [19] DEBRUNNER, L. S., DEBRUNNER, V., PINAULT, P., “Variable wordlength IIR filter implementations for reduced space designs”. In: *Proceedings of the 2000 IEEE Workshop on Signal Processing Systems*, pp. 326–335, October 2000.
- [20] GOLDBERG, D. E., *Genetic algorithms in search, optimization, and machine learning*. Addison-Wesley Professional, 1989.

- [21] SHYU, J.-B., TEMES, G. C., YAO, K., “Random errors in MOS capacitors”, *IEEE Journal of Solid-State Circuits*, v. SC-17, n. 6, pp. 1070–1076, December 1982.
- [22] SHYU, J.-B., TEMES, G. C., KRUMMENACHER, F., “Random error effects in matched MOS capacitors and current sources”, *IEEE Journal of Solid-State Circuits*, v. 19, n. 6, pp. 948–956, December 1984.
- [23] BASTOS, J., STEYAERT, M., GRAINDOURZE, B., et al., “Matching of MOS transistors with differential layout styles”. In: *Proceedings of the IEEE International Conference on Microelectronic Test Structures*, v. 9, pp. 17–18, March 1996.
- [24] YAGHUTIEL, H., SANGIOVANNI-VICENTELLI, A., GRAY, P. R., “A methodology for automated layout of switched-capacitor filters”. In: *Proc. of the International Conference on Computer-Aided Design - ICCAD*, pp. 444–447, November 1986.
- [25] BARLOW, A. R., TAKASUKA, K., NAMBU, Y., et al., “An integrated switched-capacitor signal processing design system”, *IEEE Journal of Solid-State Circuits*, v. 25, n. 2, pp. 346–352, April 1990.
- [26] SÄCKINGER, E., FORNERA, L., “On the placement of critical devices in analog integrated circuits”, *IEEE Transactions on Circuits and Systems*, v. 37, n. 8, pp. 1052–1057, August 1990.
- [27] COHN, J. M., GARROD, D. J., RUTENBAR, R. A., et al., “KOAN/ANAGRAM II: New tools for device-level analog placement and routing”, *IEEE Journal of Solid-State Circuits*, v. 26, n. 3, pp. 330–342, March 1991.
- [28] KANEKO, M., MASUDA, M., HAYASHI, T., “A novel capacitor placement strategy in ASCCOT: automatic layouter for switched-capacitor circuits”. In: *Proc. of the IEEE International Symposium on Circuits and Systems - ISCAS*, pp. 2094–2097, May 1993.
- [29] BRUCE, J., LI, H., DALLABETTA, M., “ALAS!: an analog layout assistant for matched and balanced CMOS components”. In: *Proc. of the Eighth Annual IEEE International ASIC Conference and Exhibit*, pp. 267–270, September 1995.
- [30] BALASA, F., LAMPAERT, K., “Symmetry within the sequence-pair representation in the context of placement for analog design”, *IEEE Transactions*



- on Computer-Aided Design of Integrated Circuits and Systems*, v. 19, n. 7, pp. 721–731, July 2000.
- [31] SAYED, D., DESSOUKY, M., “Automatic generation of common-centroid capacitor arrays with arbitrary capacitor ratio”. In: *Proc. of the Conference on Design, Automation and Test in Europe*, pp. 576–580, 2002.
- [32] MARUVADA, S. C., KRISHNAMOORTHY, K., ANNOJVALA, S., et al., “Placement with symmetry constraints for analog layout using red-black trees”. In: *Proc. of the IEEE International Symposium on Circuits and Systems - ISCAS*, v. 5, pp. 489–492, May 2003.
- [33] KHALIL, D., DESSOUKY, M., BOURGUET, V., et al., “Compensated layout for automated accurate common-centroid capacitor arrays”. In: *Proc. of the International Conference on Electrical, Electronic and Computer Engineering*, pp. 481–484, September 2004.
- [34] LIN, J.-M., WU, G.-M., CHANG, Y.-W., et al., “Placement with symmetry constraints for analog design using TCG-S”. In: *Proc. of the Design Automation Conference, Asia and South Pacific*, v. 2, pp. 1135–1138, 2005.
- [35] KHALIL, D., DESSOUKY, M., BOURGUET, V., et al., “Evaluation of capacitor ratios in automated accurate common-centroid capacitor arrays”. In: *Proc. of the Sixth International Symposium on Quality of Electronic Design*, pp. 143–147, March 2005.
- [36] LONG, D., HONG, X., DONG, S., “Optimal two-dimension common centroid layout generation for MOS transistor unit-circuit”. In: *Proc. of the IEEE International Symposium on Circuits and Systems - ISCAS*, v. 3, pp. 2999–3002, May 2005.
- [37] LIU, J., DONG, S., CHEN, F., et al., “Symmetry constraint for analog layout with CBL representation”. In: *Proc. of the International Conference on Solid-State and Integrated Circuit Technology*, pp. 1760–1762, 2006.
- [38] TAM, Y.-C., YOUNG, E. F. Y., CHU, C., “Analog placement with symmetry and other placement constraints”. In: *Proc. of the IEEE/ACM International Conference on Computer-Aided Design*, pp. 349–354, 2006.
- [39] KODA, S., KODAMA, C., FUJIYOSHI, K., “Linear programming-based cell placement with symmetry constraints for analog IC layout”, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 26, n. 4, pp. 659–668, April 2007.

- [40] KRISHNAMOORTHY, K., MARUVADA, S. C., BALASA, F., “Topological placement with multiple symmetry groups of devices for analog layout design”. In: *Proc. of the IEEE International Symposium on Circuits and Systems - ISCAS*, pp. 2032–2035, May 2007.
- [41] MA, Q., YOUNG, E. F. Y., PUN, K. P., “Analog placement with common centroid constraints”. In: *Proc. of the IEEE/ACM International Conference on Computer-Aided Design*, pp. 579–585, November 2007.
- [42] KIRKPATRICK, S., JR., C. D. G., VECCHI, M. P., “Optimization by simulated annealing”, *Science*, v. 220, pp. 671–680, May 1983.
- [43] OPPENHEIM, A. V., SCHAFER, R. W., *Discrete-time signal processing*. Prentice Hall International: New Jersey, 1989.
- [44] MITRA, S. K., *Digital Signal Processing - A Computer-Based Approach*. 2nd ed. McGraw-Hill, 2002.
- [45] GRAY, P. R., HURST, P. J., LEWIS, S. H., et al., *Analysis and design of analog integrated circuits*. 4th ed. John Wiley and Sons, 2001.
- [46] RAZAVI, B., *Design of analog CMOS integrated circuits*. McGraw-Hill, 2001.
- [47] NEDUNGADI, A. P., VISWANATHAN, T. R., “Design of linear CMOS transconductance elements”, *IEEE Transactions on Circuits and Systems*, v. CAS-31, n. 9, pp. 891–894, September 1984.
- [48] TORRANCE, R. R., VISWANATHAN, T. R., HANSON, J. V., “CMOS voltage to current transducers”, *IEEE Transactions on Circuits and Systems*, v. CAS-32, n. 11, pp. 1097–1104, November 1985.
- [49] KRUMMENACHER, F., JOEHL, N., “A 4-MHz CMOS continuous-time filter with on-chip automatic tuning”, *IEEE Journal of Solid-State Circuits*, v. 23, n. 3, pp. 750–758, June 1988.
- [50] WANG, Z., GUGGENBÜHL, W., “A voltage-controllable linear MOS transconductor using bias offset technique”, *IEEE Journal of Solid-State Circuits*, v. 25, n. 1, pp. 315–317, February 1990.
- [51] WANG, Z., “Making CMOS OTA a linear transconductor”, *Electronics Letters*, v. 26, n. 18, pp. 1448–1449, August 1990.
- [52] CZARNUL, Z., TAKAGI, S., “Design of linear tunable CMOS differential transconductor cells”, *Electronics Letters*, v. 26, n. 21, pp. 1809–1811, October 1990.

- [53] CZARNUL, Z., FUJII, N., “Highly-linear transconductor cell realised by double MOS transistor differential pairs”, *Electronics Letters*, v. 26, n. 21, pp. 1819–1821, October 1990.
- [54] SZCZEPANSKI, S., SCHAUMAN, R., WU, P., “Linear transconductor based on crosscoupled CMOS pairs”, *Electronics Letters*, v. 27, n. 9, pp. 783–785, April 1991.
- [55] SILVA-MARTÍNEZ, J., STEYAERT, M. S. J., SANSEN, W. M. C., “A large-signal very low-distortion transconductor for high-frequency continuous-time filters”, *IEEE Journal of Solid-State Circuits*, v. 26, n. 7, pp. 946–955, July 1991.
- [56] KIM, C. S., KIM, Y. H., PARK, S. B., “New CMOS linear transconductor”, *Electronics Letters*, v. 28, n. 21, pp. 1962–1964, October 1992.
- [57] CZARNUL, Z., HIDA, T., TSUJI, K., “A low-voltage highly linear multiple weighted input CMOS transconductor”, *IEEE Transactions on Circuit and Systems - II: Analog and Digital Signal Processing*, v. 42, n. 5, pp. 362–364, May 1995.
- [58] MERH, I., WELLAND, D. R., “A CMOS continuous-time Gm-C filter for PRML read channel applications at 150 Mb/s and beyond”, *IEEE Journal of Solid-State Circuits*, v. 32, n. 4, pp. 499–513, April 1997.
- [59] CHANG, Z. Y., HASPELAGH, D., VERFAILLIE, J., “A highly linear CMOS Gm-C bandpass filter with on-chip frequency tuning”, *IEEE Journal of Solid-State Circuits*, v. 32, n. 3, pp. 388–397, March 1997.
- [60] LIKITTANAPONG, P., WORAPISHET, A., TOUMAZOU, C., “Linear CMOS triode transconductor for low-voltage applications”, *Electronics Letters*, v. 34, n. 12, pp. 1224–1225, June 1998.
- [61] RAMIREZ-ANGULO, J., CARVAJAL, R. G., TORRALBA, A., et al., “A 1.5-V linear transconductor with wide bandwidth and wide input and output signal swings”. In: *Proceedings of the 2000 International Symposium on Circuits and Systems*, pp. 161–164, Geneva, Switzerland, May 2000.
- [62] LEE, E. K. F., “Low-voltage opamp design and differential difference amplifier design using linear transconductor with resistor input”, *IEEE Transactions on Circuit and Systems - II: Analog and Digital Signal Processing*, v. 47, n. 8, pp. 776–778, August 2000.

- [63] POPA, C., “Low-power rail-to-rail CMOS linear transconductor”. In: *Proceedings of the 2001 International Semiconductor Conference*, v. 2, pp. 557–560, October 2001.
- [64] KUO, K.-C., LEUCIUC, A., “A linear MOS transconductor using source degeneration and adaptive biasing”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital signal processing*, v. 48, n. 10, pp. 937–943, October 2001.
- [65] BOLLATI, G., MARCHESI, S., DEMICHELI, M., et al., “An eighth-order CMOS low-pass filter with 30-120 MHz tuning range and programmable boost”, *IEEE Journal of Solid-State Circuits*, v. 36, n. 7, pp. 1056–1066, July 2001.
- [66] DE LIMA, J. A., DUALIBE, C., “A linearly tunable low-voltage CMOS transconductor with improved common-mode stability and its application to gm-C filters”, *IEEE Transactions on Circuit and Systems - II: Analog and Digital Signal Processing*, v. 48, n. 7, pp. 649–660, July 2001.
- [67] LEUCIUC, A., ZHANG, Y., “A highly linear low-voltage MOS transconductor”. In: *Proceedings of the 2002 International Symposium on Circuits and Systems*, v. 3, pp. 735–738, May 2002.
- [68] KHUMSAT, P., WORAPISHET, A., “Highly-linear, current-feedback resistive source-degenerated MOS transconductor”. In: *Proceedings of the 2002 International Symposium on Circuits and Systems*, v. 1, pp. 689–692, May 2004.
- [69] KOZIEL, S., SZCZEPANSKI, S., “Design of highly linear tunable CMOS OTA for continuous-time filters”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, v. 49, n. 2, pp. 110–122, February 2002.
- [70] XU, A., LI, M. F., “A 1.2 V rail-to-rail differential mode input linear CMOS transconductor”. In: *Proceedings of the 2002 International Symposium on Circuits and Systems*, v. 1, pp. 337–340, 2002.
- [71] LEUCIUC, A., “A wide linear range low-voltage transconductor”. In: *Proceedings of the 2003 International Symposium on Circuits and Systems*, v. 1, pp. 161–164, May 2003.
- [72] SADR, H. R., “A novel linear, low noise, low power differential transconductor and a novel linearization technique”. In: *Proceedings of the 2003 IEEE*

- International Conference on Electronics, Circuits and Systems*, v. 2, pp. 412–415, December 2003.
- [73] MARTINEZ-HEREDIA, J., TORRALBA, A., CARVAJAL, R. G., et al., “A new 1.5-V linear transconductor with high output impedance in a large bandwidth”. In: *Proceedings of the 2003 International Symposium on Circuits and Systems*, v. 1, pp. 157–160, May 2003.
- [74] KACHARE, M., LÓPEZ-MARTÍN, A. J., RAMIREZ-ANGULO, J., et al., “A compact tunable CMOS transconductor with high linearity”, *IEEE Transactions on Circuits and Systems-II: Express Briefs*, v. 52, n. 2, pp. 82–84, February 2005.
- [75] SENGUPTA, S., “Adaptively biased linear transconductor”, *IEEE Transactions on Circuits and Systems - I: Regular Papers*, v. 52, n. 11, pp. 2369–2375, November 2005.
- [76] FAYED, A. A., ISMAIL, M., “A low-voltage, highly linear voltage-controlled transconductor”, *IEEE Transactions on Circuits and Systems - II: Express Briefs*, v. 52, n. 12, pp. 831–835, December 2005.
- [77] KOLM, R., ZIMMERMANN, H., “A linear transconductor and its application in an analog filter in 120nm CMOS”. In: *Proceedings of the 2006 International Symposium on Circuits and Systems*, pp. 2829–2832, May 2006.
- [78] LEWINSKI, A., SILVA-MARTÍNEZ, J., “A high-frequency transconductor using a robust nonlinearity cancellation”, *IEEE Transactions on Circuits and Systems - II: Express Briefs*, v. 53, n. 9, pp. 896–900, September 2006.
- [79] CALVO, B., CELMA, S., SANZ, M. T., et al., “A high-linear low-voltage CMOS tunable transconductor for VHF filtering”. In: *Proceedings of the 2006 International Conference on Electronics, Circuits and Systems*, pp. 86–89, May 2006.
- [80] MONSURRÒ, P., PENNISI, S., SCOTTI, G., et al., “Linearization technique for source-degenerated CMOS differential transconductors”, *IEEE Transactions on Circuit and Systems - II: Express Briefs*, v. 54, n. 10, pp. 848–852, October 2007.
- [81] LO, T.-Y., HUNG, C.-C., “A 1-V 50-MHz pseudodifferential OTA with compensation of the mobility reduction”, *IEEE Transactions on Circuits and Systems - II: Express Briefs*, v. 54, n. 12, pp. 1047–1051, December 2007.

- [82] PAPANANOS, Y., GEORGANTAS, T., TSIVIDIS, Y., “Design considerations and implementation of very low frequency continuous-time CMOS monolithic filters”, *IEE Proc.-Circuits Devices Syst.*, v. 144, n. 2, pp. 68–74, April 1997.
- [83] SILVA-MARTÍNEZ, J., SALCEDO-SUÑER, J., “IC voltage to current transducers with very small transconductance”, *Analog Integrated Circuits and Signal Processing*, v. 13, n. 3, pp. 285–293, July 1997.
- [84] SILVA-MARTÍNEZ, J., VÁZQUEZ-GONZÁLEZ, A., “Impedance scalers for IC active filters”. In: *Proceedings of the 1998 IEEE International Symposium on Circuits and Systems*, pp. 151–154, Monterey, CA, USA, 31 May - 2 June 1998.
- [85] SILVA-MARTÍNEZ, J., SOLÍS-BUSTOS, S., “Design considerations for high performance very low frequency filters”. In: *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems*, pp. 648–651, Orlando, USA, 30 May - 02 June 1999.
- [86] SOLÍS-BUSTOS, S., SILVA-MARTÍNEZ, J., MALOBERTI, F., et al., “A 60-dB dynamic range CMOS sixth-order 2.4 Hz low-pass filter for medical applications”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, v. 47, n. 12, pp. 1391–1398, December 2000.
- [87] VEERAVALLI, A., SÁNCHEZ-SINENCIO, E., SILVA-MARTÍNEZ, J., “Different operational transconductance amplifier topologies for obtaining very small transconductances”. In: *Proceedings of the 2000 International Symposium on Circuits and Systems*, pp. 189–192, Geneva, Switzerland, May 2000.
- [88] VEERAVALLI, A., SÁNCHEZ-SINENCIO, E., SILVA-MARTÍNEZ, J., “Transconductance amplifier structures with very small transconductances: a comparative design approach”, *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, pp. 770–775, June 2002.
- [89] VEERAVALLI, A., SÁNCHEZ-SINENCIO, E., SILVA-MARTÍNEZ, J., “A CMOS transconductance amplifier architecture with wide tuning range for very low frequency applications”, *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, pp. 776–781, June 2002.
- [90] RIEGER, R., DEMOSTHENOUS, A., TAYLOR, J., “Continuously tunable, very long time constant CMOS integrator for neural recording implant”.

- In: *Proceedings of the 29th European Solid-State Circuits Conference*, pp. 441–444, Estoril, Portugal, September 2003.
- [91] ARNAUD, A., GALUP-MONTORO, C., “Pico-A/V range CMOS transconductors using series-parallel current division”, *Electronics Letters*, v. 39, n. 18, pp. 1295–1296, September 2003.
- [92] ARNAUD, A., GALUP-MONTORO, C., “A fully integrated 0.5-7 Hz CMOS bandpass amplifier”. In: *Proceedings of the 2004 International Symposium on Circuits and Systems*, pp. 445–448, Vancouver, Canada, May 2004.
- [93] MOURABIT, A. E., LU, G. N., PITTET, P., “Rail-to-rail differential linear range OTA with pico-A/V transconductance for subHertz OTA-C filter”. In: *Proceedings of the 16th International Conference on Microelectronics*, pp. 647–650, Tunis, December 2004.
- [94] ARNAUD, A., FIORELLI, R., GALUP-MONTORO, C., “On the design of very small transconductance OTAs with reduced input offset”. In: *Proceedings of the 18th Brazilian Symposium on Integrated Circuits and Systems Design - SBCCI 2005*, pp. 15–20, Florianópolis, 2005.
- [95] DE LIMA, J. A., SERDIJN, W. A., “A compact nA/V CMOS triode-transconductor and its application to very-low frequency filters”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 3, pp. 1988–1991, May 2005.
- [96] PACHNIS, I., DEMOSTHENOUS, A., DONALDSON, N., “Comparison of transconductance reduction techniques for the design of a very large time-constant CMOS integrator”. In: *Proceedings of the IEEE International Conference on Electronics, Circuits and Systems*, pp. 37–40, December 2006.
- [97] SODAGAR, A. M., “Fully-integrated implementation of large time constant Gm-C integrators”, *Electronics Letters*, v. 43, n. 1, pp. 23–24, January 2007.
- [98] VALKENBURG, M. E. V., *Introduction to modern network synthesis*. John Wiley & Sons, 1960.
- [99] DE QUEIROZ, A. C. M., PINHEIRO, P. M., “Switched-current ladder band-pass filters”. In: *IEEE International Symposium on Circuits and Systems - ISCAS'94*, v. 5, pp. 309–312, 30 May - 02 June 1994.

- [100] FLEISCHER, P. E., LAKER, K. R., “A family of active switched capacitor biquad building blocks”, *Bell System Technology Journal*, v. 58, pp. 2235–2269, December 1979.
- [101] MITCHELL, M., *An introduction to genetic algorithms (complex adaptive systems)*. The MIT Press, 1998.
- [102] PELGROM, M. J. M., DUINMAIJER, A. C. J., WELBERS, A. P. G., “Matching properties of MOS transistors”, *IEEE Journal of Solid-State Circuits*, v. 24, n. 5, pp. 1433–1440, October 1989.
- [103] KOOPMANS, T. C., BECKMANN, M. J., “Assignment problems and the location of economic activities”, *Econometrica*, v. 25, pp. 53–76, 1957.
- [104] LOIOLA, E. M., DE ABREU, N. M. M., NETTO, P. O. B., “Uma revisão comentada das abordagens do problema quadrático de alocação”, *Pesquisa Operacional*, v. 24, pp. 73–109, 2004.
- [105] WAH, B. W., WANG, T., “Constrained simulated annealing with applications in nonlinear continuous constrained global optimization”. In: *Proceedings of the 11th IEEE International Conference on Tools with Artificial Intelligence*, pp. 381–388, 1999.
- [106] CONNOLLY, D. T., “An improved annealing scheme for the QAP”, *European Journal of Operational Research*, v. 46, pp. 93–100, 1990.
- [107] SANCHEZ-SINENCIO, E., SILVA-MARTÍNEZ, J., “CMOS transconductance amplifiers, architectures and active filters: a tutorial”. In: *IEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, v. 147, pp. 3–12, February 2000.
- [108] HAN, G., SÁNCHEZ-SINENCIO, E., “CMOS transconductance multipliers: a tutorial”, *IEEE Transactions on Circuits and Systems - II: Analog and Digital Signal Processing*, v. 45, n. 12, pp. 1550–1563, December 1998.
- [109] RODRIGUEZ-VILLEGAS, E., JIMENEZ, M., CARVAJAL, R. G., “On dealing with the charge trapped in floating-gate MOS (FGMOS) transistors”, *IEEE Transactions on Circuits and Systems - II: Express Briefs*, v. 54, n. 2, pp. 156–160, February 2007.
- [110] LOH, K.-H., GEIGER, R. L., “Dynamic range performance of a MOS active attenuator”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 3, pp. 1733–1736, June 1991.



- 
- [111] KIM, J.-Y., GEIGER, R. L., “Performance characterization of an active attenuator using two cascaded MOSFET’s”. In: *Proceedings of the 36th Midwest Symposium on Circuits and Systems*, v. 1, pp. 716–720, August 1993.
- [112] KIM, J.-Y., GEIGER, R. L., “MOS active attenuators for analog ICs and their applications to finite gain amplifiers”. In: *Proceedings of the IEEE International Symposium on Circuits and Systems*, v. 5, pp. 701–704, May 1994.
- [113] KIM, J.-Y., GEIGER, R. L., “Characterisation of linear MOS active attenuator and amplifier”, *Electronics Letters*, v. 31, n. 7, pp. 511–513, March 1995.
- [114] TSIVIDIS, Y., *Operation and Modeling of the MOS Transistor*. 2nd ed. Oxford University Press, 2006.
- [115] SCHAUMANN, R., VALKENBURG, M. E. V., *Design of Analog Filters*. 2nd ed. Oxford University Press, 2001.