



COPPE/UFRJ

COMPENSADOR SÍNCRONO ESTÁTICO MULTINÍVEL EM MÉDIA TENSÃO
PARA SISTEMAS DE DISTRIBUIÇÃO

Lucas Frizera Encarnação

Tese de Doutorado apresentada ao Programa de Pós-graduação em Engenharia Elétrica, COPPE, da Universidade Federal do Rio de Janeiro, como parte dos requisitos necessários à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Maurício Aredes

Rio de Janeiro
Dezembro de 2009

COMPENSADOR SÍNCRONO ESTÁTICO MULTINÍVEL EM MÉDIA TENSÃO
PARA SISTEMAS DE DISTRIBUIÇÃO

Lucas Frizera Encarnação

TESE SUBMETIDA AO CORPO DOCENTE DO INSTITUTO ALBERTO LUIZ
COIMBRA DE PÓS-GRADUAÇÃO E PESQUISA DE ENGENHARIA (COPPE) DA
UNIVERSIDADE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS
REQUISITOS NECESSÁRIOS PARA A OBTENÇÃO DO GRAU DE DOUTOR EM
CIÊNCIAS EM ENGENHARIA ELÉTRICA

Examinada por:

Prof. Maurício Aredes, Dr.-Ing.

Prof. Luís Guilherme Barbosa Rolim, Dr.-Ing.

Prof. Walter Issamu Suemitsu, Dr. Ing.

Prof. Marcelo Cabral Cavalcanti, D.Sc.

Prof. Domingos Sávio Lyrio Simonetti, Dr. Ing.

RIO DE JANEIRO, RJ - BRASIL

DEZEMBRO DE 2009

Encarnação, Lucas Frizera

Compensador Síncrono Estático Multinível em Média Tensão para Sistemas de Distribuição/ Lucas Frizera Encarnação - Rio de Janeiro: UFRJ/COPPE, 2009

XIV, 155 p.:Il.; 29,7 cm

Orientador: Mauricio Aredes

Tese (doutorado) – UFRJ/COPPE/Programa de Engenharia Elétrica, 2009

Referencias Bibliográficas: p. 143-153.

1. Compensadores Síncronos Estáticos para Média Tensão. 2. Conversores Multiníveis 3. Chaveamento PWM. I. Aredes, Mauricio. II. Universidade Federal do Rio de Janeiro, COPPE, Programa de Engenharia Elétrica. III. Título.

Dedicatória

Dedico este trabalho aos meus pais, Jose Encarnação e Maria da Graça Frizera Encarnação, por todo amor e carinho e pela formação do meu caráter, que é a maior educação que um homem pode receber.

Aos meus irmãos, Bruno Frizera Encarnação e Hugo Frizera Encarnação, pelo companheirismo e amizade ao longo de toda a minha vida.

A minha namorada, Andréssa Borel, por uma década de alegrias e muitas outras que ainda estão por vir e por sempre acreditar no meu potencial, com certeza esta conquista não teria sentido sem a sua presença.

Agradecimentos

Agradeço primeiramente a Deus por sempre me iluminar em todos os momentos da minha vida.

Ao Professor Maurício Aredes, não só pela sua orientação ao longo desses seis anos, mas principalmente pelo seu grande coração e pela relação de amizade que espero levar por toda a minha vida.

A todos os amigos que ganhei durante a minha jornada no Laboratório de Eletrônica de Potência, que transformaram o medo de superar este grande desafio em muitas alegrias e vitórias, não poderia ter pedido por melhor companhia.

Aos meus amigos e familiares que sempre me apoiaram e torceram pelo meu sucesso.

A todos vocês o meu muito obrigado.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Doutor em Ciências (D.Sc.)

COMPENSADOR SÍNCRONO ESTÁTICO MULTINÍVEL EM MÉDIA TENSÃO PARA SISTEMAS DE DISTRIBUIÇÃO

Lucas Frizera Encarnação

Dezembro/2009

Orientador: Maurício Aredes

Programa: Engenharia Elétrica

Problemas relacionados à qualidade de energia nos sistemas de distribuição de média tensão vêm afetando severamente os processos industriais, especialmente aqueles que utilizam processos de produção mais complexos, podendo causar danos aos equipamentos e perdas financeiras de larga proporção. A necessidade de uma energia de melhor qualidade para as indústrias incentivou o desenvolvimento de equipamentos *custom power* para a média tensão, ao passo que antes eram tipicamente dimensionados para a baixa tensão.

O recente interesse das indústrias em equipamentos para solucionar os problemas da baixa qualidade de energia na média tensão vem despertando o interesse da comunidade de eletrônica de potência. Estudos identificaram nos conversores multiníveis uma grande potencialidade de modo a viabilizar o uso de equipamentos chaveados em aplicações de média tensão. Este trabalho apresenta estudos para a aplicação de técnicas de conversores multiníveis em cascata aos compensadores síncronos estáticos em sistemas de distribuição (*DSTATCOM*) em média tensão, de forma a otimizar o seu desempenho e ampliar os níveis de potência dos compensadores.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Doctor of Science (D.Sc.)

A MULTILEVEL STATIC SYNCHRONOUS COMPENSATOR FOR MEDIUM
VOLTAGE DISTRIBUTION SYSTEMS

Lucas Frizera Encarnação

December/2009

Advisor: Maurício Aredes

Department: Electrical Engineering

Problems related to power quality in medium voltage distribution systems have been affecting the industrial process, especially the industries that work with complex plants process, causing damages to the equipments and, consequently, high financial losses. The necessity to improve the power quality encourages the development of custom power devices, typically applied in low voltage systems, to be connected in medium voltage electrical systems.

The recent interest of the industries in compensators that minimize the problems related to power quality in medium voltage has been instigating researches from the power-electronics society. The multilevel power converters represent a potential breakthrough in employing switching equipments in medium voltage applications. This work presents studies related to application of multilevel asymmetric cascaded converter techniques to distribution synchronous static compensators (*DSTATCOM*) in medium voltage, in order to optimize the performance and increase the power levels of the compensators.

Índice

Índice de Figuras	x
Índice de Tabelas	xiv
CAPÍTULO 1 Introdução	1
1.1 Identificação do Problema	4
1.2 Motivações para o Trabalho	7
1.3 Sumário.....	8
CAPÍTULO 2 Conversores Multiníveis	10
2.1 Conversor Grampeado a Diodo	12
2.2 Conversor Multinível Grampeado a Capacitores	16
2.3 Conversores Multiníveis em Cascata Simétricos	21
2.4 Conversores Multiníveis em Cascata Assimétrico	24
2.5 Conexão de Chaves em Série/Paralelo	26
2.6 Análise Comparativa dos Conversores.....	27
CAPÍTULO 3 Técnicas de Chaveamento.....	34
3.1 Modulação por Degrau	36
3.2 Eliminação Seletiva de Harmônicos.....	37
3.3 Pulse Width Modulation.....	40
3.4 Space Vector Pulse Width Modulation	43
3.5 Estratégia para o Conversor Cascata Assimétrico.....	44
3.6 Conclusões Parciais	50
CAPÍTULO 4 Otimização da Estratégia de Chaveamento PWM.....	51
4.1 Análise Matemática das Estratégias de Chaveamento	52
4.2 Análise dos Conversores Grampeados a Diodo	54
4.2.1 Modulação PD PWM	54
4.2.2 Modulação APOD PWM.....	61
4.2.3 Modulação POD PWM.....	64
4.3 Análise dos Conversores em Cascata	67
4.3.1 Modulação PSCPWM	68
4.4 PWM Descontínuo	74
4.5 Conclusões Parciais	80
CAPÍTULO 5 Proposta do DSTATCOM em Média Tensão	83

5.1	Lógica de controle	84
5.1.1	Correção do Fator de Potência.....	86
5.1.1.1	Transformada de Clarke - $abc/\alpha\beta 0$	86
5.1.1.2	Circuito de Detecção	87
5.1.1.3	Cálculo das Correntes de Referência.....	89
5.1.1.4	Realimentação do Chaveamento PWM.....	90
5.1.2	Regulação da Tensão de Carga.....	91
5.1.2.1	Cálculo do Valor Coletivo da Tensão e Potência Reativa.....	91
5.1.3	Controle da Tensão dos Capacitores	92
5.2	Resultados em Média Tensão	94
5.2.1	Correção do Fator de Potência.....	96
5.2.2	Regulação da Tensão de Carga.....	101
5.3	Conclusões Parciais	103
CAPÍTULO 6 Proposta do DSTATCOM em Baixa Tensão		105
6.1	Circuito de Potência	106
6.2	Medição e Controlador	108
6.3	Resultados em Baixa tensão	110
6.3.1	Correção do Fator de Potência.....	110
6.3.2	Regulação da Tensão de Carga.....	116
6.4	Conclusões parciais	119
CAPÍTULO 7 Implementação do Protótipo Laboratorial do DSTATCOM.....		120
7.1	Circuito de Potência	120
7.2	Instrumentação e Controle.....	123
7.3	Integração do protótipo.....	126
7.4	Resultados Experimentais	127
7.4.1	Validação do Chaveamento proposto.....	127
7.4.2	Correção do Fator de Potência.....	131
7.4.3	Regulação da Tensão de Carga.....	137
7.5	Conclusões Parciais	139
CAPÍTULO 8 Conclusões		140
8.1	Trabalhos Futuros	142
Referências Bibliográficas		143
Apêndice A Transformada Dupla de Fourier.....		154

Índice de Figuras

Figura 1: Conexão do STATCOM em um sistema elétrico.	2
Figura 2: Conversor de dois níveis (a) três níveis (b) e m níveis (c).....	11
Figura 3: Conversor de três níveis grampeado a diodo.	13
Figura 4: Conversor de sete níveis grampeado a diodo.....	15
Figura 5: Conversor de três níveis grampeado a capacitor.....	16
Figura 6: Conversor de três níveis grampeado a capacitor para sistemas trifásicos.....	17
Figura 7: Conversor de sete níveis grampeado a capacitor.	20
Figura 8: Conversor multinível em cascata de cinco níveis.	21
Figura 9: Conversor multinível em cascata de sete níveis.....	23
Figura 10: Conversor multinível em cascata assimétrico de sete níveis.	25
Figura 11: Número de chaves, diodos e capacitores versus níveis de saída.....	29
Figura 12: Formas de onda multiníveis e THD.	31
Figura 13: Formas de onda multiníveis e THD para os conversores assimétricos.....	31
Figura 14: Classificação das estratégias de chaveamento dos inversores multiníveis. ...	35
Figura 15: Forma de onda típica de uma estratégia de modulação por degrau.	36
Figura 16: Forma de onda de um STATCOM de 24 pulsos.....	37
Figura 17: Forma de onda de uma estratégia com eliminação seletiva de harmônicos..	40
Figura 18: Tensão de saída utilizando a estratégia de chaveamento PWM.....	41
Figura 19: Estratégia de chaveamento <i>POD</i> (a), <i>APOD</i> (b), <i>PD</i> (c) e <i>PSCPWM</i> (d). ...	43
Figura 20: Diagrama dos vetores de tensão do SVPWM de cinco níveis.	44
Figura 21: Modulação por degrau para cada célula (a) e a saída do conversor (b).	45
Figura 22: Modulação degrau e PWM para cada célula (a) e a saída do conversor (b).	46
Figura 23: Tensão de saída e THD para as estratégias em degrau (a) e PWM (b).	48
Figura 24: Conversor em cascata assimétrico de 19 níveis com modulação <i>PWM</i>	49
Figura 25: Portadoras triangulares e sinal de referência para a modulação <i>PD</i>	55
Figura 26: Portadora triangular $f_l(x)$ em um único ciclo.....	56
Figura 27: Espectro harmônico V_{an} (a) e V_{ab} (b) para a modulação <i>PD</i>	60
Figura 28: Tensão reconstruída do conversor utilizando a modulação <i>PD PWM</i>	61
Figura 29: Espectro harmônico V_{an} (a) e V_{ab} (b) para a modulação <i>APOD</i>	63
Figura 30: Tensão reconstruída do conversor utilizando a modulação <i>APOD PWM</i> ..	64

Figura 31: Espectro harmônico Van (a) e Vab (b) para a modulação <i>POD</i>	66
Figura 32: Tensão reconstruída do conversor utilizando a modulação <i>POD PWM</i>	67
Figura 33: Portadoras triangulares e sinais de referência para a modulação <i>PSCPWM</i> . 68	
Figura 34: Espectro harmônico Van (a) e Vab (b) para a modulação <i>PSCPWM</i>	72
Figura 35: Tensão reconstruída do conversor utilizando a modulação <i>PSCPWM</i>	73
Figura 36: Sinais de referência e portadoras triangulares do <i>PWM</i> Descontínuo.	75
Figura 37: Sinais do <i>PWM</i> Descontínuo modificado.	77
Figura 38: Tensões de fase e linha (a) e chaveamento bipolar (b).	78
Figura 39: Tensões de fase e linha (a) e chaveamento unipolar (b).	79
Figura 40: Tensões de fase e linha (a) e chaveamento descontínuo (b).	80
Figura 41: Tensões com modulação <i>POD</i> (a), <i>APOD</i> (b), <i>PD</i> (c) e <i>PSCPWM</i> (d).	81
Figura 42: Topologia do <i>DSTATCOM</i> multinível proposto.	84
Figura 43: Estratégia de controle global do <i>DSTATCOM</i> proposto.	85
Figura 44: Estratégia de controle para otimizar o fator de potência da carga.	86
Figura 45: Circuito de sincronismo (<i>PLL</i>).	87
Figura 46: Realimentação do chaveamento <i>PWM</i> para o eixo α	90
Figura 47: Estratégia de controle para regular a tensão do barramento de carga.	91
Figura 48: Circuito de controle da potência reativa.	92
Figura 49: Estratégia de controle para regular a tensão dos capacitores.	93
Figura 50: Circuito de controle para a regulação da tensão dos capacitores.	93
Figura 51: Alimentador simulado no PSCAD.	95
Figura 52: Conversor multinível simulado no PSCAD.	95
Figura 53: Diagrama unifilar da simulação com correção de FP.	97
Figura 54: Tensão multinível de saída sintetizada pelo conversor.	98
Figura 55: Tensão sintetizada versus sinal de referência em cada módulo.	98
Figura 56: Fator de potência visto pela fonte sem (a) e com o <i>DSTATCOM</i> (b).	99
Figura 57: Correntes do sistema com compensação indutiva (a) e capacitiva (b).	100
Figura 58: Tensões reguladas dos capacitores do conversor multinível.	101
Figura 59: Cronograma da simulação de regulação da tensão do barramento.	101
Figura 60: Tensão no barramento de carga sem (a) e com (b) o <i>DSTATCOM</i>	102
Figura 61: Tensões reguladas dos capacitores do conversor multinível.	103
Figura 62: Alimentador em baixa tensão simulado no PSCAD/EMTDC.	106
Figura 63: Carga modelada no PSCAD/EMTDC.	107
Figura 64: Conversor multinível modelado no PSCAD/EMTDC.	108

Figura 65: Lógica de controle em código C desenvolvida no PSCAD/EMTDC.	109
Figura 66: Tensão multinível de saída sintetizada pelo conversor.....	111
Figura 67: Tensão multinível de saída sintetizada pelo conversor – Intervalo A.....	111
Figura 68: Tensão multinível de saída sintetizada pelo conversor – Intervalo B.....	112
Figura 69: Tensão multinível por módulo.....	112
Figura 70: Tensão multinível por módulo.....	113
Figura 71: Tensões trifásicas sintetizadas pelo conversor.....	114
Figura 72: Correntes trifásicas sintetizadas pelo conversor.....	114
Figura 73: Fator de potência da carga visto pela fonte.....	115
Figura 74: Tensões reguladas dos capacitores do conversor multinível.....	115
Figura 75: Tensão multinível de saída sintetizada pelo conversor.....	116
Figura 76: Tensão multinível de saída sintetizada pelo conversor – Intervalo A.....	117
Figura 77: Tensão multinível de saída sintetizada pelo conversor – Intervalo B.....	117
Figura 78: Tensão no barramento de carga com o <i>DSTATCOM</i>	118
Figura 79: Tensões reguladas dos capacitores do conversor multinível.....	118
Figura 80: Esquema elétrico da bancada laboratorial do <i>DSTATCOM</i> multinível...	121
Figura 81: Conversor SKS 15F B2CI 2P 03 V12 da Semikron.....	122
Figura 82: DSP da TEXAS modelo TMF320F28335.....	123
Figura 83: Diagrama funcional da placa MAV.....	124
Figura 84: Diagrama funcional da placa CS.....	124
Figura 85: Diagrama funcional da placa IO.....	125
Figura 86: Diagrama funcional da placa SDSP.....	126
Figura 87: Diagrama funcional do sistema de instrumentação e controle.....	126
Figura 88: Bancada laboratorial do <i>DSTATCOM</i> proposto.....	127
Figura 89: Tensões de fase (azul) e linha (verde) e chaveamento bipolar (rosa).	128
Figura 90: THD da tensão de fase (a) e de linha (b) com modulação bipolar.....	129
Figura 91: Tensões de fase (azul), linha (verde) e chaveamento unipolar (rosa).	129
Figura 92: THD da tensão de fase (a) e de linha (b) com modulação unipolar.....	130
Figura 93: Tensões de Fase (azul) e linha (verde) e lógica descontínuo (rosa).....	130
Figura 94: THD da tensão de fase (a) e de linha (b) com modulação descontínua. .	131
Figura 95: V_{Sa} (vermelho), V_{Ca} (azul), I_{Fa} (verde) e I_{Ca} (rosa).....	132
Figura 96: Sistema antes (a) e depois (b) da correção do fator de potência.....	133
Figura 97: Tensão de fase e de linha sintetizada pelo <i>DSTATCOM</i>	133
Figura 98: THD da tensão de fase (a), linha (b) e da corrente (c) do <i>DSTATCOM</i> .	134

Figura 99: Tensão multinível total e por células.....	135
Figura 100: Tensões trifásicas sintetizadas pelo conversor.....	136
Figura 101: Correntes trifásicas sintetizadas pelo conversor.....	136
Figura 102: Tensão multinível de fase e tensões dos capacitores da fase a	137
Figura 103: Tensão do barramento de carga e corrente sintetizada pelo conversor.	138
Figura 104: Tensão multinível de fase e tensões dos capacitores da fase a	138

Índice de Tabelas

Tabela 1: Estágios de saída do conversor grampeado a diodo de três níveis.	13
Tabela 2: Estágios de saída do conversor grampeado a capacitor de três níveis.....	18
Tabela 3: Estágios de saída do conversor cascata de cinco níveis.	22
Tabela 4: Estágios de saída do conversor cascata assimétrico de sete níveis.....	26
Tabela 5: Análise do número de componentes em função da tensão de saída.	28
Tabela 6: Análise do número de componentes em função da tensão de saída.	32
Tabela 7: Limites de contorno da modulação <i>PD</i> para um conversor de cinco níveis...	56
Tabela 8: Limites de contorno da modulação <i>PSC</i> para um conversor em cascata.	69
Tabela 9: THD de simulação versus experimental sem lógica de controle.....	131
Tabela 10: THD de simulação versus experimental com lógica de controle FP.....	134

CAPÍTULO 1

Introdução

COMPENSADORES síncronos estáticos (*STATCOM*) são equipamentos baseados em eletrônica de potência aplicados aos sistemas de energia elétrica. Estes equipamentos utilizam dispositivos semicondutores de potência e tecnologias de processamento de sinais de última geração.

O compensador síncrono estático foi originalmente proposto baseado no conceito *FACTS (Flexible AC Transmission Systems)* [1]. O conceito *FACTS* surgiu da aplicação da eletrônica de potência nos sistemas de transmissão de corrente contínua de alta tensão (*HVDC*) [2]. Para transmitir energia em corrente contínua, são utilizados dispositivos semicondutores de potência, de rápida resposta aos comandos de controle, com o objetivo de retificar a corrente a ser transmitida. A utilização destes equipamentos de rápida comutação permitiu aos sistemas *HVDC* uma maior flexibilidade no controle, apresentando uma maior facilidade na variação dos pontos de operação. Com o objetivo de fornecer essa mesma flexibilidade existente nos sistemas *HVDC* para os sistemas de corrente alternada surgiu o conceito *FACTS*. Esse conceito busca a utilização de elementos de eletrônica de potência com o objetivo de

permitir o controle de certos parâmetros importantes para o funcionamento de um sistema elétrico de transmissão de energia elétrica em corrente alternada.

O *STATCOM* é um equipamento *FACTS* baseado em eletrônica de potência, conectado em paralelo ao sistema elétrico e usado para compensar potência reativa, tendo como função prover o suporte de tensão ou regular o fator de potência em áreas críticas do sistema. A Figura 1 ilustra a conexão do *STATCOM* a um sistema elétrico.

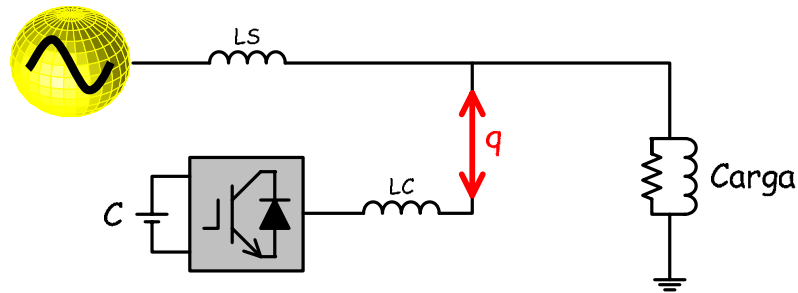


Figura 1: Conexão do STATCOM em um sistema elétrico.

O primeiro *STATCOM* foi desenvolvido em 1976 no Japão por um grupo de pesquisadores ligado à *Mitsubishi Electric Corporation* e a *Kansay Electric Co. Ltda* [3]. Naquela época, curiosamente o compensador ainda não tinha o nome de *STATCOM*, porém o seu funcionamento era basicamente igual ao atual. Quatro anos mais tarde, em 1980, foi construído e testado o primeiro protótipo do *STATCOM*. O protótipo foi dimensionado para uma potência de 20 MVA e aplicado a sistemas de tensão de 77 kV [3]. Somente no final dos anos oitenta, mais especificamente em 1988, foi construído o primeiro protótipo do *STATCOM* nos Estados Unidos. O protótipo norte americano foi dimensionado para uma potência de 1 MVA [4].

No início da década de 90, mais precisamente em 1992, foi instalado o primeiro *STATCOM* na subestação de *Inuyama* (Japão) pertencente à *Kansay Electric Co. Ltda* [5]. O *STATCOM* foi comissionado para uma potência de 80 MVA e uma tensão de 154 kV. Somente no final da década de noventa, o sistema de potência norte americano conheceria as vantagens de possuir um *STATCOM* conectado a sua rede elétrica. Um *STATCOM* de 100 MVA foi ligado a um sistema de 161 kV, na subestação de *Sullivan* (EUA) em 1995 [6] [7], e três anos mais tarde, em 1998, na subestação de *Inez*, foi comissionado um *STATCOM* de 160 MVA, pertencente à *AEP* (*American Electric Power*) [6].

O sucesso dos compensadores síncronos estáticos com potências elevadas, na ordem dos 100 MVA, aplicados aos sistemas de transmissão, incentivou a comunidade científica a estudar a possibilidade de instalar o *STATCOM* nos sistemas de distribuição com a utilização de dispositivos semicondutores e técnicas de chaveamento mais modernas.

Com a introdução do conceito *custom power*, em meados da década de 90, surgiram os compensadores síncronos estáticos aplicados a níveis de distribuição (*DSTATCOM*) [9]-[11]. A adaptação do *STATCOM* em níveis de distribuição só foi possível com a introdução do conceito de *custom power* [8] na lógica de controle dos compensadores síncronos estáticos. O conceito *custom power* surgiu da necessidade do desenvolvimento de novas metodologias e/ou equipamentos, baseados em eletrônica de potência, com a finalidade de minimizar ou até mesmo eliminar os diversos problemas relacionados com a baixa qualidade de energia elétrica nos sistemas de distribuição, focado na solução dos problemas de suprimento de uma carga crítica de um dado consumidor.

Os compensadores síncronos estáticos podem ser facilmente implementados na rede de distribuição de baixa tensão. Contudo, a sua aplicação na rede de distribuição de média tensão não pode ser realizada de uma forma direta. A alta frequência de chaveamento necessária para gerar uma onda com um baixo conteúdo harmônico contrasta com os altos níveis de potência do sistema. Devido a esta barreira tecnológica faz-se o uso dos conversores multiníveis de modo que o circuito de potência do *DSTATCOM* tenha capacidade de operar nos níveis de potência exigidos.

Este trabalho apresenta os estudos para a aplicação de técnicas de conversores multiníveis em cascata aos compensadores síncronos estáticos aplicados a sistema de distribuição (*DSTATCOM*), otimizando o seu desempenho e ampliando os níveis de potência dos compensadores. Os resultados computacionais envolvendo o *DSTATCOM* multinível em cascata proposto são apresentados no intuito de verificar o seu desempenho.

1.1 Identificação do Problema

Com o avanço tecnológico registrado nas últimas décadas, cada vez mais as cargas residenciais e comerciais são compostas por equipamentos eletro-eletrônicos sensíveis a problemas relacionados com a qualidade de energia elétrica. Variações momentâneas de tensão nos sistemas de distribuição de baixa tensão, por exemplo, podem resultar em danos permanentes nos equipamentos eletro-eletrônicos dos consumidores residenciais e comerciais.

Além do acréscimo de cargas sensíveis, os sistemas de distribuição brasileiros vêm operando bem próximos aos seus limites máximos de carga, o que vem deteriorando a qualidade da energia fornecida, expondo as cargas sensíveis aos problemas oriundos da rede de distribuição. Essa contingência de operação se deve ao aumento do consumo energético e às restrições econômicas e ambientais para a expansão dos sistemas de distribuição.

No intuito de minimizar os problemas oriundos da baixa qualidade de energia, a Agência Nacional de Energia Elétrica (ANEEL) vem ao longo dos últimos anos adotando uma política voltada para a melhoria da qualidade da energia. A ANEEL vem incentivando diversas pesquisas com enfoque no desenvolvimento de novas metodologias e equipamentos para a melhoria do fornecimento de energia para a rede elétrica.

Atualmente, os estudos relacionados com a melhoria da qualidade de energia nos sistemas de baixa tensão estão em estágios bastante avançados, apresentando uma gama de equipamentos utilizando o conceito *custom power*. Em geral os equipamentos *custom power* podem ser divididos em três grupos distintos: os equipamentos paralelo, série e a combinação dos equipamentos série-paralelo.

Os condicionadores de potência conectados em paralelo à rede elétrica produzem correntes de modo a eliminar o conteúdo harmônico das correntes de carga podendo também dar suporte de reativo tanto no controle da tensão do barramento como na otimização do fluxo de potência. Os condicionadores conectados em série com a rede elétrica produzem tensões ativas e/ou reativas em série com a linha, podendo atuar na eliminação de harmônicos de tensão de fornecimento e controle de afundamentos de tensão, além de prover uma maior estabilidade ao sistema

amortecendo possíveis ressonâncias, variando a impedância do sistema. Por último, os condicionadores de potência série-paralelos conseguem combinar as vantagens adquiridas dos compensadores série e paralelo.

Os compensadores síncronos estáticos aplicados a sistemas de distribuição de baixa tensão atuam de duas formas independentes, controlando a tensão ou otimizando o fluxo de energia dos alimentadores da rede de distribuição, melhorando o fator de potência visto pela fonte. Porém, as lógicas de controle não podem ser utilizadas simultaneamente, pois em ambas as operações o *DSTATCOM* injeta ou absorve energia reativa do sistema, de modo que se torna inviável o uso do mesmo para compensar, ao mesmo tempo, a tensão e o fator de potência.

Tipicamente, os equipamentos *custom power* são dimensionados para funcionar na baixa tensão, com os níveis de tensões e correntes na ordem das centenas de Volt-Amperes, e com uma frequência de chaveamento na ordem de dezenas de milhares de Hertz. Os circuitos de chaveamento destes equipamentos são compostos por *IGBT's (Insulated Gate Bipolar Transistor)* ou *IGCT's (Integrated Gate Commutated Thyristor)*. A aplicação destes dispositivos semicondutores nos alimentadores de baixa tensão é satisfatória, pois os níveis de potência associados aos sistemas de distribuição de baixa tensão estão de acordo com os níveis de operação dos *IGBT's* e *IGCT's*.

O crescimento da demanda energética, aliado à modernização tecnológica das plantas industriais, culminou na proliferação de equipamentos eletro-eletrônicos sensíveis à má qualidade de energia nos sistemas de distribuição de média tensão. Com a maior exposição das indústrias a uma energia de má qualidade, aumentaram também as perdas operacionais e com isso a preocupação com a qualidade de energia na média tensão.

Os problemas relacionados com a qualidade da energia, que antes causavam a irritação aos consumidores residenciais e comerciais, agora podem provocar danos financeiros de larga proporção às indústrias, especialmente aquelas que utilizam processos industriais complexos.

A necessidade de uma energia de qualidade, também na média tensão, incentivou o desenvolvimento dos equipamentos *custom power* para a média tensão,

ao passo que antes eram tipicamente dimensionados para redes elétricas de baixa tensão.

Contudo, para que os equipamentos *custom power* possam operar de maneira adequada nos sistemas elétricos de média tensão, é necessário o cumprimento de alguns pré-requisitos básicos, tais como, operar na ordem de poucas dezenas de milhares de volts e com uma frequência de chaveamento de algumas dezenas de milhares de Hertz [12].

Tradicionalmente a aplicação dos conversores em média tensão sempre foi dominada pelos *GTO's (Gate Turn-off Thyristor)*. Contudo, a limitação da frequência de chaveamento destes dispositivos, na ordem das poucas centenas de hertz, não garante um baixo conteúdo harmônico na saída do conversor, pré-requisito necessário para um equipamento *custom power*.

Uma possível solução seria a utilização de chaves semicondutoras de última geração, porém, a conexão direta de um único *IGBT* ou de um único *IGCT* nos sistemas de distribuição de média tensão é inviável.

No caso dos *IGBT's*, apesar de apresentarem uma frequência de chaveamento de poucas dezenas de milhares de Hertz, satisfatória para os equipamentos *custom power*, os *IGBT's* operam na ordem dos poucos milhares de Volt-Amperes, insatisfatórios para os níveis de tensão dos sistemas de distribuição de média tensão.

A limitação para o uso dos *IGCT's* é justamente o inverso. Enquanto os *IGCT's* operam na ordem dos milhares de Volt-Amperes, satisfatórios para a implementação nos sistemas de média tensão, eles apresentam uma frequência de chaveamento de poucos milhares de Hertz, insatisfatória para os equipamentos *custom power*.

Portanto, o comprometimento da frequência de chaveamento em relação à potência aplicada ao conversor, limitou a aplicação destes dispositivos semicondutores apenas ao sistema de distribuição de baixa tensão, impossibilitando a sua aplicação direta nos sistemas de média tensão [12].

Estas barreiras tecnológicas, envolvendo os níveis de potência dos *IGBT's* e *IGCT's* e a frequência de chaveamento dos *GTO's*, incentivaram as pesquisas de novas topologias envolvendo várias chaves semicondutoras e outros componentes, denominadas na literatura como conversores multiníveis. Além disso, foram

desenvolvidas novas técnicas de chaveamento capazes de melhorar o conteúdo harmônico das tensões e/ou correntes produzidas pelos conversores em média tensão.

Nos últimos anos, os conversores multiníveis vêm se tornando objeto de diversas pesquisas, pois eles representam uma alternativa viável e eficiente no controle de fluxo de potência em média tensão [9]-[11]. Os conversores multiníveis utilizam chaves semicondutoras de alta frequência, assim como os conversores convencionais, porém conectadas de tal forma que o nível de tensão por chave seja inferior ao seu limite nominal, e ao mesmo tempo, os níveis de tensão total na saída do conversor sejam superiores ao limite nominal de cada chave.

Diversas topologias de conversores multiníveis vêm sendo propostas no intuito de atender a crescente demanda das indústrias, as quais precisam de equipamentos que trabalhem com níveis de potência cada vez mais elevados. Entre as topologias mais conhecidas na literatura estão os conversores grampeados a diodo (*diode clamped converter*), os conversores grampeados a capacitores (*capacitor clamped converter*) e os conversores multiníveis com módulos em cascata (*cascaded multicell converter*).

A melhoria da qualidade na distribuição da energia elétrica é um assunto de suma importância para o desenvolvimento de todos os setores de economia nacional, pois os mesmos dependem diretamente de um fornecimento adequado de energia para a operação dos mesmos em condições nominais.

1.2 Motivações para o Trabalho

A motivação deste trabalho consiste em otimizar o desempenho dos compensadores síncronos estáticos e de expandir a área de operação da baixa para a média tensão. Os compensadores síncronos estáticos aplicados na baixa tensão são compostos normalmente por um conversor trifásico de dois níveis e um circuito passivo de filtragem para eliminar as componentes indesejáveis causadas pela frequência de chaveamento.

Um dos objetivos deste trabalho consiste em analisar uma topologia multinível, utilizando o mínimo de componentes ativos necessários, para operar adequadamente em um sistema de distribuição de média tensão. Além disso, os dispositivos semicondutores terão que operar com uma frequência de chaveamento

reduzida, no intuito de diminuir as perdas por chaveamento, porém sem comprometer a forma de onda na saída do conversor multinível, que terá que apresentar um baixo conteúdo harmônico necessário aos níveis de distribuição. Para isso serão estudadas técnicas de chaveamento eficientes no intuito de garantir o menor conteúdo harmônico na saída do conversor. Como consequência da baixa frequência de chaveamento os efeitos de interferência eletromagnética e ressonâncias envolvendo os componentes passivos do sistema elétrico serão minimizados.

A outra motivação deste trabalho está na eliminação dos filtros passivos na saída dos conversores. Com uma escolha adequada do número de níveis na saída do conversor será possível a eliminação dos filtros passivos necessários nos conversores convencionais de dois níveis. Além disso, não será necessária a utilização de transformadores para conectar o conversor multinível ao sistema de média tensão, visto que a topologia multinível será capaz de trabalhar em níveis elevados de potência. Ainda neste trabalho, será apresentada uma proposta de estratégia de chaveamento otimizada de forma a reduzir o conteúdo harmônico do conversor multinível sem acrescentar perdas no chaveamento do mesmo. Além disso, também será apresentada uma lógica de controle independente para regular os elos de corrente contínua do conversor adotado.

1.3 Sumário

O capítulo 2 apresenta as estruturas mais difundidas na literatura dos conversores multiníveis, mostrando as principais características, aplicações, vantagens e desvantagens de cada topologia. Basicamente, são abordados nesse capítulo os conversores grampeados a diodo, os conversores grampeados a capacitor e os conversores em cascata simétricos e assimétricos.

O capítulo 3 apresenta as estratégias de chaveamento mais utilizadas nas aplicações industriais, mostrando as vantagens e desvantagens de cada uma bem como as suas aplicações.

O capítulo 4 apresenta uma análise matemática aprofundada das estratégias de chaveamento *PWM* mais difundidas na literatura de forma a obter as expressões analíticas e os espectros harmônicos das mesmas. Após essa primeira análise matemática as características principais de cada estratégia *PWM* são estudadas de

forma a propor uma estratégia que possa otimizar o desempenho do conversor escolhido, reduzindo a distorção harmônica produzida pelo mesmo.

O capítulo 5 apresenta as lógicas de controle utilizadas nos compensadores síncronos estáticos aplicados em sistemas de distribuição de média tensão. São descritos em detalhes os circuitos de controle tanto para a lógica de controle de correção de fator de potência quanto para a lógica de regulação da tensão do barramento de carga e para a lógica de controle das tensões dos capacitores. Além disso, este capítulo contém os resultados preliminares de simulação do *DSTATCOM* conectado a um sistema elétrico de média tensão.

O capítulo 6 apresenta os circuito de controle e os resultados de simulação do *DSTATCOM* conectado a um sistema elétrico de baixa tensão. Os circuitos de controle e potência são adaptados para um sistema de baixa tensão de forma a facilitar a comparação dos resultados obtidos pelas simulações e os resultados experimentais obtidos com o protótipo laboratorial desenvolvido neste trabalho. Além disso, o código fonte, a ser implementado no protótipo experimental, será desenvolvido ainda no programa de transitórios eletromagnéticos de forma a padronizar a lógica de controle, facilitando as comparações entre os resultados computacionais e experimentais.

O capítulo 7 apresenta as etapas relacionadas com o desenvolvimento do protótipo laboratorial do *DSTATCOM* em escala reduzida e os resultados experimentais obtidos com o mesmo. Além disso, também será apresentada neste capítulo uma análise comparativa entre os resultados obtidos pela simulação em baixa tensão e os resultados obtidos com o protótipo experimental de forma a validar o desempenho do protótipo laboratorial.

O capítulo 8 apresenta as conclusões deste trabalho de forma a descrever as otimizações alcançadas para o *DSTATCOM* conforme apresentadas ao longo do trabalho.

CAPÍTULO 2

Conversores Multiníveis

NAS últimas décadas, a demanda de equipamentos com potências elevadas vem crescendo, chegando hoje em dia na ordem dos megawatts. Usualmente, os circuitos de acionamento destes equipamentos são compostos por conversores chaveados. Contudo, devido à alta potência necessária, atualmente é muito difícil a utilização de um único dispositivo semicondutor diretamente conectado na média tensão [13].

O desenvolvimento de conversores específicos para atender à demanda crescente destes equipamentos de alta potência vem despertando o interesse da comunidade de eletrônica de potência, que identificou nos conversores multiníveis uma grande potencialidade para romper a barreira da utilização de equipamentos chaveados em aplicações de média tensão [14].

Os primeiros conversores multiníveis apresentados na literatura foram os conversores em cascata no ano de 1975 [15]. Eles são compostos pela conexão de conversores em ponte completa para sintetizar uma tensão com vários níveis de saída. Contudo, a terminologia multinível somente foi proposta anos depois, em 1980, por

Nabae et al. [16] para um conversor de três níveis grampeado a diodo. Curiosamente os conversores grampeados a diodos surgiram da manipulação dos conversores em cascata [17], e dominaram as aplicações em média tensão durante a década de 80. Somente uma década mais tarde, na década de 90, foi comprovada a superioridade dos conversores em cascata para a aplicação em acionamento de motores e afins. Dentre os conversores multiníveis mais conhecidos na literatura, o último a ser apresentado foi o conversor grampeado a capacitores no início da década de 90.

Atualmente os conversores multiníveis são amplamente utilizados em aplicações em média tensão, como acionamento de motores, laminadores, bombas, ventiladores, compressores, entre outras aplicações.

Basicamente os conversores multiníveis são compostos por um conjunto de chaves semicondutoras e um conjunto de capacitores. Através das possíveis combinações do conjunto de chaves semicondutoras é possível adicionar ou retirar as tensões dos capacitores formando uma onda de saída com diversos níveis de tensão. A Figura 2 apresenta um conversor genérico, com o objetivo de ilustrar o funcionamento de conversores com dois níveis de saída, três níveis e m níveis.

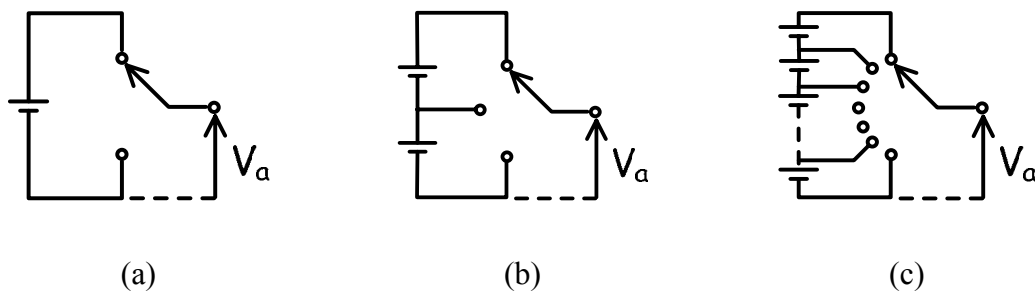


Figura 2: Conversor de dois níveis (a) três níveis (b) e m níveis (c).

Os conversores multiníveis apresentam inúmeras vantagens sobre os conversores convencionais. Entre as vantagens diretamente ligadas com a tensão de saída do conversor estão a capacidade de sintetizar níveis de tensões de saída maiores, utilizando dispositivos de menor potência, e apresentar um maior número de degraus na tensão de saída, resultando assim numa forma de onda com um conteúdo harmônico reduzido. Além disso, ainda existem as vantagens diretamente relacionadas com os dispositivos semicondutores e as perdas de chaveamento. Os conversores multiníveis apresentam as vantagens de reduzir tanto o stress de tensão nas chaves semicondutoras quanto a frequência de chaveamento em cada

componente. Deste modo, a interferência eletromagnética e as perdas de chaveamento são reduzidas, a vida útil dos dispositivos semicondutores é aumentada [13] [18].

Uma outra solução para a aplicação de conversores na alta potência seria a associação de chaves semicondutoras em série e/ou paralelo de forma que o conjunto de chaves resultantes representasse uma única chave de maior potência capaz de suportar os níveis de potência envolvidos. Apesar de apresentar uma lógica de controle mais simples, pois o conjunto de chaves seria controlado como uma chave única, esta solução não é otimizada. Apesar de utilizar um número menor de componentes em relação aos conversores multiníveis quando dimensionados para a mesma potência, os conversores convencionais não apresentam as vantagens oferecidas pelas topologias multiníveis. Outros detalhes sobre a conexão de chaves em série/paralelo são apresentados ainda neste capítulo.

Devido a suas vantagens, os conversores multiníveis vem se tornando uma solução muito atraente para as aplicações em altas potências. Entre as topologias mais conhecidas na literatura estão os conversores grampeados a diodo (*diode clamped converter*), os conversores grampeados a capacitor (*capacitor clamped converter*) e os conversores multiníveis com módulos em cascata (*cascaded multicell converter*) simétricos e assimétricos.

Neste capítulo serão apresentadas as topologias multiníveis mais conhecidas na literatura, listando as vantagens e desvantagens de cada uma de forma a identificar aquela mais adequada para a aplicação do compensador síncrono estático para sistemas de distribuição (*DSTATCOM*) de média tensão.

2.1 Conversor Grampeado a Diodo

Os conversores multiníveis grampeados a diodo foram propostos inicialmente por *Nabae et al* [16] em 1981 com uma configuração de três níveis. Este conversor grampeado a diodo também é conhecido na literatura como *neutral-point clamped (NPC)*.

A Figura 3 apresenta a estrutura de um conversor multinível grampeado a diodo de três níveis e a tensão de saída entre os terminais a e n .

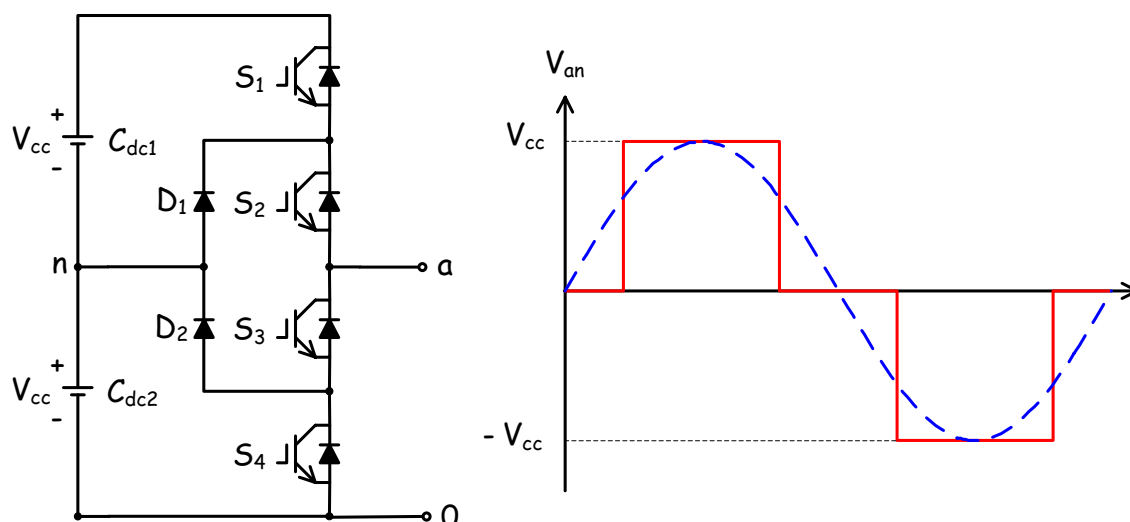


Figura 3: Conversor de três níveis grampeado a diodo.

Os conversores de três níveis grampeados a diodo são compostos por quatro chaves semicondutoras (S_1, S_2, S_3, S_4), dois capacitores do lado CC (C_{dc1}, C_{dc2}), quatro diodos em antiparalelo com as chaves controladas e dois diodos de grampeamento (D_1, D_2). O ponto de neutro n divide igualmente a tensão do lado CC do conversor entre os capacitores conectados em série, de forma a obter os três níveis de tensão desejados na saída do conversor ($-V_{cc}, 0, +V_{cc}$).

A lógica de chaveamento utilizada para este circuito está apresentada a seguir. Admite-se que as chaves de índice par e as chaves de índice ímpar são complementares entre si, ou seja, quando as chaves S_1 e S_2 estiverem fechadas, as chaves S_3 e S_4 obrigatoriamente estarão abertas. As possíveis combinações e os estágios da tensão de saída são apresentados na Tabela 1, sendo que o número 1 indica que a chave está em condução e o número 0 indica que a chave está em aberto.

Tabela 1: Estágios de saída do conversor grampeado a diodo de três níveis.

S_1	S_2	S_3	S_4	V_{an}
1	1	0	0	$+V_{cc}$
0	1	1	0	0
0	0	1	1	$-V_{cc}$

A característica marcante que difere esse conversor dos demais conversores de dois níveis convencionais é a utilização dos diodos para limitar as tensões nas chaves que não estão conduzindo, daí a sua terminologia. Por exemplo, quando as chaves S_1

e S_2 estão conduzindo a tensão entre os terminais a e 0 é de $2V_{cc}$. Nesse exemplo o diodo D_2 irá manter a tensão sobre S_4 em V_{cc} e, conseqüentemente, o diodo D_1 irá manter a tensão sobre S_3 em V_{cc} . Com isso, os resistores de equalização, utilizados em conversores convencionais de dois níveis, podem ser removidos nessa topologia, uma vez que sempre um dos diodos manterá a tensão sobre uma das chaves controladas em V_{cc} .

Caso seja necessário aumentar os níveis de potência envolvida, basta aumentar os níveis de tensão de saída do conversor, que está diretamente ligada ao número de componentes do mesmo. Genericamente o conversor grampeado a diodo de m níveis de tensão é composto por $(m-1) \times 2$ chaves semicondutoras, $(m-1) \times 2$ diodos em antiparalelo, $(m-1)$ capacitores do elo CC e $(m-1) \times (m-2)$ diodos de grampeamento [13].

O conversor multinível grampeado a diodo de sete níveis é apresentado na Figura 4 no intuito de ilustrar o número de componentes e as conexões necessárias para a montagem desse conversor [19][20].

A quantidade de dispositivos semicondutores de potência e de capacitores aumenta linearmente com o acréscimo de níveis do conversor. Porém isso não ocorre no caso dos diodos, pois à medida que o número de níveis da tensão de saída do conversor aumenta a quantidade de diodos grampeadores aumenta quase quadraticamente. Este aspecto, conforme já abordado na literatura, torna inviável a montagem de um conversor com um número de níveis elevado [13] [18].

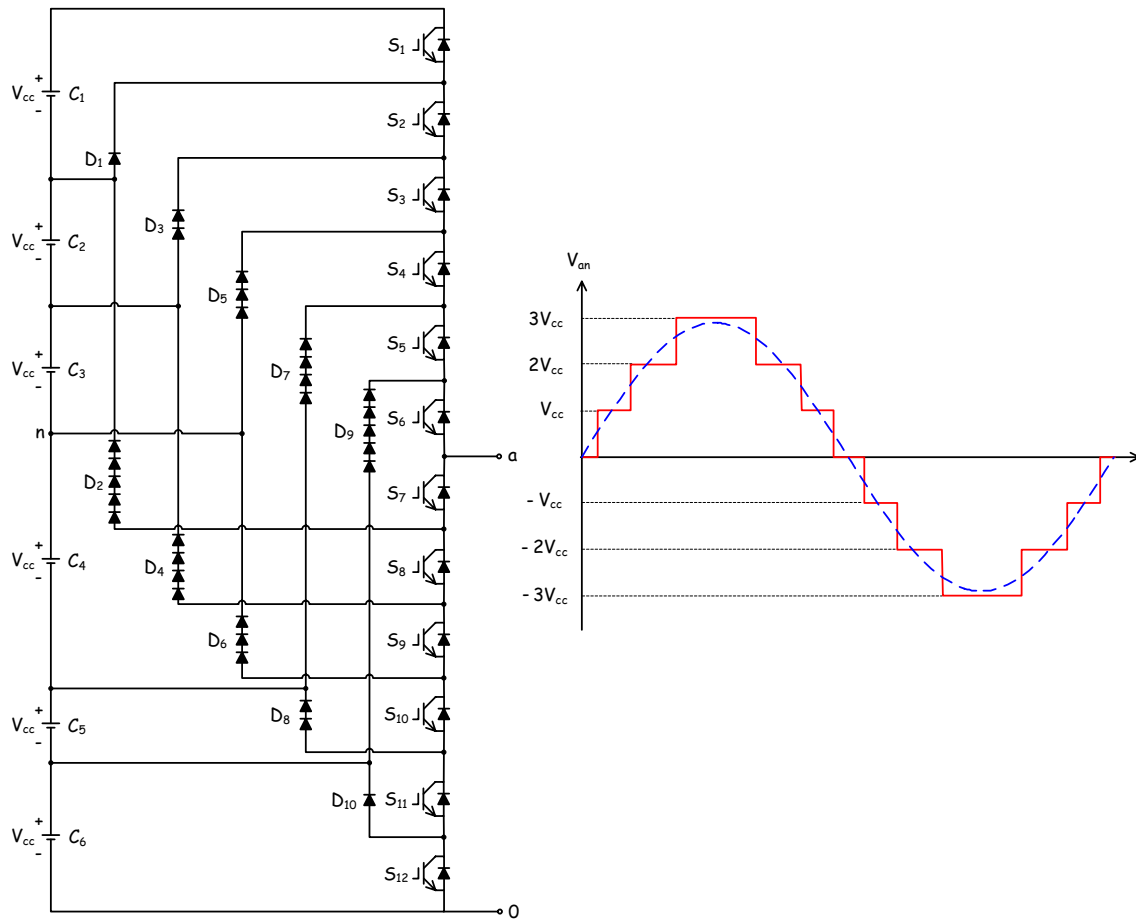


Figura 4: Conversor de sete níveis grampeado a diodo.

O crescimento excessivo dos diodos nesta topologia ocorre devido à necessidade de diferentes limites de bloqueio de tensão reversa dos diodos de grampeamento. Por exemplo, para o conversor grampeado a diodo de sete níveis, dependendo do ponto de conexão dos diodos e da combinação de chaveamento, existem situações em que a tensão sobre um dos diodos do circuito de grampeamento pode ser até cinco vezes maior do que a tensão sobre um outro diodo do mesmo circuito. Por exemplo, quando as chaves S_7 , S_8 , S_9 , S_{10} , S_{11} , S_{12} , estão fechadas, a tensão sobre o diodo D_2 é de $5V_{cc}$, enquanto o diodo D_{10} é submetido a uma tensão de apenas V_{cc} . Admitindo-se que todos os componentes sejam dimensionados para os mesmos limites de tensão, o diodo D_2 deveria ser construído por cinco diodos em série, conforme sugerido na Figura 4.

Os conversores multiníveis grampeados a diodo apresentam as vantagens de reduzir o conteúdo harmônico e a frequência de chaveamento de cada dispositivo semicondutor ao passo que se aumenta o número de níveis da tensão de saída. Além

disso, ele apresenta uma topologia adequada para uma conexão *back-to-back* [21], caso seja necessária à injeção de potência ativa na regulação do elo CC.

Contudo, a lógica de chaveamento utilizada pelos conversores multiníveis grampeados a diodo não possuem redundância de combinações capazes de gerar o mesmo nível de saída. Isso aumenta a complexidade do controle da equalização das tensões dos capacitores do elo CC, podendo comprometer o conteúdo harmônico na saída do conversor. Uma outra desvantagem desse tipo de conversor é o aumento excessivo do numero de componentes à medida que aumenta o número de níveis de saída do conversor [13][18].

2.2 Conversor Multinível Grampeado a Capacitores

Os conversores multiníveis grampeados a capacitor foram inicialmente propostos por Meynard e Foch [22]-[24] em 1992, sendo uma alternativa baseada nos conversores grampeados a diodo. Portanto possuem diversas vantagens e desvantagens em comum. A Figura 5 apresenta as conexões do conversor multinível grampeado a capacitores de três níveis e a tensão de saída nos terminais *a* e *n*.

Os conversores de três níveis grampeados a capacitor são compostos por quatro chaves semicondutoras (S_1, S_2, S_3, S_4), dois capacitores principais (C_{dc1}, C_{dc2}), um capacitor flutuante (C_1) e quatro diodos em antiparalelo com as chaves.

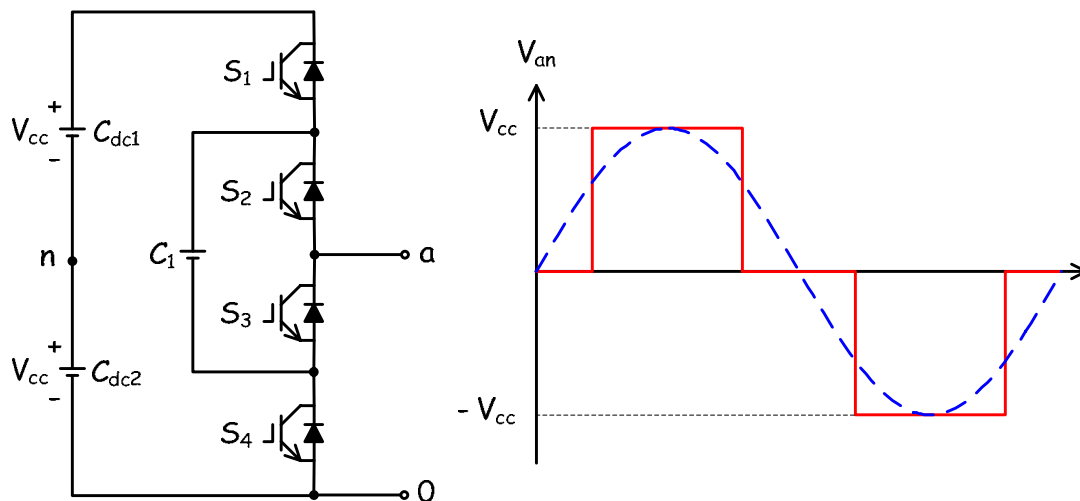


Figura 5: Conversor de três níveis grampeado a capacitor.

Cabe ressaltar que os capacitores principais (C_{dc1}, C_{dc2}) são do lado CC do conversor. Portanto caso haja a necessidade de uma tensão de saída com mais fases,

por exemplo no caso de uma tensão trifásica, mais ramos podem ser inseridos na estrutura, porém os capacitores mais externos serão comuns para todas as fases, conforme ilustrado na Figura 6.

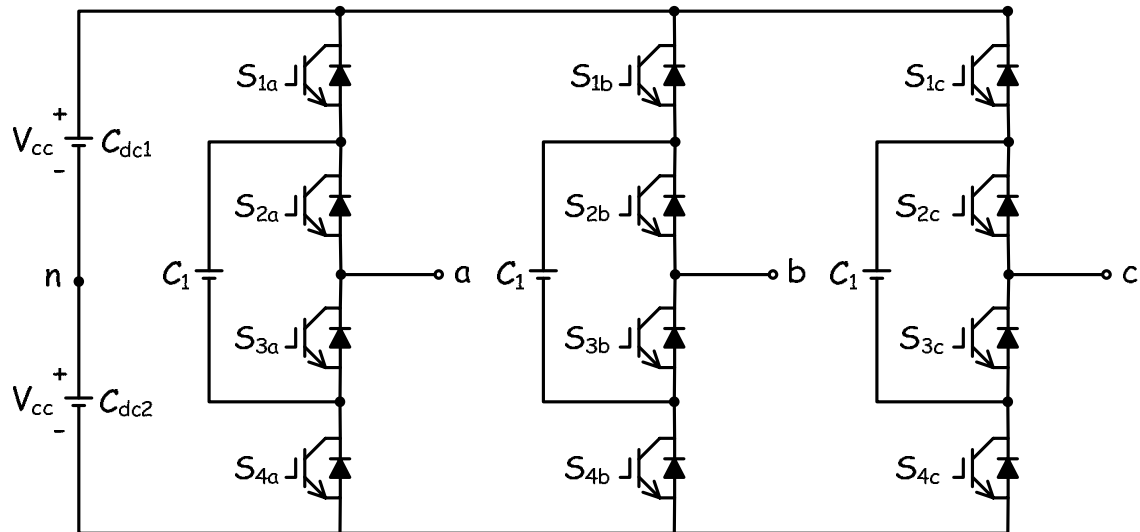


Figura 6: Conversor de três níveis grampeado a capacitor para sistemas trifásicos.

Admitindo-se que todos os capacitores possuem o mesmo nível de tensão (V_{cc}), o nível da tensão de saída é definido pela quantidade de capacitores conectados em série.

Os conversores grampeados a capacitor apresentam uma maior flexibilidade no controle das tensões dos capacitores em relação aos conversores grampeados a diodo. A flexibilidade do controle é obtida por meio de redundâncias existentes na lógica de chaveamento para obter certos níveis de tensão na saída do conversor.

A liberdade obtida para sintetizar os níveis de tensão, significará uma maior liberdade para o controle das tensões dos capacitores sem comprometer o conteúdo harmônico de saída, resultando numa lógica mais eficiente em relação aos conversores grampeados a diodo [13] [18]. Por outro lado, nessa configuração há a necessidade de também manter reguladas as tensões dos capacitores utilizados para limitar a tensão sobre os IGBTs, o que acaba por criar condições de restrição na técnica de chaveamento a ser implementada. Estes capacitores estão representados na Figura 5 e na Figura 6 por C_1 .

A Tabela 2 apresenta as combinações possíveis e os níveis da tensão de saída para o conversor multinível grampeado a capacitores de três níveis. Nesta lógica, é

assumido que as tensões sobre os capacitores estão reguladas. Com essa estrutura adotada pode-se observar que existem duas possibilidades de se atingir o nível zero de saída.

Tabela 2: Estágios de saída do conversor grampeado a capacitor de três níveis.

S_1	S_2	S_3	S_4	V_{an}
1	1	0	0	$+V_{cc}$
1	0	1	0	0
0	1	0	1	0
0	0	1	1	$-V_{cc}$

O controle de carga e descarga da energia do capacitor C_1 (ver Figura 5) pode ser realizado, comprometendo menos o conteúdo harmônico da tensão de saída, quando comparado aos conversores grampeados a diodo, a partir da escolha apropriada das combinações das chaves semicondutoras. Por exemplo, adotando uma corrente positiva saindo do terminal a , o capacitor C_1 carrega quando as chaves S_1 e S_3 estão fechadas e descarrega quando as chaves S_2 e S_4 estão fechadas. É importante comentar que ambas as combinações irão sintetizar o mesmo nível de tensão de saída (zero), portanto não comprometendo a forma de onda da saída.

Os níveis de tensão dos capacitores definem os limites de tensão aplicados sobre os dispositivos semicondutores. Por exemplo, quando as chaves S_1 e S_2 estão fechadas e as chaves S_3 e S_4 estão abertas, a tensão sobre as chaves S_3 e S_4 consiste na soma da tensão sobre os capacitores C_{dc1} e C_{dc2} , totalizando $2V_{cc}$. Porém, a queda de tensão na chave S_3 é definida pelo capacitor C_1 , que está carregado nominalmente com V_{cc} , pois tem a mesma tensão que os capacitores C_{dc1} e C_{dc2} . Desse modo é possível garantir que a tensão de $2V_{cc}$ seja dividida igualmente entre as chaves S_3 e S_4 , desde que a tensão sobre o capacitor C_1 esteja regulada em V_{cc} .

De forma semelhante ao conversor grampeado a diodo, caso seja necessário aumentar os níveis de tensão de saída do conversor basta aumentar o número de componentes do mesmo. Genericamente o conversor grampeado a capacitor de m níveis de tensão é composto por $(m-1) \times 2$ chaves semicondutoras, $(m-1) \times 2$ diodos em antiparalelo, $(m-1)$ capacitores do elo CC e $(m-1) \times (m-2) / 2$ capacitores com tensão flutuante [13].

O conversor multinível grampeado a capacitor de sete níveis é apresentado na Figura 7 no intuito de ilustrar o número de componentes e as conexões necessárias para a montagem de um conversor com um número elevado de níveis de saída.

As quantidades de dispositivos semicondutores de potência e de capacitores do elo CC (C_{dc} 's) aumentam linearmente com o acréscimo de níveis do conversor. Porém o mesmo não ocorre com os capacitores sem um potencial elétrico de referência, comumente chamados de capacitores flutuantes (C 's). De fato, à medida que o número de níveis da tensão de saída do conversor aumenta a quantidade de capacitores flutuantes aumenta quase quadraticamente.

Analogamente aos diodos grampeadores do conversor multinível grampeado a diodo, os capacitores flutuantes também são submetidos a diferentes valores de tensão. Pode-se observar na Figura 7 que quanto mais externas as conexões dos capacitores, maiores são as tensões aplicadas aos mesmos. Portanto admitindo-se que todos os componentes tenham os mesmos níveis de potência é necessária a combinação em série de capacitores para suportar as tensões elevadas do conversor, como no caso do grupo de capacitores (C_{11} , C_{12} , C_{13} , C_{14} , C_{15}) ilustrado na Figura 7. Este problema construtivo também pode tornar impraticável a montagem deste conversor com um número de níveis elevado.

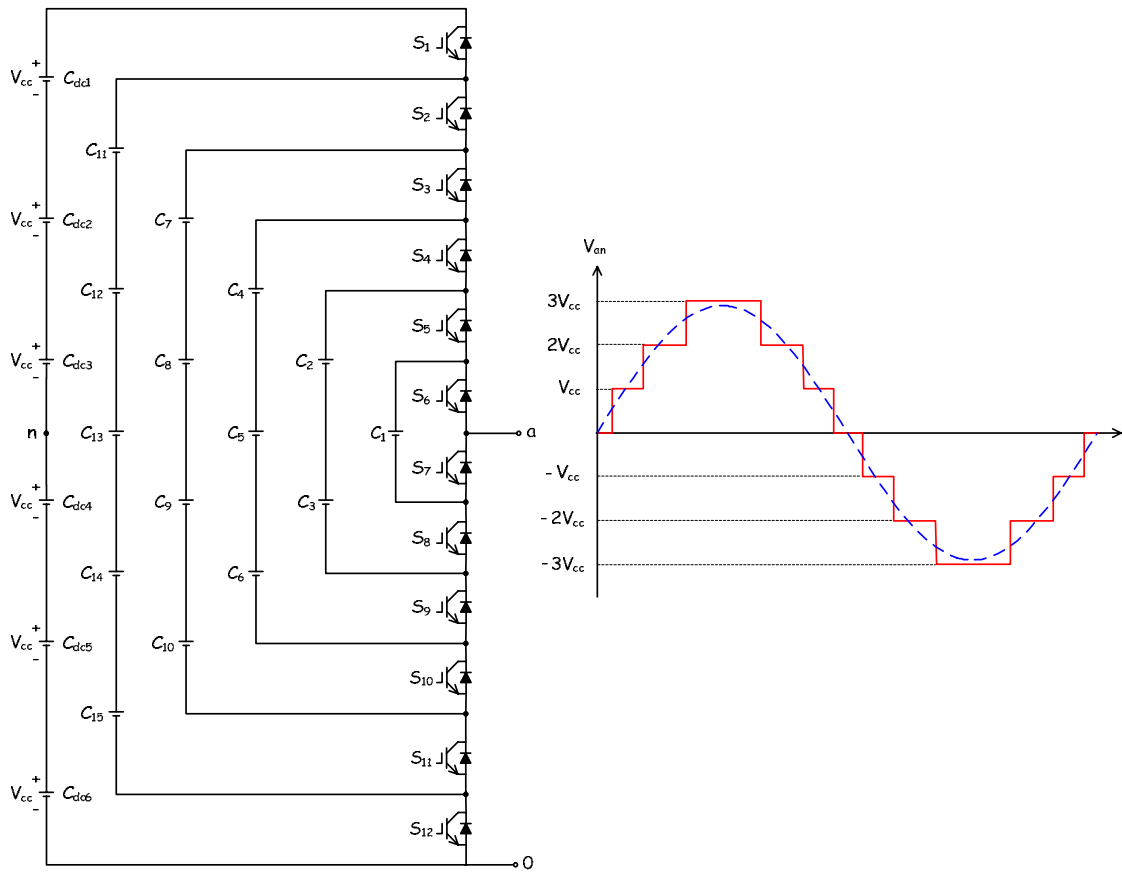


Figura 7: Conversor de sete níveis grampeado a capacitor.

Além das vantagens de reduzir o conteúdo harmônico e a frequência de chaveamento e possibilitar a conexão *back-to-back*, apresentadas nos conversores grampeados a diodos, os conversores multiníveis grampeados a capacitor ainda apresentam a vantagem de possuir uma lógica de chaveamento flexível para a regulação da tensão dos capacitores.

Contudo, em conversores com muitos níveis de potência, a lógica de controle pode se tornar muito complexa. Além disso, outras desvantagens dessa topologia são o número excessivo de capacitores flutuantes para conversores com níveis de tensão elevados e as altas frequências necessárias no circuito de chaveamento para o controle da potência ativa, além da introdução de correntes parasitas em maior escala [18].

2.3 Conversores Multiníveis em Cascata Simétricos

Os conversores multiníveis em cascata simétricos foram os primeiros conversores multiníveis propostos na história. Eles apresentam uma grande potencialidade para aplicação em média tensão. Eles são compostos pela conexão em série de dois ou mais conversores monofásicos em ponte completa com capacitores isolados de mesma tensão (V_{cc}). A Figura 8 apresenta um conversor multinível em cascata simétrico de cinco níveis [25]-[28].

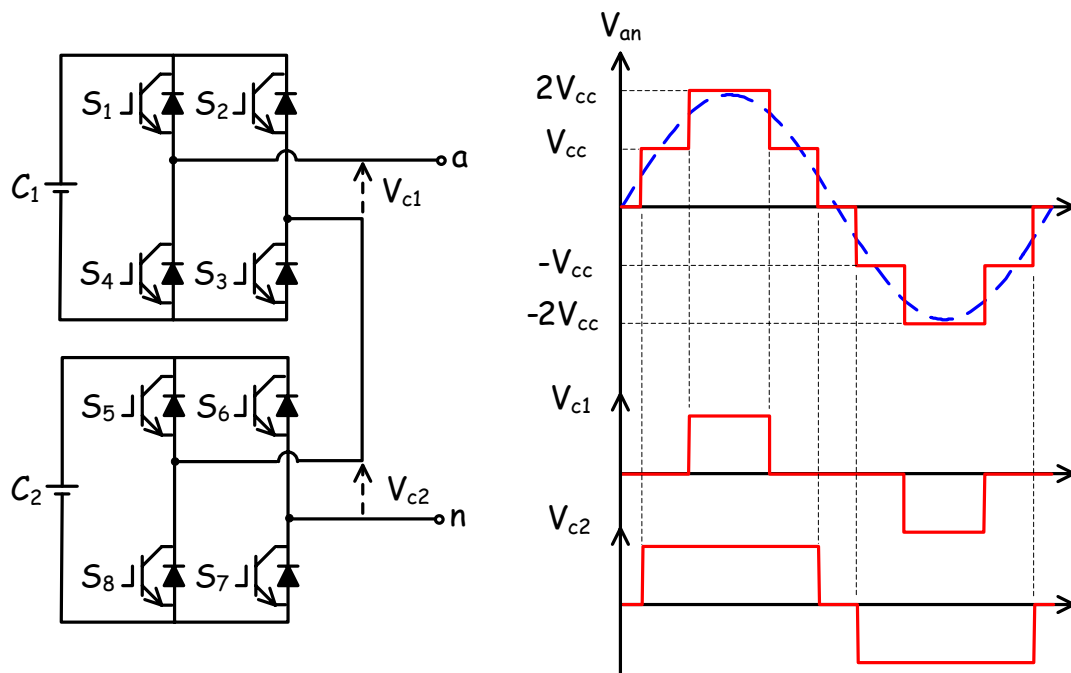


Figura 8: Conversor multinível em cascata de cinco níveis.

Nesta topologia, cada conversor monofásico pode ser interpretado como uma célula independente, contendo quatro dispositivos semicondutores (S_1, S_2, S_3, S_4), quatro diodos em antiparalelo e um capacitor (C_1). Cada célula pode produzir tensões com três níveis de saída ($-V_{cc}, 0, +V_{cc}$). A tensão de saída do conversor vista pelos terminais a e n é definida pela soma das saídas de cada célula.

Tomando como exemplo o conversor de cinco níveis em cascata apresentado na Figura 8, quando as chaves S_1 e S_3 estão fechadas e as chaves S_2 e S_4 estão abertas a tensão de saída da primeira célula (V_{c1}) é V_{cc} . Considerando o mesmo procedimento para a segunda célula a tensão de saída da mesma (V_{c2}) também é V_{cc} , resultando na

tensão de saída total do conversor (V_{an}) de $2V_{cc}$. As demais combinações e os seus níveis de tensão resultante estão apresentados na Tabela 3.

Tabela 3: Estágios de saída do conversor cascata de cinco níveis.

S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	V_{an}
1	0	1	0	1	0	1	0	$+2V_{cc}$
1	0	1	0	1	1	0	0	$+V_{cc}$
1	0	1	0	0	0	1	1	$+V_{cc}$
1	1	0	0	1	0	1	0	$+V_{cc}$
0	0	1	1	1	0	1	0	$+V_{cc}$
1	1	0	0	1	1	0	0	0
1	1	0	0	0	0	1	1	0
0	0	1	1	1	1	0	0	0
0	0	1	1	0	0	1	1	0
1	0	1	0	0	1	0	1	0
0	1	0	1	1	0	1	0	0
0	1	0	1	1	1	0	0	$-V_{cc}$
0	1	0	1	0	0	1	1	$-V_{cc}$
1	1	0	0	0	1	0	1	$-V_{cc}$
0	0	1	1	0	1	0	1	$-V_{cc}$
0	1	0	1	0	1	0	1	$-2V_{cc}$

Uma das vantagens de se utilizar a estrutura em cascata é que caso seja necessário trabalhar em aplicações de potências elevadas, o número de componentes utilizados não cresce excessivamente, ao contrário das outras topologias apresentadas. Devido a sua estrutura modular, para incrementar o número de níveis de saída é necessário apenas aumentar o número de células sem a necessidade de se preocupar com os circuitos de grampeamento de tensão. Isso ocorre porque as tensões submetidas aos dispositivos semicondutores são definidas pela tensão dos capacitores de cada célula, não necessitando de um circuito de grampeamento para garantir a divisão da tensão. Portanto, admitindo que todos os capacitores tenham a mesma tensão, todos os equipamentos são definidos para uma mesma potência, o que simplifica a instalação e manutenção do mesmo por apresentar uma estrutura modular.

Dessa forma a quantidade de componentes do circuito aumenta linearmente com o número de níveis desejados na saída do conversor. Genericamente o conversor em cascata simétrico de m níveis de tensão é composto por $(m-1) \times 2$ chaves semicondutoras, $(m-1) \times 2$ diodos principais, $(m-1)/2$ capacitores do elo CC.

O conversor multinível em cascata simétrico de sete níveis é apresentado na Figura 9 no intuito de ilustrar o número de componentes e as conexões necessárias para a montagem deste conversor com um número elevado de níveis de saída.

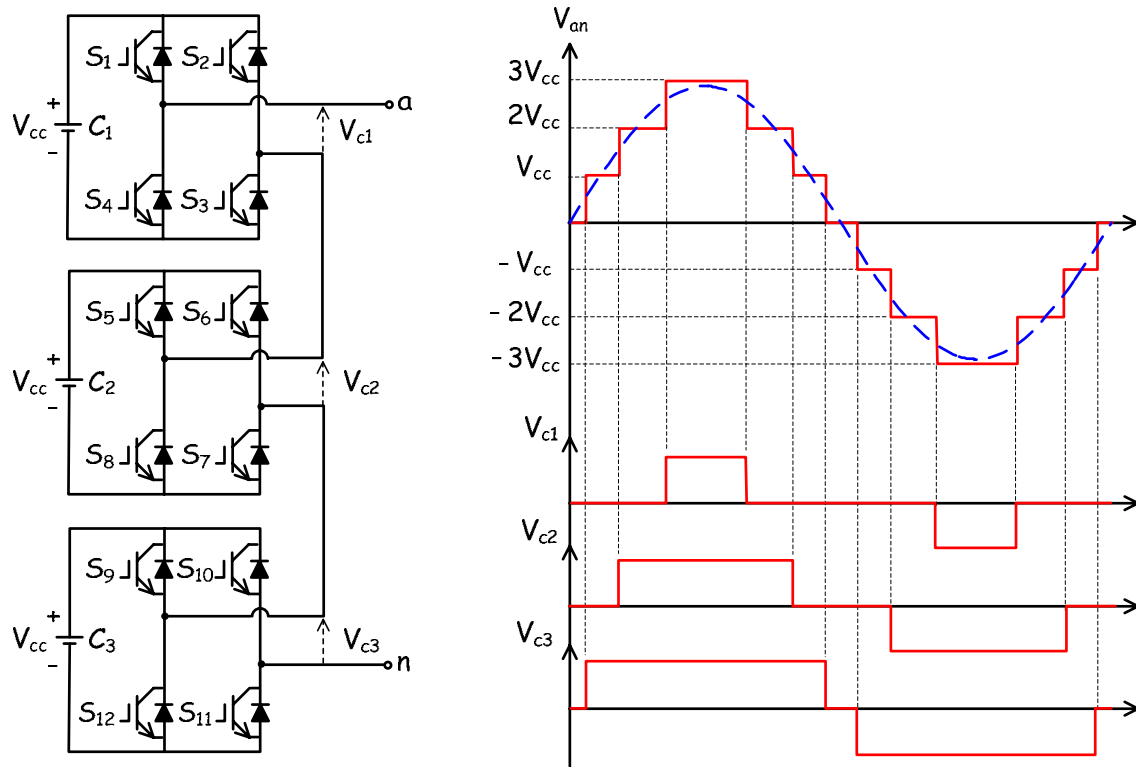


Figura 9: Conversor multinível em cascata de sete níveis.

A desvantagem desta topologia é de apresentar capacitores isolados, o que além de limitar o uso da topologia em algumas aplicações, dificulta a regulação das tensões dos mesmos. Por exemplo, caso seja necessária a implementação de conversores conectados em *back-to-back*, um estudo de sincronismo de chaveamento entre as células deve ser realizado para que não haja curtos-circuitos entre os capacitores, que podem comprometer a forma de onda da tensão de saída e danificar algum componente. Estudos para conciliar a estrutura em cascata com a conexão *back-to-back* foram apresentados em [28] mostrando a viabilidade para a implementação do mesmo.

Além de reduzir o conteúdo harmônico e a frequência de chaveamento, os conversores multiníveis em cascata simétrico ainda apresentam a vantagem de serem compostos por módulos idênticos, o que simplifica o trabalho na instalação/manutenção do equipamento e/ou na expansão do equipamento para níveis de potência mais elevados. Além disso, ele ainda possui uma lógica de chaveamento

simples e apresenta um número de componentes adequado para qualquer nível de potência [13] [18].

2.4 Conversores Multiníveis em Cascata Assimétrico

A partir da modificação da estrutura modular dos conversores multiníveis simétricos surgiu os conversores multiníveis em cascata assimétricos [30]-[37].

Os conversores em cascata assimétricos são compostos pela mesma estrutura que os conversores multiníveis em cascata simétricos. Contudo, as tensões aplicadas aos capacitores em cada elo CC são diferentes, gerando assim a assimetria do conversor. Justamente devido a essa diferença de potência, surgiu a possibilidade de construir o conversor híbrido, ou seja, com dispositivos semicondutores de potência diferentes em cada célula. Dessa forma, os dispositivos podem ser escolhidos de forma apropriada para cada célula, minimizando o número de componentes total do conversor. Devido a esta possibilidade de combinação de diversos dispositivos semicondutores diferentes, os conversores em cascata assimétricos também são comumente nomeados na literatura como conversores híbridos. A Figura 10 apresenta um conversor multinível cascata assimétrico de sete níveis.

Por exemplo, adotando que a tensão no capacitor C_2 é o dobro da tensão do capacitor C_1 , temos que V_{c1} e V_{c2} são respectivamente V_{cc} e $2V_{cc}$, assim cada célula poderá comutar entre três níveis de saída $(-V_{cc}, 0, +V_{cc})$ para a primeira célula e $(-2V_{cc}, 0, +2V_{cc})$ para a segunda. A tensão de saída do conversor consiste na soma das tensões em cada célula, de forma idêntica aos conversores simétricos, podendo excursionar de $-3V_{cc}$ até $3V_{cc}$.

Com a diferença nas tensões dos capacitores, maiores níveis de tensão de saída podem ser obtidos com o mesmo número de componentes em relação aos conversores simétricos. Por exemplo, um conversor em cascata simétrico de sete níveis é composto por três células monofásicas, enquanto um conversor em cascata assimétrico de sete níveis é composto por apenas duas células.

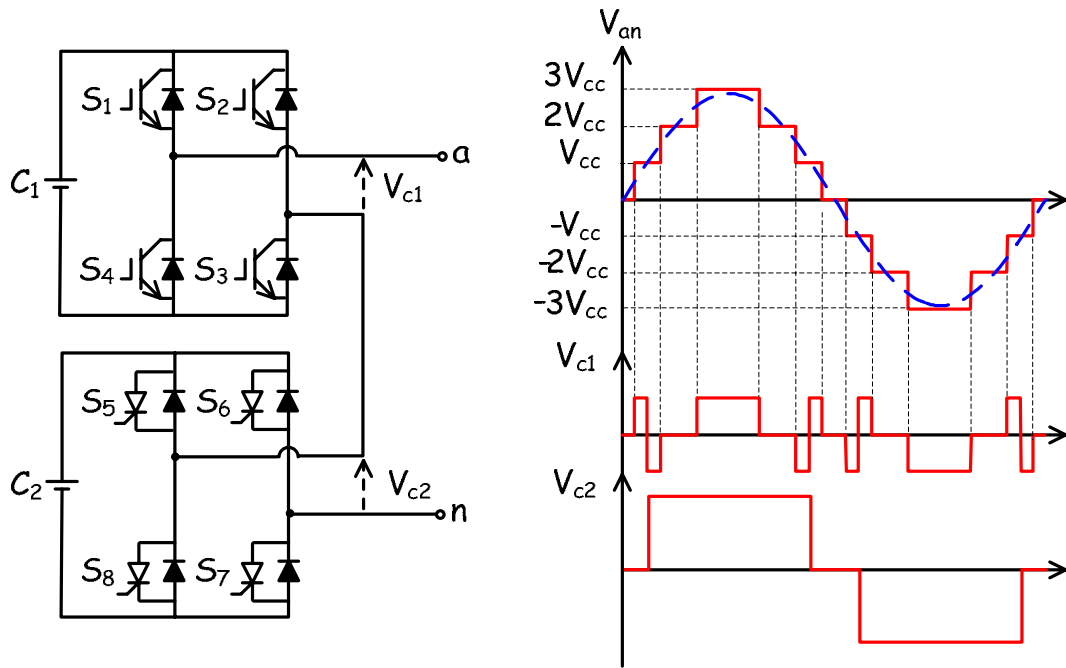


Figura 10: Conversor multinível em cascata assimétrico de sete níveis.

Contudo, devido à diferença de potências envolvidas em cada célula, os dispositivos semicondutores são dimensionados para potências diferentes, o que tira a vantagem de uma estrutura modular idêntica mostrada nos conversores simétricos. Porém o uso de dispositivos diferentes propicia a utilização de frequências de chaveamento diferentes por célula, o que reduz as perdas por chaveamento e os estresses de tensão nos dispositivos semicondutores.

A lógica de controle contendo todas as possíveis combinações e os seus estágios de saída para o conversor assimétrico apresentado na Figura 10 são apresentados na Tabela 4.

A grande vantagem desse conversor está na quantidade de componentes necessários para alcançar o número de níveis desejados na saída do conversor. Ao contrário dos outros conversores, que apresentavam uma relação linear ou até mesmo quadrática, o conversor cascata assimétrico tem uma relação logarítmica entre o número de níveis e a quantidade de dispositivos necessários pelo conversor. Genericamente, o conversor em cascata assimétrico de m níveis de tensão é composto por $4x\text{Log}_3(m)$ chaves semicondutoras, $4x\text{Log}_3(m)$ diodos principais, $\text{Log}_3(m)$ capacitores do elo CC.

Tabela 4: Estágios de saída do conversor cascata assimétrico de sete níveis.

S_1	S_2	S_3	S_4	S_5	S_6	S_7	S_8	V_{an}
1	0	1	0	1	0	1	0	+3Vcc
1	1	0	0	1	0	1	0	+2Vcc
0	0	1	1	1	0	1	0	+2Vcc
0	1	0	1	1	0	1	0	+Vcc
1	0	1	0	1	1	0	0	+Vcc
1	0	1	0	0	0	1	1	+Vcc
1	1	0	0	1	1	0	0	0
1	1	0	0	0	0	1	1	0
0	0	1	1	1	1	0	0	0
0	0	1	1	0	0	1	1	0
0	1	0	1	1	1	0	0	-Vcc
0	1	0	1	0	0	1	1	-Vcc
1	0	1	0	0	1	0	1	-Vcc
1	1	0	0	0	1	0	1	-2Vcc
0	0	1	1	0	1	0	1	-2Vcc
0	1	0	1	0	1	0	1	-3Vcc

Além das vantagens de reduzir o conteúdo harmônico e a frequência de chaveamento, apresentar uma lógica de chaveamento simples e de não ter a necessidade de possuir um circuito de grampeamento de tensão para os dispositivos semicondutores, os conversores multiníveis em cascata assimétricos ainda apresentam a vantagem de possuir um menor número de componentes para sintetizar um mesmo nível de tensão. Isso reduz ao máximo o custo do equipamento e aumenta a confiabilidade do mesmo.

Contudo, a utilização de capacitores com níveis de tensão diferentes impossibilita o uso de células modulares, uma vez que cada célula tem uma potência nominal diferenciada. As desvantagens desta topologia residem numa complexidade de implementar uma topologia *back-to-back*, além da complexidade para regular a tensão dos capacitores. Estes problemas são idênticos aos observados nos conversores em cascata simétricos.

2.5 Conexão de Chaves em Série/Paralelo

Conforme comentado neste capítulo, outra solução para a aplicação de conversores na alta potência seria a associação de chaves semicondutoras em série

e/ou paralelo. Dessa forma, o conjunto resultante da combinação dessas chaves pode ser aplicado em níveis de potência maiores.

Para aumentar os níveis de tensão do conversor, uma conexão de chaves em série pode ser utilizada de tal forma que a tensão total do conversor será dividida entre as chaves. Contudo, nessa topologia é necessária a utilização de um circuito de equalização para dividir igualmente as tensões entre as chaves. Isto porque, caso uma das chaves não entre em condução no mesmo instante de tempo das demais, a tensão total do conversor irá ser submetida a somente esta chave aberta, provavelmente danificando-a.

Um procedimento semelhante pode ser realizado para aumentar os níveis de corrente vinculados aos conversores. O uso de chaves em paralelo pode ser utilizado de tal forma que a corrente total do conversor seja dividida entre as chaves.

Nesta última década, as empresas fabricantes de equipamento de eletrônica de potência vêm apostando muito nessa topologia, pois ela realmente apresenta uma facilidade de controle e implementação. Contudo, a associação de chaves em série/paralelo não apresenta nenhuma otimização na tensão de saída gerada pelo conversor, e por isso não será apresentada entre as topologias propostas.

2.6 Análise Comparativa dos Conversores

Nesta seção são descritas as vantagens e desvantagens das topologias de conversores multiníveis apresentadas anteriormente, porém focando a aplicação de um *DSTATCOM* em média tensão, que é o interesse de pesquisa deste trabalho. Dessa forma, as vantagens e desvantagens de cada topologia poderão ser comparadas adequadamente, possibilitando a escolha da melhor topologia para esta aplicação distinta.

O primeiro ponto a ser analisado é a relação entre o número de degraus obtidos na tensão de saída do conversor e a quantidade de componentes necessários. Esta análise inicial tem um peso muito importante na escolha do conversor, pois conforme comentado nas seções anteriores, quanto maior for o número de degraus sintetizado pelo conversor, menor é o conteúdo harmônico da tensão de saída do mesmo. Além disso, quanto menor for o número de componentes, maior é a confiabilidade dos conversores e menores são os custos relativos à

implementação/manutenção dos mesmos. Portanto a escolha de um ponto de operação otimizado, relacionando o número mínimo de níveis desejado e a quantidade máxima de componentes necessários, influencia diretamente no rendimento do conversor.

A Tabela 5 apresenta uma análise comparativa entre os componentes de potência necessários para implementar uma fase de um conversor multinível em função da variação do número de níveis da tensão de saída.

Tabela 5: Análise do número de componentes em função da tensão de saída.

	Chaves Controladas	Capacitores do elo CC	Capacitores Flutuantes	Diodos em Antiparalelo	Diodos de Grampeamento
Conversor Grampeado a Diodo	$(m-1)x2$	$(m-1)$	0	$(m-1)x2$	$(m-1)x(m-2)$
Conversor Grampeado a Capacitor	$(m-1)x2$	$(m-1)$	$(m-1)x(m-2)/2$	$(m-1)x2$	0
Conversor Cascata Simétrico	$(m-1)x2$	$(m-1)/2$	0	$(m-1)x2$	0
Conversor Cascata Assimétrico	$4xLog_3(m)$	$Log_3(m)$	0	$4xLog_3(m)$	0

A Figura 11 ilustra graficamente a variação da quantidade de chaves controladas (a), de capacitores (b) e de diodos (c) dependendo da escolha do número de níveis de tensão de saída previamente estabelecidas na Tabela 5.

Como pode ser observado na Figura 11(a) e na Figura 11(b), o número excessivo de componentes passivos necessários para a implementação de um conversor multinível grampeado a diodo ou grampeado a capacitor, com mais de dez níveis de saída, por exemplo, é impraticável. Este número elevado de componentes torna inviável a implementação dessas duas topologias quando confrontadas com as demais apresentadas.

Os conversores em cascata simétricos e assimétricos apresentam uma variação mais atraente do número de componentes em relação ao número de níveis de saída desejado. Ambas as topologias não necessitam de diodos de grampeamento e de capacitores com tensões flutuantes, o que diminui drasticamente o número total de componentes passivos no circuito de potência. Os conversores em cascata assimétricos apresentam uma variação logarítmica em relação ao acréscimo do número de níveis m , enquanto os conversores em cascata simétricos apenas apresentam uma variação linear. Além disso, ambos apresentam uma topologia em ponte completa, o que irá resultar numa lógica de chaveamento mais eficiente. Mais detalhes sobre a lógica de chaveamento serão apresentados no CAPÍTULO 3.

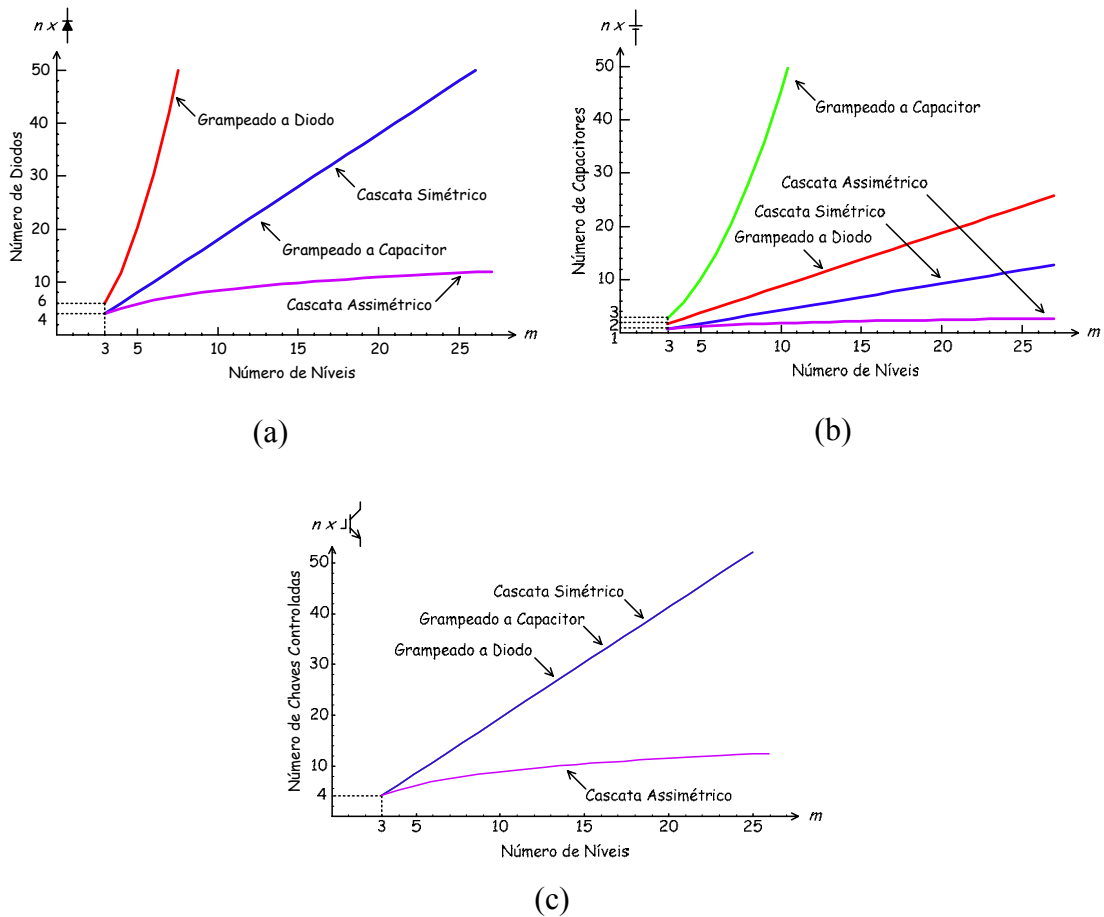


Figura 11: Número de chaves, diodos e capacitores versus níveis de saída.

Conforme comentado anteriormente, o número de níveis de tensão de saída sintetizados pelo conversor está diretamente ligado ao conteúdo harmônico total (THD) gerado pelo mesmo. Nesse contexto, é definido um valor máximo aceitável de THD, de forma a garantir a qualidade da energia elétrica no ponto de acoplamento do equipamento.

Atualmente, existem dois padrões de conteúdo harmônico de tensão a serem seguidos. O primeiro padrão é uma recomendação prática do IEEE para controle de harmônicos nos sistemas de energia elétrica [38] e o segundo padrão é a norma de Procedimentos de Distribuição (PRODIST) estabelecida pela ANEEL [39].

A recomendação do IEEE sugere que para equipamentos com tensões menores do que 69 kV o THD máximo seja inferior a 5%, enquanto o PRODIST recomenda que para equipamentos com tensão entre 1 kV e 13,8kV o THD máximo seja inferior a 8%. Nesse sentido, para satisfazer as duas recomendações, é adotado um valor máximo de THD de 5% na tensão de saída do conversor.

Nesse contexto, diversas simulações ideais foram realizadas no PSCAD/EMTDC de forma a verificar a relação do THD de tensão com a quantidade de níveis de tensão de saída do conversor. Cabe ressaltar que a quantidade de níveis de tensão obtida em cada topologia multinível, quando otimizada para obter o maior número de degraus de saída com o menor número de componentes, varia de forma diferente para cada topologia. A variação do número de degraus de tensão de saída é linear para os conversores grampeados a diodo, grampeados a capacitor e em cascata simétrica. Algumas das possibilidades de tensões multiníveis de saída para estas topologias estão apresentadas na Figura 12 com seus respectivos conteúdos harmônicos. São elas (a) três níveis, (b) cinco níveis, (c) sete níveis, (d) nove níveis, (e) onze níveis, (f) treze níveis, (g) quinze níveis, (h) dezessete níveis.

Nesse contexto, para que as premissas de ambas as recomendações [38] e [39] sejam satisfeitas, no mínimo teria que ser escolhida uma topologia capaz de gerar dezessete níveis de tensão de saída.

Contudo, ainda falta analisar as formas de onda de saída dos conversores multiníveis em cascata assimétrico. Nessa topologia, a variação do número de degraus de tensão de saída, quando otimizada para obter o maior número de degraus de saída com o menor número de componentes, não varia linearmente como demonstrado para as demais topologias estudadas. Algumas das possibilidades de tensões multiníveis de saída para esta topologia estão apresentadas na Figura 13 com seus respectivos conteúdos harmônicos, são elas (a) nove níveis, (b) vinte e sete níveis.

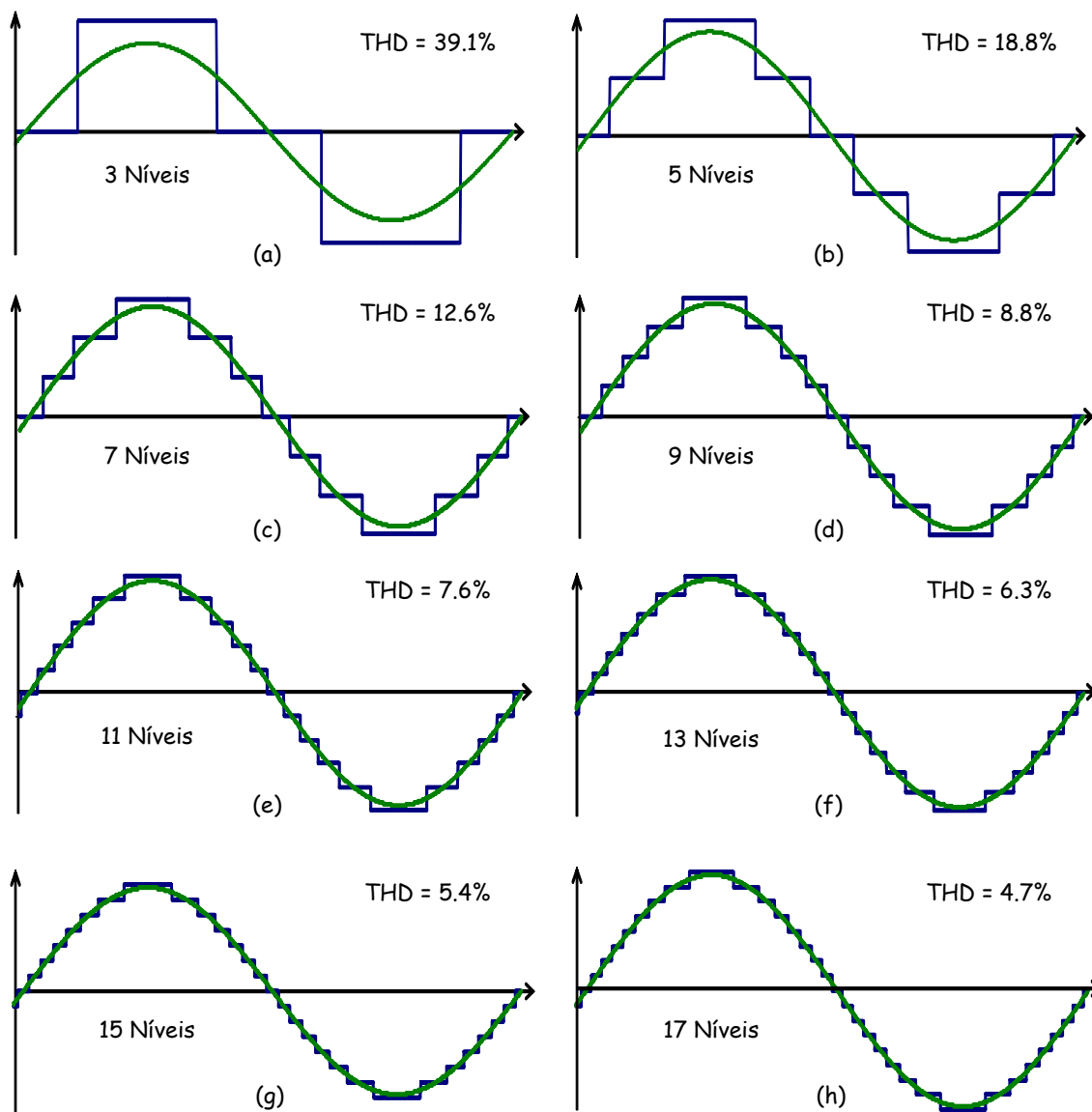


Figura 12: Formas de onda multiníveis e THD.

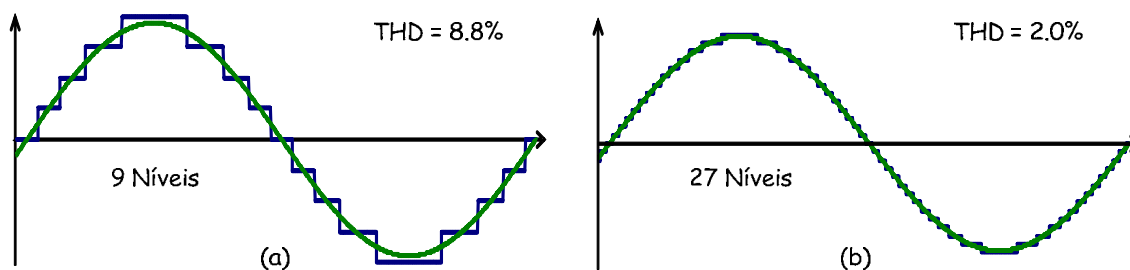


Figura 13: Formas de onda multiníveis e THD para os conversores assimétricos.

Analisando a Figura 13 pode-se notar que para satisfazer as premissas das recomendações [38] e [39] no mínimo teria que ser escolhida uma topologia assimétrica capaz de gerar vinte e sete níveis de tensão de saída.

Dessa forma, com a estrutura mínima de cada topologia previamente definida, uma análise quantitativa pode ser realizada, de forma a calcular o número exato de componentes necessários para construir cada uma das topologias multiníveis propostas. A Tabela 6 apresenta o resultado desta análise, de forma a quantificar o número de componentes necessário para construir os conversores multiníveis a fim de atingir um THD inferior a 5%.

Tabela 6: Análise do número de componentes em função da tensão de saída.

	Número de Níveis	THD	Chaves Controladas	Capacitores do elo CC	Capacitores Flutuantes	Diodos em Antiparalelo	Diodos de Grampeamento
Conversor Grampeado a Diodo	17	4.7%	32	16	0	32	240
Conversor Grampeado a Capacitor	17	4.7%	32	16	120	32	0
Conversor Cascata Simétrico	17	4.7%	32	8	0	32	0
Conversor Cascata Assimétrico	27	2.0%	12	3	0	12	0

Com base nesta análise inicial, as topologias multinível grampeada a diodos e a capacitores podem ser descartadas devido ao excesso de componentes para a implementação de conversores com níveis de saída elevados. Além disso, esta análise aponta como melhor escolha os conversores multiníveis em cascata assimétricos visto que, além de apresentar um menor número de componentes ainda apresenta um menor conteúdo harmônico quando comparado com as demais topologias. Contudo, cabe ressaltar que a comparação entre os componentes dos conversores assimétricos com os demais conversores não estão na mesma base de potência por chave, pois o mesmo apresenta chaves com potências mais elevadas devido à sua formação híbrida. Caso a comparação fosse realizada nesse contexto, a quantidade de componentes dos conversores assimétricos seria idêntica ao dos conversores simétricos. Entretanto, não existiria a vantagem da utilização de chaves com potências e lógicas de chaveamento diferentes, que refletem numa menor perda energética e esforço computacional, respectivamente.

Conforme mencionado anteriormente, a principal desvantagem de se utilizar uma topologia em cascata, simétrica ou assimétrica, é quando há necessidade de se realizar uma conexão *back-to-back* para trocar potência ativa no conversor. Porém, o princípio de funcionamento do *DSTATCOM* é puramente reativo, exigindo somente uma pequena parcela de potência ativa para regular os capacitores dos elos CC. Portanto essa desvantagem não terá um peso importante na escolha do conversor a ser utilizado.

A complexidade de controle de cada topologia também deverá ser analisada com o objetivo de identificar a topologia que apresente uma relação de custo/benefício mais favorável à implementação para um conversor com um elevado número de níveis de saída.

Entre as topologias multiníveis apresentadas, o conversor grampeado a diodo apresenta a lógica de controle mais simples, porém apresenta problemas relacionados com a equalização das tensões dos elos CC. Os conversores grampeados a capacitores apresentam uma lógica de controle muito complexa, devido ao controle de tensão dos diversos capacitores presentes no seu circuito de potência.

Em geral, os conversores em cascata não apresentam uma lógica de controle complexa ao ponto de limitar a sua implementação. Entre eles, os conversores assimétricos apresentam uma lógica mais simples por possuir um número menor de componentes comparados com os conversores simétricos. Contudo, a utilização da topologia em cascata assimétrica impossibilita o uso de células modulares, visto que cada célula tem uma potência nominal diferenciada.

Cabe ressaltar que o objetivo deste trabalho é de estudar um conversor multinível otimizado, com um número elevado de níveis de saída com o intuito de eliminar os filtros passivos de saída do conversor, eliminando assim componentes e minimizando perdas desnecessárias.

Com base nestas afirmações, a escolha do conversor em cascata assimétrico é a mais apropriada por apresentar as vantagens de maximizar os níveis de saída em função dos componentes do conversor, aumentar a confiabilidade do conversor, minimizar as perdas por chaveamento e apresentar uma lógica de controle simples para a sua implementação.

CAPÍTULO 3

Técnicas de Chaveamento

COM a consolidação do uso dos conversores multiníveis nas indústrias, diversos estudos relacionados com as técnicas de chaveamento, aplicadas a cada uma das topologia multiníveis, surgiram com o objetivo de melhorar o funcionamento dos conversores. Com isso, além das vantagens adquiridas com o uso dos conversores multiníveis, devidamente apresentadas no CAPÍTULO 2, outras vantagens, agora relacionadas às estratégias de modulação, podem ser alcançadas.

Em geral, os principais objetivos das estratégias de modulação aplicadas aos inversores multiníveis estão focados na minimização do conteúdo harmônico das tensões e correntes de linha, minimização da frequência de chaveamento e da interferência eletromagnética, garantia de um chaveamento uniforme em todos os dispositivos semicondutores e balanceamento dos capacitores do elo CC [14].

As estratégias de modulação usadas nos inversores multiníveis podem ser classificadas de acordo com a frequência de chaveamento, conforme mostrado na Figura 14 [13][40][41].

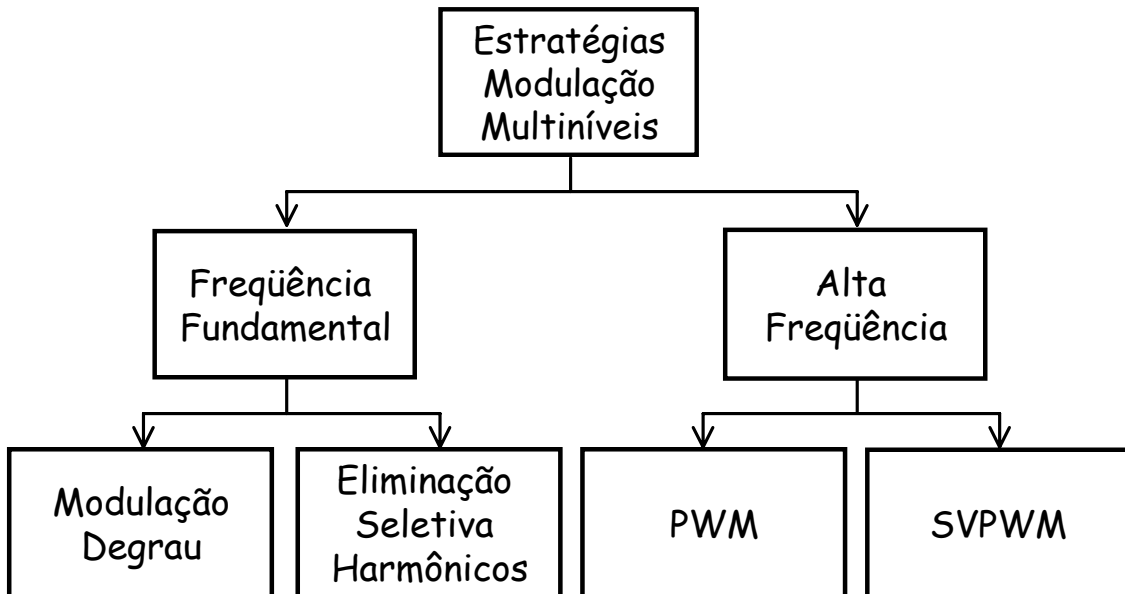


Figura 14: Classificação das estratégias de chaveamento dos inversores multiníveis.

As estratégias de modulação que operam com uma alta frequência de chaveamento apresentam um grande número de chaveamento dos dispositivos semicondutores durante um ciclo de onda, enquanto as estratégias que operam com uma baixa frequência de chaveamento, comumente chamadas de estratégias de chaveamento na frequência fundamental, apresentam apenas um ou dois chaveamentos dos dispositivos semicondutores em um ciclo de onda.

Entre as estratégias de modulação de alta frequência, a mais difundida nas aplicações industriais é o *PWM* (*pulse width modulation*) que é utilizado para reduzir o conteúdo harmônico nas tensões das cargas [42][43][44]. Outra técnica de chaveamento interessante é o *SVPWM* (*space vector pulse width modulation*), comumente utilizada nos conversores de três níveis [40].

Como exemplos das estratégias de modulação de baixa frequência podem ser citados a modulação por degraus (*staircase modulation*) [18] e a eliminação seletiva dos harmônicos (*selective harmonic elimination*) [45][46].

Neste capítulo são apresentados os princípios de funcionamento das técnicas de chaveamento mais difundidas nas aplicações industriais. As suas vantagens e desvantagens são apresentadas de forma a identificar as estratégias mais adequadas para a aplicação do compensador síncrono estático para sistemas de distribuição

(*DSTATCOM*) multinível em cascata assimétrico num sistema de distribuição de média tensão.

3.1 Modulação por Degrau

Inicialmente as estratégias de modulação dos inversores multiníveis aplicados aos sistemas de potência se limitavam apenas à modulação por degraus. Esta estratégia de modulação pode ser interpretada como um processo de quantização onde o sinal de referência é aproximado pelos níveis de tensão disponíveis nos elos CC. As formas de onda da referência e da tensão de saída do conversor estão apresentadas na Figura 15.

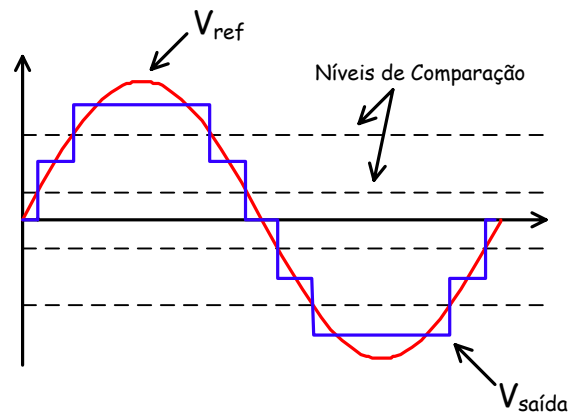


Figura 15: Forma de onda típica de uma estratégia de modulação por degrau.

Este tipo de modulação não apresenta uma grande quantidade de chaveamentos dos dispositivos semicondutores por ciclo de onda e ainda pode ser facilmente implementado com o uso de GTO. A grande vantagem desta estratégia é a simplicidade dos circuitos de potência e de controle, além de minimizar o número total de chaveamentos por fase do conversor. Entretanto, como pode ser observado na Figura 15, o conteúdo harmônico da tensão de saída do inversor não é satisfatório[14].

Contudo, nas aplicações em alta potência é interessante manter a frequência de chaveamento dos dispositivos semicondutores a menor possível, com o objetivo de reduzir as perdas por chaveamento do conversor. Para aplicações envolvendo conversores estáticos como, por exemplo, o *STATCOM*, o conteúdo harmônico gerado pelos conversores, operando com esta técnica de modulação, pode ser

minimizado com uso de transformadores com conexão em Zigue-Zague. Entretanto, o uso destes transformadores eleva o custo de forma considerável e, dependendo do nível de potência envolvido, pode ser inviável de ser implementado. A Figura 16 apresenta o *STATCOM* de 24 pulsos, o conteúdo harmônico e a forma de onda da tensão de saída do conversor. Pode-se observar que o *STATCOM* de 24 pulsos é composto pela conexão em série de quatro conversores de 6 pulsos com a utilização dos transformadores Zigue-Zague utilizando a estratégia de modulação por degrau.

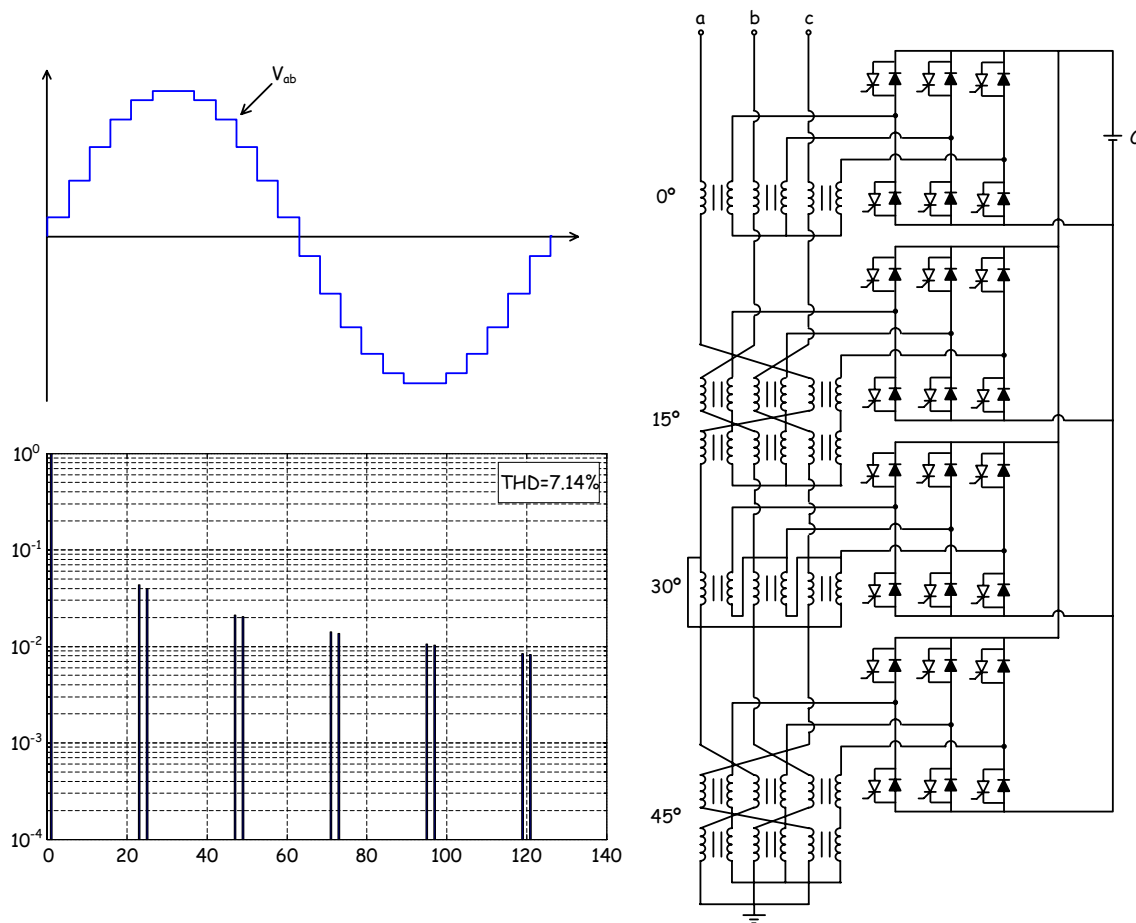


Figura 16: Forma de onda de um STATCOM de 24 pulsos.

3.2 Eliminação Seletiva de Harmônicos

A estratégia de eliminação seletiva de harmônicos pode ser desenvolvida baseada nas estratégias convencionais. Nessa estratégia, são criados *notches* na tensão de saída em instantes de tempo previamente definidos, com o objetivo de eliminar harmônicos específicos. Usualmente os ângulos de disparo das chaves semicondutoras são previamente definidos e armazenados em uma tabela que servirá

de base para o comando do conversor. Portanto, o uso desta estratégia de chaveamento é limitado pelo esforço computacional e o sistema de armazenamento de dados do microprocessador do conversor [14].

Geralmente, os harmônicos mais significantes e de menor frequência são escolhidos para serem eliminados, enquanto os harmônicos de maior frequência são eliminados por meio de um circuito adicional de filtro passivo [13]. O cálculo para a eliminação seletiva dos harmônicos é baseado na função analítica dos harmônicos da tensão de saída do conversor, que pode ser facilmente obtida através da série de Fourier, conforme mostrado em (1).

$$\begin{aligned}
 v(t) &= \sum_{n=1}^{\infty} [a_n \text{Cos}(n\omega t) + b_n \text{Sin}(n\omega t)] \\
 a_n &= \frac{1}{\pi} \int_0^{2\pi} v(t) \text{Cos}(n\omega t) d\omega t \\
 b_n &= \frac{1}{\pi} \int_0^{2\pi} v(t) \text{Sin}(n\omega t) d\omega t
 \end{aligned} \tag{1}$$

Simplificações matemáticas podem ser realizadas de acordo com a simetria da onda de tensão gerada. Adotando uma referência senoidal, que apresenta uma simetria ímpar, os termos dependentes da série de cossenos podem ser zerados ($a_n = 0$). Uma segunda simplificação pode ser gerada ajustando os disparos das chaves semicondutoras para que a tensão gerada pelo conversor apresente uma simetria de meia onda. Dessa forma a transformada de Fourier pode ser simplificada de acordo com (2).

$$v(t) = \sum_{n=1}^{\infty} [b_n \text{Sin}(n\omega t)] \quad b_n = \frac{4}{\pi} \int_0^{\frac{\pi}{2}} v(t) \text{Sin}(n\omega t) d\omega t \tag{2}$$

De acordo com (2), a amplitude das componentes harmônicas ímpares da tensão de saída pode ser perfeitamente representada por (3), onde α_k representa os instantes de disparo de cada chave semicondutora, V_k representa a variação dos níveis de tensão do conversor, n o índice da componente harmônica e m o número total de ângulos de disparo.

$$h_n = \frac{4}{n\pi} \sum_{k=1}^m [V_k \text{Cos}(n\alpha_k)] \quad (3)$$

O número de disparos a serem controlados pelo conversor é proporcional ao número de níveis do mesmo. Por exemplo, um conversor genérico de sete níveis tem três ângulos de disparo, permitindo a liberdade de eliminar dois harmônicos quaisquer. A equação (4) apresenta os cálculos necessários e os ângulos de disparo para a eliminação do 5º e 7º harmônico. Usualmente, nas aplicações trifásicas a três fios o 3º harmônico não é escolhido para ser eliminado, pois o mesmo será eliminado naturalmente na tensão de linha.

$$\left[\begin{array}{l} \frac{4V_{dc}}{\pi} [\text{Cos}(\alpha_1) + \text{Cos}(\alpha_2) + \text{Cos}(\alpha_3)] = 3 \\ \frac{4V_{dc}}{5\pi} [\text{Cos}(5\alpha_1) + \text{Cos}(5\alpha_2) + \text{Cos}(5\alpha_3)] = 0 \\ \frac{4V_{dc}}{7\pi} [\text{Cos}(7\alpha_1) + \text{Cos}(7\alpha_2) + \text{Cos}(7\alpha_3)] = 0 \end{array} \right] \rightarrow \left[\begin{array}{l} \alpha_1 = 11.68^\circ \\ \alpha_2 = 31.18^\circ \\ \alpha_3 = 58.58^\circ \end{array} \right] \quad (4)$$

A Figura 17 apresenta o espectro harmônico e a forma de onda das tensões de fase e de linha geradas por um conversor de sete níveis genérico utilizando a estratégia de eliminação seletiva de harmônicos.

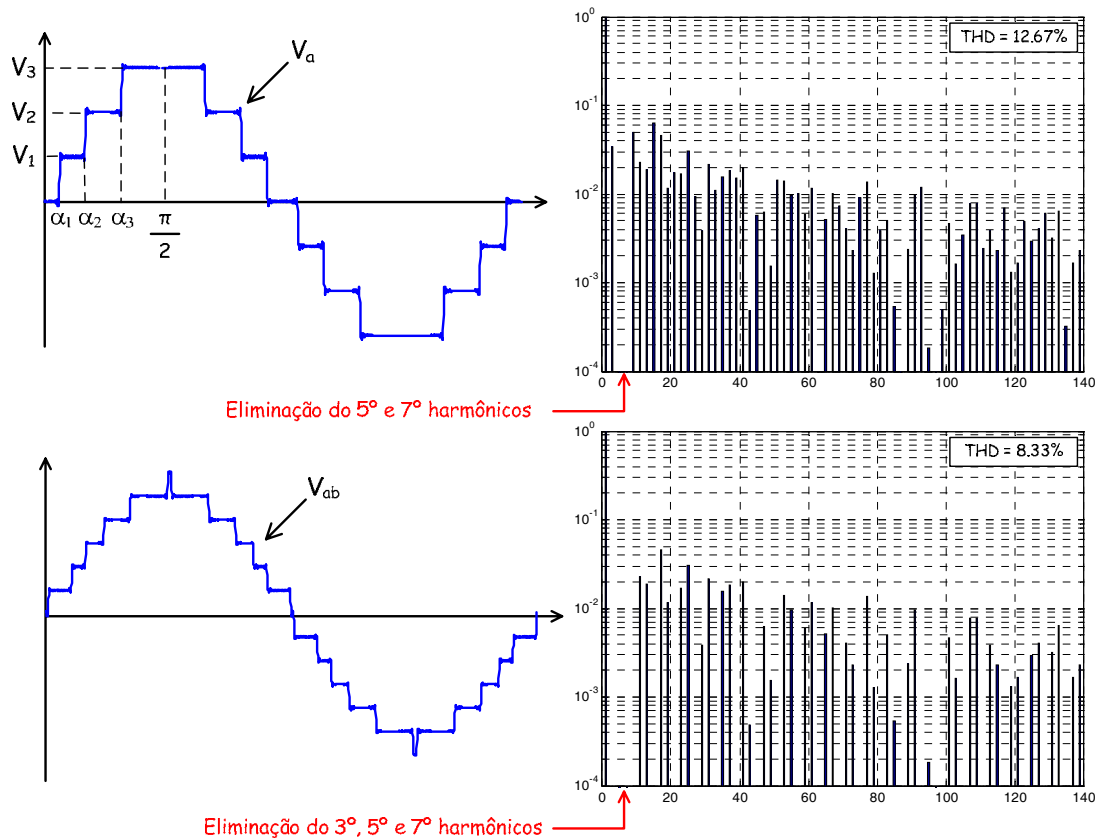


Figura 17: Forma de onda de uma estratégia com eliminação seletiva de harmônicos.

De forma similar à modulação por degraus, a grande vantagem da modulação com eliminação seletiva de harmônicos é a de apresentar uma baixa frequência de chaveamento por ciclo. Além disso, este tipo de modulação ainda possui a vantagem de eliminar os harmônicos de menor frequência na saída do conversor sem a necessidade de filtragem passiva. Contudo, esta estratégia apresenta um esforço computacional maior quando comparada à modulação por degrau.

3.3 Pulse Width Modulation

O *PWM* (*pulse width modulation*) é a estratégia de chaveamento mais utilizada pelos conversores voltados para aplicações industriais. A modulação por largura de pulso varia o período de condução da chave semicondutora numa alta frequência de chaveamento de forma a sintetizar uma tensão de menor frequência. A largura do pulso varia ao longo do ciclo de modo que o conversor possa sintetizar tensões alternadas. A sua lógica de controle foi amplamente estudada por mais de três décadas e ainda hoje é interesse de pesquisa na comunidade científica [47]. O *PWM*

apresenta algumas variações, principalmente para a aplicação em conversores multiníveis.

Basicamente o *PWM* envolve a comparação de um sinal de referência, normalmente senoidal no caso dos inversores, contra uma portadora triangular de frequência elevada. Os cruzamentos entre o sinal de referência e portadora triangular definem os instantes de chaveamento dos dispositivos semicondutores [14]. A Figura 18 apresenta a tensão de saída gerada por um conversor de dois níveis a partir da comparação entre o sinal de referência com a portadora triangular.

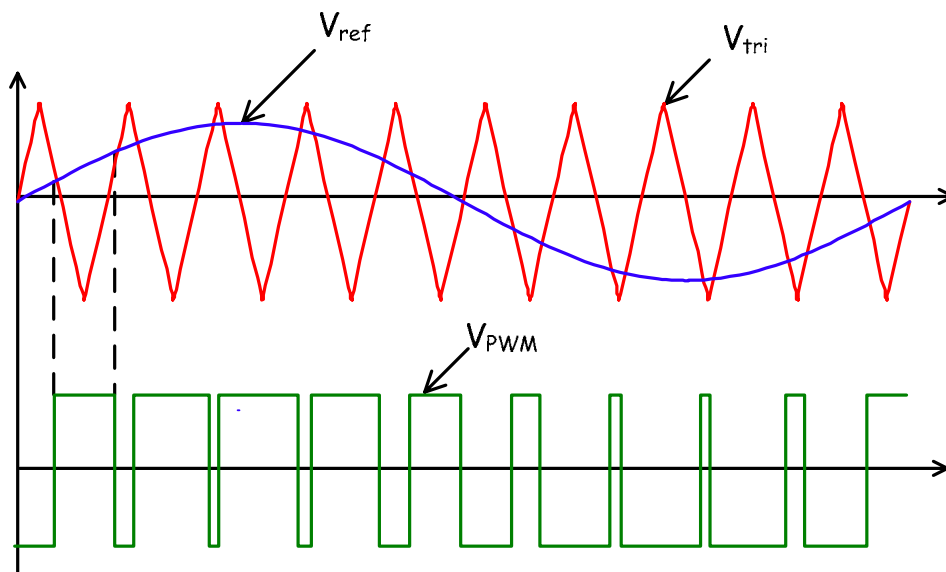


Figura 18: Tensão de saída utilizando a estratégia de chaveamento PWM.

Basicamente as variações possíveis para o PWM em conversores multiníveis podem ser classificadas em dois grupos distintos, a estratégia de modulação baseada em múltiplas portadoras e a estratégia de modulação baseada em múltiplos sinais de referências.

Teoricamente, as estratégias de modulação baseadas em múltiplas portadoras são mais adequadas para trabalhar com conversores multiníveis. Isto se deve ao fato de necessitar apenas de um único sinal de referência, o que simplifica a lógica de controle. Além disso, pode-se trabalhar de forma independente para cada portadora, permitindo criar uma defasagem no tempo ou na amplitude e até mesmo na frequência da portadora. Entretanto, a aplicação dessa estratégia de chaveamento na prática nos controladores digitais, não é tão trivial assim. Mesmo os microcontroladores mais modernos, possuem um número limitado de sinais de

portadoras triangulares implementados em *hardware*. Portanto a inclusão dos demais sinais triangulares deverá ser feito via *software*, o que dificultará a sua implementação. Nesse sentido um número excessivo de portadoras triangulares deverá ser evitado, com o objetivo de diminuir a complexidade do controle digital.

As técnicas de manipulação das portadoras mais difundidas na literatura são as *POD* (*phase opposition disposition*), *APOD* (*alternative phase opposition disposition*), *PD* (*phase disposition*) e *PSCPWM* (*phase shift carrier pulse width modulation*), sendo as três primeiras mais utilizadas nos conversores grampeados a diodos e a última mais utilizada nos conversores em cascata. A Figura 19 ilustra as quatro estratégias de modulação para a aplicação em conversores de cinco níveis, apresentando as suas diferenças.

A modulação *POD* utiliza as portadoras triangulares do plano positivo das ordenadas em fase e as portadoras do plano negativo das ordenadas em contra fase. A modulação *APOD* utiliza as portadoras triangulares de cada plano das ordenadas em contra fase entre si, enquanto a modulação *PD* utiliza todas as portadoras triangulares em fase. A característica em comum dessas estratégias de modulação é que todas utilizam o deslocamento das portadoras triangulares no eixo das ordenadas.

A modulação *PSCPWM*, por sua vez, utiliza a defasagem no eixo das abscissas, onde as portadoras triangulares utilizadas para comandar cada ramo do inversor monofásico do conversor em cascata são defasadas de $\theta_i = \frac{(i-1)\pi}{n}$, onde i é o índice da portadora e n é o número de células utilizado no conversor em cascata.

Nesse exemplo são utilizados dois inversores monofásicos em ponte completa para alcançar os cinco níveis de saída ($n=2$), logo as portadoras triangulares estão defasadas de π radianos entre si, sendo as fases de cada uma o grupo $\left(0, \frac{\pi}{2}, \pi, \frac{3\pi}{2}\right)$.

A modulação *PWM*, em qualquer uma das topologias propostas acima, apresenta uma lógica de controle simples, podendo ainda ser adaptada em alguns casos especiais para otimizar a tensão de saída. Além disso, a modulação *PWM* apresenta uma facilidade de ser implementada nos conversores multiníveis devido às múltiplas portadoras presentes nos seus circuitos de chaveamento. Por estes motivos este tipo de modulação será focado neste trabalho.

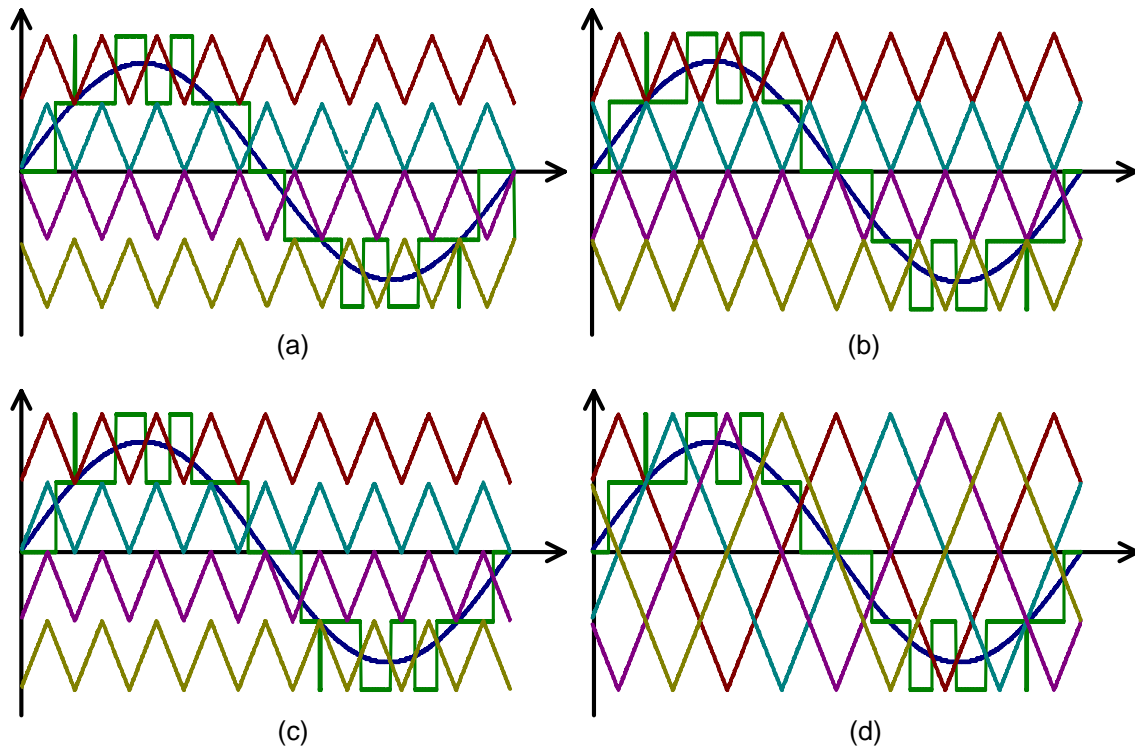


Figura 19: Estratégia de chaveamento *POD* (a), *APOD* (b), *PD* (c) e *PSCPWM* (d).

3.4 Space Vector Pulse Width Modulation

O *SVPWM* (*space vector pulse width modulation*) é largamente usado nos conversores multiníveis industriais [48][49]. Cada vetor de tensão do *SVPWM* corresponde a uma combinação possível de chaveamento que está ligada aos níveis de tensão de saída do conversor [14].

A Figura 20 apresenta o diagrama dos possíveis vetores de tensão de saída de um conversor de cinco níveis. O uso dessa técnica de chaveamento tem o aspecto interessante em minimizar as perdas por chaveamento do conversor, uma vez que esta técnica opera com uma menor frequência de chaveamento, em relação à frequência de chaveamento utilizada pela técnica *PWM*. Apesar de apresentar um diagrama de vetores reduzido para os conversores com poucos níveis de saída, este tipo de modulação começa a se tornar altamente complexo quando envolve um número mais elevado de níveis de saída.

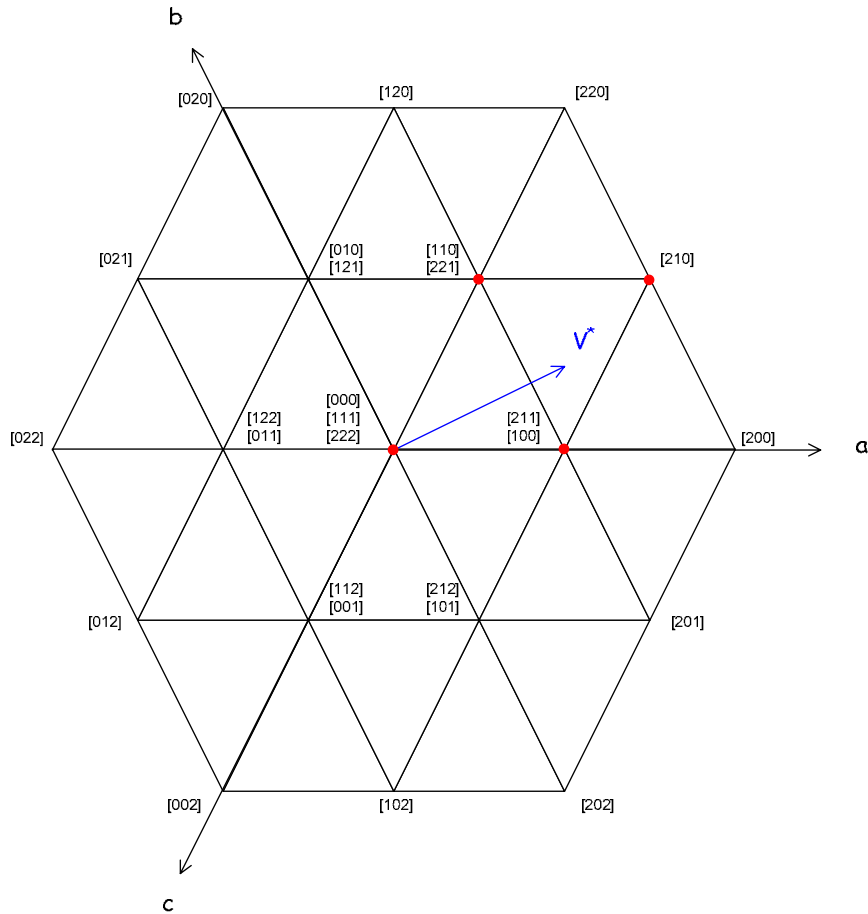


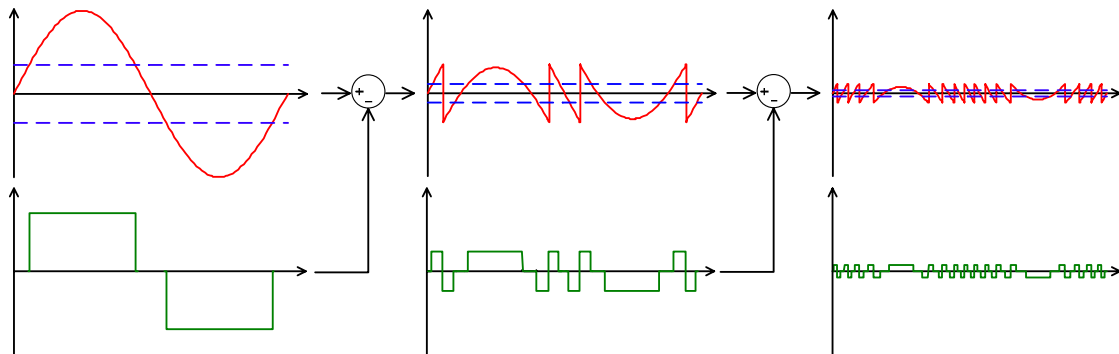
Figura 20: Diagrama dos vetores de tensão do SVPWM de cinco níveis.

3.5 Estratégia para o Conversor Cascata Assimétrico

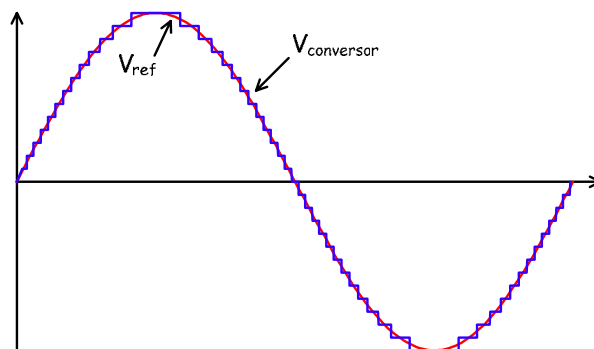
Conforme comentado anteriormente, os conversores em cascata assimétricos apresentam uma formação híbrida, podendo gerar uma flexibilidade de escolha do tipo da estratégia de chaveamento para cada célula.

Tipicamente são utilizados dois tipos de controles para os conversores em cascata assimétricos. O primeiro consiste na utilização da modulação por degrau em todas as células do conversor, enquanto o segundo controle utiliza a modulação por degrau nas células de maior potência combinada com o chaveamento *PWM* para a célula de menor potência [32]. Dessa forma, o conversor assimétrico usa as células de maior potência para transferir a maior parte da energia enquanto a célula de menor potência é utilizada para melhorar o espectro harmônico da tensão de saída do conversor.

A Figura 21 apresenta as formas de onda típicas para a estratégia de modulação por degrau para um conversor em cascata assimétrico de três células. O sinal de referência senoidal é comparado com níveis de tensão previamente definidos gerando a tensão de saída da primeira célula. A referência da primeira célula é subtraída da tensão gerada pela mesma formando o sinal de referência da segunda célula. O mesmo procedimento ocorre na formação do sinal de referência da terceira célula.



(a)



(b)

Figura 21: Modulação por degrau para cada célula (a) e a saída do conversor (b).

A Figura 22 apresenta as formas de onda típicas para a modulação por degrau combinada com a modulação *PWM* quando aplicada a um conversor em cascata assimétrico de três células. O cálculo dos sinais de referência de cada célula é análogo ao apresentado anteriormente. A única diferença é que a referência da terceira célula será comparada com uma portadora triangular em alta frequência em vez de comparada com níveis de tensão previamente fixados conforme comentado anteriormente.

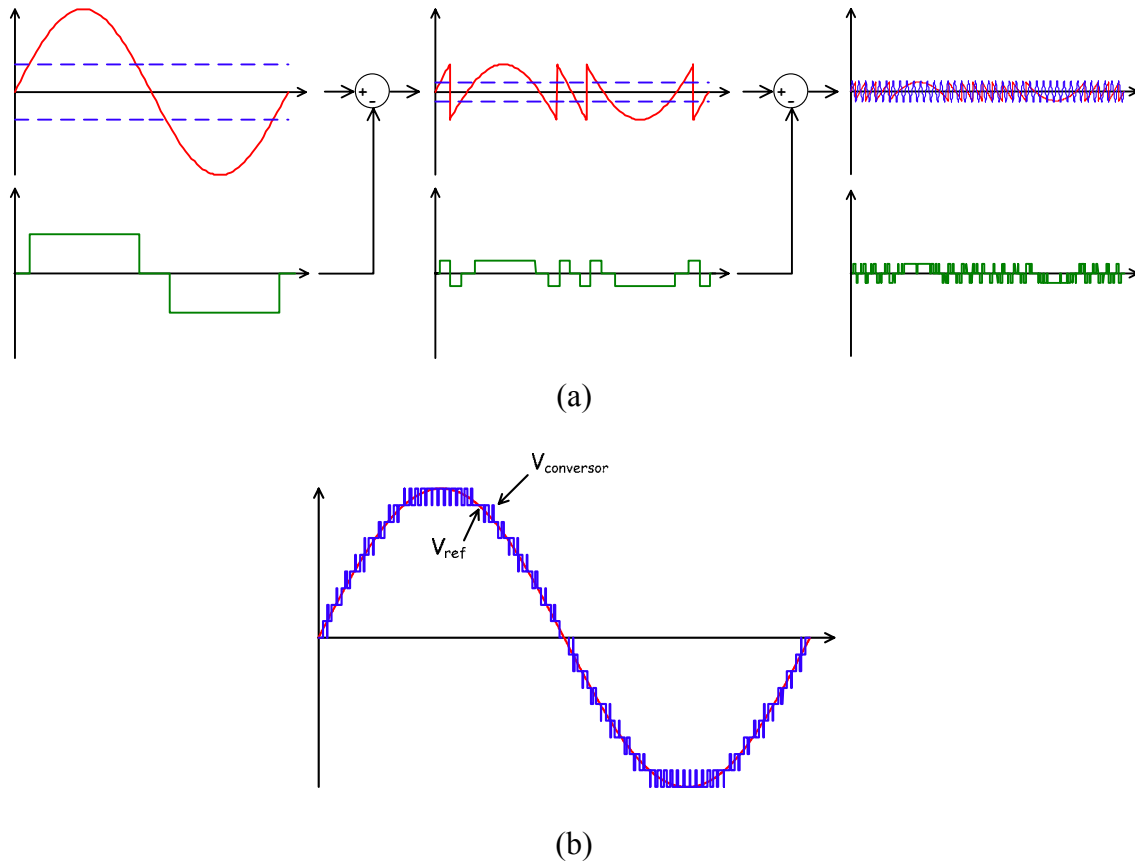


Figura 22: Modulação de grau e PWM para cada célula (a) e a saída do conversor (b).

No caso da utilização de uma modulação por degraus em todas as células, a equação (5) é utilizada para obter o máximo de níveis possíveis, igualmente espaçados, com o menor número de células necessárias [32].

$$V_n = V_1 + 2 \sum_{k=1}^{n-1} V_k \quad (n \geq 1) \quad (5)$$

Admitindo que a tensão V_1 tem um valor nominal de V_{cc} , temos que o conjunto de tensão utilizado para obter a maior saída possível com os degraus igualmente espaçados é $(V_{cc}, 3V_{cc}, 9V_{cc}, 27V_{cc} \dots)$.

No caso da utilização de uma modulação *PWM* apenas na célula de menor potência, comumente encontradas na literatura, a equação sofre uma alteração, conforme mostrado em (6) [32].

$$V_n = 2 \sum_{k=1}^{n-1} V_k \quad (n \geq 2) \quad (6)$$

Novamente admitindo que a tensão V_1 tem um valor nominal de V_{cc} , temos que o conjunto de tensão utilizado para obter a maior saída possível é $(V_{cc}, 2V_{cc}, 6V_{cc}, 18V_{cc} \dots)$.

Contudo, cabe ressaltar que a utilização desta última estratégia de modulação causa uma diminuição no número de níveis de tensão sintetizados na saída do conversor. O conversor em cascata assimétrico com modulação por degrau composto por N células possui 3^N níveis de saída. No caso do conversor em cascata assimétrico com modulação *PWM* composto por N células possui $(3^N - 3^{(N-1)} + 1)$ níveis de saída. Isto resulta numa redução na quantidade de níveis de saída do conversor cascata assimétrico, podendo resultar num acréscimo de THD na tensão de saída. Portanto, uma análise do conteúdo harmônico será realizada posteriormente para verificar a eficiência de cada estratégia de modulação.

Observando as equações (5) e (6), pode-se notar que ambos conversores assimétricos com um número de níveis de saída elevados, independentemente da estratégia de modulação, apresentam tensões extremamente altas nas células de maior potência. Por exemplo, caso seja utilizado um conversor com quatro células para construir um conversor multinível na topologia assimétrica conectado a rede de média tensão (13,8kV), a tensão do elo CC da quarta célula, obedecendo às equações de otimização dos níveis de tensão apresentadas, ficaria na ordem de $18V_{cc}$ e $27V_{cc}$ para as modulações com *PWM* e degrau respectivamente. Dependendo do valor de tensão adotado para a menor célula (V_{cc}) esses valores excessivos podem impossibilitar a implementação do conversor.

Contudo, caso a análise seja realizada com um conversor assimétrico com apenas três células, as tensões do elo CC da terceira célula ficariam reduzidas na ordem de $6V_{cc}$ e $9V_{cc}$ para as modulações com *PWM* e degrau respectivamente. Nesse caso, a montagem do conversor assimétrico com modulação *PWM* pode se tornar viável, enquanto no caso do conversor assimétrico com modulação a degrau pode se tornar impraticável, dependendo do valor de tensão adotado para a menor célula (V_{cc}).

Baseado nesta análise pode-se notar que os conversores assimétricos, com modulação *PWM* ou degrau, normalmente possuem um limite operacional de três células.

Uma vez definidos a topologia do conversor e o número de células a serem utilizados para o mesmo, uma análise do conteúdo harmônico das duas estratégias de modulação apresentadas pode ser realizada de forma a indicar qual estratégia é mais apropriada para o conversor adotado.

Nesse contexto, foram realizadas duas simulações ideais de forma a ilustrar e calcular o conteúdo harmônico total das tensões de saída da estratégia de modulação em degrau e PWM quando aplicadas ao conversor adotado. A Figura 23 apresenta as formas de onda e os seus respectivos THD para a estratégia de chaveamento em degrau (a) e para a estratégia de chaveamento em degrau combinada com PWM bipolar com uma frequência de chaveamento de 20kHz (b).

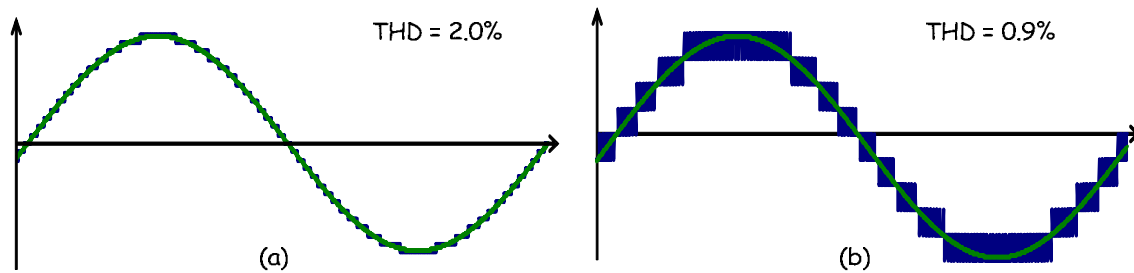


Figura 23: Tensão de saída e THD para as estratégias em degrau (a) e PWM (b).

Pode-se notar que, mesmo com um número inferior de níveis de saída, a estratégia de modulação em degrau combinada com PWM pode apresentar um conteúdo harmônico total menor que a estratégia de chaveamento em degrau dependendo da frequência de chaveamento e da estratégia de PWM escolhida.

Portanto, para que o conversor escolhido apresente um elevado número de níveis de saída com a menor quantidade de dispositivos semicondutores possíveis, não apresentando elevados valores de tensão nos elos CC e ainda possuir um estágio de melhoria do espectro harmônico, será adotado um conversor em cascata assimétrico composto por três células totalizando 19 níveis de saída com uma modulação em degrau combinada com uma modulação em *PWM*. A Figura 24 ilustra o circuito de potência trifásico do conversor.

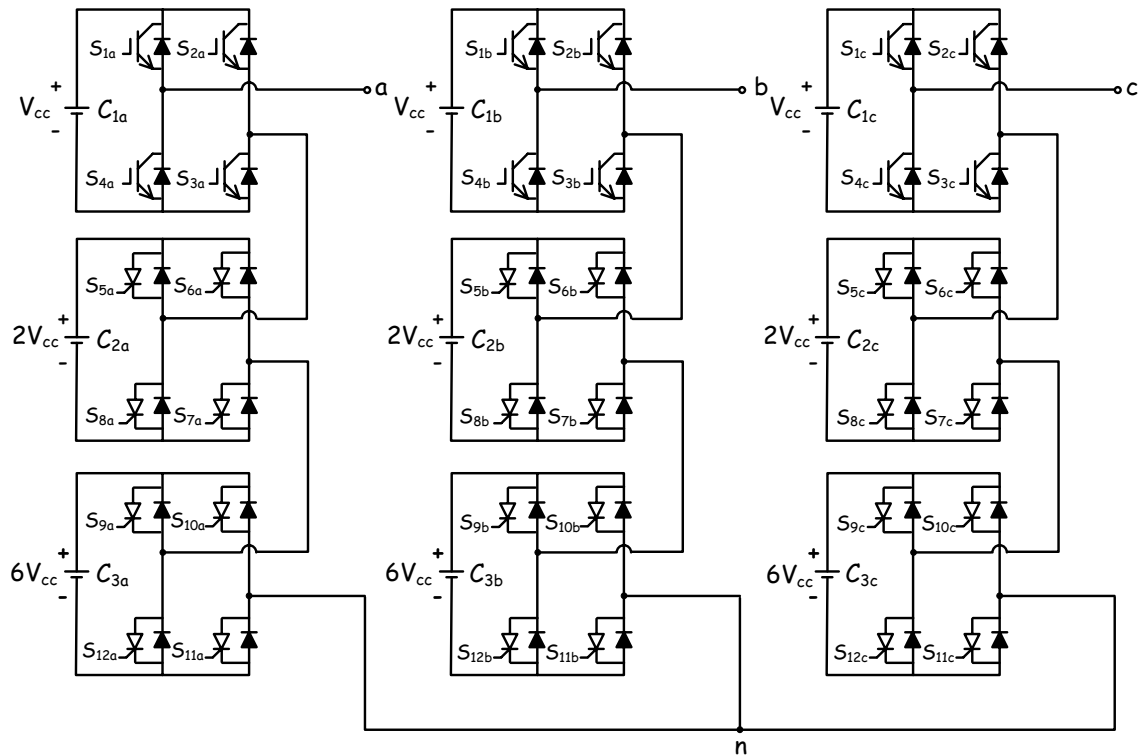


Figura 24: Conversor em cascata assimétrico de 19 níveis com modulação *PWM*.

As duas células de maior potência ($2V_{cc}$ e $6V_{cc}$) são moduladas com uma estratégia de chaveamento de baixa frequência, enquanto a célula de menor potência (V_{cc}) é modulada com uma estratégia de chaveamento de alta frequência, com o objetivo de diminuir as perdas por chaveamento. A estratégia de chaveamento de eliminação harmônica, por apresentar um conteúdo harmônico menor na tensão de saída, poderia ser usada nas células de maior potência do conversor em cascata assimétrico. Contudo, a tensão de saída do conversor irá possuir um número elevado de degraus de saída e, portanto, não possuirá harmônicos significativos de menor frequência, pois os mesmos já serão eliminados pelo próprio número de chaveamentos. Dessa forma, um chaveamento seletivo para eliminar tais harmônicos apesar de eficiente e teoricamente de fácil implementação não será necessário.

Para o desenvolvimento de um conversor multinível trifásico em cascata assimétrico de 19 níveis será necessária a utilização de 36 chaves semicondutoras, conforme ilustrado na Figura 24. Com o objetivo de simplificar a lógica de controle do conversor proposto, que já apresenta um número elevado de chaves, será adotada inicialmente a estratégia *PWM* para a célula de menor potência, por apresentar uma lógica de controle menos complexa quando comparada com o *SVPWM*.

3.6 Conclusões Parciais

Neste capítulo foram apresentadas as estratégias de modulação mais difundidas na literatura para aplicação em conversores multiníveis com o objetivo de mostrar as vantagens e desvantagens de cada uma bem como as suas aplicações. Dessa forma, as estratégias de modulação apresentadas foram comparadas com o objetivo de escolher a estratégia que apresentasse um melhor desempenho para o conversor multinível em cascata assimétrico de 19 níveis adotado neste trabalho.

Dentre todas as estratégias de chaveamento apresentadas, a modulação em degrau combinada com a modulação *PWM* apresentou um melhor desempenho para o conversor multinível adotado. Nesta modulação, as células de maior e média tensão do conversor multinível irão funcionar com a estratégia de modulação por degrau e, portanto chaveando em uma baixa frequência, enquanto a célula de menor tensão irá trabalhar com uma modulação *PWM* e, portanto chaveando em uma alta frequência de forma a melhorar a resolução da tensão sintetizada pelo conversor multinível.

A estratégia de modulação em degrau combinada com a modulação *PWM* será analisada no CAPÍTULO 4 de forma a propor uma otimização na estratégia de chaveamento, principalmente na modulação *PWM* aplicada a célula de menor tensão, de forma a melhorar o conteúdo harmônico na tensão de saída do conversor multinível.

CAPÍTULO 4

Otimização da Estratégia de Chaveamento PWM

DIVERSOS estudos foram realizados [50][51] comparando as estratégias de chaveamento *PWM*, quando aplicados aos conversores grampeados a diodo, com o objetivo de identificar qual estratégia possui o menor conteúdo harmônico. Como resultado destes trabalhos, é conhecido que a modulação *PD* apresenta um menor conteúdo harmônico na tensão de linha quando comparada com as outras estratégias (ver Figura 19). A grande vantagem dessa modulação é que ela concentra a energia harmônica em modo comum em cada ramo do conversor (V_{an} e V_{bn}). Portanto, essa energia é cancelada na tensão de linha ($V_{ab} = V_{an} - V_{bn}$).

No caso dos conversores em cascata, a modulação mais utilizada nas aplicações industriais é a *PSCPWM*, onde uma referência senoidal é comparada com portadoras triangulares defasadas no tempo (ver Figura 19). O uso desta modulação melhora o conteúdo harmônico da tensão de cada ramo do conversor (V_{an} e V_{bn}), porém não melhora a tensão de linha da saída (V_{ab}) [52]. Além disso, é demonstrado

em [51] que a modulação *PSCPWM* quando aplicada aos conversores em cascata tem uma resposta em frequência semelhante a modulação *APOD* aplicada aos conversores grampeados a diodo. Portanto, como é sabido que a modulação *PD* é harmonicamente superior à modulação *APOD*, a modulação *PSCPWM* aplicada aos conversores em cascata será manipulada para apresentar um desempenho semelhante ao espectro harmônico da modulação *PD* aplicada aos conversores grampeados a diodo.

4.1 Análise Matemática das Estratégias de Chaveamento

A determinação do espectro de frequência bem como do conteúdo harmônico total de um sinal modulado por largura de pulso é um processo complexo. Normalmente a transformada rápida de Fourier (*FFT- fast fourier transform*) é utilizada para analisar a forma de onda com os pulsos variantes no tempo. Esta ferramenta matemática, apesar de apresentar o benefício de reduzir o esforço computacional, não apresenta um resultado preciso.

Ao contrário da utilização da *FFT*, a utilização de uma solução analítica que determine precisamente os componentes harmônicos das formas de onda *PWM*, de forma a possibilitar uma comparação entre as modulações propostas, é recomendada como a alternativa ideal.

O método analítico, mais conhecido na literatura para determinar o conteúdo harmônico de uma modulação *PWM* é a transformada dupla de Fourier. Esta ferramenta matemática foi originalmente proposta em [53][54] por Bennet e Black, para aplicações para sistemas de comunicações, e mais tarde adaptadas para os sistemas de potência em [55][56] por Bowes e Brid. Os detalhes matemáticos desta transformada podem ser observados no Apêndice A.

Os coeficientes da transformada dupla de Fourier podem ser observados na equação (7) [47], onde as variáveis m e n são os índices da portadora e da onda fundamental respectivamente.

$$\begin{aligned}
f(t) = & \frac{A_{oo}}{2} + \sum_{n=1}^{\infty} \left[A_{on} \cos(n[\omega_o t + \theta_o]) + B_{on} \sin(n[\omega_o t + \theta_o]) \right] \\
& + \sum_{m=1}^{\infty} \left[A_{mo} \cos(m[\omega_c t + \theta_c]) + B_{mo} \sin(m[\omega_c t + \theta_c]) \right] \\
& + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \left[A_{mn} \cos(m[\omega_c t + \theta_c] + n[\omega_o t + \theta_o]) + B_{mn} \sin(m[\omega_c t + \theta_c] + n[\omega_o t + \theta_o]) \right]
\end{aligned} \tag{7}$$

Examinando os coeficientes da transformada dupla de Fourier pode-se tirar as seguintes conclusões.

Os índices m e n definem a frequência dos componentes harmônicos na forma de onda da tensão de saída, como $(m\omega_c + n\omega_o)$. Por exemplo, se $m=2$ e $n=4$, temos uma componente múltipla de quatro da componente fundamental localizada perto da frequência da segunda portadora, em outras palavras, esta componente terá uma frequência definida de $(2\omega_c + 4\omega_o)$, onde ω_c é a frequência da portadora triangular e ω_o é a frequência fundamental.

Pode-se notar que grupos distintos são formados quando um dos índices m ou n é igual a zero, pois nesse caso as componentes harmônicas serão compostas apenas pelos índices n ou m , respectivamente. Quando as componentes são compostas apenas pelos índices n elas são denominadas como frequências múltiplas da fundamental, e quando as componentes harmônicas são compostas apenas pelos índices m elas são denominadas como frequências múltiplas da portadora.

A magnitude de cada componente harmônica é definida pelos coeficientes de A_{mn} e B_{mn} . O coeficiente $A_{oo}/2$ é o termo relativo à componente média da tensão de saída.

O primeiro somatório $\left(\sum_{n=1}^{\infty} \dots \right)$ onde $m=0$, define a frequência fundamental ($n=1$) e os harmônicos de baixa frequência múltiplos da fundamental ($n>1$) caso existam. Normalmente os harmônicos múltiplos da fundamental são indesejáveis e podem ser eliminados pelo processo de modulação.

O segundo somatório $\left(\sum_{m=1}^{\infty} \dots\right)$ onde $n=0$, correspondem as componentes harmônicas da portadora triangular ($m=1$) e múltiplos da mesma ($m>1$), que são os harmônicos de alta frequência.

O termo do duplo somatório $\left(\sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \dots\right)$ forma o grupo das componentes

harmônicas formadas por todas as possibilidades de combinação entre os harmônicos de baixa frequência múltiplos da fundamental e os harmônicos de alta frequência da portadora. Estas componentes harmônicas existem em grupos localizados ao lado de cada múltiplo da frequência da portadora triangular e por isso são comumente chamados na literatura de harmônicos da banda lateral.

4.2 Análise dos Conversores Grampeados a Diodo

Neste item serão realizadas as análises matemáticas do conteúdo harmônico das estratégias de modulação propostas para os conversores grampeados a diodo de cinco níveis. As modulações PWM existentes na literatura para os conversores grampeados a diodo serão analisadas visando identificar a melhor modulação para este tipo de conversor. Dessa forma, após identificar a melhor modulação para os conversores grampeados a diodo, a mesma será utilizada como parâmetro para otimizar a modulação dos conversores em cascata assimétrico.

4.2.1 Modulação PD PWM

As formas de onda das portadoras triangulares, $f_n(x)$, e do sinal de referência multiplicado por um índice de modulação de amplitude $2M$ para a modulação *PD PWM* aplicada em um conversor grampeado a diodo de cinco níveis são apresentadas novamente na Figura 25. Entretanto, para simplificação matemática, o sinal de referência utilizado será representado por uma cossenoide, que apresenta uma simetria em relação ao eixo das ordenadas, e cada nível de tensão de saída será representado por uma unidade de V_{cc} .

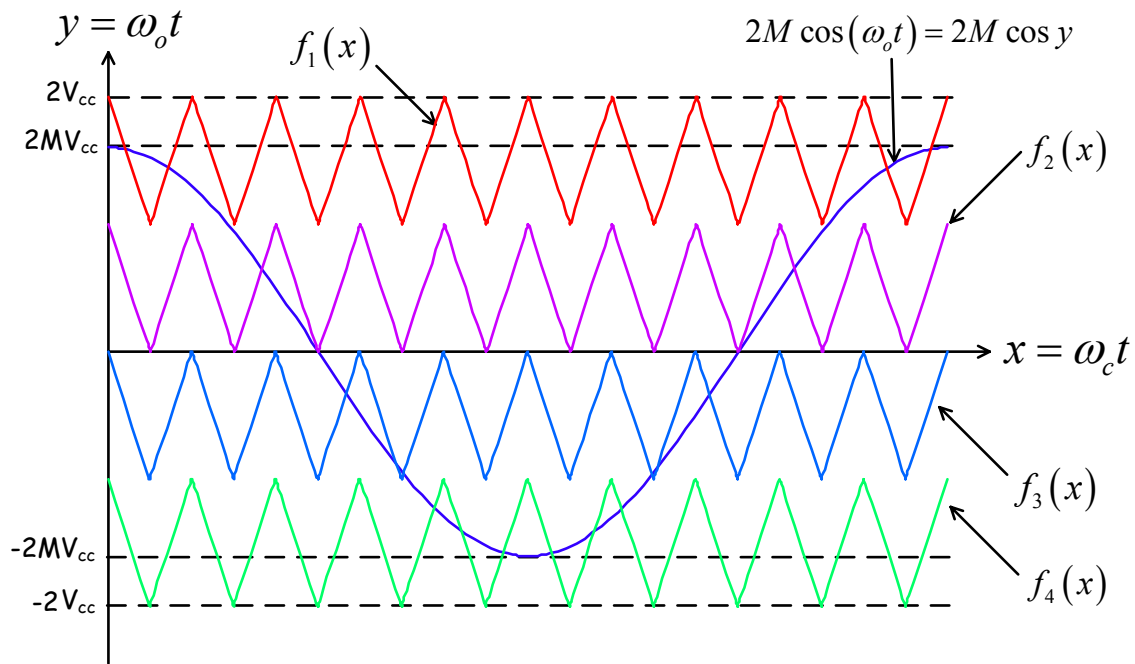


Figura 25: Portadoras triangulares e sinal de referência para a modulação PD.

Para definir os pontos de cruzamento do sinal de referência com as portadoras triangulares, normalmente chamados de limites de contorno, primeiro serão definidas as funções matemáticas das curvas apresentadas.

O sinal de referência, conforme comentado anteriormente é representado por uma função cossenoide em baixa frequência com um índice de modulação de amplitude M , logo o sinal de referência será representado pela função $2M \cos y$, onde $y = \omega_o t$.

O cálculo para as quatro portadoras é semelhante e portanto somente será apresentado o cálculo para a primeira portadora $f_1(x)$.

Com o objetivo de facilitar a visualização e os cálculos, a portadora superior $f_1(x)$ será apresentada na Figura 26 em um único ciclo e será escolhida uma simetria em relação ao eixo das ordenadas.

A portadora superior será responsável pelo chaveamento do nível mais alto de tensão, ou seja, $2V_{cc}$. Quando o sinal de referência for maior que a portadora $f_1(x)$ a tensão de saída do conversor será de $2V_{cc}$. Comparando cada trecho de função da

portadora, em seus devidos intervalos, temos que $2M\cos y > -\frac{x}{\pi} + 1$ para $(-\pi \leq x \leq 0)$ e $2M\cos y > \frac{x}{\pi} + 1$ para $(0 \leq x \leq \pi)$.

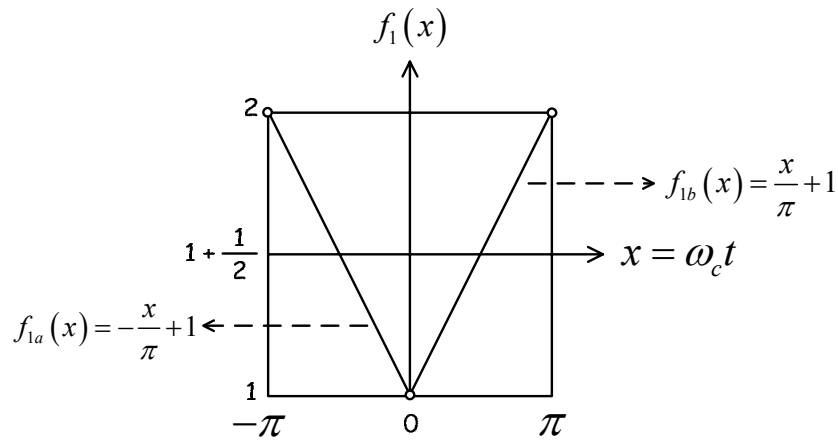


Figura 26: Portadora triangular $f_1(x)$ em um único ciclo.

O mesmo cálculo é realizado para as demais portadoras definindo todas as condições de chaveamento para este conversor, conforme ilustrado na Tabela 7.

Tabela 7: Limites de contorno da modulação PD para um conversor de cinco níveis.

$f(x, y)$	$-\pi \leq x \leq 0$	$0 \leq x \leq \pi$
$+2V_{cc}$	$2M \cos y > +1 - \frac{x}{\pi}$	$2M \cos y > +1 + \frac{x}{\pi}$
V_{cc}	$-\frac{x}{\pi} < 2M \cos y < +1 - \frac{x}{\pi}$	$+\frac{x}{\pi} < 2M \cos y < +1 + \frac{x}{\pi}$
0	$-1 - \frac{x}{\pi} < 2M \cos y < -\frac{x}{\pi}$	$-1 + \frac{x}{\pi} < 2M \cos y < \frac{x}{\pi}$
$-V_{cc}$	$-2 - \frac{x}{\pi} < 2M \cos y < -1 - \frac{x}{\pi}$	$-2 + \frac{x}{\pi} < 2M \cos y < -1 + \frac{x}{\pi}$
$-2V_{cc}$	$2M \cos y < -2 - \frac{x}{\pi}$	$2M \cos y < -2 + \frac{x}{\pi}$

Aplicando os intervalos de integração definidos pelo sinal de referência e pelas funções das triangulares da modulação PD , a transformada dupla de Fourier pode ser reescrita conforme mostrado em (8).

$$C_{mn} = \frac{V_{cc}}{\pi^2} \left[\begin{aligned} & \int_0^\varphi \left(\int_{-\pi(-1+2M\cos y)}^{\pi(-1+2M\cos y)} 2e^{j(mx+ny)} \partial x + \int_{-\pi}^{-\pi(-1+2M\cos y)} e^{j(mx+ny)} \partial x + \int_{\pi(-1+2M\cos y)}^\pi e^{j(mx+ny)} \partial x \right) \partial y \\ & \int_{\frac{\pi}{2}}^\pi \int_{-\pi(2M\cos y)}^{\pi(2M\cos y)} e^{j(mx+ny)} \partial x \partial y + \int_{\frac{\pi}{2}}^{\pi-\varphi} \left(\int_{-\pi(1+2M\cos y)}^{-\pi} e^{j(mx+ny)} \partial x + \int_\pi^{\pi(1+2M\cos y)} e^{j(mx+ny)} \partial x \right) \partial y \\ & \int_{\pi-\varphi}^\pi \left(\int_{\pi(2+2M\cos y)}^{-\pi(2+2M\cos y)} e^{j(mx+ny)} \partial x + \int_{-\pi(2+2M\cos y)}^{-\pi} 2e^{j(mx+ny)} \partial x + \int_\pi^{\pi(2+2M\cos y)} 2e^{j(mx+ny)} \partial x \right) \partial y \end{aligned} \right] \quad (8)$$

Onde $\varphi = \cos^{-1} \left(\frac{1}{2M} \right)$

A equação da transformada dupla de Fourier pode então ser avaliada para diversos valores de n e m , compondo a resposta analítica dos harmônicos de tensão gerados na saída do conversor grampeado a diodos de cinco níveis com a estratégia de modulação *PD*.

A componente média da tensão de saída pode ser obtida quando substituímos os coeficientes m e n por zero. A solução da equação (8) para os coeficientes de $m=0$ e $n=0$ está apresentada em (9). Pode ser observado que a tensão de saída não possui nível médio, conforme desejado.

$$C_{00} = 0 \quad (9)$$

A componente fundamental da tensão de saída pode ser obtida quando substituímos os coeficientes m e n por zero e um respectivamente. A solução da equação (8) para os coeficientes de $m=0$ e $n=1$ está apresentada em (10). Pode ser observado que a solução para a componente fundamental é exatamente o sinal de referência do conversor.

$$C_{01} = 2MV_{cc} \cos(\omega_o t) \quad (10)$$

Os harmônicos de baixa frequência, múltiplos da fundamental, podem ser obtidos quando substituímos apenas o coeficiente m por zero enquanto utilizamos o coeficiente n para qualquer valor inteiro maior do que um. A solução da equação (8) para os coeficientes de $m=0$ e $n>1$ está apresentada em (11). Pode ser observado que não existirão harmônicos de baixa frequência na tensão de saída do conversor, mais uma vez conforme esperado.

$$C_{0n} = 0, n > 1 \quad (11)$$

Os harmônicos de alta frequência, múltiplos da portadora, podem ser obtidos quando substituimos apenas o coeficiente n por zero enquanto utilizamos o coeficiente m para qualquer valor inteiro maior do que zero. A solução da equação (8) para os coeficientes de $m > 0$ e $n = 0$ está apresentada em (12).

No desenvolvimento da solução para os harmônicos de alta frequência será necessário realizar duas integrações em cada termo, visto que o coeficiente m não será mais nulo. A solução da segunda integral resultará numa função de Bessel conforme mostrado em (12).

$$C_{m0} = \frac{8V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{k=1}^{\infty} \frac{1}{2k-1} J_{2k-1}([2m-1]2\pi M) \{1 + 2\sin([2k-1]\varphi) \cos k\pi\} \cos([2m-1]\omega_c t) \quad (12)$$

Os demais harmônicos, compostos pela combinação entre os harmônicos de baixa frequência da fundamental com os harmônicos de alta frequência da portadora, podem ser obtidos quando utilizamos os coeficiente m por qualquer número inteiro maior do que um e quando utilizamos qualquer valor de n diferente de zero. A solução da equação (8) para os coeficientes de $m > 1$ e $-\infty > n > \infty$ e $n \neq 0$ está apresentada em (13).

$$C_{mm} = \frac{2V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{2m} \sum_{n=-\infty}^{\infty} J_{2n+1}(4m\pi M) \cos n\pi \cos(2m\omega_c t + [2n+1]\omega_o t) \\ + \frac{4V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \sum_{k=1}^{\infty} \times \left[\begin{array}{l} J_{2k-1}([2m-1]2\pi M) \cos k\pi \\ \frac{\cos([n-k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1-2n]} \\ + \frac{\cos([n+k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1+2n]} \end{array} \right] \times \cos([2m-1]\omega_c t + 2n\omega_o t) \quad (13)$$

A função analítica completa dos harmônicos da tensão de fase (V_{an}) gerados pela modulação *PD PWM* para um conversor grampeado a diodos de cinco níveis, devidamente apresentada em (14), pode ser obtida substituindo os coeficientes da transformada dupla de Fourier na equação (7).

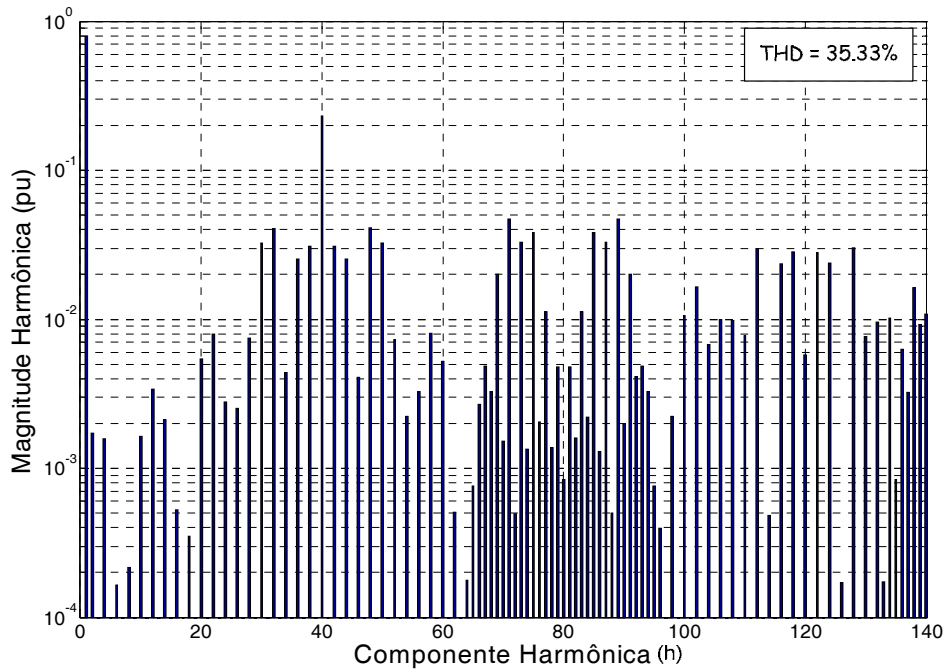
$$\begin{aligned}
V_{an}(t) &= 2MV_{cc} \cos(\omega_o t) \\
&+ \frac{8V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{k=1}^{\infty} \frac{1}{2k-1} J_{2k-1}([2m-1]2\pi M) \{1 + 2\sin([2k-1]\varphi) \cos k\pi\} \times \cos([2m-1]\omega_c t) \\
&+ \frac{2V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{n=-\infty}^{\infty} J_{2n+1}(4m\pi M) \cos n\pi \times \cos(2m\omega_c t + [2n+1]\omega_o t) \\
&+ \frac{4V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \sum_{k=1}^{\infty} \times \left[\begin{array}{c} J_{2k-1}([2m-1]2\pi M) \cos k\pi \\ \left[\frac{\cos([n-k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1-2n]} \right. \\ \left. + \frac{\cos([n+k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1+2n]} \right] \end{array} \right] \times \cos([2m-1]\omega_c t + 2n\omega_o t) \tag{14}
\end{aligned}$$

Para calcular os harmônicos da tensão de linha, basta subtrair os harmônicos da fase **a** (V_{an}) dos harmônicos da fase **b** (V_{bn}). Nesse caso a tensão da fase **b** é obtida de modo análogo ao apresentado, porém com um deslocamento angular $\theta_o = -\frac{2\pi}{3}$ apenas no sinal de referência.

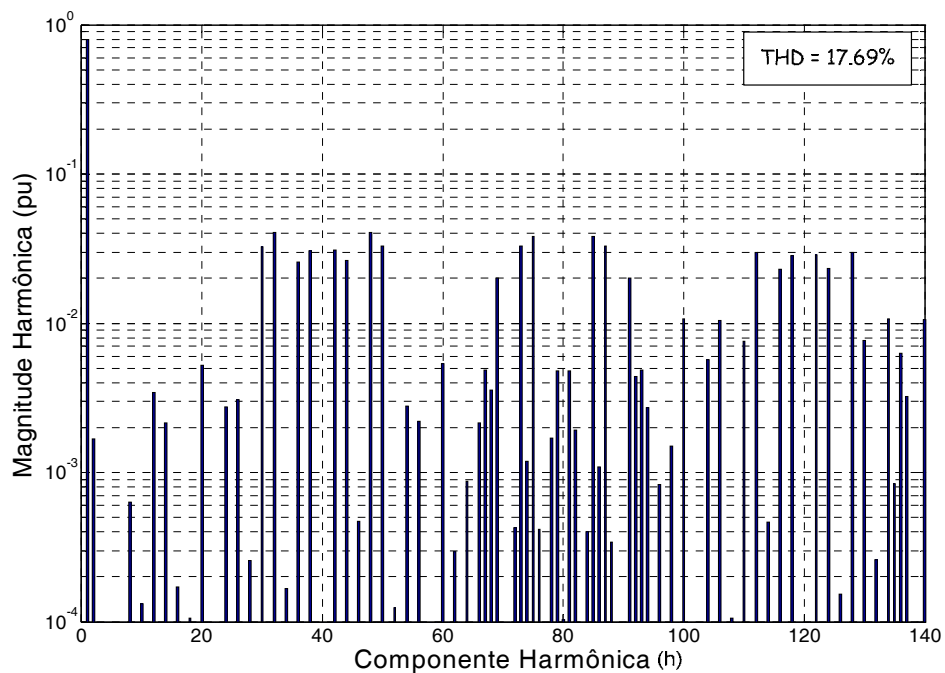
A função analítica completa dos harmônicos da tensão de linha (V_{ab}) gerados pela modulação *PD PWM* para um conversor grampeado a diodos de cinco níveis, está apresentada em (15).

$$\begin{aligned}
V_{ab}(t) &= \sqrt{3} \times 2MV_{dc} \cos\left(\omega_o t + \frac{\pi}{6}\right) \\
&+ \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{n=-\infty}^{\infty} J_{2n+1}(4m\pi M) \cos n\pi \sin\left([2n+1]\frac{\pi}{3}\right) \times \cos\left(2m\omega_c t + [2n+1]\left[\omega_o t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right) \\
&+ \frac{8V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \sum_{k=1}^{\infty} \times \left[\begin{array}{c} J_{2k-1}([2m-1]2\pi M) \cos k\pi \\ \left[\frac{\cos([n-k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1-2n]} \right. \\ \left. + \frac{\cos([n+k]\pi) + 2\sin([2k-1-2n]\varphi)}{[2k-1+2n]} \right] \end{array} \right] \sin\left(2n\frac{\pi}{3}\right) \times \cos\left([2m-1]\omega_c t + 2n\left[\omega_o t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right) \tag{15}
\end{aligned}$$

Os espectros harmônicos da tensão de fase e da tensão de linha gerados pela modulação *PD PWM* para um conversor grampeado a diodos de cinco níveis estão apresentados na Figura 27. Os índices de modulação do sinal de referencia e de frequência adotados para os cálculos foram $M=0,8$ e $mf=40$ respectivamente.



(a)



(b)

Figura 27: Espectro harmônico V_{an} (a) e V_{ab} (b) para a modulação PD .

A distorção harmônica total, obtida nas tensões de fase e de linha, foi de 35,33% e de 17,69% respectivamente. Analisando a Figura 27(a) pode-se notar que o espectro harmônico da tensão de fase está concentrado basicamente no primeiro harmônico da portadora ($mf = 40$). É exatamente essa característica que fornece à modulação PD uma performance superior na tensão de linha sobre as demais

modulações, pois os harmônicos da portadora estão em modo comum para as tensões de fase e serão cancelados na tensão de linha.

Essa afirmação também pode ser comprovada analiticamente observando as equações (14) e (15). As componentes harmônicas correspondentes da portadora, $\cos([2m-1]\omega_c t)$ presentes na tensão de fase, são eliminadas na tensão de linha.

No intuito de verificar a performance da transformada dupla de Fourier, a Figura 28 apresenta a reconstrução da forma de onda da tensão de fase do conversor grampeado a diodo de cinco níveis utilizando a modulação PD PWM a partir do espectro harmônico calculado pela transformada dupla de Fourier.

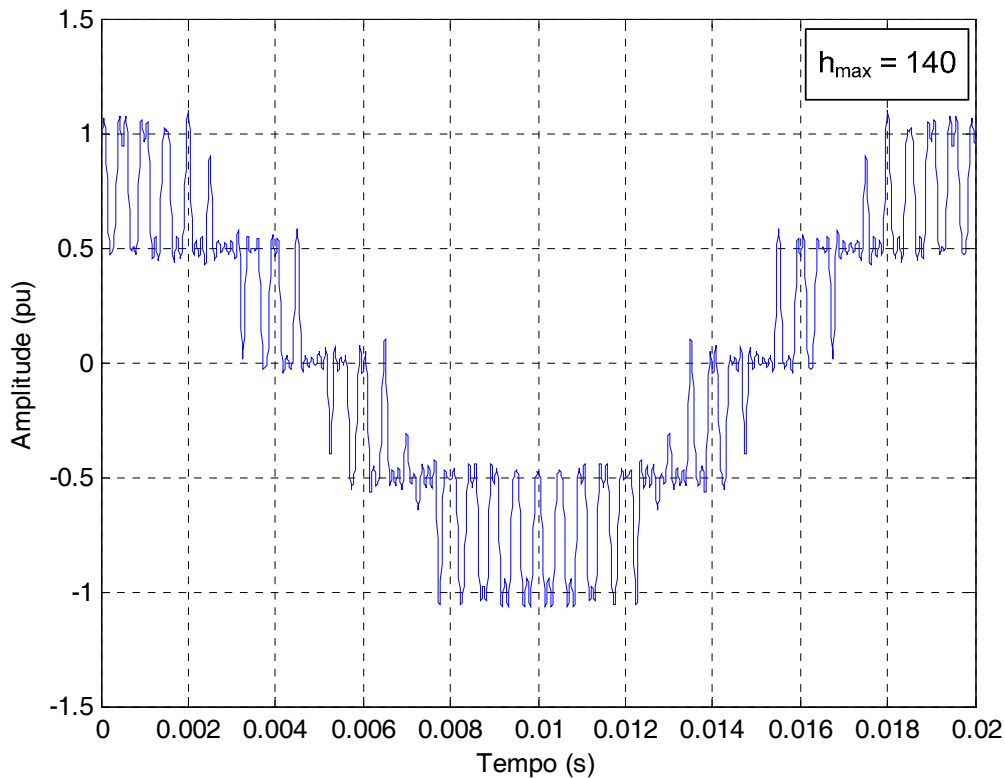


Figura 28: Tensão reconstruída do conversor utilizando a modulação PD PWM.

4.2.2 Modulação APOD PWM

Os cálculos para a modulação APOD são semelhantes aos já realizados no item anterior, e por este motivo não serão detalhados nesta seção. Vale lembrar que na modulação APOD as portadoras triangulares de cada plano das ordenadas estão em contra fase entre si (ver Figura 19b).

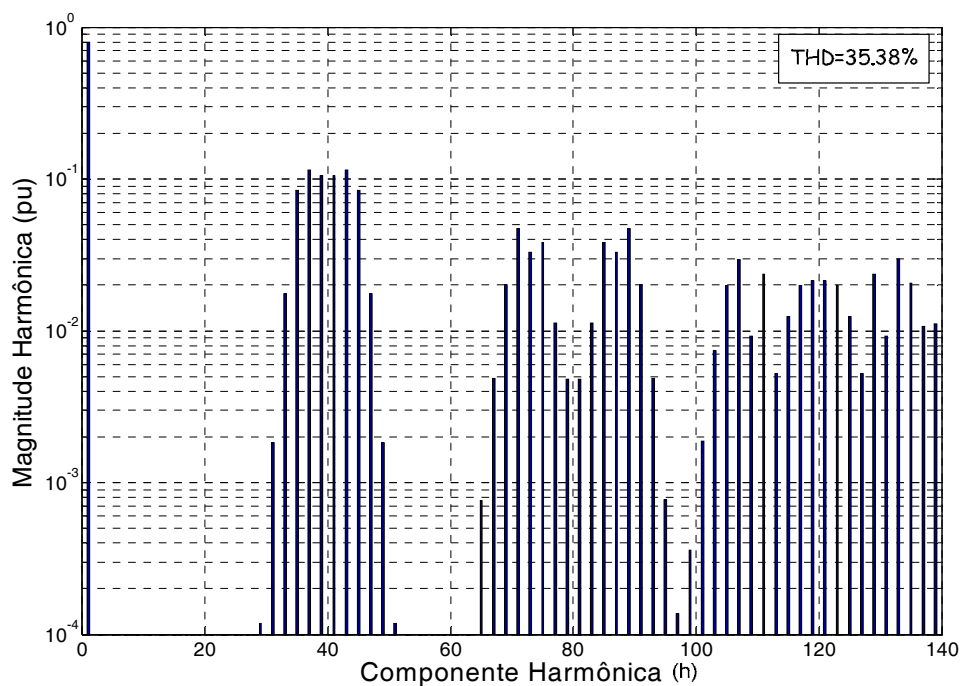
A função analítica completa dos harmônicos da tensão de fase (V_{an}) e da tensão de linha (V_{ab}) gerada pela modulação *APOD PWM* para um conversor grampeado a diodos de cinco níveis está apresentada em (16) e (17) respectivamente.

$$V_{an} = 2MV_{cc} \cos(\omega_o t) + \frac{2V_{dc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=-\infty}^{\infty} J_{2n-1}(2m\pi M) \cos([m+n]\pi) \times \cos(m\omega_c t + [2n-1]\omega_o t) \quad (16)$$

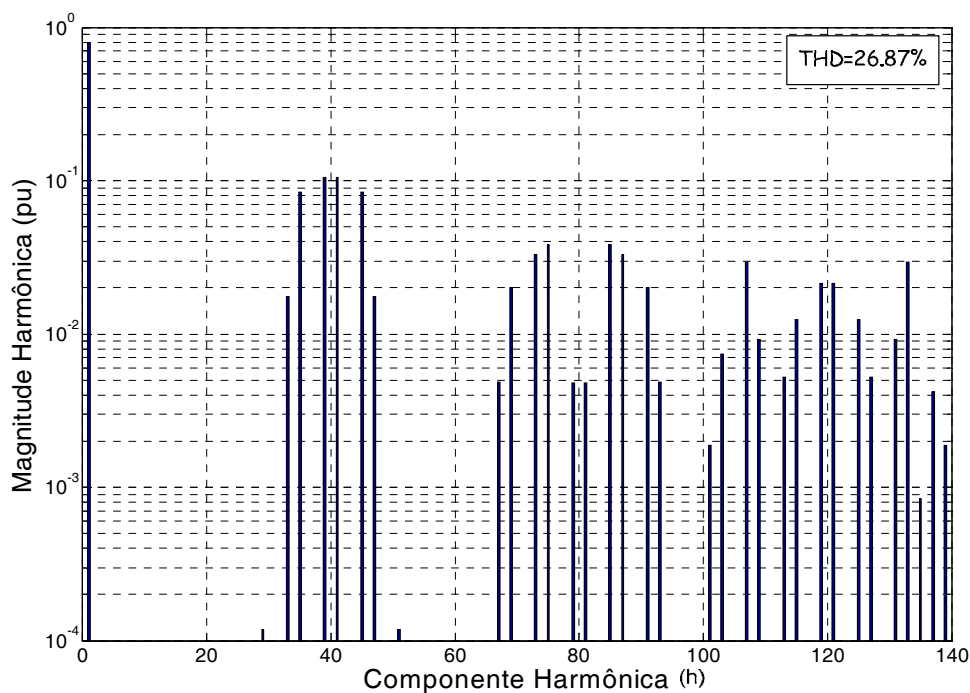
$$V_{ab} = \sqrt{3} \times 2MV_{cc} \cos\left(\omega_o t + \frac{\pi}{6}\right) + \frac{4V_{dc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} \sum_{n=-\infty}^{\infty} J_{2n-1}(2m\pi M) \cos([m+n]\pi) \sin\left([2n+1]\frac{\pi}{3}\right) \times \cos\left(m\omega_c t + [2n-1]\left[\omega_o t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right) \quad (17)$$

O espectro harmônico da tensão de fase e da tensão de linha gerados pela modulação *APOD PWM* para um conversor grampeado a diodos de cinco níveis estão apresentados na Figura 29. Os índices de modulação do sinal de referência e de frequência adotados para os cálculos foram $M=0,8$ e $mf=40$, respectivamente.

A distorção harmônica total, obtida nas tensões de fase e de linha, foi de 35,38% e de 26,87% respectivamente. Analisando a Figura 29 pode-se notar que a modulação *APOD* não apresenta componente harmônica nas frequências múltiplas das portadoras, somente nas suas bandas. Isto somente ocorre porque os harmônicos múltiplos das portadoras são eliminados nas tensões de fase, devido à polaridade invertida das portadoras.



(a)



(b)

Figura 29: Espectro harmônico V_{an} (a) e V_{ab} (b) para a modulação *APOD*.

A Figura 30 apresenta a reconstrução da forma de onda da tensão de fase do conversor grampeado a diodo de cinco níveis utilizando a modulação *APOD* PWM a partir do espectro harmônico calculado pela transformada dupla de Fourier.

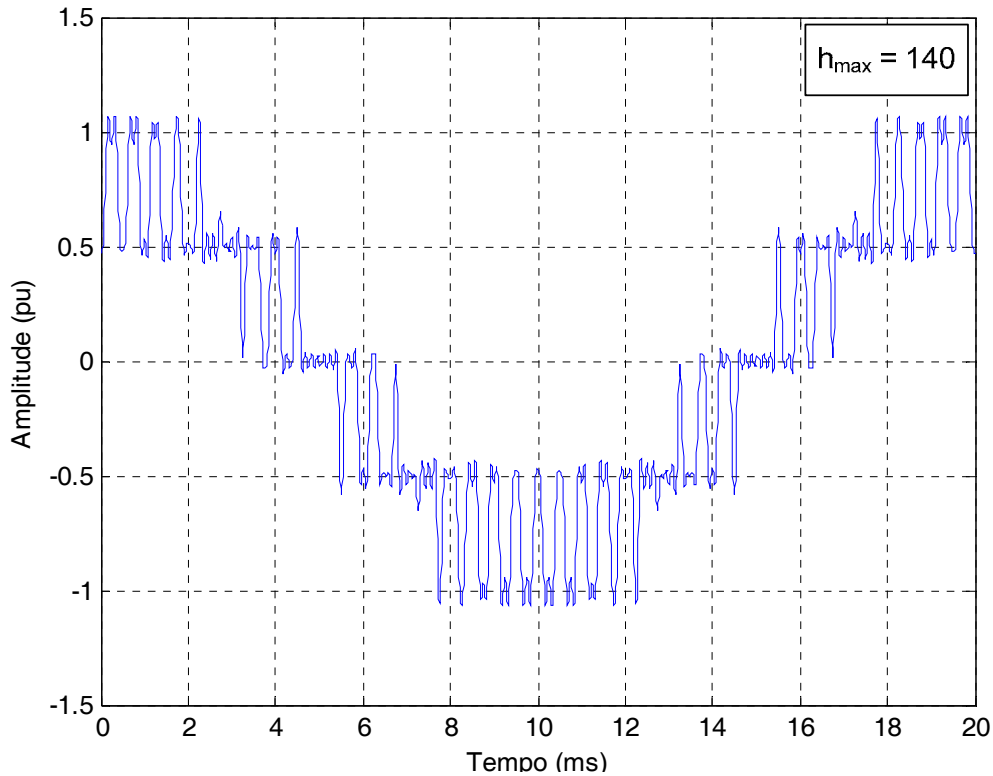


Figura 30: Tensão reconstruída do conversor utilizando a modulação *APOD PWM*.

4.2.3 Modulação *POD PWM*

A última modulação a ser analisada que comumente é utilizada nos conversores grampeados a diodo, é a modulação *POD*. De forma análoga ao item anterior, os cálculos para a modulação *POD* não serão apresentados. Na modulação *POD* as portadoras triangulares do plano positivo das ordenadas estão em fase entre si e as portadoras do plano negativo das ordenadas estão em contra com as portadoras do plano positivo (ver Figura 19a).

As funções analíticas completas dos harmônicos da tensão de fase (V_{an}) e da tensão de linha (V_{ab}) gerada pela modulação *POD PWM* para um conversor grampeado a diodos de cinco níveis está apresentada em (18) e (19) respectivamente.

$$\begin{aligned}
V_{an}(t) &= 2MV_{cc} \cos(\omega_o t) \\
&+ \frac{2V_{dc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{2m} \sum_{n=-\infty}^{\infty} J_{2n+1}(4m\pi M) \cos n\pi \times \cos(2m\omega_c t + [2n+1]\omega_o t) \\
&+ \frac{4V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} + \sum_{\substack{k=1 \\ (k \neq -n) \\ (k \neq n+1)}}^{\infty} \times 2 \left[\begin{array}{c} J_{2n+1}([2m-1]2\pi M) \cos n\pi \\ J_{2k-1}([2m-1]2\pi M) \cos k\pi \\ \frac{\sin([2k+2n]\varphi)}{[2k+2n]} \\ \frac{\sin([2k-2n-2]\varphi)}{[2k-2n-2]} \end{array} \right] \times \cos([2m-1]\omega_c t + [2n+1]\omega_o t)
\end{aligned} \tag{18}$$

$$\begin{aligned}
V_{ab}(t) &= \sqrt{3} \times 2MV_{cc} \cos\left(\omega_o t + \frac{\pi}{6}\right) \\
&+ \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{2m} \sum_{n=-\infty}^{\infty} J_{2n+1}(4m\pi M) \cos n\pi \sin\left([2n+1]\frac{\pi}{3}\right) \times \cos\left(2m\omega_c t + [2n+1]\left[\omega_o t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right) \\
&+ \frac{8V_{cc}}{\pi^2} \sum_{m=1}^{\infty} \frac{1}{2m-1} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} + \sum_{\substack{k=1 \\ (k \neq -n) \\ (k \neq n+1)}}^{\infty} \times 2 \left[\begin{array}{c} J_{2n+1}([2m-1]2\pi M) \cos n\pi \\ J_{2k-1}([2m-1]2\pi M) \cos k\pi \\ \frac{\sin([2k+2n]\varphi)}{[2k+2n]} \\ \frac{\sin([2k-2n-2]\varphi)}{[2k-2n-2]} \end{array} \right] \times \cos\left([2m-1]\omega_c t + [2n+1]\left[\omega_o t - \frac{\pi}{3}\right] + \frac{\pi}{2}\right)
\end{aligned} \tag{19}$$

Os espectros harmônicos da tensão de fase e da tensão de linha gerados pela modulação *POD PWM* para um conversor grampeado a diodos de cinco níveis estão apresentados na Figura 31.

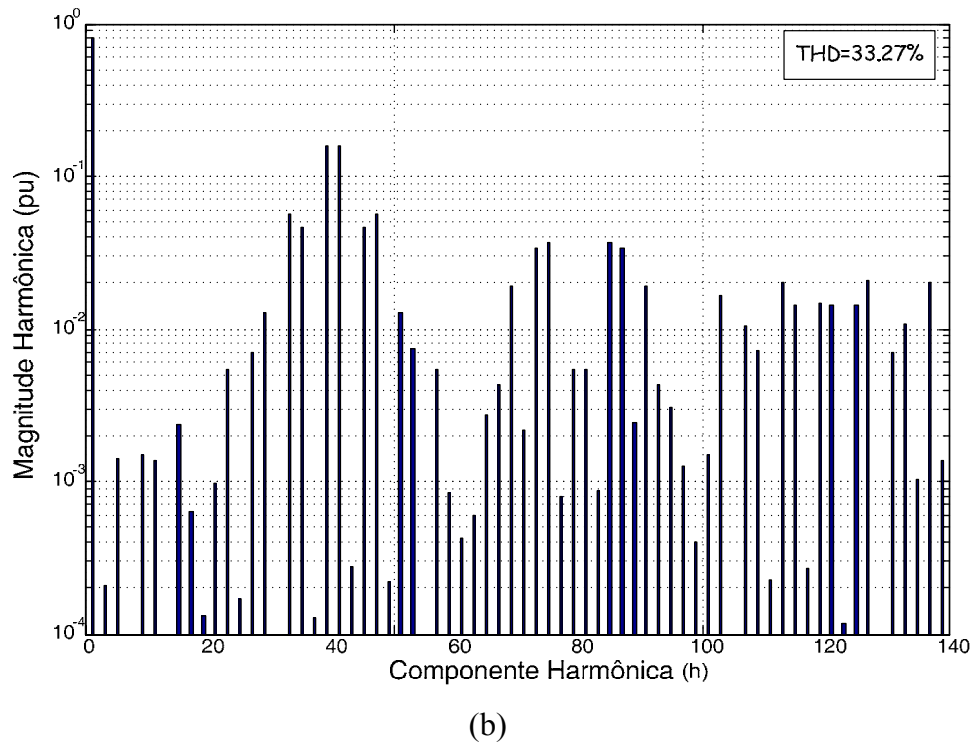
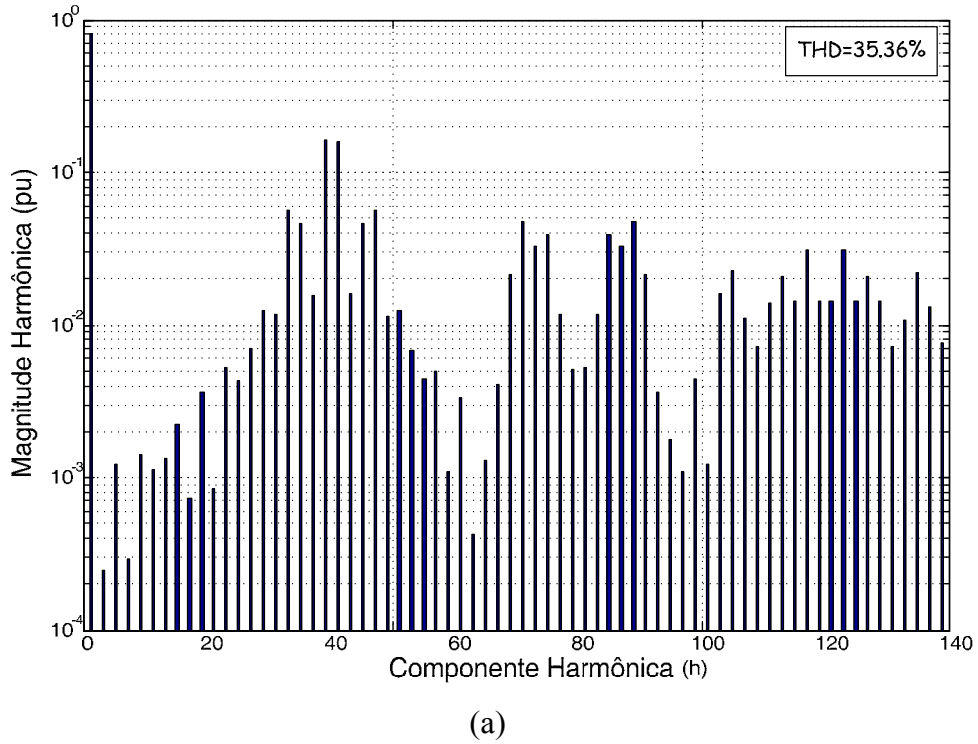


Figura 31: Espectro harmônico Van (a) e Vab (b) para a modulação *POD*.

Os índices de modulação do sinal de referência e de frequência adotados para os cálculos foram $M=0,8$ e $mf=40$, respectivamente. A distorção harmônica total, obtida nas tensões de fase e de linha, foi de 35,36% e de 33,27% respectivamente.

Analisando a Figura 31 pode-se notar que a modulação *POD* não concentra os harmônicos nas frequências múltiplas da portadora, similarmente à modulação *APOD*. Porém, a modulação *APOD* concentra mais energia nos harmônicos vizinhos da terceira frequência da portadora ($3mf = 120$), que são eliminados na tensão de linha. No caso da modulação *POD* este fato não ocorre, e a energia harmônica não é corretamente eliminada na tensão de linha, apresentando o pior resultado quando comparada com as demais estratégias de modulação.

A Figura 32 apresenta a reconstrução da forma de onda da tensão de fase do conversor grampeado a diodo de cinco níveis utilizando a modulação *POD PWM* a partir do espectro harmônico calculado pela transformada dupla de Fourier.

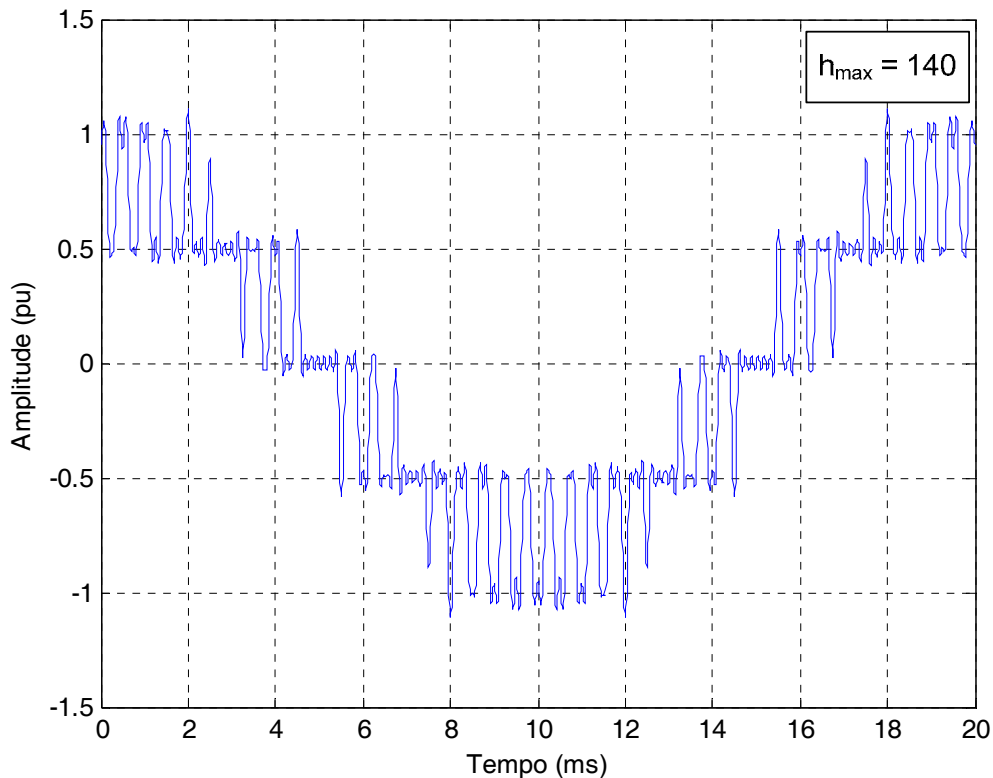


Figura 32: Tensão reconstruída do conversor utilizando a modulação *POD PWM*.

4.3 Análise dos Conversores em Cascata

Neste item serão realizadas as análises matemáticas do conteúdo harmônico das estratégias de modulação propostas para os conversores em cascata de cinco níveis.

4.3.1 Modulação PSCPWM

As formas de onda das portadoras triangulares, $f_n(x)$, e do sinal de referência multiplicado por um índice de modulação de amplitude $2M$ para a modulação *PSCPWM* aplicada em um conversor em cascata de cinco níveis são apresentadas na Figura 33.

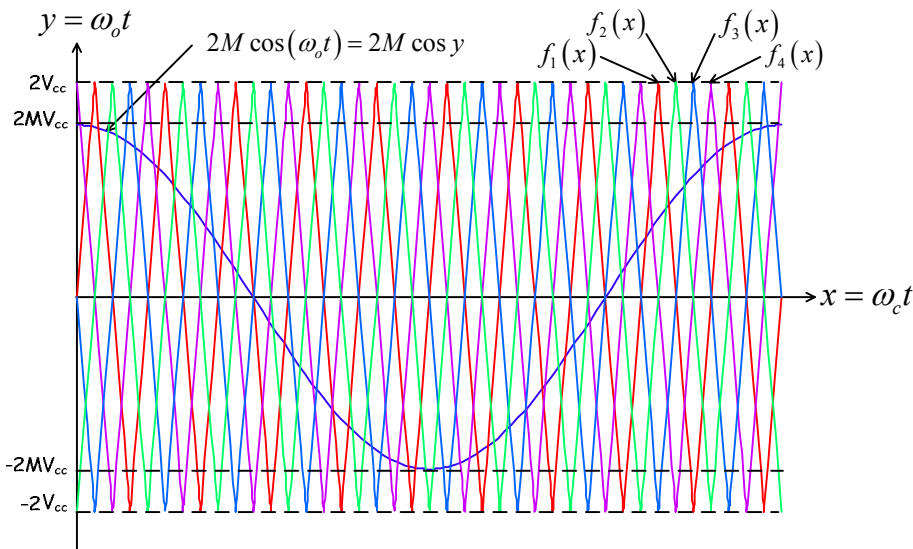


Figura 33: Portadoras triangulares e sinais de referência para a modulação *PSCPWM*.

De forma semelhante ao estudo da modulação *PD PWM*, o sinal de referência utilizado será representado por uma cossenoide, que apresenta uma simetria em relação ao eixo das ordenadas, e cada nível de tensão de saída será representado por uma unidade de V_{cc} .

Vale comentar que nos conversores em cascata, a tensão de fase é obtida subtraindo as tensões de cada ramo do inversor, e a tensão de linha é obtida subtraindo as tensões de fase ($V_{ab} = V_{an} - V_{bn}$).

Para atingir uma modulação de cinco níveis são necessários dois conversores em cascata conectados em série (ver Figura 8). Nesse caso, a portadora triangular $f_1(x)$ será utilizada pelo primeiro ramo do primeiro módulo, enquanto a portadora triangular $f_3(x)$ será utilizada pelo segundo ramo do primeiro módulo. O mesmo raciocínio é utilizado no segundo módulo, onde as portadoras $f_2(x)$ e $f_4(x)$ serão utilizadas pelo primeiro e segundo ramos respectivamente.

Serão apresentados nesta seção somente os cálculos para a determinação do espectro harmônico do primeiro ramo do primeiro módulo do conversor, visto que os cálculos para as demais tensões são semelhantes. As condições de chaveamento estão ilustradas na Tabela 8.

Tabela 8: Limites de contorno da modulação *PSC* para um conversor em cascata.

$f(x, y)$	$-\pi \leq x \leq 0$	$0 \leq x \leq \pi$
$+2V_{cc}$	$M \cos y > -1 - \frac{2x}{\pi}$	$M \cos y > -1 + \frac{2x}{\pi}$
0	$M \cos y < -1 - \frac{2x}{\pi}$	$M \cos y < -1 + \frac{2x}{\pi}$

Aplicando os intervalos de integração definidos pelo sinal de referência e pela função triangular $f_1(x)$, a transformada dupla de Fourier pode ser reescrita conforme demonstrada em (20). Ressalta-se que a tensão de saída foi deslocada de V_{cc} , conforme apresentado na Tabela 8, para simplificação matemática.

$$C_{mn}^- = \frac{V_{cc}}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\frac{\pi}{2}(1+M \cos y)}^{\frac{\pi}{2}(1+M \cos y)} 2e^{j(mx+ny)} \partial x \partial y \quad (20)$$

De forma análoga aos outros cálculos, a equação (20) pode ser desenvolvida para diversos valores de n e m . Dessa forma a equação irá compor a resposta analítica dos harmônicos de tensão gerados na saída do conversor monofásico em ponte completa com a modulação *PSCPWM*, que representa apenas um módulo do conversor de cinco níveis.

A solução da equação (20) para os coeficientes de $m=0$ e $n=0$ (nível médio), está apresentada em (21). O valor médio da tensão de saída é igual a V_{cc} ($A_{00} = \frac{2V_{cc}}{2} = V_{cc}$), que é exatamente o valor que o sinal foi deslocado inicialmente para simplificação matemática. Portanto o nível médio da tensão de saída será nulo.

$$C_{00} = 2V_{cc} \quad (21)$$

A solução da equação (20) para os coeficientes de $m=0$ e $n=1$ (componente fundamental), está apresentada em (22). Pode ser observado que a solução para a componente fundamental é exatamente o sinal de referência do conversor.

$$C_{01} = 2MV_{cc} \cos(\omega_o t) \quad (22)$$

A solução da equação (20) para os coeficientes de $m=0$ e $n>1$ (harmônicos de baixa frequência), está apresentada em (23). Pode ser observado que não existirão harmônicos de baixa frequência na tensão de saída do conversor.

$$C_{0n} = 0, n > 1 \quad (23)$$

A solução da equação (20) para os coeficientes de $n=0$ e $m>1$ (harmônicos de alta frequência múltiplos da portadora), está apresentada em (24).

$$C_{m0} = \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} J_0 \left(m \frac{\pi}{2} M \right) \sin \left(m \frac{\pi}{2} \right) \times \cos(m\omega_c t) \quad (24)$$

A solução da equação (20) para os coeficientes de $m>1$ e $-\infty > n > \infty$ e $n \neq 0$ (combinações dos harmônicos), está apresentada em (25).

$$C_{mn} = \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{m} J_n \left(m \frac{\pi}{2} M \right) \sin \left([m+n] \frac{\pi}{2} \right) \times \cos(m\omega_c t + n\omega_o t) \quad (25)$$

A função analítica completa dos harmônicos da tensão do primeiro ramo do conversor monofásico em ponte completa (V_{pa1z}) está apresentada em (26).

$$\begin{aligned} V_{pa1z} = & 2MV_{cc} \cos(\omega_o t) + \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} J_0 \left(m \frac{\pi}{2} M \right) \sin \left(m \frac{\pi}{2} \right) \times \cos(m\omega_c t) \\ & + \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{m} J_n \left(m \frac{\pi}{2} M \right) \sin \left([m+n] \frac{\pi}{2} \right) \times \cos(m\omega_c t + n\omega_o t) \end{aligned} \quad (26)$$

A função analítica completa dos harmônicos referentes à modulação do segundo ramo do conversor monofásico pode ser obtida simplesmente atrasando o sinal da referência em π . A função está apresentada em (27).

$$\begin{aligned} V_{pb1z} = & 2MV_{cc} \cos(\omega_o t - \pi) + \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \frac{1}{m} J_0 \left(m \frac{\pi}{2} M \right) \sin \left(m \frac{\pi}{2} \right) \times \cos(m\omega_c t) \\ & + \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{m} J_n \left(m \frac{\pi}{2} M \right) \sin \left([m+n] \frac{\pi}{2} \right) \times \cos(m\omega_c t + n[\omega_o t - \pi]) \end{aligned} \quad (27)$$

A função analítica dos harmônicos referentes à tensão de fase do conversor monofásico pode ser calculada subtraindo as funções geradas em cada ramo do

conversor, conforme apresentado em (28). Ressalta-se que a tensão de saída foi normalizada para uma saída de $2V_{cc}$.

$$V_{an1} = 2MV_{cc} \cos(\omega_o t) + \frac{8V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{2m} J_{2n-1}(m\pi M) \sin([m+n-1]\pi) \times \cos(2m\omega_c t + [2n-1]\omega_o t) \quad (28)$$

Analisando as equações (26) e (28) pode-se notar que o espectro harmônico em torno da frequência da portadora, presente nas tensões de cada ramo do conversor, foi cancelado na tensão de fase, deslocando o espectro harmônico para o dobro da frequência da portadora.

Portanto, a inserção de novos módulos, obedecendo à defasagem angular da modulação *PSCPWM*, significa novos deslocamentos no espectro harmônico. Baseado nessa afirmação, a função analítica dos harmônicos referentes à tensão de fase e de linha de um conversor em cascata de N níveis pode ser escrita como em (29) e (30) respectivamente.

$$V_{an} = N \times MV_{cc} \cos(\omega_o t) + \frac{2V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{m} J_{2n-1}(Nm\pi M) \cos([Nm+n-1]\pi) \times \cos(2Nm\omega_c t + [2n-1]\omega_o t) \quad (29)$$

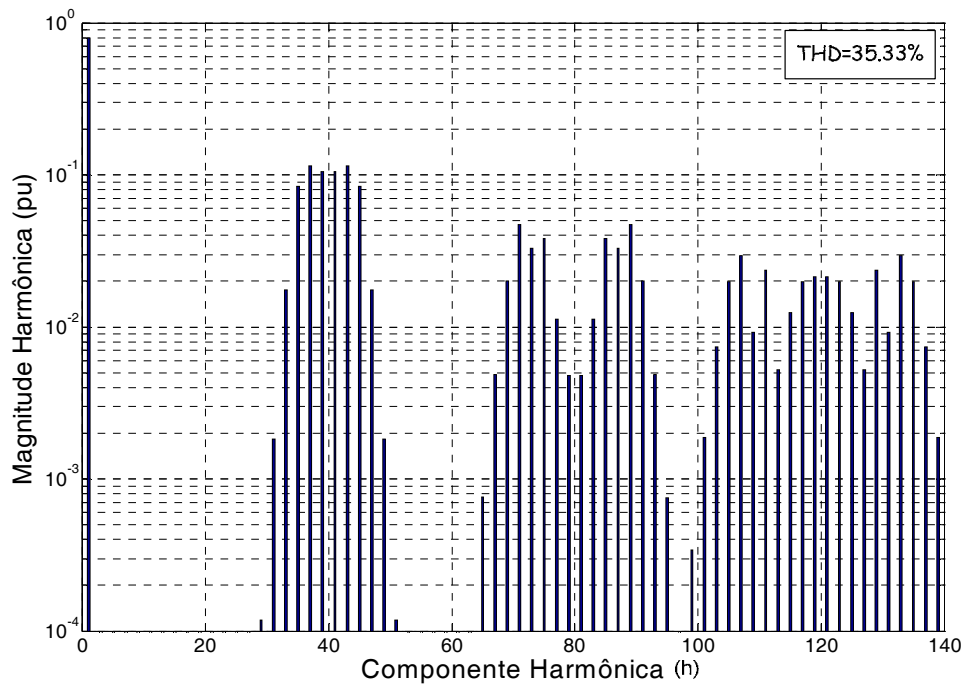
$$V_{ab} = \sqrt{3}N \times MV_{cc} \cos\left(\omega_o t + \frac{\pi}{6}\right) + \frac{4V_{cc}}{\pi} \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} \frac{1}{m} J_{2n-1}(Nm\pi M) \cos([Nm+n]\pi) \sin\left([2n-1]\frac{\pi}{3}\right) \times \cos\left(2Nm\omega_c t + [2n-1]\left[\omega_o t - \frac{\pi}{3}\right]\right) \quad (30)$$

Analisando as equações da tensão de fase e linha da modulação *PSCPWM*, pode-se concluir que as mesmas são semelhantes às equações da modulação *APOD*. A única diferença é que na modulação *PSCPWM* o primeiro grupo de harmônicos aparece somente em torno do quádruplo da frequência da portadora, enquanto na modulação *APOD* o primeiro grupo de harmônicos aparece na frequência da portadora.

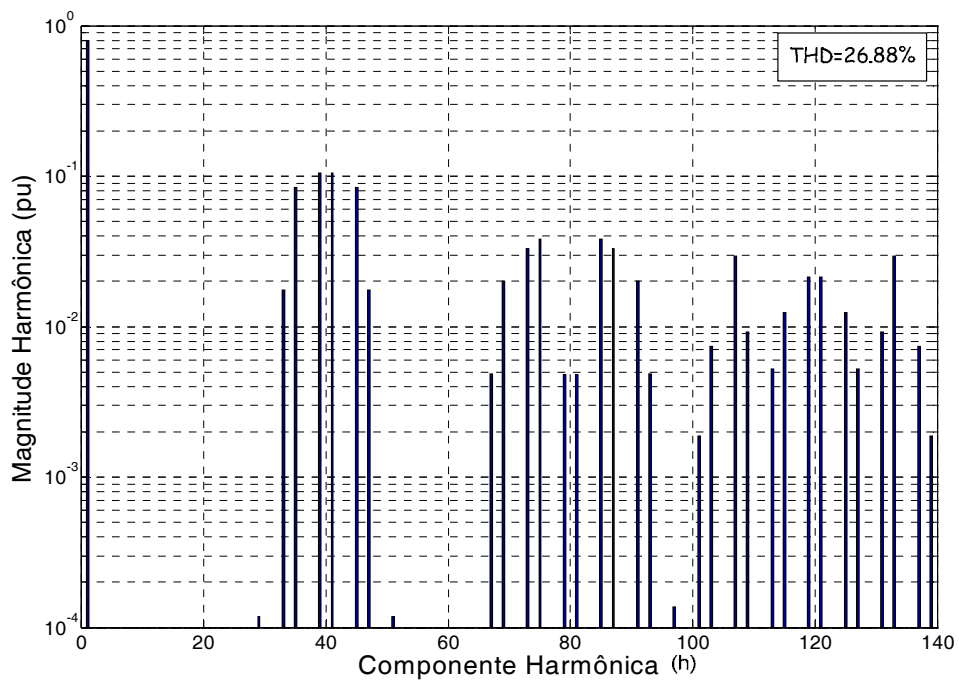
No intuito de provar que os espectros harmônicos são idênticos, a frequência da portadora será ajustada para exatamente um quarto da frequência utilizada nos casos anteriores ($mf=10$).

Os espectros harmônicos da tensão de fase e da tensão de linha gerados pela modulação *PSCPWM* para um conversor em cascata de cinco níveis estão

apresentados na Figura 34. Os índices de modulação do sinal de referência e de frequência adotados para os cálculos foram $M=0,8$ e $mf=10$, respectivamente.



(a)



(b)

Figura 34: Espectro harmônico V_{an} (a) e V_{ab} (b) para a modulação *PSCPWM*.

A Figura 35 apresenta a reconstrução da forma de onda da tensão de fase do conversor em cascata assimétrico de cinco níveis utilizando a modulação PSCPWM a partir do espectro harmônico calculado pela transformada dupla de Fourier.

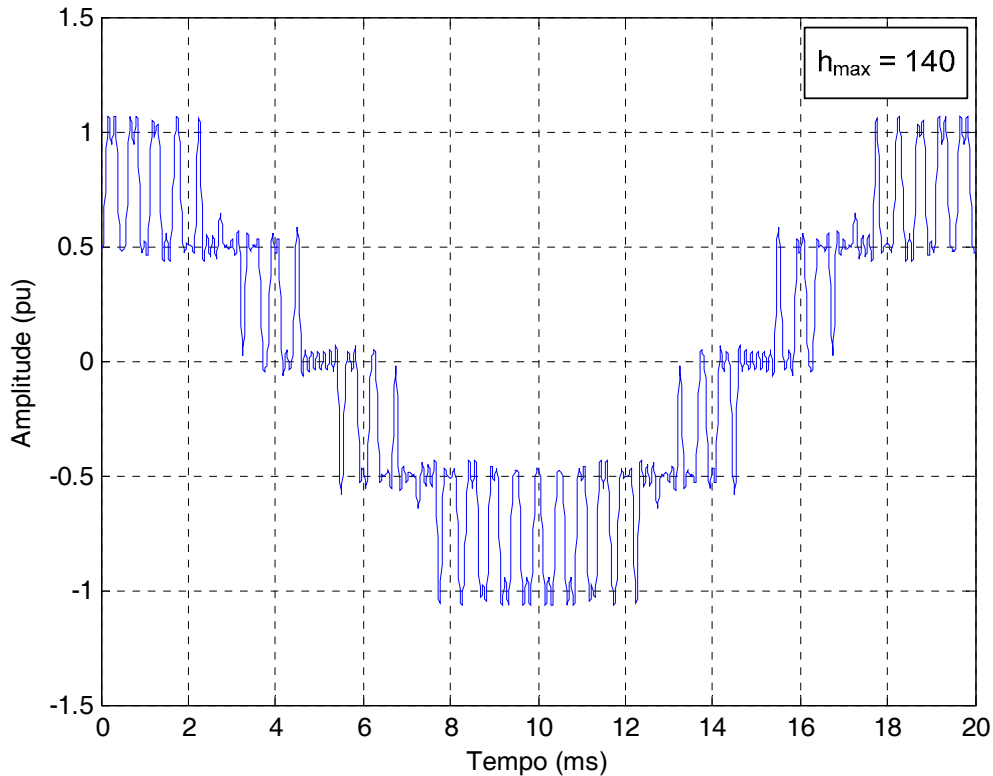


Figura 35: Tensão reconstruída do conversor utilizando a modulação *PSCPWM*.

Os espectros harmônicos e a distorção harmônica total com a modulação *PSCPWM* e *APOD* são idênticos, como era esperado já que as suas funções são idênticas após a uniformização da frequência de chaveamento. Conforme comentado no início deste capítulo, e agora comprovado matematicamente, a modulação *PD* apresenta a melhor performance nas tensões de linha quando aplicados aos conversores grampeados a diodo.

Analogamente, é de se esperar que a modulação *PSCPWM* aplicada aos conversores em cascata também apresente uma variação de forma a determinar um espectro harmônico semelhante à modulação *PD* nos conversores grampeados a diodos.

Portanto, uma manipulação matemática foi proposta em [47][57] para adaptar a modulação *PSCPWM* de tal forma que o seu espectro harmônico possua as características básicas da modulação *PD*.

Esta nova proposta de modulação, denominada *PWM Descontínuo* será apresentada neste capítulo para posteriormente ser novamente manipulada e utilizada no conversor em cascata assimétrico de 19 níveis.

4.4 PWM Descontínuo

De acordo com as análises dos espectros harmônicos das modulações *PD* e *APOD* para os conversores multiníveis grampeados a diodos, conclui-se que a modulação *PD* concentra a energia harmônica na primeira componente da portadora ($mf=1$), diferentemente da modulação *APOD* que concentra a energia harmônica nas frequências vizinhas da primeira portadora. Dessa forma a modulação *PD* consegue eliminar os harmônicos de modo comum alcançando uma melhor performance na tensão de linha.

No caso do inversor em ponte completa, que é a célula básica que compõe o conversor em cascata adotado neste trabalho, as estratégias de modulação mais conhecidas na literatura são os chaveamentos bipolar e unipolar.

O chaveamento bipolar utiliza apenas um sinal de referência e uma portadora para controlar os instantes de disparo e bloqueio das quatro chaves semicondutoras. Dessa forma o espectro harmônico do segundo ramo do conversor (V_{pbz}) é idêntico ao espectro harmônico do primeiro ramo do conversor (V_{paz}), porém com sinal negativo. Portanto a tensão de fase de saída conversor ($V_{an} = V_{paz} - V_{pbz}$) será $2V_{paz}$, apresentando os componentes harmônicos referentes à frequência da portadora triangular.

A estratégia unipolar utiliza uma única portadora triangular e dois sinais de referências, em contra fase entre si, para cada ramo do conversor. Dessa forma o espectro harmônico da tensão de fase de saída conversor não irá apresentar os componentes harmônicos na frequência da portadora, pois os mesmos estarão em modo comum para cada ramo e irão se cancelar na tensão de fase. Porém a utilização desta técnica de chaveamento não alcança a melhor performance da tensão de linha conforme mostrado anteriormente.

É óbvio que a eliminação dos componentes referentes à frequência da portadora apresenta uma grande vantagem sobre as demais modulações, portanto este princípio deverá ser mantido na modulação proposta.

Uma outra forma de eliminar os componentes harmônicos referentes à frequência da portadora é utilizar dois sinais triangulares em contra fase entre si. Entretanto, a utilização desta lógica resultaria na perda dos benefícios da modulação unipolar, a não ser que o sinal de referência seja modificado [47][57].

Os sinais de referência são manipulados para que quando for necessária uma tensão positiva na saída do conversor apenas o primeiro ramo do conversor seja modulado, e quando for necessária uma tensão negativa de saída apenas o segundo ramo seja modulado. Dessa forma a tensão total de saída continuará sendo a mesma, porém modulada em blocos por cada ramo do conversor. A Figura 36 apresenta os sinais de referência e as portadoras triangulares utilizados no *PWM* descontínuo aplicado no conversor em cascata de cinco níveis.

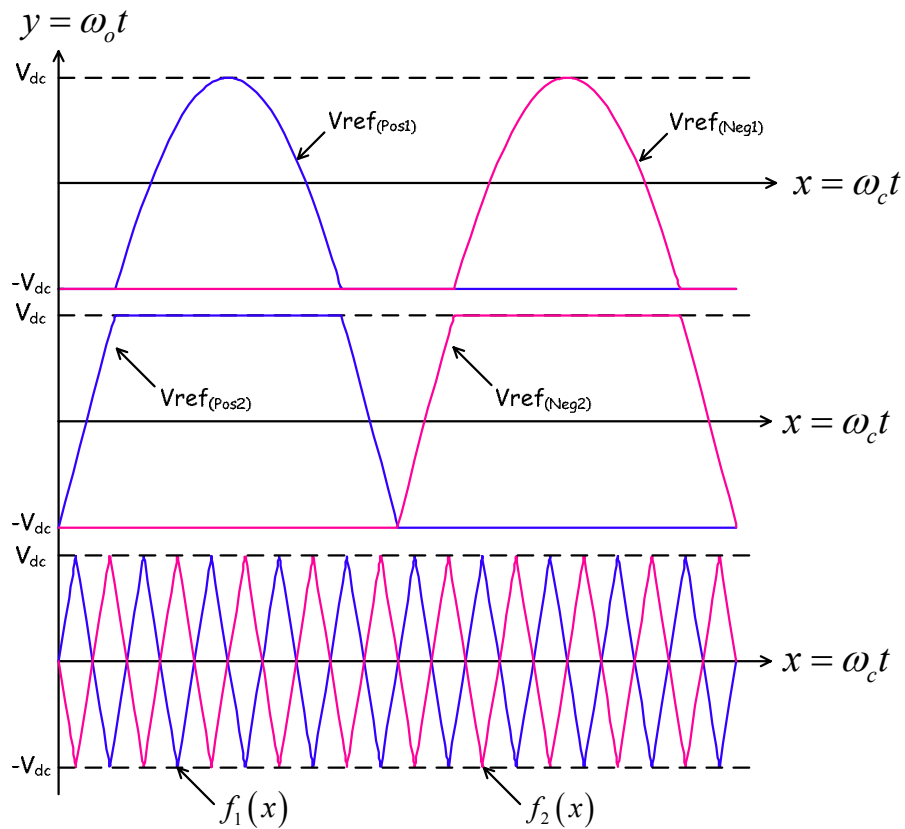


Figura 36: Sinais de referência e portadoras triangulares do *PWM* Descontínuo.

Por intermédio de uma análise mais profunda da modulação descontínua, pode-se notar que o benefício direto do chaveamento unipolar, não apresentando os componentes harmônicos na frequência da portadora, é perdido. Entretanto, a quantidade de comutações de cada chave é reduzida pela metade, visto que quando

um ramo é modulado o outro ramo do conversor não é chaveado. Dessa forma pode-se dobrar a frequência de chaveamento do conversor, para atingir a mesma quantidade de chaveamento por ciclo, deslocando o espectro harmônico para o dobro da frequência anterior, alcançando o mesmo resultado do chaveamento unipolar, porém agora com a vantagem de eliminar os componentes harmônicos referentes à frequência da portadora.

Analisando-se a Figura 36, pode-se notar que uma única portadora triangular ($f_{1(x)}$) é utilizada para modular as referências positivas (V_{refpos1} e V_{refpos2}). O mesmo ocorre para a portadora ($f_{2(x)}$) em relação às referências negativas (V_{refneg1} e V_{refneg2}), porém as portadoras triangulares estão em contra-fase entre si.

Contudo, refletindo os sinais de referências e o sinal da portadora triangular referentes ao semi-ciclo negativo para o plano negativo, de forma a simplificar a visualização, pode-se notar que a estratégia de modulação é idêntica à modulação *PD* utilizada nos conversores grampeados a diodo [58]. A Figura 37 apresenta a estratégia de modulação *PWM* descontínua para um inversor de cinco níveis composto por células monofásicas em ponte completa em cascata.

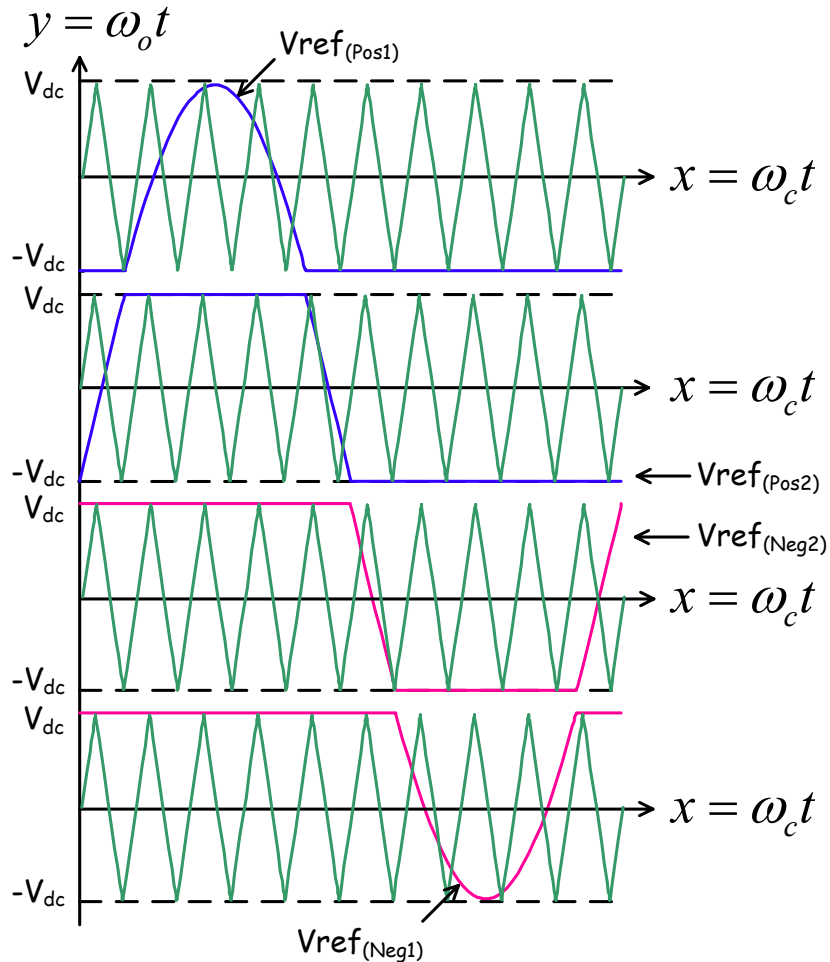


Figura 37: Sinais do *PWM* Descontínuo modificado.

Portanto, as funções analíticas completas dos harmônicos da tensão de fase (V_{an}) e de linha (V_{ab}) gerados pela modulação *PWM* descontínua para um conversor em cascata de cinco níveis será idêntica às funções da modulação *PD* apresentadas em (14) e (15) respectivamente.

Para que o espectro harmônico da tensão de fase gerado pela modulação *PWM* descontínua para um conversor em cascata de cinco níveis seja idêntico ao apresentado na modulação *PD* (ver Figura 27), basta padronizar o número de chaveamentos por ciclo ($mf=20$), conforme comentado anteriormente.

Três simulações distintas foram realizadas no PSCAD/EMTDC no intuito de demonstrar a eficiência de estratégia de *PWM* adotada sobre a redução do conteúdo harmônico total do conversor de 19 níveis proposto neste trabalho. Para analisar apenas a influência da célula de menor tensão sobre o THD, a mesma estratégia de chaveamento para as células de maior tensão ($2V_{cc}$ e $6V_{cc}$) foi utilizada nas três

simulações, enquanto, para a célula de menor tensão, foram utilizadas três estratégias de chaveamento, o PWM bipolar, o unipolar e o descontínuo.

A Figura 38 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto com seus respectivos THD (a) e o chaveamento PWM bipolar aplicado na célula de menor tensão (b). A frequência de chaveamento adotada para a célula de menor tensão foi de 5 kHz.

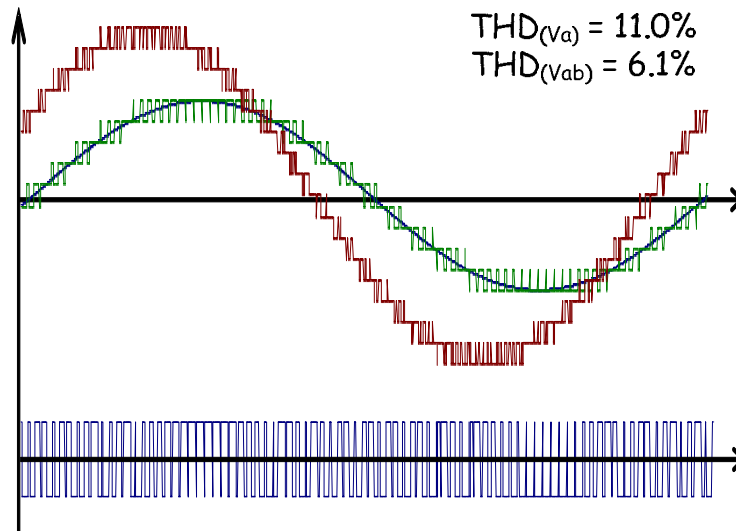


Figura 38: Tensões de fase e linha (a) e chaveamento bipolar (b).

O alto conteúdo harmônico da tensão de fase pode ser explicado pela brusca variação de tensão observada na célula de menor potência, onde a tensão de saída varia de um sinal positivo ($+V_{CC}$) para um sinal de saída negativa ($-V_{CC}$). Além disso, analisando os conteúdos harmônicos das ondas de tensão, pode-se perceber que existe uma eliminação harmônica na tensão de linha, reduzindo o THD total de tensão do conversor de 19 níveis para 6,1%.

A Figura 39 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto com seus respectivos THD (a) e o chaveamento PWM unipolar aplicado na célula de menor tensão (b). A frequência de chaveamento adotada para a célula de menor tensão foi de 5 kHz.

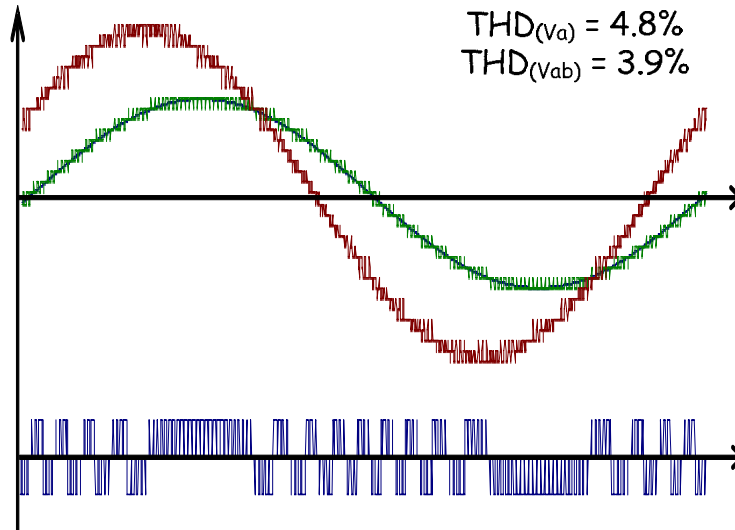


Figura 39: Tensões de fase e linha (a) e chaveamento unipolar (b).

O conteúdo harmônico da tensão de fase apresenta uma redução significativa quando comparada com a estratégia de chaveamento bipolar (11,0% para 4,8%). Essa redução é explicada pelo acréscimo do nível zero na forma de onda de saída da célula de menor tensão. Dessa forma a variação de tensão na célula de menor potência irá ocorrer de um sinal positivo ($+V_{CC}$) para zero e de zero para um sinal negativo ($-V_{CC}$). Além disso, analisando os conteúdos harmônicos das ondas de tensão, pode-se perceber que existe uma eliminação harmônica na tensão de linha, da mesma forma que no chaveamento bipolar, reduzindo o THD total de tensão do conversor de 19 níveis para 3,9%.

A Figura 40 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto com seus respectivos THD (a) e o chaveamento PWM descontínuo aplicado na célula de menor tensão (b). A frequência de chaveamento adotada para a célula de menor tensão foi de 10 kHz para obter um mesmo número de chaveamento por ciclo que as demais simulações.

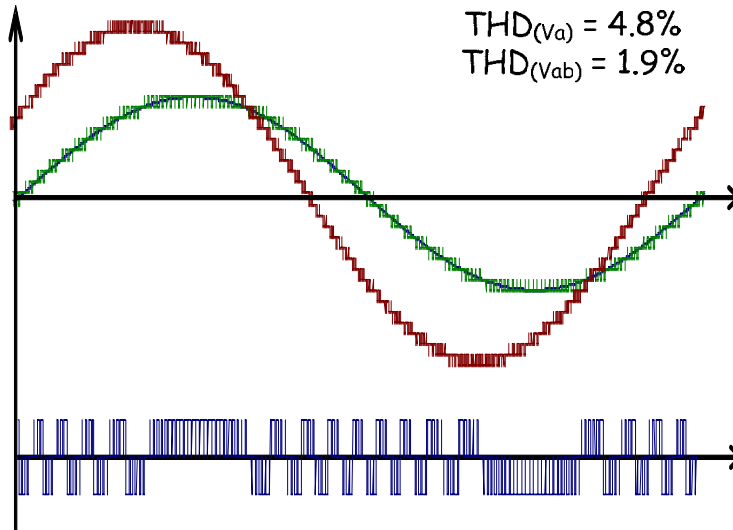


Figura 40: Tensões de fase e linha (a) e chaveamento descontínuo (b).

O conteúdo harmônico da tensão de fase com a estratégia de chaveamento descontínua apresenta um mesmo conteúdo harmônico quando comparada com a estratégia de chaveamento unipolar (4,8%). Contudo, conforme detalhado anteriormente, uma grande parte do conteúdo harmônico é inserido em modo comum nas tensões de fase e, por isso, eliminado na tensão de linha. Este fato pode ser observado pela grande redução do conteúdo harmônico na tensão de linha, o qual é reduzido para 1,9%.

Portanto, a estratégia de modulação *PWM* descontínua, por apresentar uma melhor performance harmônica para as tensões de linha, será então utilizada no chaveamento do conversor em cascata assimétrico de 19 níveis adotado para este trabalho.

4.5 Conclusões Parciais

Neste capítulo foram apresentadas as estratégias de modulação *PWM* mais difundidas na literatura para os conversores multiníveis com a topologia grampeada a diodo e em cascata. A lógica de chaveamento de cada estratégia de modulação foi apresentada com o intuito de ilustrar as diferenças entre os sinais das portadoras triangulares que são utilizados nas modulações *PWM* multinível.

Em seqüência, uma análise matemática, utilizando os conceitos básicos da transformada dupla de Fourier devidamente apresentados neste capítulo, foi realizada

para obter as expressões analíticas e os espectros harmônicos de cada modulação *PWM* multinível. Dessa forma, as características principais de cada modulação foram identificadas de forma a propor uma modulação *PWM* multinível otimizada para o conversor em cascata assimétrico de 19 níveis adotado neste trabalho.

Apesar de apresentar cálculos extremamente complexos, somente com a transformada dupla de Fourier foi possível identificar algumas características importantes de cada tipo de modulação *PWM*. Caso as formas de onda de tensão geradas pelos conversores de cinco níveis apresentadas na Figura 19 fossem analisadas graficamente seria praticamente impossível detectar as vantagens e desvantagens de cada estratégia modulação de forma adequada. Por exemplo, a Figura 41 apresenta as formas de onda das tensões sintetizadas com as estratégias de modulação *POD* (a), *APOD* (b), *PD* (c) e *PSCPWM* (d). Pode-se observar que, todas as formas de onda apresentam o mesmo número de chaveamentos por ciclo e aparentemente possuem a mesma forma de onda. Contudo, existem algumas pequenas diferenças entre os instantes de chaveamento que resultam numa grande diferença do conteúdo harmônico da cada estratégia de modulação.

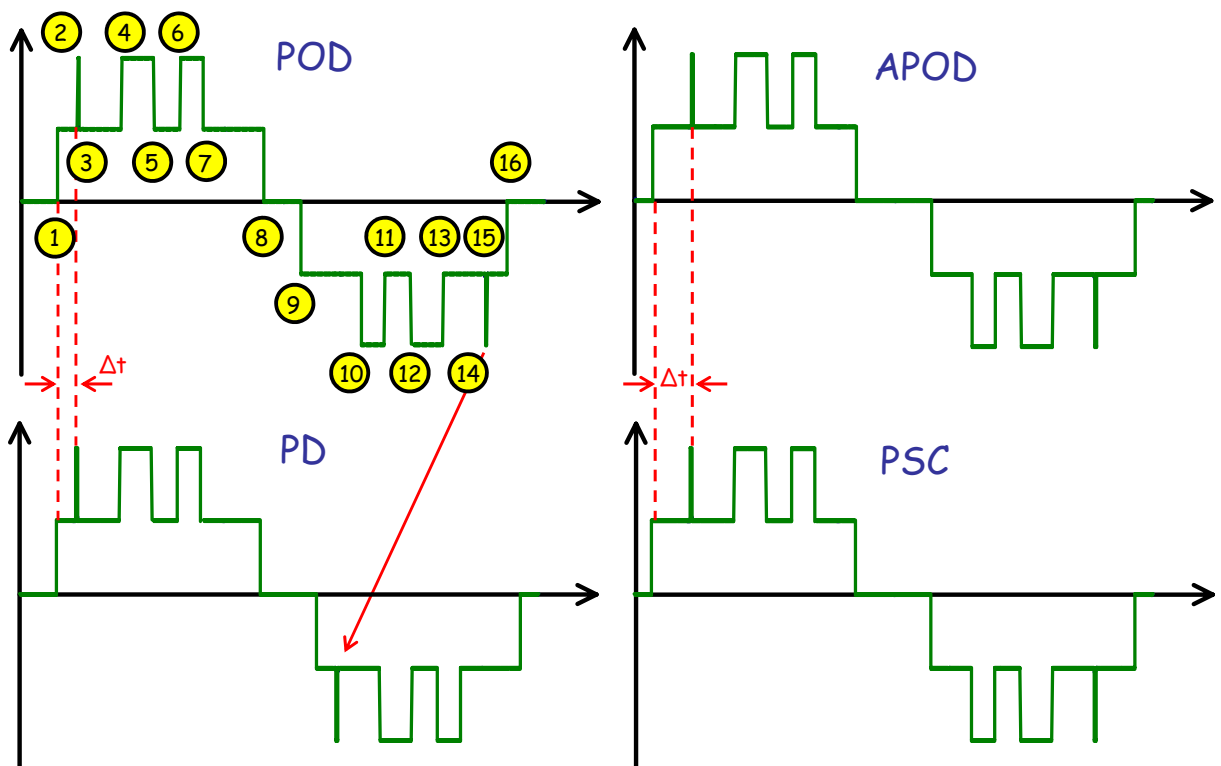


Figura 41: Tensões com modulação *POD* (a), *APOD* (b), *PD* (c) e *PSCPWM* (d).

Dessa forma, o uso da transformada dupla de Fourier foi necessário para obter as formas de onda de cada estratégia de modulação e em seguida propor uma estratégia otimizada para os conversores em cascata, adotado neste trabalho para o conversor adotado neste trabalho.

CAPÍTULO 5

Proposta do *DSTATCOM* em Média Tensão

O *DSTATCOM* é uma solução viável para o controle do fator de potência ou da regulação da tensão nas redes de distribuição de baixa e média tensão. Contudo, os limites operacionais dos dispositivos semicondutores, previamente apresentados no item 1.1 do CAPÍTULO 1, comprometem a aplicação dos conversores convencionais em tensões mais elevadas.

Nesse contexto, diversos estudos já foram realizados desenvolvendo topologias multiníveis e lógicas de chaveamento para adaptar os conversores convencionais aos elevados níveis de potência dos sistemas elétricos. Este trabalho relacionou os estudos para a escolha da melhor topologia multinível e da lógica de chaveamento, CAPÍTULO 2 e CAPÍTULO 3 respectivamente, proporcionando ao equipamento em questão um desempenho otimizado.

Este capítulo irá apresentar a lógica de controle para os compensadores síncronos estáticos adaptada para os conversores multiníveis e os resultados de

simulação obtidos com a utilização do *DSTATCOM* multinível desenvolvido neste projeto.

5.1 Lógica de controle

A topologia multinível proposta para o *DSTATCOM*, juntamente com os pontos de medição e de acoplamento do equipamento, estão apresentados na Figura 42. O compensador síncrono estático é composto por nove inversores monofásicos em ponte completa e está conectado diretamente com a rede de distribuição, sem a necessidade de um transformador de acoplamento para reduzir a tensão do barramento, ou filtros passivos para eliminar os harmônicos gerados pelo chaveamento.

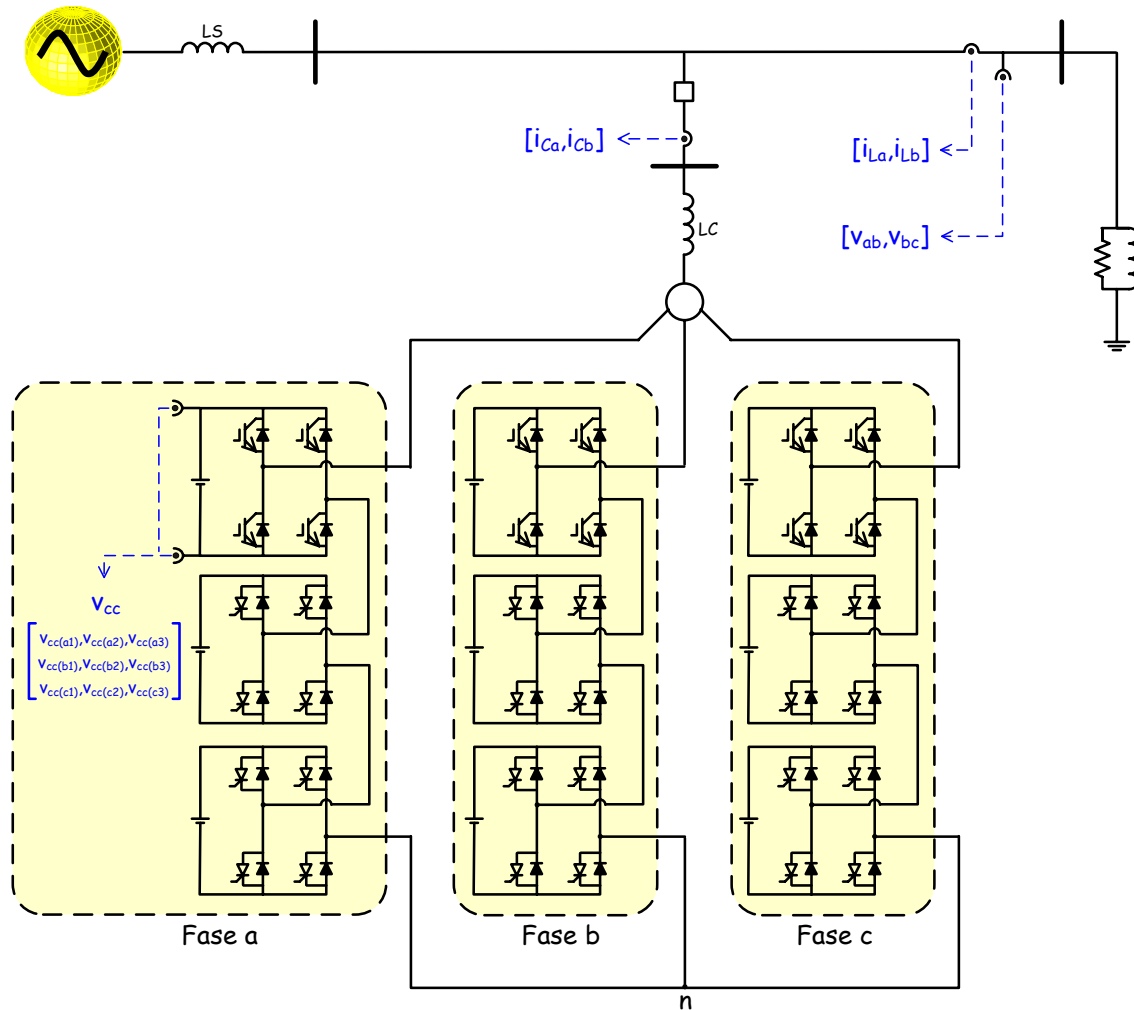


Figura 42: Topologia do *DSTATCOM* multinível proposto.

Usualmente os compensadores síncronos estáticos utilizam duas estratégias de controle diferentes. A primeira estratégia tem o objetivo de otimizar o fluxo de potência demandado pela carga, fornecendo então toda a potência reativa exigida pela mesma. Dessa forma, a potência complexa total transmitida pelos ramais de distribuição será reduzida apenas à potência ativa necessitada pela carga, melhorando o fator de potência visto pela fonte e diminuindo também as perdas nos ramais de distribuição.

A segunda estratégia tem o objetivo de regular os níveis de tensão do barramento de carga através da injeção de potência reativa nos terminais de carga. Dessa forma, a tensão aplicada à carga estará regulada protegendo o consumidor de flutuações indesejadas de tensão que poderiam acarretar danos aos equipamentos e prejuízos à produção. Cabe ressaltar que os dois controles mencionados não podem ser utilizados simultaneamente, pois ambos atuam diretamente na potência reativa injetada pelo *DSTATCOM*. A estratégia de controle global do *DSTATCOM* proposta está apresentada na Figura 43.

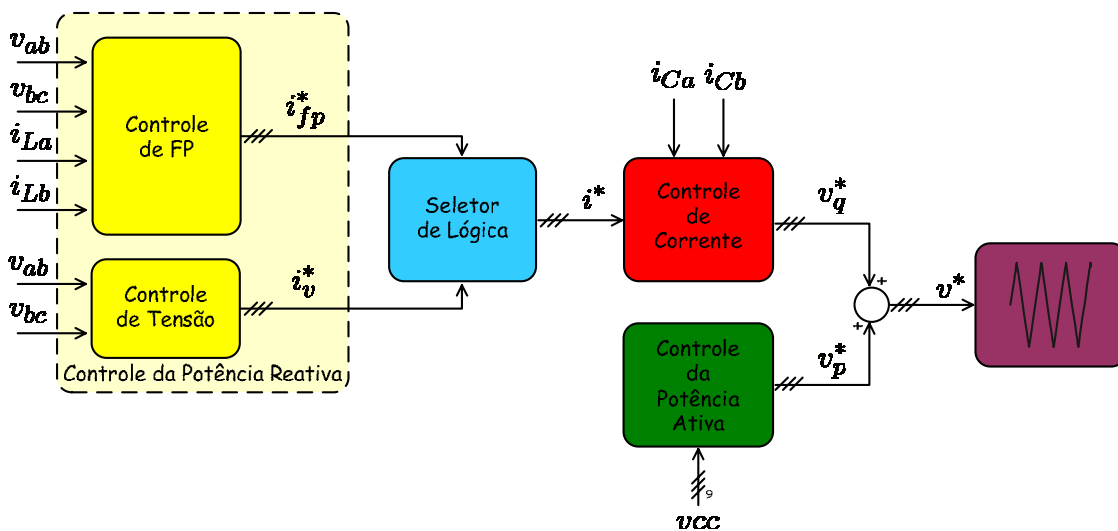


Figura 43: Estratégia de controle global do *DSTATCOM* proposto.

As medições de tensão e correntes apresentadas na Figura 42 serão utilizadas pelo controlador digital para calcular a potência reativa fornecida pelo conversor para cada caso. Cabe ressaltar que para o controle da tensão dos capacitores dos inversores monofásicos todas as tensões dos capacitores do conversor deverão ser monitoradas.

Ambas as estratégias de controle, fator de potência e regulação da tensão de carga, são baseadas nos conceitos da teoria da potência ativa e reativa instantânea proposta em [59]-[64].

5.1.1 Correção do Fator de Potência

A Figura 44 apresenta o diagrama de bloco global da estratégia de controle utilizada para otimizar o fator de potência da carga.

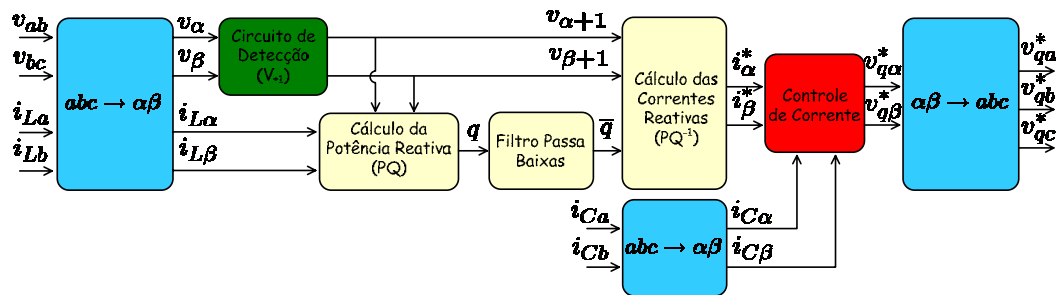


Figura 44: Estratégia de controle para otimizar o fator de potência da carga.

O controle principal pode ser dividido em quatro blocos distintos, transformada de coordenadas (“ $abc \rightarrow \alpha\beta$ ”), circuito de detecção (“ V_{+l} ”), cálculo da corrente reativa (“ PQ ”) e realimentação de corrente (“Controle de Corrente”).

5.1.1.1 Transformada de Clarke - $abc/\alpha\beta 0$

Inicialmente, as tensões de linha de carga (v_{ab} e v_{bc}) e as correntes de carga e do *DSTATCOM* (i_{La} , i_{Lb} , i_{Ca} e i_{Cb}) sofrem uma mudança de coordenadas. Dessa forma as variáveis elétricas não serão mais representadas nos eixos de fase (abc) defasados de 120° entre si, e sim nas coordenadas $\alpha\beta 0$ [65] onde α e β são sempre ortogonais entre si e a coordenada 0 corresponde à componente de seqüência zero do circuito.

Contudo, como o circuito em questão é trifásico a três fios, portanto não apresentando caminho para a seqüência zero, o novo sistema de coordenadas pode ser perfeitamente representado apenas pelos eixos $\alpha\beta$, simplificando os cálculos do circuito de controle sem comprometer os graus de liberdade do mesmo.

A transformada de Clarke modificada para tensões e correntes num sistema trifásico a três fios normalizado está apresentada em (31) e (32).

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} 1 & \frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_{ab} \\ v_{bc} \end{bmatrix} \quad (31)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{\frac{2}{3}} \begin{bmatrix} \frac{3}{2} & 0 \\ \sqrt{\frac{3}{2}} & \sqrt{3} \end{bmatrix} \begin{bmatrix} i_a \\ i_b \end{bmatrix} \quad (32)$$

5.1.1.2 Circuito de Detecção

O circuito de detecção é utilizado para obter a amplitude, frequência e ângulo de fase da componente fundamental da seqüência positiva das tensões do sistema elétrico. O circuito deve ser projetado para que responda satisfatoriamente mesmo com um alto conteúdo de harmônicos e desequilíbrio nas tensões do sistema.

O circuito de detecção da frequência e fase da componente fundamental da seqüência positiva é composto por um *PLL* (*Phase Locked Loop*) [66][67] baseado na teoria da potência ativa e reativa instantânea. A Figura 45 apresenta a estrutura do *PLL* com as suas variáveis de entrada e saída.

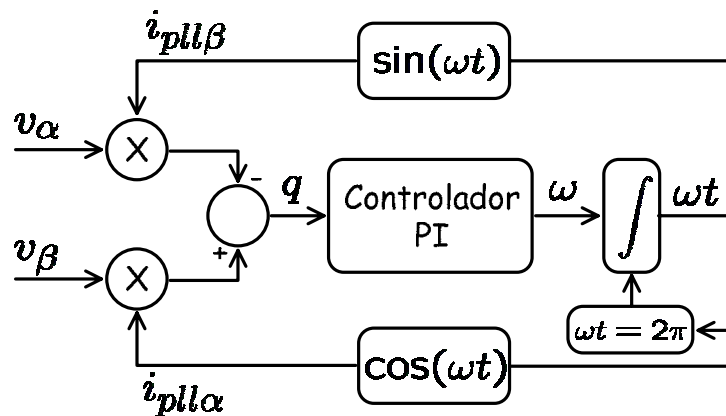


Figura 45: Circuito de sincronismo (*PLL*).

Um sinal fictício representando a potência reativa instantânea do sistema (q) é gerado a partir das tensões medidas (v_α, v_β) e pelos sinais de correntes fictícios gerados pela malha de realimentação do circuito ($i_{pll\alpha}, i_{pll\beta}$), ambos nas coordenadas $\alpha\beta$. O controlador irá gerar um sinal de frequência (ω) para zerar a potência reativa fictícia de

entrada, que por sua vez será integrado no tempo definindo a posição angular (ωt) dos sinais de realimentação.

Dessa forma, o sistema somente entrará em equilíbrio quando existir uma ortogonalidade entre as correntes fictícias no eixo α e no eixo β com as tensões medidas do sistema no eixo β e no eixo α respectivamente. Em outras palavras, a potência reativa fictícia será igual a zero quando v_α for ortogonal a $i_{pll\beta}$ e v_β for ortogonal a $i_{pll\alpha}$ simultaneamente.

Contudo, existem dois pontos de operação em que as tensões e correntes mencionadas acima estarão ortogonais entre si, quando as correntes estiverem adiantadas ou atrasadas de 90° das tensões. Reagrupando as variáveis de tensão e corrente nos próprios eixos, temos que para os dois casos apresentados as correntes estarão em fase ou em contra fase com as tensões em seus respectivos eixos.

Analisando o primeiro caso, quando os sinais de tensão e corrente em cada eixo estiverem em contra fase, qualquer perturbação irá gerar um sinal negativo na potência reativa fictícia, diminuindo a frequência na saída do controlador. Isto aumentará ainda mais a defasagem entre os sinais de tensão e de corrente, apresentando uma situação de equilíbrio instável.

No segundo caso, quando os sinais de tensão e corrente em cada eixo estiverem em fase, qualquer perturbação irá gerar um sinal positivo na potência reativa fictícia, aumentando a frequência na saída do controlador diminuindo a defasagem angular entre os sinais de tensão e de corrente, apresentando uma situação de equilíbrio estável.

Portanto, somente existirá uma única posição angular que estabilizará o circuito de forma adequada. As saídas do circuito serão sinais senoidais unitários em fase com a componente fundamental da seqüência positiva ($i_{pll\alpha}, i_{pll\beta}$).

A informação da magnitude da componente fundamental da seqüência positiva da tensão de entrada (V_{+1}) é obtida aplicando os conceitos da teoria da potência ativa e reativa instantânea.

Os sinais gerados pelo *PLL* ($i_{pll\alpha}, i_{pll\beta}$) e as tensões medidas do sistema (v_α, v_β) são multiplicadas gerando um sinal de potência ativa fictício, conforme mostrado em (33). Para melhor entendimento os sinais de saída do *PLL* podem ser considerados como correntes fictícias ($i_{pll\alpha}, i_{pll\beta}$).

$$p = v_{\alpha} i_{pll\alpha} + v_{\beta} i_{pll\beta} \quad (33)$$

A potência ativa fictícia (p) é filtrada para se obter somente a parcela média da potência ativa (\bar{p}). A magnitude da componente fundamental da tensão de carga ($v_{\alpha+1}$, $v_{\beta+1}$) é obtida pela multiplicação das corrente fictícias (i'_{α}, i'_{β}) pela potência ativa média, conforme demonstrado em (34).

$$\begin{bmatrix} v_{\alpha+1} \\ v_{\beta+1} \end{bmatrix} = \bar{p} \begin{bmatrix} i_{pll\alpha} \\ i_{pll\beta} \end{bmatrix} \quad (34)$$

A obtenção da magnitude da componente fundamental da seqüência positiva é possível porque a parcela média da potência ativa somente irá possuir componentes da seqüência positiva. Isto ocorre devido à utilização das correntes fictícias geradas pelo *PLL* no cálculo da potência ativa.

A multiplicação da tensão de entrada, composta pelas componentes de seqüência positiva e negativa, com as correntes geradas pelo *PLL*, composta somente pela componente de seqüência positiva, garante que a parcela média da potência ativa somente será composta pela seqüência positiva, já que a multiplicação de seqüências diferentes irá gerar um sinal oscilante que será devidamente eliminado pelo filtro.

Cabe ressaltar que os sinais de tensão gerados pelo circuito de sincronismo (*PLL*) são sinais senoidais unitários em quadratura, portanto a soma quadrática das tensões nos eixos $\alpha\beta$ será sempre constante e igual a um, conforme apresentado em (34)

5.1.1.3 Cálculo das Correntes de Referência

Os cálculos da potência reativa e da corrente de referência a ser injetada pelo *DSTATCOM* também são baseados na teoria da potência ativa e reativa instantânea. Inicialmente as correntes medidas do sistema (i_{α}, i_{β}) e as tensões sincronizadas pelo *PLL* ($v_{pll\alpha}, v_{pll\beta}$) são utilizadas para gerar um sinal de potência reativa de referência utilizando a definição da potência reativa instantânea, conforme apresentado em (35).

$$q^* = v_{pll\beta} i_{\alpha} - v_{pll\alpha} i_{\beta} \quad (35)$$

A potência reativa de referência (q^*) é filtrada para se obter somente a parcela média da potência reativa da carga (\bar{q}) que será responsável pelas correntes de compensação injetadas pelo conversor. O sinal de potência reativa é então submetido à transformada inversa da teoria da potência ativa e reativa instantânea, apresentado em (36), para definir as correntes de compensação nas coordenadas $\alpha\beta$.

$$\begin{bmatrix} i_{\alpha}^* \\ i_{\beta}^* \end{bmatrix} = \frac{1}{v_{pll\alpha}^2 + v_{pll\beta}^2} \begin{bmatrix} v_{pll\alpha} & v_{pll\beta} \\ v_{pll\beta} & -v_{pll\alpha} \end{bmatrix} \begin{bmatrix} 0 \\ -\bar{q} \end{bmatrix} \quad \text{Onde: } v_{pll\alpha}^2 + v_{pll\beta}^2 = 1 \quad (36)$$

Dessa forma, o conversor irá sintetizar somente as correntes reativas demandadas pela carga, de forma a suprir toda a parcela reativa média exigida, fazendo com que a fonte apenas forneça a parcela da potência ativa melhorando o fator de potência da carga visto pela fonte, conforme desejado pela estratégia de controle.

5.1.1.4 Realimentação do Chaveamento PWM

A lógica de chaveamento do conversor possui um estágio de realimentação para minimizar os erros entre a corrente sintetizada e a corrente de referência [68]. O circuito de realimentação de corrente está apresentado na Figura 46.

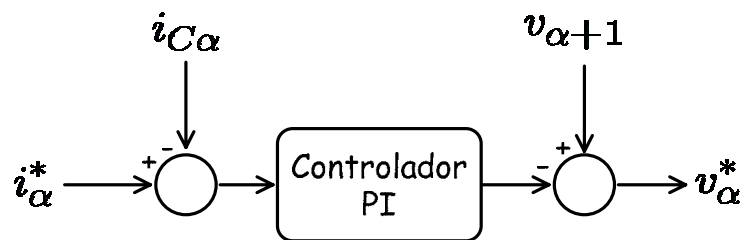


Figura 46: Realimentação do chaveamento *PWM* para o eixo α .

A corrente medida na saída do conversor ($i_{C\alpha}$) é comparada, em cada eixo, com a corrente de referência (i_{α}^*) gerando um sinal de erro da realimentação de corrente. Este sinal será amplificado pelo controlador PI e adicionado à tensão medida do sistema. Dessa forma, uma diferença positiva no sinal de erro ($i_{\alpha}^* - i_{C\alpha}$) significará num adicional positivo na tensão de referência (v_{α}^*), resultando assim numa tensão

maior gerada pelo conversor e, portanto, numa corrente maior, conforme desejado pelo controle.

5.1.2 Regulação da Tensão de Carga

A Figura 47 apresenta o diagrama de bloco global da estratégia de controle utilizada para regular a tensão do barramento de carga.

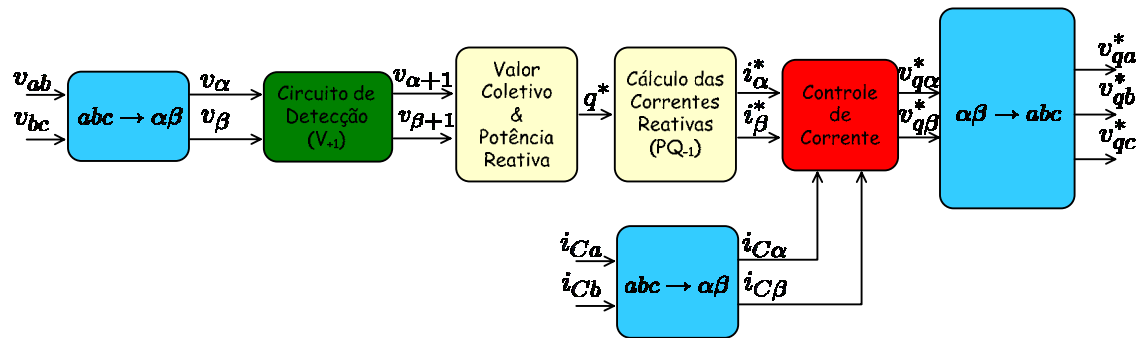


Figura 47: Estratégia de controle para regular a tensão do barramento de carga.

Analogamente à estratégia de controle de fator de potência, o controle principal também será dividido em quatro blocos distintos, transformada de coordenadas (“ $abc \rightarrow \alpha\beta$ ”), circuito de detecção (“ V_{+l} ”), cálculo da corrente reativa (“ PQ_{-l} ”) e realimentação de corrente (“Controle de Corrente”).

Conforme observado, o controle de tensão possui muita semelhança ao controle do fator de potência, portanto apenas serão detalhados os blocos não apresentados na estratégia anterior.

5.1.2.1 Cálculo do Valor Coletivo da Tensão e Potência Reativa

O valor coletivo da tensão do barramento de carga irá definir a quantidade de potência reativa a ser injetada pelo *DSTATCOM*. No caso de alguma falta remota no sistema, causando uma variação na tensão do barramento, o controle do *DSTATCOM* irá injetar uma potência reativa para regular a tensão do barramento. O circuito de controle da potência reativa de referência está apresentado na Figura 48.

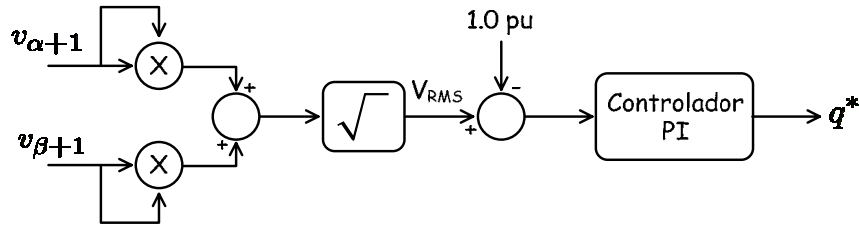


Figura 48: Circuito de controle da potência reativa.

O valor coletivo da tensão, gerado a partir dos sinais em quadratura da componente fundamental da seqüência positiva da tensão da carga ($v_{\alpha+1}$, $v_{\beta+1}$), é comparado com a referência de tensão (1,0 pu). O sinal de erro, gerado pela comparação, é amplificado pelo controlador e irá resultar num sinal de referência de potencia reativa (q^*) que será responsável pelas correntes injetadas pelo conversor.

5.1.3 Controle da Tensão dos Capacitores

O funcionamento adequado do *DSTATCOM* somente pode ser alcançado quando as tensões dos capacitores dos inversores monofásicos que compõem o conversor multinível estão reguladas nominalmente. Contudo, o conversor multinível em cascata assimétrico apresenta uma série de dificuldades para implementar uma lógica de controle para regular as tensões dos capacitores. Devido a esta dificuldade de manter as tensões dos capacitores reguladas durante a operação do conversor multinível, foi proposto neste trabalho uma lógica de controle das tensões dos elos de corrente contínua independente por módulo e fase [69]-[72].

A conexão em série dos módulos dificulta a regulação de todos os capacitores, pois a parcela ativa da corrente será idêntica para todos os módulos. Portanto, se existir uma lógica de chaveamento diferente para cada módulo, como é o caso desse projeto, uma mesma corrente pode resultar no carregamento ou descarregamento dos capacitores. Além disso, outro problema é a diferença de potência em cada módulo, pois a parcela ativa da corrente seria diferente para cada módulo.

Porém, caso admitamos que sempre exista uma corrente reativa sendo compensada pelo *DSTATCOM* uma lógica de controle pode ser utilizada para drenar energia da corrente de compensação. Um sinal de tensão representando a potência ativa em cada módulo pode ser incluído na referência de tensão da potência reativa (v_a^*) definida pelo controle principal. Contudo, essa lógica de regulação da tensão

significará uma piora do conteúdo harmônico da tensão de saída, já que ela irá gerar três sinais de tensão de referência independentes por módulo em quadratura com a tensão de referência reativa, que será responsável para corrigir o fator de potência ou regular a tensão do barramento. A Figura 49 apresenta o diagrama de blocos global da estratégia de controle utilizada para regular as tensões dos capacitores do conversor multinível em cascata.

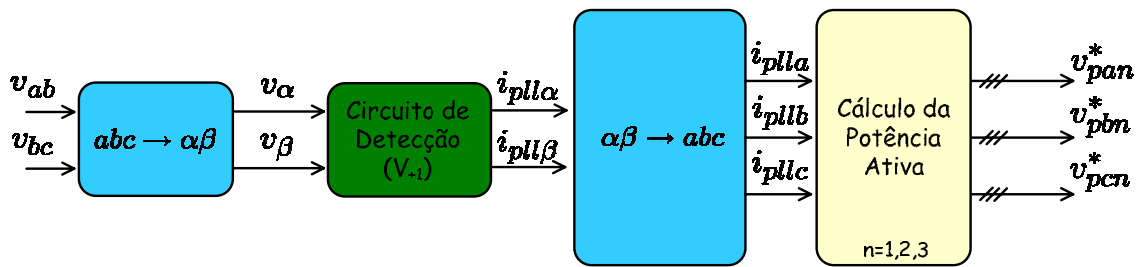


Figura 49: Estratégia de controle para regular a tensão dos capacitores.

A representação física da estratégia de controle e o circuito de controle para apenas um dos capacitores estão apresentados na Figura 50, onde a variável k é unitária positiva ou negativa, sendo definida de acordo com o sinal da potência reativa de compensação.

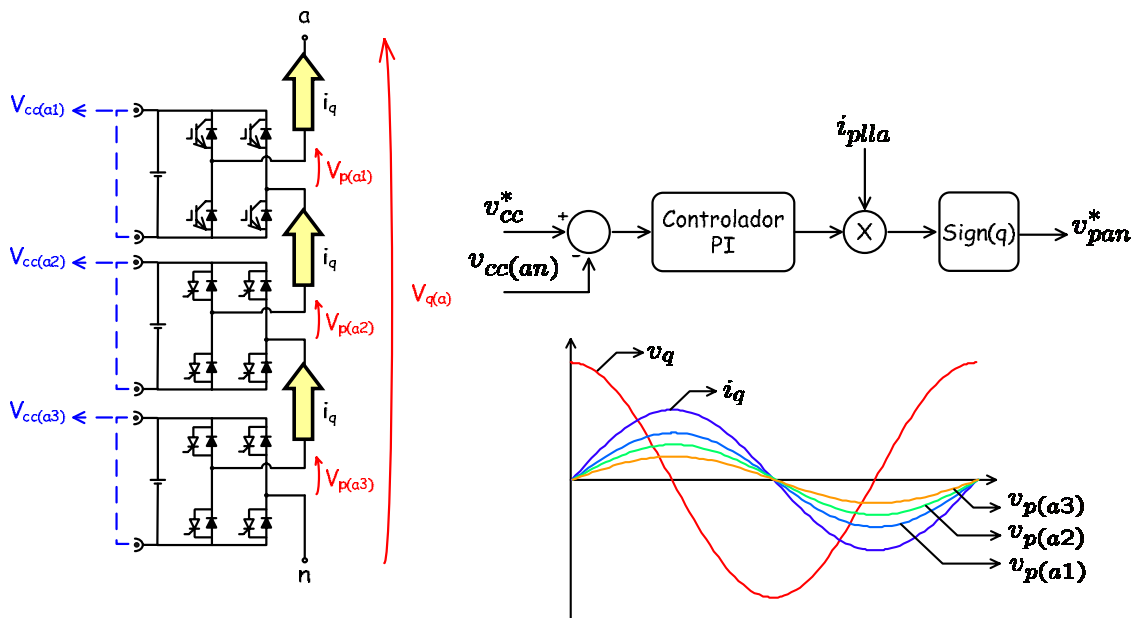


Figura 50: Circuito de controle para a regulação da tensão dos capacitores.

O sinal de referência da parcela da tensão ativa de cada capacitor será somado com o sinal de referência de tensão reativa separadamente em cada célula, formando

um único sinal de referência de tensão que será entregue ao circuito de chaveamento do conversor.

5.2 Resultados em Média Tensão

As estratégias de controle de correção de fator de potência e de regulação da tensão do barramento de carga foram simuladas no programa de transitórios eletromagnéticos PSCAD/EMTDC. O circuito de potência simulado foi baseado em ramais de distribuição de 6,6kV normalmente utilizados por empresas que necessitam transportar uma grande parcela de energia em pontos distantes do local de entrega.

Com o objetivo de comprovar o adequado funcionamento da estratégia de controle de correção do fator de potência serão utilizadas duas cargas diferentes. Inicialmente o ramal irá alimentar uma carga de 5MVA com o fator de potência 0,80 indutivo, e durante a simulação a carga indutiva será substituída por uma carga de 5MVA com fator de potencia 0,9 capacitivo.

No caso da estratégia de controle da regulação da tensão do barramento apenas a carga indutiva será utilizada, porém uma indutância série será inserida no ramal para simular um afundamento na tensão do barramento.

O sistema simulado para os dois casos está apresentado na Figura 51. Os instantes de abertura/fechamento dos disjuntores e a inicialização do *DSTATCOM*, para cada simulação, serão apresentados posteriormente.

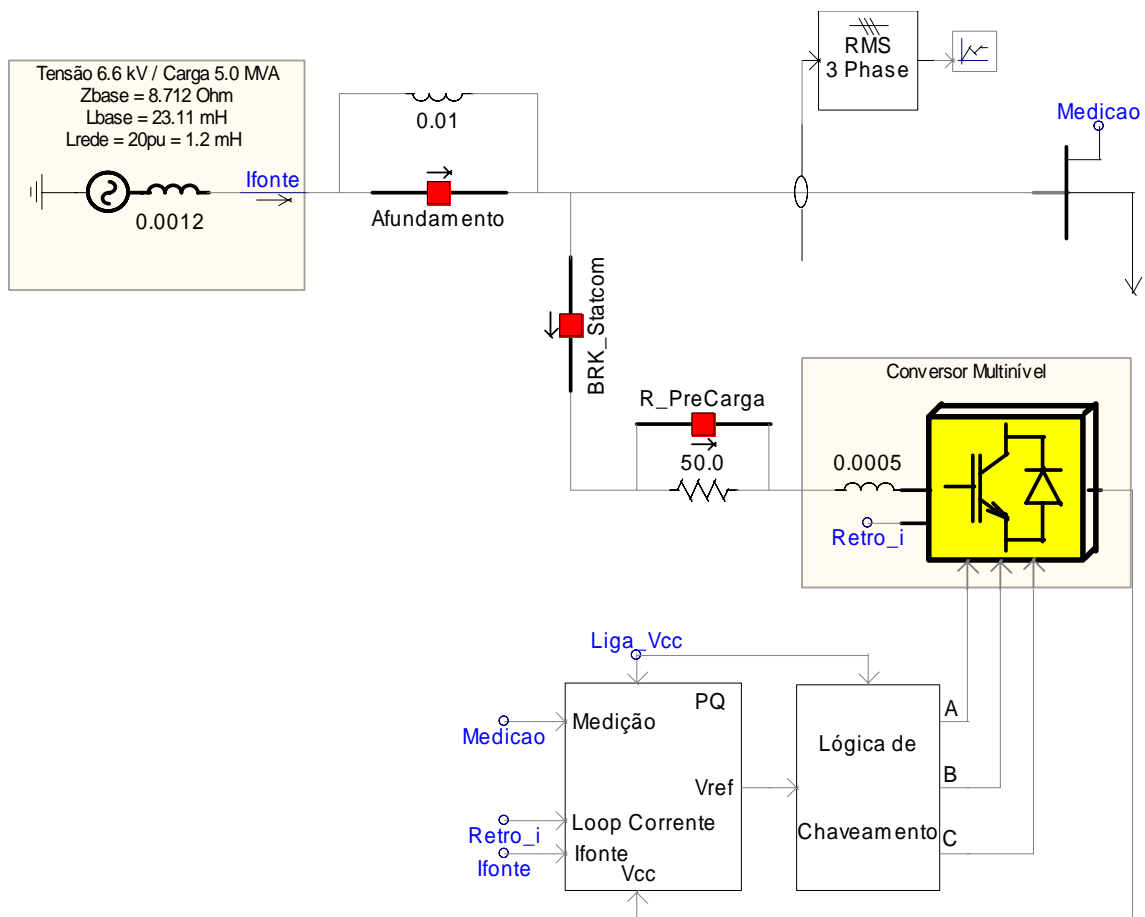


Figura 51: Alimentador simulado no PSCAD.

Com o objetivo de carregar os capacitores do conversor multinível com tensões próximas aos seus valores nominais foram utilizados resistores de pré-carga, conforme apresentados na Figura 51 e na Figura 52.

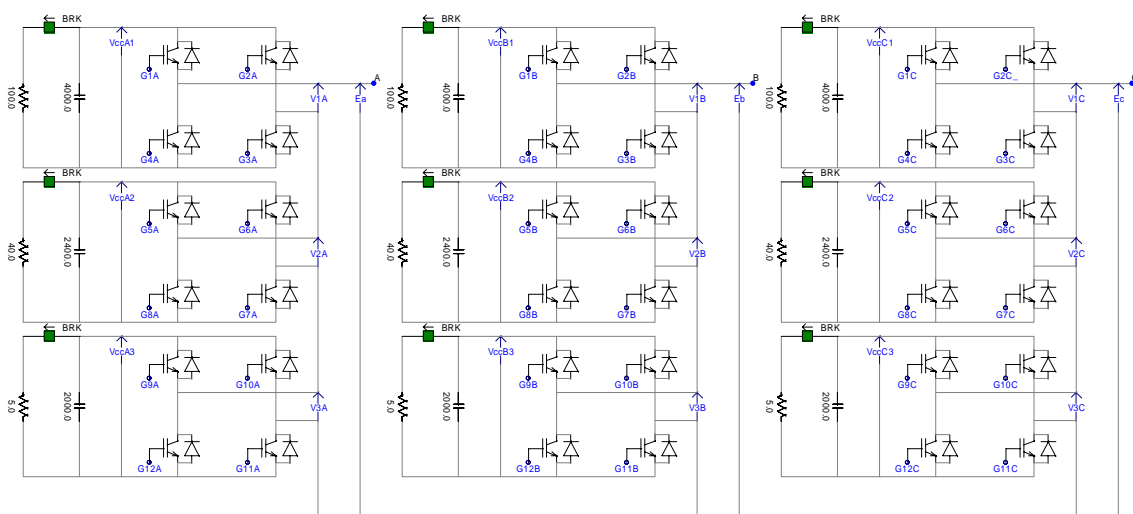


Figura 52: Conversor multinível simulado no PSCAD.

O cálculo das tensões de fase para cada módulo de potência do conversor multinível está apresentado em (37).

$$\begin{aligned}\hat{V}_{fn} &= \left(\sqrt{\frac{2}{3}} \right) \times 6,6kV \cong 5,4kV \\ V_{cc1} + V_{cc2} + V_{cc3} &= V_{cc1} + 2V_{cc1} + 6V_{cc1} = 9V_{cc1} \\ 9V_{cc1} &= 5,4kV \Rightarrow V_{cc1} = \frac{5,4kV}{9} = 0,6kV \\ V_{cc} &= (0,6kV; 1,2kV; 3,6kV)\end{aligned}\tag{37}$$

A frequência de chaveamento adotada para o modulo de menor tensão foi de 2520 Hz. Os resultados de simulação, mostrando o fator de potência da carga, tensão do barramento, tensão de saída do conversor, corrente do conversor e tensão dos capacitores serão apresentados separadamente nos itens a seguir.

5.2.1 Correção do Fator de Potência

Os resultados de simulação apresentados a seguir foram obtidos em um intervalo de 2.5 segundos. Nesse intervalo, os primeiros 0,25 segundos são destinados ao pré-carregamento dos capacitores do *DSTATCOM* e em 1 segundo o controle do *DSTATCOM* com a estratégia de correção de fator de potência é acionado e os resistores de pré-carregamento são retirados do sistema. Em 2 segundos a carga indutiva é substituída pela carga capacitiva, conforme apresentado na Figura 53.

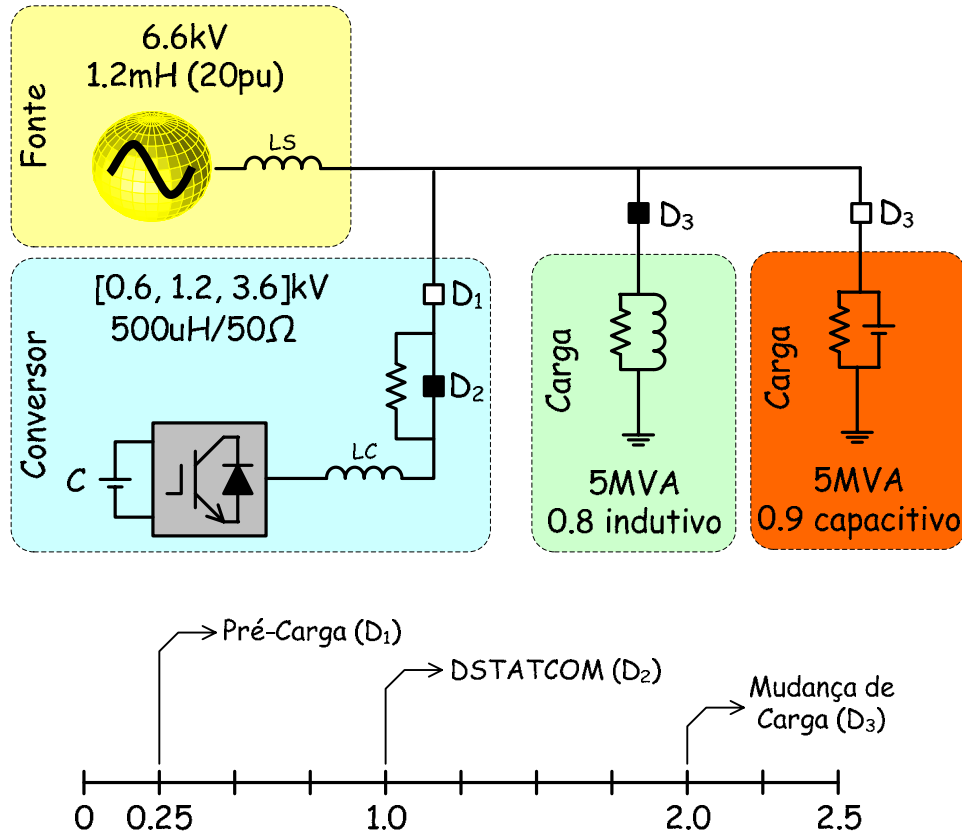


Figura 53: Diagrama unifilar da simulação com correção de FP.

A Figura 54 apresenta a tensão gerada pelo conversor multinível e a tensão de referência para a fase a. Pode ser observado que a tensão sintetizada pelo conversor possui 19 níveis, reduzindo o conteúdo harmônico da tensão e não necessitando de circuito passivo para a filtragem dos harmônicos oriundos do chaveamento. O conteúdo harmônico total calculado da tensão de fase gerada pelo conversor é de 6,02%, enquanto para a tensão de linha é de 1,99%.

Os sinais de referência e as tensões sintetizadas em cada módulo podem ser observados individualmente na Figura 55 para o módulo de maior potência (a), para o módulo de média potência (b) e de menor potência (c).

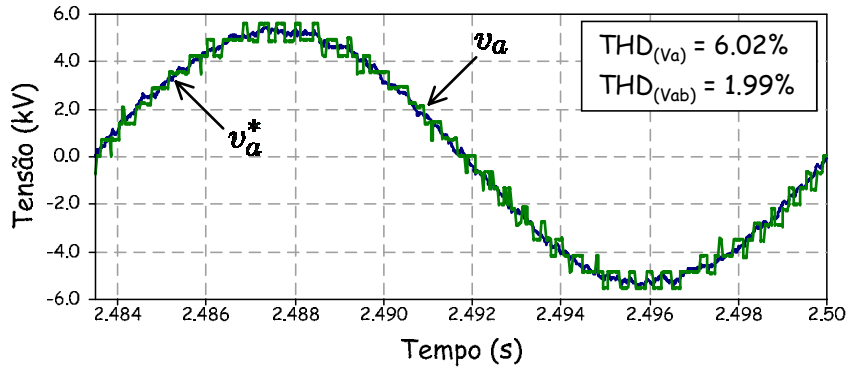


Figura 54: Tensão multinível de saída sintetizada pelo conversor.

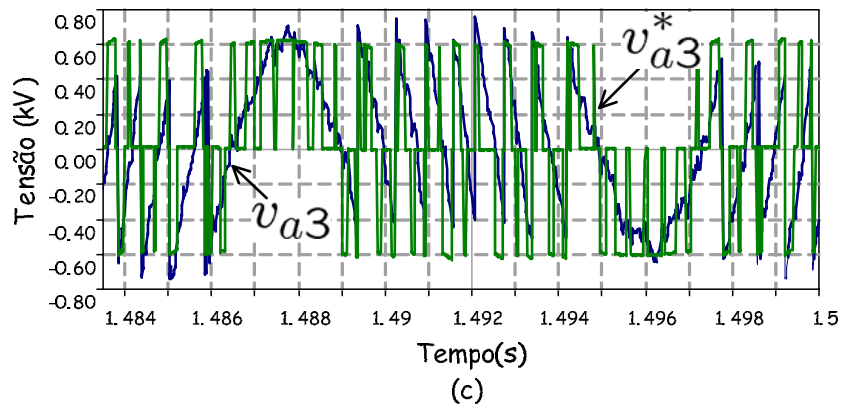
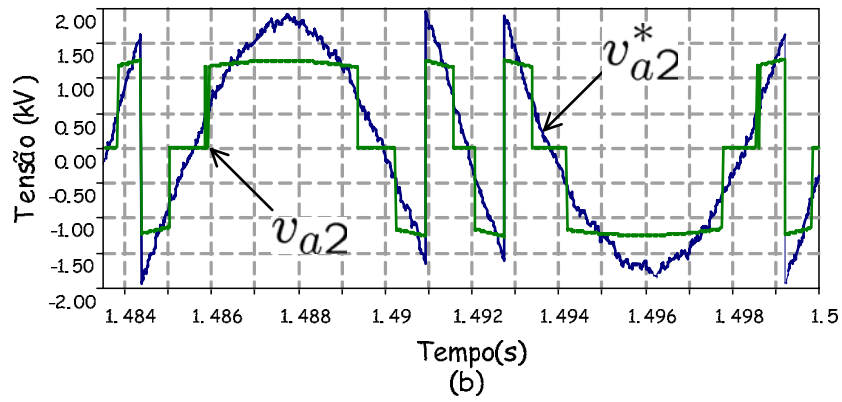
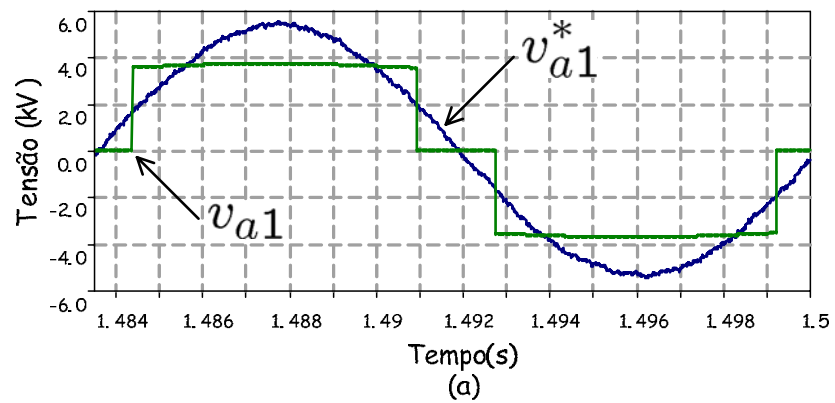
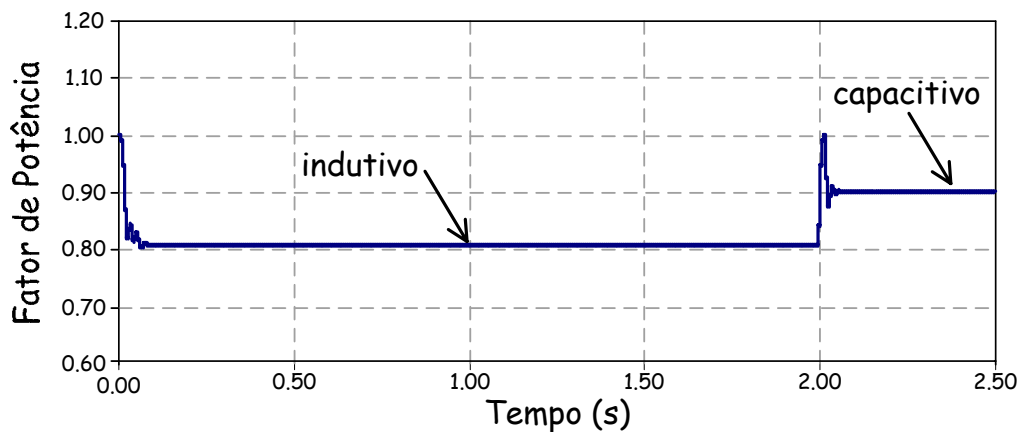


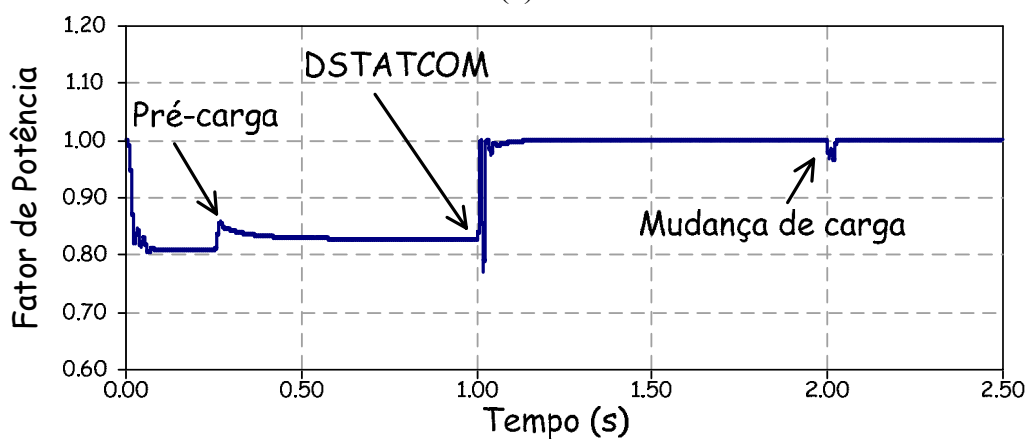
Figura 55: Tensão sintetizada versus sinal de referência em cada módulo.

O funcionamento do *DSTATCOM* multinível com a estratégia de correção do fator de potência pode ser comprovado na Figura 56. O fator de potência da carga visto pela fonte sem a inserção do *DSTATCOM* pode ser observado na Figura 56(a). Inicialmente o fator potência da carga era de 0,8 indutivo e em 2 segundos mudou para 0,88 capacitivo.

A Figura 56(b) apresenta o fator de potência da carga visto pela fonte com a inserção do *DSTATCOM* no sistema. Em 0,25 segundos o circuito de pré-carga é acionado e o fator de potência sofre uma leve melhora, porém não controlada, devido ao carregamento parcial dos capacitores do conversor. Após 1 segundo de simulação o controle do *DSTATCOM* é ligado e o fator de potência da carga se torna unitário, tanto para a carga indutiva como para a carga capacitiva, comprovando o funcionamento adequado do conversor multinível.



(a)



(b)

Figura 56: Fator de potência visto pela fonte sem (a) e com o *DSTATCOM* (b).

A Figura 57 apresenta as correntes da fonte, de carga e do conversor multinível durante a compensação indutiva (a) e a compensação capacitiva (b).

Devido ao número elevado de níveis de saída o conteúdo harmônico da corrente do conversor é insignificante, não prejudicando a corrente da fonte. O valor do conteúdo harmônico total calculado da corrente sintetizada pelo conversor, no caso da compensação da carga indutiva, é de 3,38%.

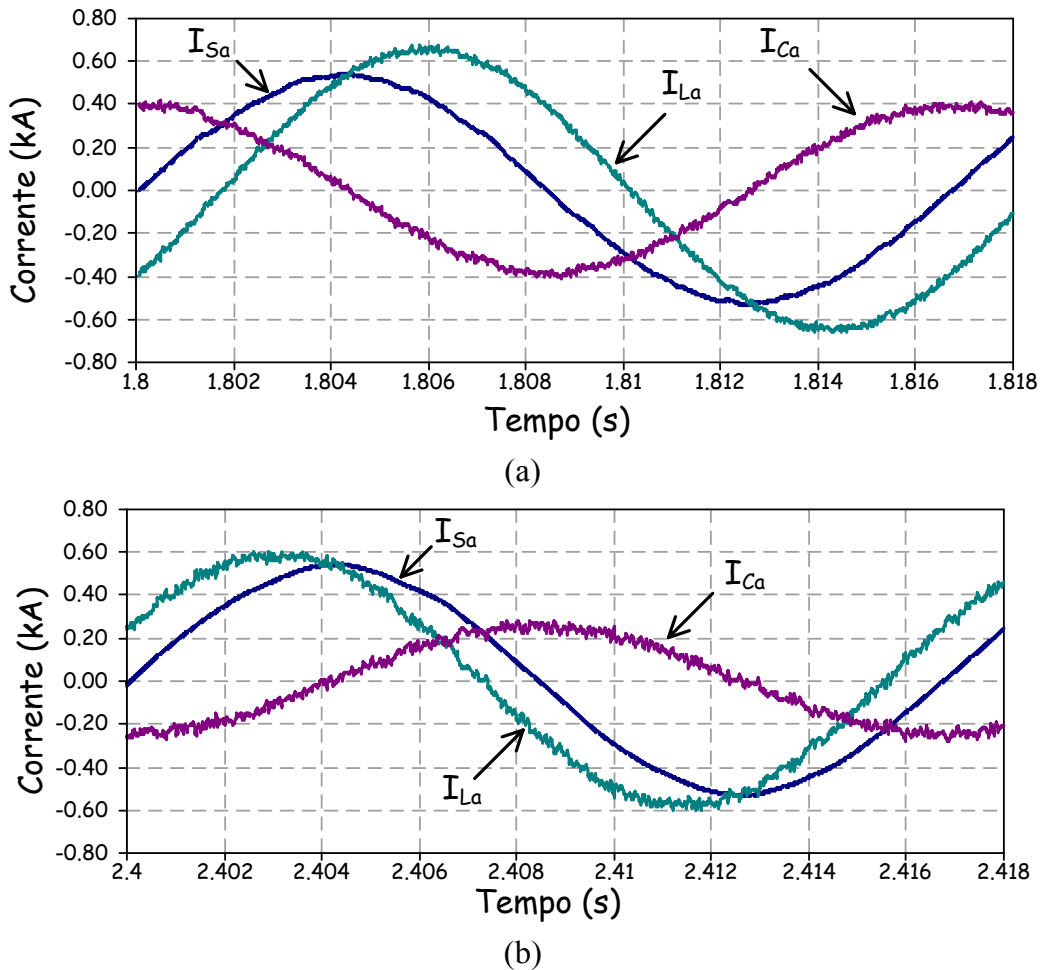


Figura 57: Correntes do sistema com compensação indutiva (a) e capacitiva (b).

As tensões dos capacitores de cada módulo que compõem o conversor multinível podem ser observadas na Figura 58. Inicialmente os capacitores estão totalmente descarregados. Em 0,25 segundos de simulação um circuito de pré-carga é acionado para que os capacitores se carreguem parcialmente. Em 1 segundo de simulação o controle do conversor é ligado e as tensões dos capacitores são reguladas. As capacitâncias utilizadas em cada módulo foram $4000\mu\text{F}$, $2400\mu\text{F}$ e $2000\mu\text{F}$ para os módulos de maior potência, média potência e menor potência respectivamente.

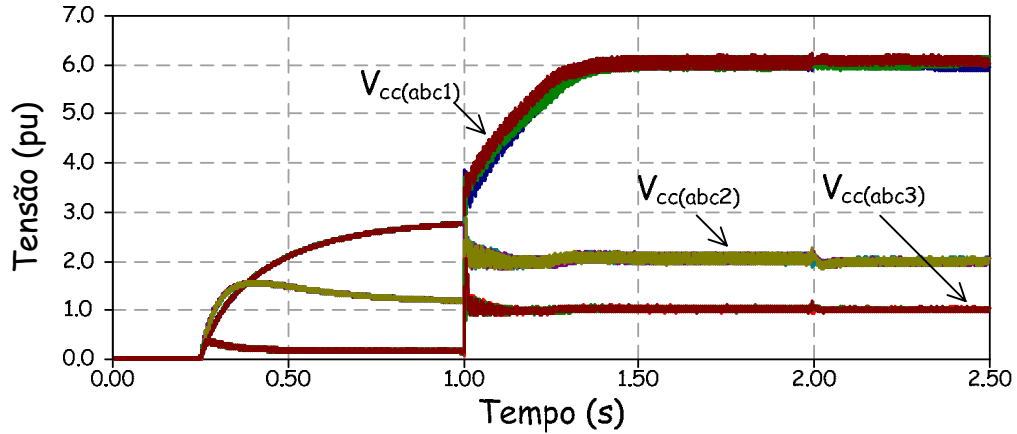


Figura 58: Tensões reguladas dos capacitores do conversor multinível.

5.2.2 Regulação da Tensão de Carga

Os procedimentos para a simulação do controle de regulação da tensão do barramento de carga foram semelhantes ao do controle apresentado anteriormente. O intervalo total de simulação foi de 2,5 segundos, sendo que os primeiros 0,25 segundos são destinados ao pré-carregamento dos capacitores do *DSTATCOM* e em 1 segundo o controle do *DSTATCOM* com a estratégia de regulação da tensão do barramento da carga é acionado. Com o objetivo de simular uma falta remota no sistema, em 1,75 segundo é adicionada uma indutância em série com a rede para causar um afundamento na tensão de carga. Em 2,25 segundos a falta é então retirada, voltando à condição normal de alimentação.

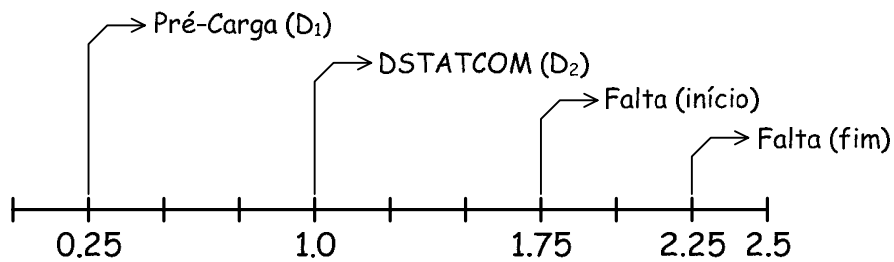
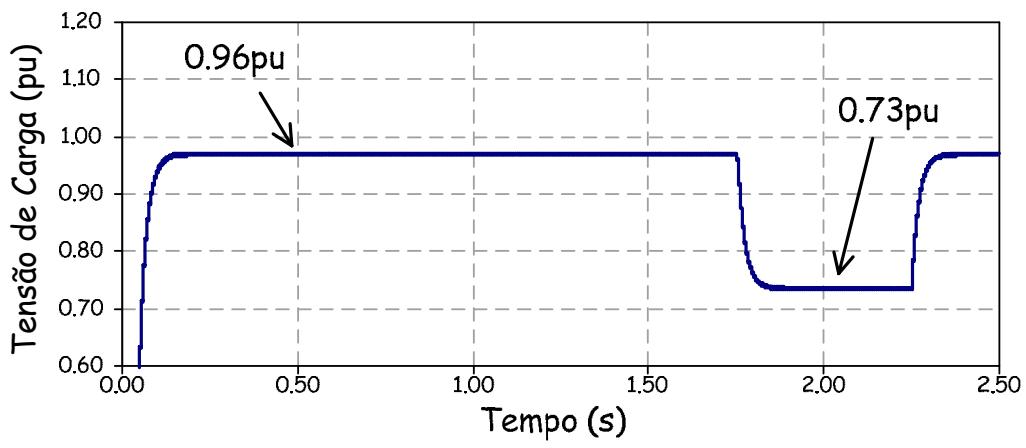


Figura 59: Cronograma da simulação de regulação da tensão do barramento.

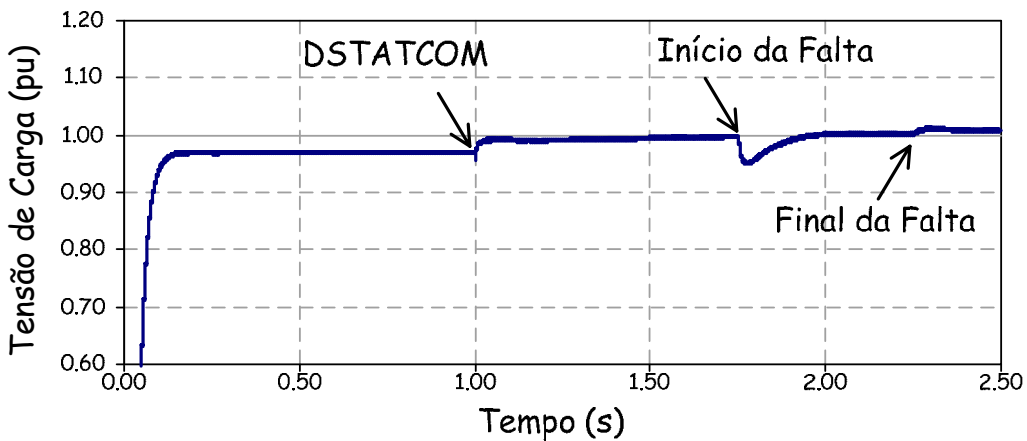
Nessa seção serão apenas mostrados os resultados da tensão do barramento de carga e das tensões dos capacitores do *DSTATCOM*, visto que as outras variáveis apresentaram uma dinâmica similar ao controle de correção do fator de potência.

A Figura 60(a) apresenta a tensão de carga sem a conexão do *DSTATCOM* no sistema. Pode ser observado que a tensão de carga mesmo antes do afundamento não apresenta uma tensão regulada em 1,0 pu, e quando a indutância de falta é conectada ao circuito, a tensão do barramento cai para aproximadamente 0,73 pu.

Com a inserção do *DSTATCOM* na rede de distribuição, pode ser observado que o conversor regula a tensão de carga em 1,0 pu, tanto na condição normal de operação como na condição de falta do sistema. A tensão regulada pode ser observada na Figura 60(b).



(a)



(b)

Figura 60: Tensão no barramento de carga sem (a) e com (b) o *DSTATCOM*.

As tensões reguladas podem ser observadas na Figura 61. Nos instantes em que a falta é inserida e retirada do sistema ocorre uma oscilação nas tensões dos capacitores, principalmente nos de maior potência, pois eles apresentam uma dinâmica mais lenta de

controle. Contudo, em menos de 0,25 segundos o controle consegue regular novamente as tensões dos capacitores.

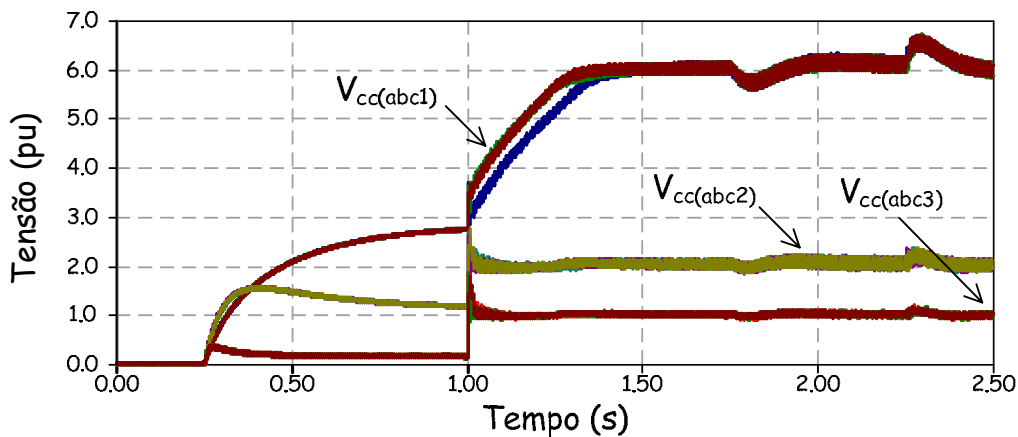


Figura 61: Tensões reguladas dos capacitores do conversor multinível.

5.3 Conclusões Parciais

Neste capítulo foram apresentados as lógicas de controle e os resultados de simulação do equipamento proposto para aplicação em média tensão. A utilização de conversores multiníveis com lógicas de chaveamento apropriadas apresenta atualmente uma solução viável para a aplicação de equipamento de eletrônica de potência na rede de distribuição de média tensão. Os resultados de simulação puderam comprovar as vantagens da utilização da topologia multinível adotada, tais como a eliminação de circuitos passivos para a filtragem das tensões de saída, eliminação do transformador de acoplamento, otimização do chaveamento resultando num conteúdo harmônico inferior e otimização das chaves em relação aos níveis de potência instalados.

Conforme esperado, a topologia adotada apresenta um esforço adicional para regular as tensões dos capacitores dos diversos módulos do conversor que compõem o *DSTATCOM* multinível em cascata assimétrico, comprometendo o conteúdo harmônico da tensão de saída.

Um protótipo do conversor multinível em escala reduzida foi desenvolvido no laboratório de forma a validar a lógica de controle e o desempenho do conversor multinível proposto. Nesse contexto, a simulação do conversor, que foi realizada em média tensão, foi desenvolvida também nos mesmo níveis de tensão e potência que o protótipo laboratorial. Dessa forma, os resultados obtidos na simulação em baixa tensão

poderão ser confrontados com os resultados experimentais obtidos na bancada. Cabe ressaltar que toda a lógica de controle foi desenvolvida em linguagem C de forma a ajustar os ganhos do conversor em baixa tensão e validar o código fonte para futuramente ser aplicado na bancada.

CAPÍTULO 6

Proposta do *DSTATCOM* em Baixa Tensão

CONFORME foi mencionado nas conclusões do CAPÍTULO 5, os resultados de simulação do conversor proposto para aplicação em média tensão não poderão ser confrontados diretamente com os resultados experimentais. Isto se deve ao fato de que o protótipo desenvolvido na bancada será realizado em escala reduzida. Nesse contexto, uma nova simulação, em baixa tensão, será desenvolvida de forma a facilitar a comparação dos resultados de simulação com os resultados experimentais. Outro aspecto importante, é que toda a lógica de controle implementada para o funcionamento do conversor na média tensão apresentada no CAPÍTULO 5, será adaptada para a simulação em baixa tensão.

Cabe ainda ressaltar que o controle implementado ainda no PSCAD/EMTDC para a simulação de baixa tensão foi desenvolvido em linguagem C, compatível com o microcontrolador utilizado na bancada deste trabalho, de forma que este processo servirá para conceber o código fonte do protótipo em escala reduzida.

6.1 Circuito de Potência

Inicialmente, os níveis de tensão e potência do alimentador projetado para um sistema de média tensão foram adaptados para valores mais condizentes com um sistema de baixa tensão (220 V). Além disso, foi desenvolvido também um painel de controle na simulação em baixa tensão de forma a proporcionar ao usuário as opções de comando que o equipamento irá apresentar na bancada laboratorial. Entre as opções apresentadas, pode-se destacar a seleção da lógica principal de controle (*ctrl*) que possui três opções distintas, correção de fator de potência, regulação da tensão de carga e injeção mínima de reativo para manutenção das tensões dos capacitores. O circuito de potência e o painel de controle do conversor modelados no PSCAD/EMTDC para a simulação em baixa tensão estão apresentados na Figura 62.

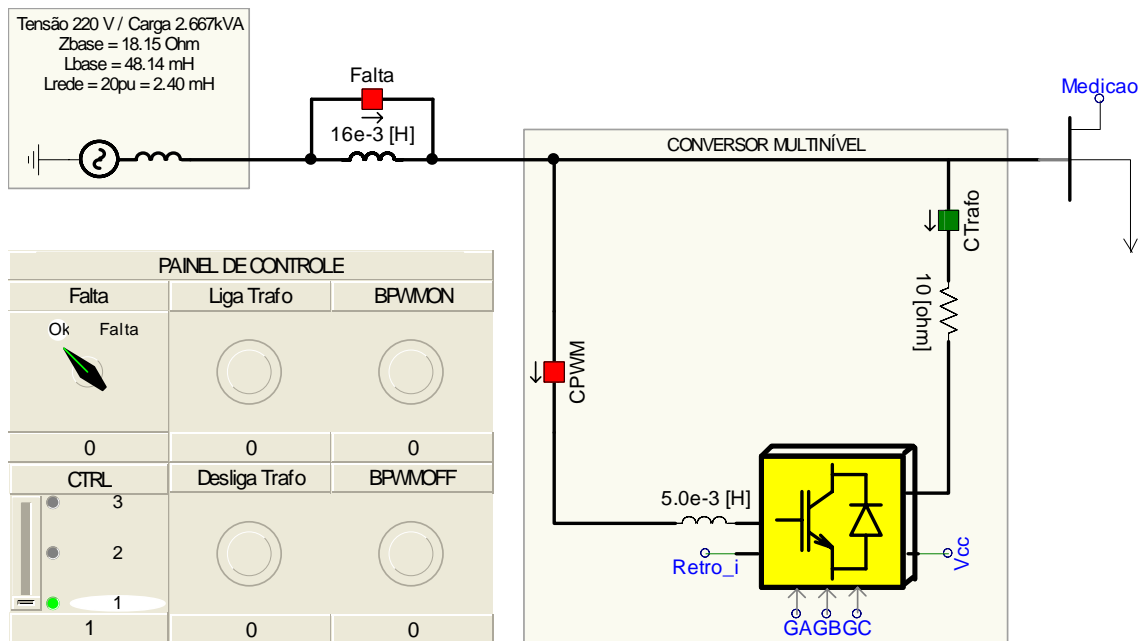


Figura 62: Alimentador em baixa tensão simulado no PSCAD/EMTDC.

O ramal modelado irá alimentar uma carga de 2,7 kVA com o fator de potência 0,80 indutivo. A modelagem da carga e as medições das tensões e correntes, que são utilizadas no controle do conversor, estão apresentadas na Figura 63.

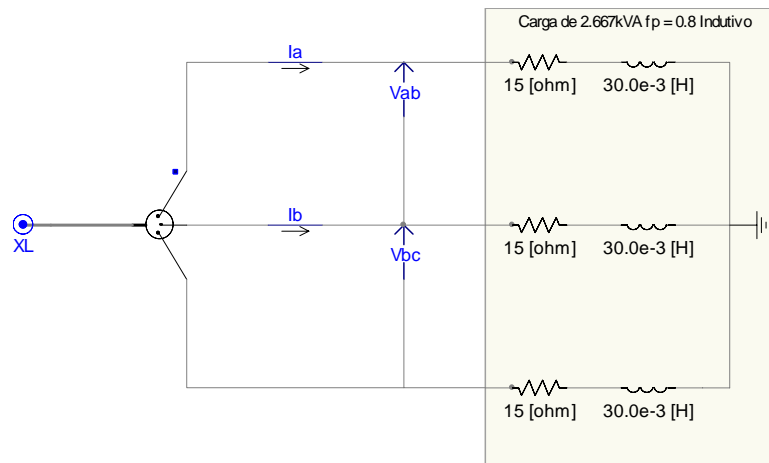


Figura 63: Carga modelada no PSCAD/EMTDC.

A impedância do alimentador foi adotada de forma a ter o seu valor, por unidade, idêntico ao utilizado na simulação de média tensão (20 pu). Dessa forma, a impedância do alimentador calculada foi de 2,40mH. Também de forma semelhante à simulação de média tensão, o afundamento de tensão na carga é simulado através da inserção de uma indutância em série com a rede. A indutância série foi calculada para introduzir um afundamento de 20% na tensão da carga sob condições nominais de fornecimento. Nesse contexto, o valor calculado da indutância para simular o afundamento de tensão foi de 16 mH. As indutâncias da rede e de afundamento estão apresentadas na Figura 62.

Na simulação de baixa tensão, cada capacitor da estrutura multinível do *DSTATCOM* será carregado, inicialmente, pela rede através de uma ponte a diodo e um transformador monofásico, conforme apresentado na Figura 64. Quando as tensões dos capacitores entrarem em regime permanente, o disjuntor trifásico responsável pela alimentação (*CTrafo*) irá abrir. Dessa forma, a regulação da tensão dos capacitores, após o carregamento inicial, será realizada pela lógica de controle do *DSTATCOM*.

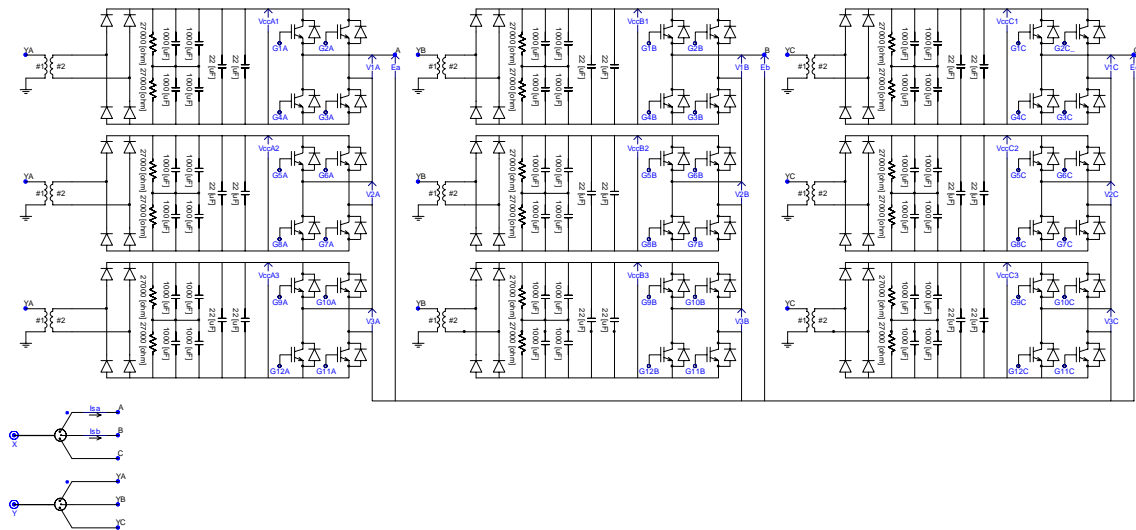


Figura 64: Conversor multinível modelado no PSCAD/EMTDC.

6.2 Medição e Controlador

As medições de tensão e corrente apresentadas na Figura 63 e na Figura 64, utilizadas no algoritmo de controle do equipamento, serão condicionadas de forma a emular os sensores de medição e os circuitos analógicos de condicionamento que foram utilizados na bancada experimental. Dessa forma os valores entregues ao controlador irão possuir valores mais próximos dos obtidos na bancada e, portanto, os ganhos e o tratamento destas variáveis podem ser calculados ainda na simulação no PSCAD/EMTDC.

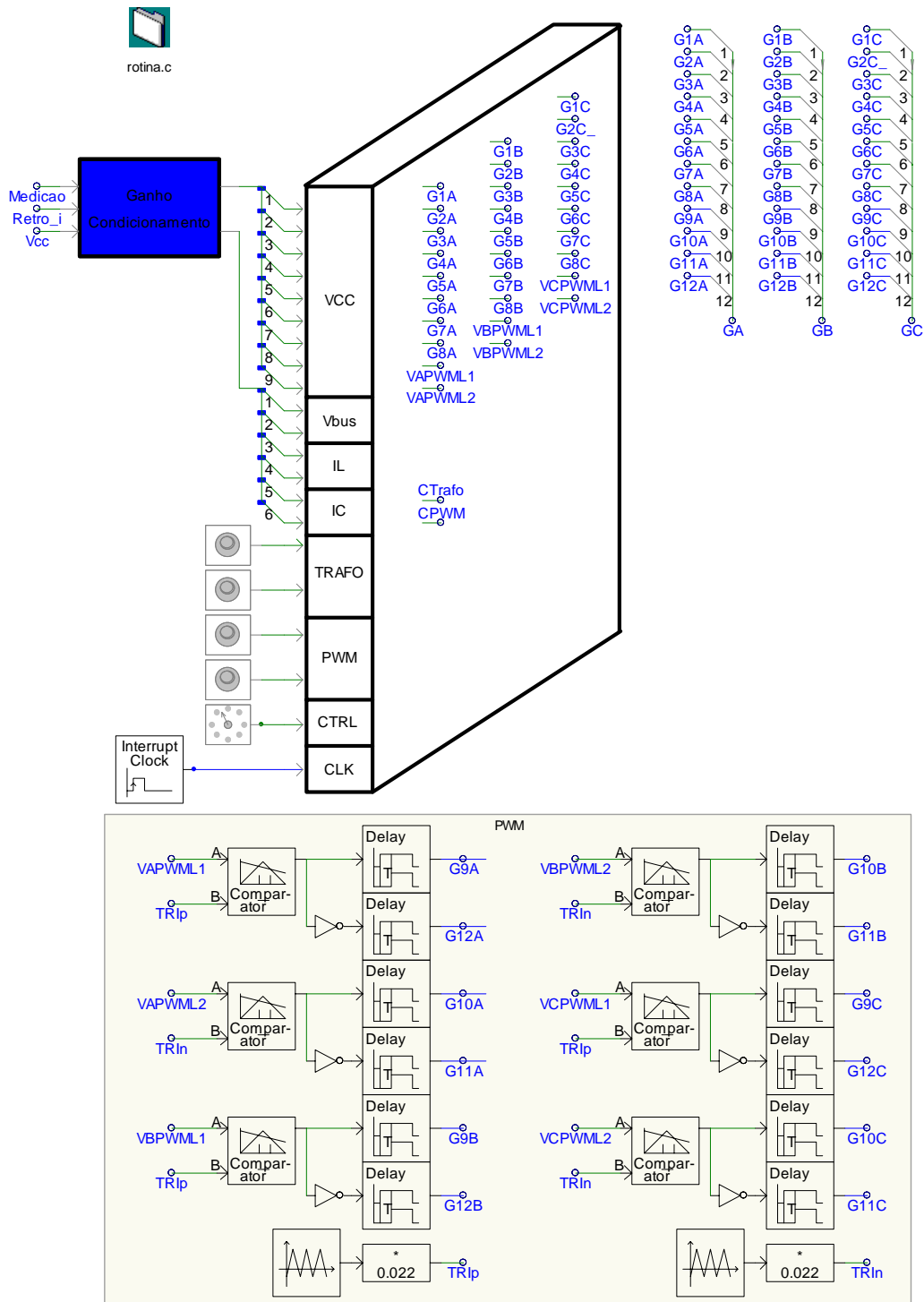


Figura 65: Lógica de controle em código C desenvolvida no PSCAD/EMTDC.

As variáveis medidas e condicionadas são entregues à lógica de controle do equipamento para o cálculo dos disparos das chaves semicondutoras do conversor multinível. Conforme comentado anteriormente, a lógica de controle foi implementada em linguagem C, compatível com o microcontrolador a ser utilizado na bancada deste trabalho.

O tempo morto, implementado em hardware no circuito de disparo (*driver*) do conversor adotado neste trabalho, também foi modelado de forma a aproximar os resultados obtidos durante as simulações com os resultados experimentais. Mais detalhes sobre o circuito de potência do conversor serão fornecidos no CAPÍTULO 7. A Figura 65 apresenta a estrutura desenvolvida no programa de transitórios eletromagnéticos para validar a lógica de controle do equipamento. É importante ressaltar que a lógica de controle implementada em linguagem C é a mesma do controle apresentado no item 5.1 deste trabalho, e por isso não será detalhada novamente.

6.3 Resultados em Baixa tensão

De forma análoga à simulação apresentada no item 5.2, as estratégias de controle de correção de fator de potência e de regulação da tensão do barramento de carga foram simuladas no programa de transitórios eletromagnéticos PSCAD/EMTDC.

O cálculo das tensões de fase para cada módulo de potência do conversor multinível para sistemas de baixa tensão está apresentado em (38).

$$\begin{aligned}
 \hat{V}_{fn} &= \left(\sqrt{\frac{2}{3}} \right) \times 220 \cong 180 \text{ V} \\
 V_{cc1} + V_{cc2} + V_{cc3} &= V_{cc1} + 2V_{cc1} + 6V_{cc1} = 9V_{cc1} \\
 9V_{cc1} &= 180 \text{ V} \Rightarrow V_{cc1} = 20 \text{ V} \\
 V_{cc1(+10\%)} &= 22 \text{ V} \\
 V_{cc} &= (22 \text{ V}, 44 \text{ V}, 132 \text{ V})
 \end{aligned} \tag{38}$$

A frequência de chaveamento adotada para o módulo de menor tensão foi de 10 kHz. Os resultados da simulação com a lógica de controle de correção de fator de potência e regulação da tensão de carga serão apresentados nos itens 6.3.1 e 6.3.2, respectivamente.

6.3.1 Correção do Fator de Potência

Os resultados de simulação apresentados a seguir foram obtidos em um intervalo de 2,0 segundos. Inicialmente todos os disjuntores estão abertos e a lógica de controle do conversor está desabilitada. No instante 0,05 segundos o disjuntor de pré-carga dos elos CC é fechado, carregando os capacitores do conversor multinível.

No instante 0,55 segundos o disjuntor de pré-carga é aberto e, logo em seqüência, o disjuntor do conversor é fechado, conectando o conversor ao sistema. No mesmo instante a lógica de controle do *DSTATCOM* com a estratégia de correção de fator de potência é ativada.

A Figura 66, apresenta a tensão sintetizada pelo conversor para a fase a durante os 2 segundos de simulação. Os intervalos A e B são detalhados na Figura 67 e na Figura 68, respectivamente, de forma a apresentar o chaveamento do conversor multinível durante o transitório da inicialização da lógica de controle e em regime permanente.

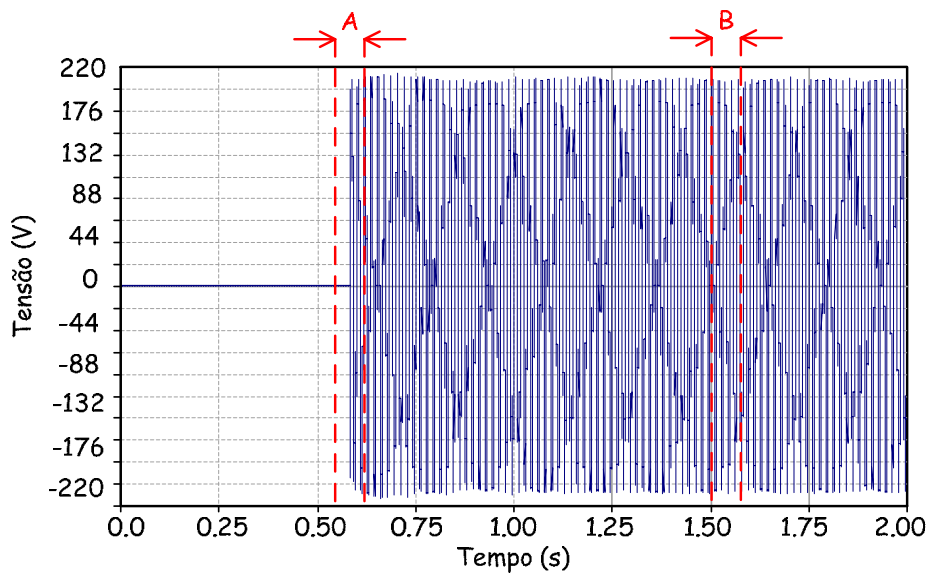


Figura 66: Tensão multinível de saída sintetizada pelo conversor.

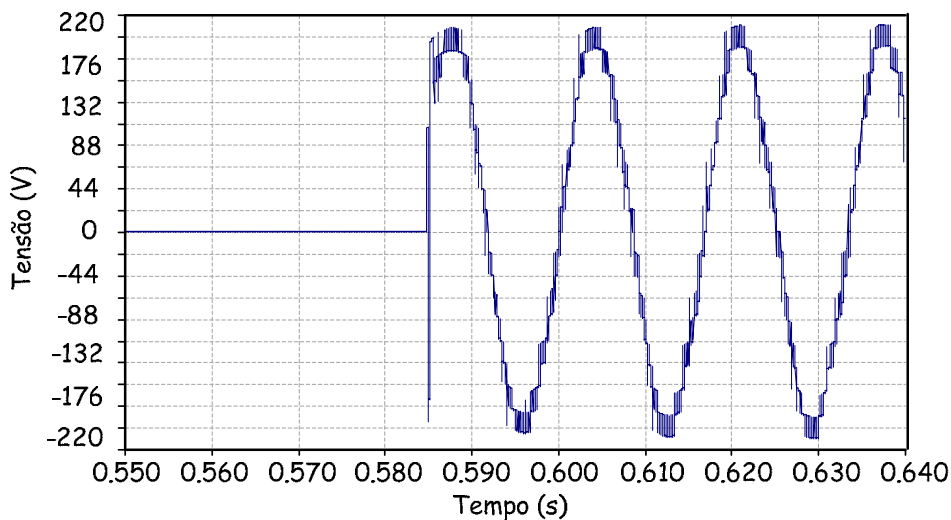


Figura 67: Tensão multinível de saída sintetizada pelo conversor – Intervalo A.

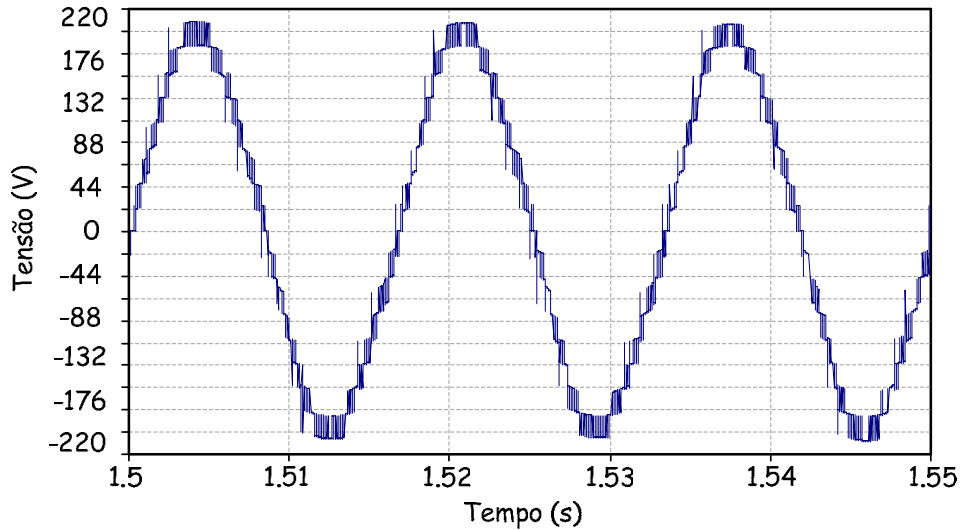


Figura 68: Tensão multinível de saída sintetizada pelo conversor – Intervalo B.

De forma análoga ao sistema simulado em média tensão, a tensão de fase sintetizada pelo conversor também possui 19 níveis, reduzindo o conteúdo harmônico da tensão de saída. Com o objetivo de analisar o desempenho harmônico do conversor multinível, a Figura 69 apresenta a forma de onda da tensão de fase e de linha do conversor. O conteúdo harmônico total calculado da tensão de fase gerada pelo conversor é de 5,40%, enquanto para a tensão de linha é de 2,37%.

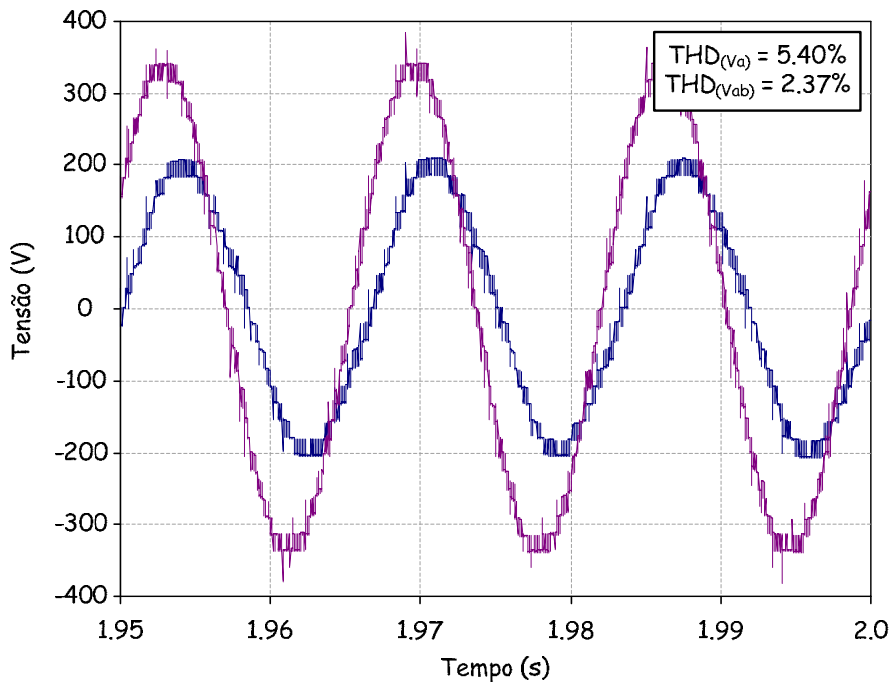


Figura 69: Tensão multinível por módulo.

Os sinais de referência e as tensões sintetizadas em cada módulo podem ser observados individualmente na Figura 70 para o módulo de maior potência (a), para o módulo de média potência (b) e de menor potência (c).

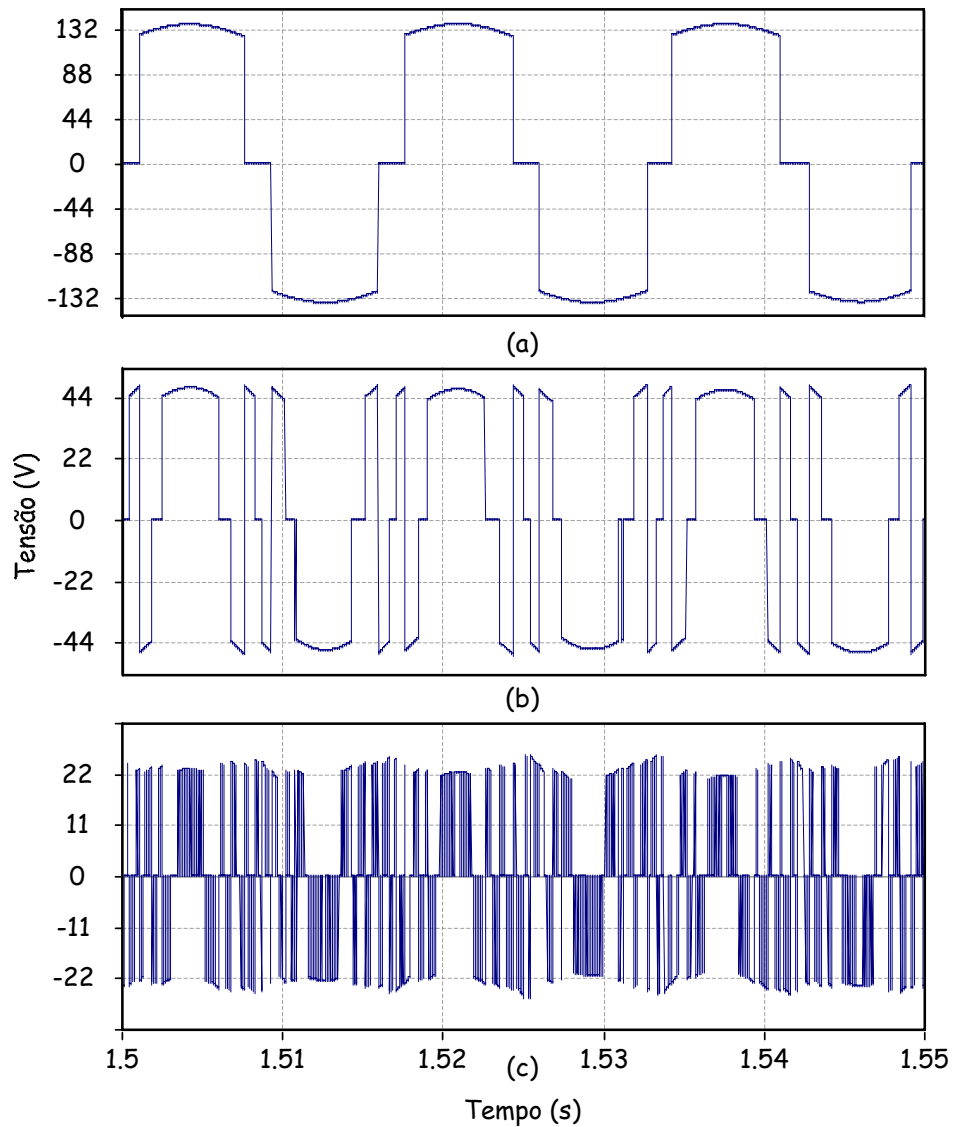


Figura 70: Tensão multinível por módulo.

Apesar de possuir uma estrutura monofásica, e ainda possuir oscilações de tensão em cada um dos capacitores independentes por fase e módulo, o desempenho trifásico do conversor multinível é satisfatório, não apresentando desequilíbrios nas tensões e correntes sintetizadas, conforme pode ser observado na Figura 71 e na Figura 72. O conteúdo harmônico total calculado da corrente da fase a gerada pelo conversor é de 1,60%.

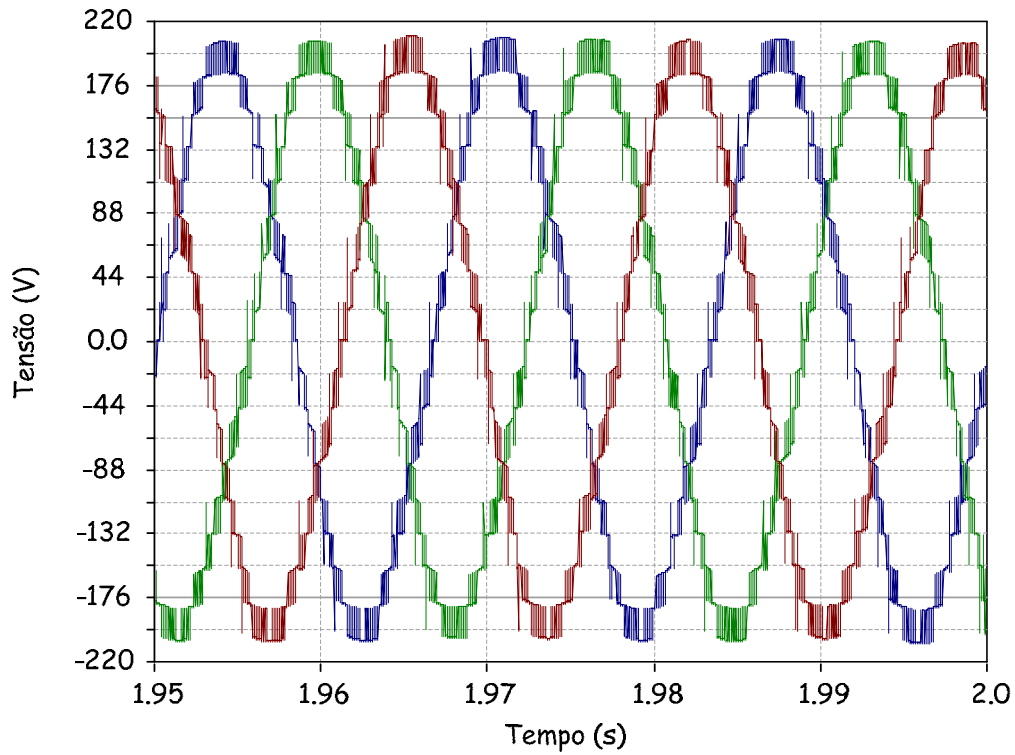


Figura 71: Tensões trifásicas sintetizadas pelo conversor.

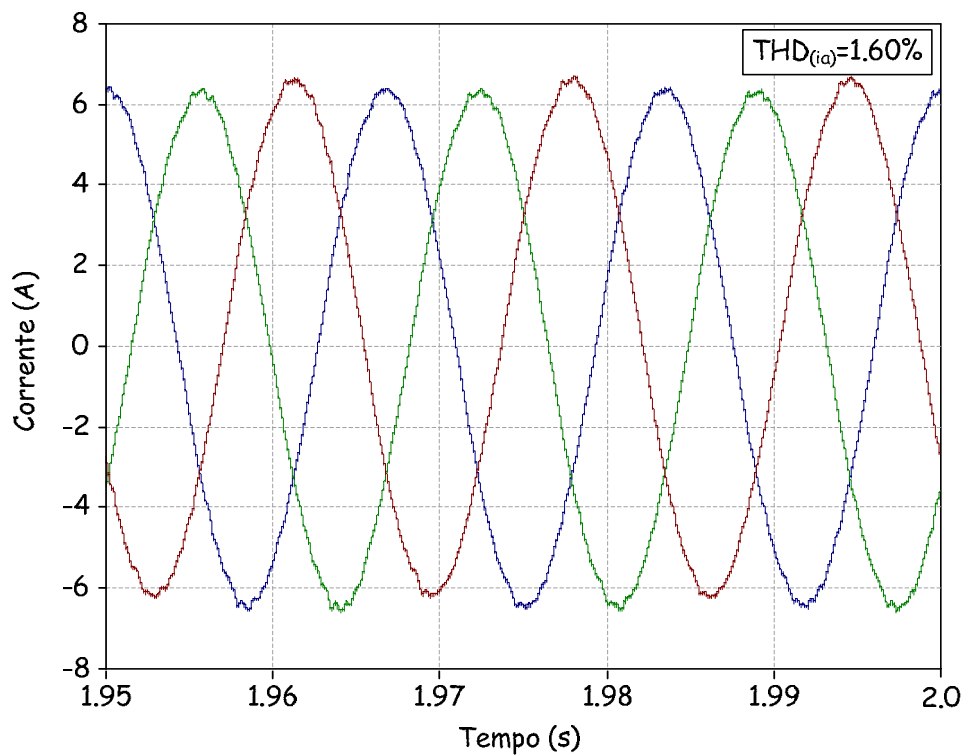


Figura 72: Correntes trifásicas sintetizadas pelo conversor.

O funcionamento do *DSTACOM* multinível com a estratégia de correção do fator de potência pode ser comprovado na Figura 73, onde o fator de potência da

carga visto pela fonte sem e com a inserção do *DSTATCOM* pode ser observado. O fator potência da carga sem a compensação do *DSTATCOM* era de 0,8 indutivo, e se tornou unitário quando o conversor foi acionado, comprovando o funcionamento adequado do conversor multinível.

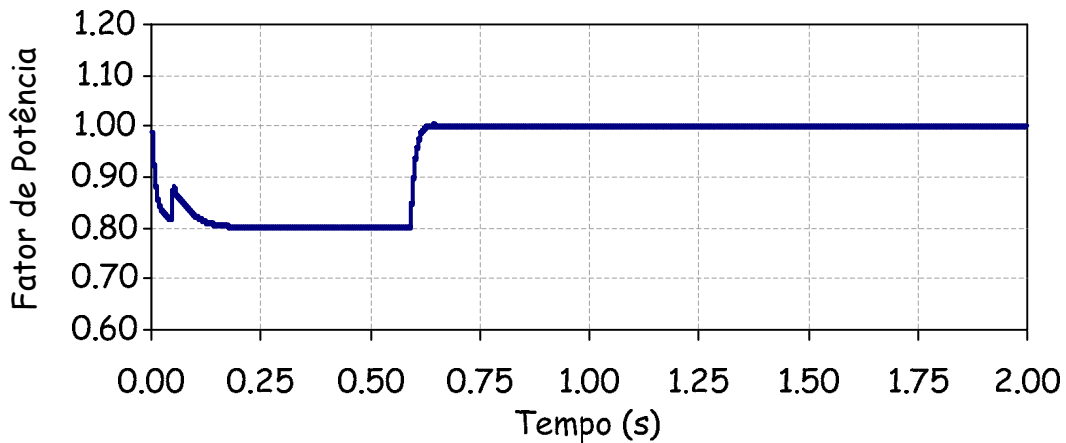


Figura 73: Fator de potência da carga visto pela fonte.

As tensões dos capacitores de cada módulo que compõe o conversor multinível podem ser observadas na Figura 74. Inicialmente os capacitores estão totalmente descarregados. Em 0,05 segundos de simulação o circuito de pré-carga é acionado e os capacitores se carregam até aproximadamente 90% das suas respectivas tensões nominais. Em 0,55 segundos de simulação o controle do conversor é ligado e as tensões dos capacitores são reguladas. As capacitâncias utilizadas em cada módulo para esta simulação foram de 1000uF para todos os módulos, de acordo as capacitâncias apresentadas nos conversores de potência adquiridos para a bancada.

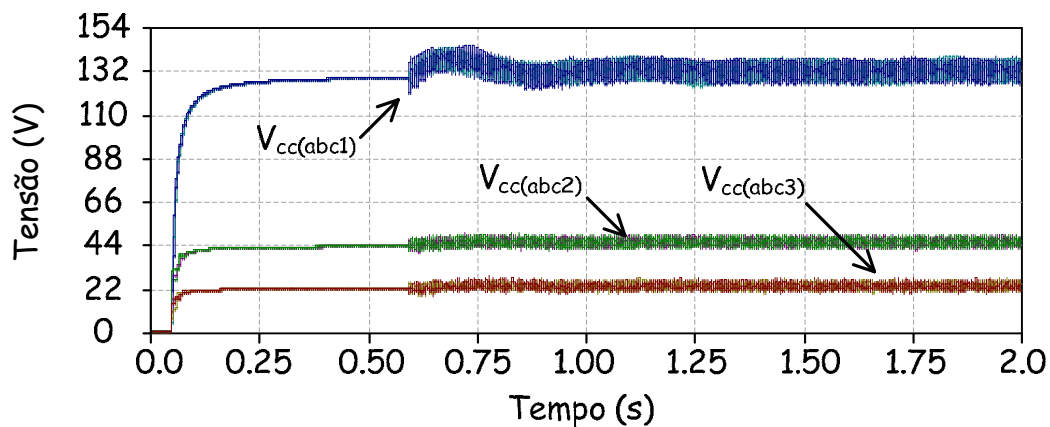


Figura 74: Tensões reguladas dos capacitores do conversor multinível.

6.3.2 Regulação da Tensão de Carga

Os procedimentos para a simulação do controle de regulação da tensão do barramento de carga foram semelhantes ao do controle de correção de fator de potência. Os resultados de simulação apresentados a seguir foram obtidos em um intervalo de 2,0 segundos. Inicialmente todos os disjuntores estão abertos e a lógica de controle do conversor está desabilitada. No instante 0,05 segundos o disjuntor de pré-carga dos elos CC é fechado, carregando os capacitores do conversor multinível, de forma semelhante ao apresentado na lógica de correção de fator de potência. No instante 0,50 segundos o disjuntor de pré-carga é aberto e, logo em seqüência, o disjuntor do conversor é fechado, conectando o conversor ao sistema. No mesmo instante a lógica de controle do *DSTATCOM* com a estratégia de regulação da tensão de carga é ativada. Com o objetivo de simular uma falta remota no sistema em 1,0 segundo é adicionada uma indutância em série com a rede para causar um afundamento de 20% na tensão de carga. Em 1,5 segundos a indutância série é retirada do sistema, voltando à condição normal de alimentação.

A Figura 75, apresenta a tensão sintetizada pelo conversor para a fase a durante os 2 segundos de simulação. Os intervalos A e B são detalhados na Figura 76 e na Figura 77, respectivamente, de forma a apresentar o chaveamento do conversor multinível durante o transitório do início e fim da falta.

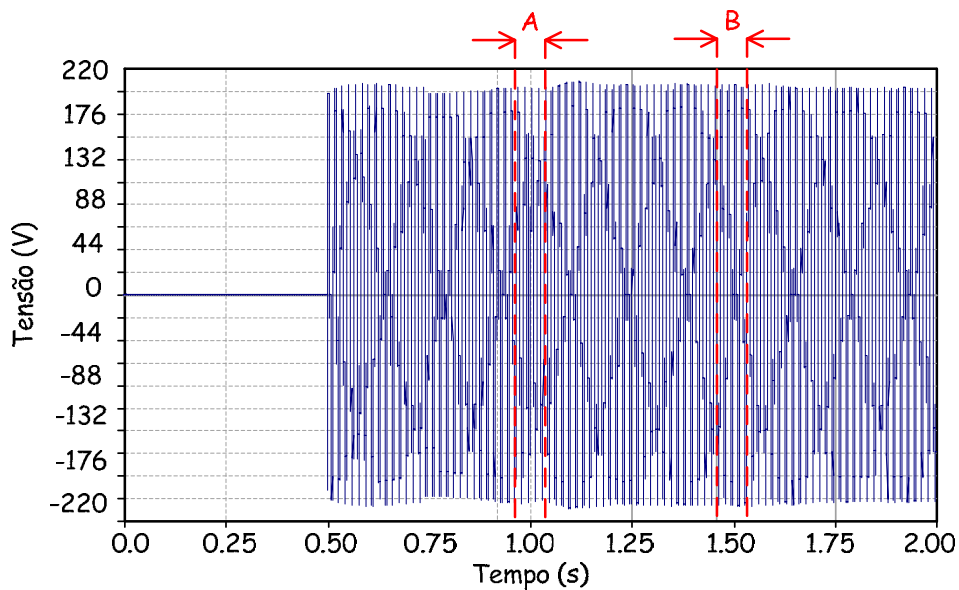


Figura 75: Tensão multinível de saída sintetizada pelo conversor.

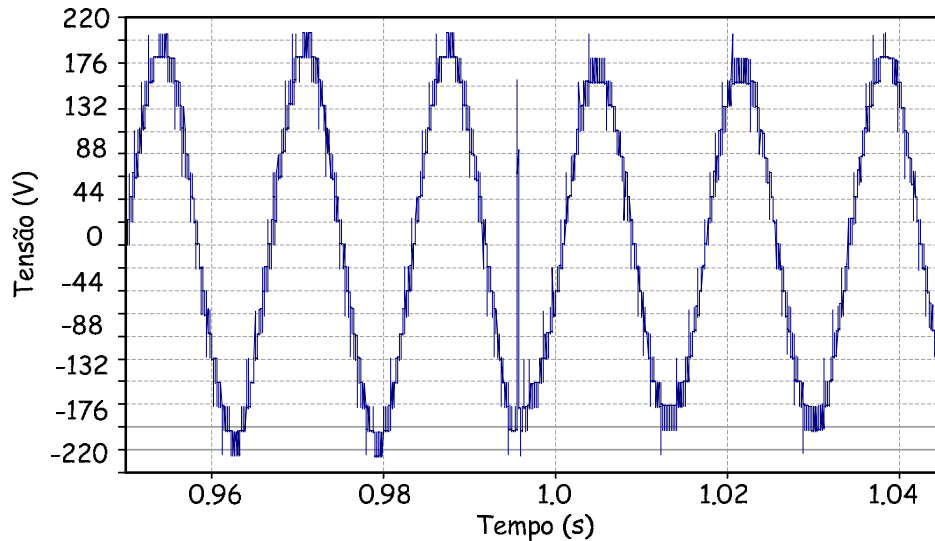


Figura 76: Tensão multinível de saída sintetizada pelo conversor – Intervalo A

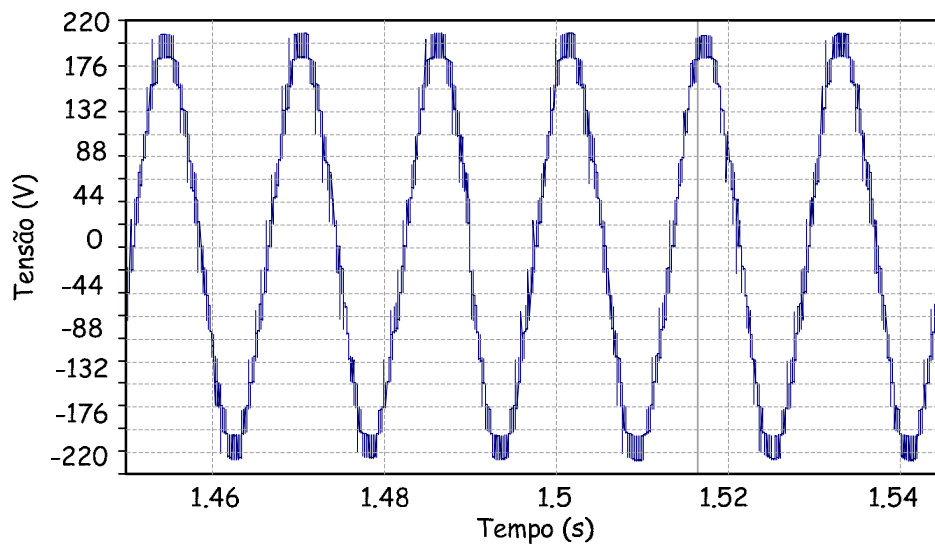


Figura 77: Tensão multinível de saída sintetizada pelo conversor – Intervalo B.

O funcionamento do *DSTATCOM* multinível com a estratégia de regulação de tensão de carga pode ser comprovado na Figura 78. Conforme foi comentado anteriormente, o conversor é acionado após 0,5 segundos de simulação, e a falta é inserida e retirada do sistema em 1,0 e 1,5 segundos, respectivamente.

Pode ser observado que a tensão de carga em regime, mesmo antes do afundamento, não apresentava uma amplitude de 1,0 pu. Contudo, quando o *DSTATCOM* é acionado, o mesmo consegue regular a tensão em 1,0 pu instantaneamente.

Além disso, pode-se notar também que mesmo na presença do afundamento o *DSTATCOM* consegue regular a tensão de carga em aproximadamente 0,25 segundos. Portanto, a inserção do *DSTATCOM* na rede de distribuição garante a regulação da tensão de carga tanto na condição normal de operação como na condição de falta do sistema, comprovando o adequado funcionamento do mesmo.

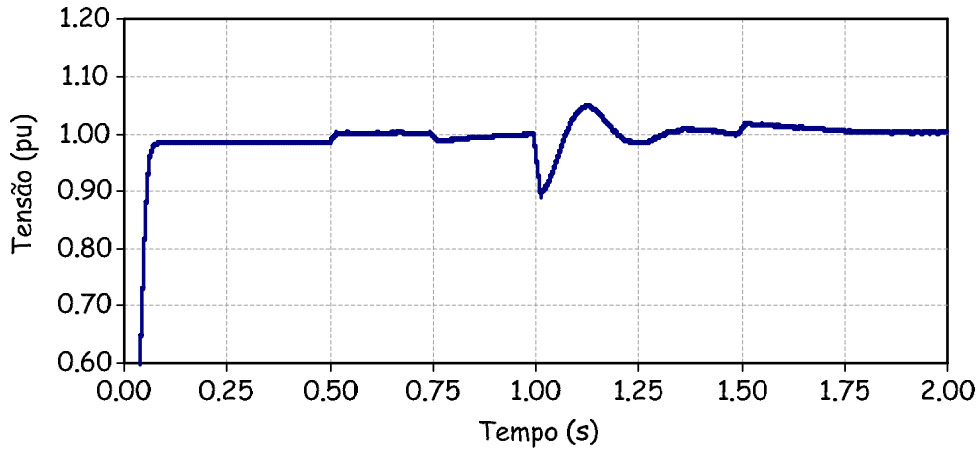


Figura 78: Tensão no barramento de carga com o *DSTATCOM*.

As tensões dos capacitores de cada módulo, com o controle de regulação de tensão de carga, podem ser observadas na Figura 79. Pode ser observado que, com a inserção do afundamento, ocorre uma perturbação nas tensões dos capacitores que são reguladas pelo controle do conversor.

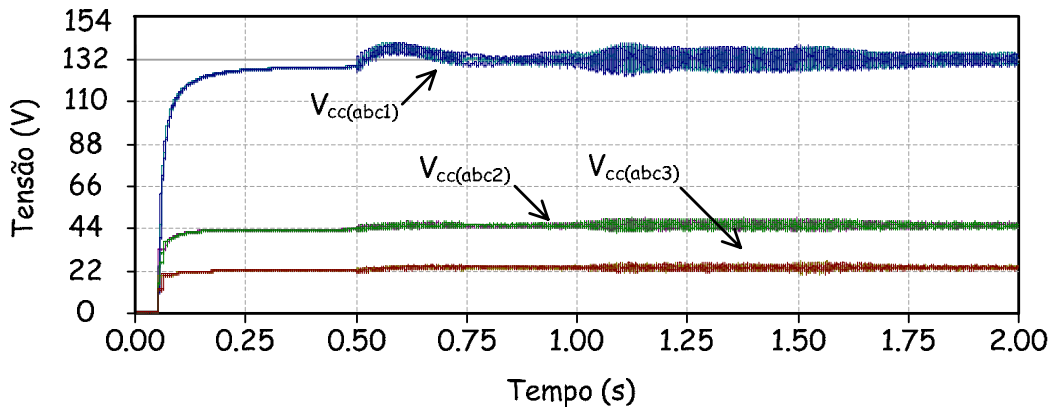


Figura 79: Tensões reguladas dos capacitores do conversor multinível.

6.4 Conclusões parciais

Neste capítulo foram apresentadas as adaptações realizadas nos circuitos de potência, medição e controle para representar o desempenho do conversor com uma maior fidelidade. Os resultados de simulação comprovaram o adequado desempenho do conversor frente a condições normais e anormais do sistema.

Nesse sentido, os resultados apresentados neste capítulo serão confrontados com os resultados experimentais apresentados no CAPÍTULO 7. Além disso, o código fonte desenvolvido nesta etapa do trabalho, foi validado frente aos resultados obtidos.

CAPÍTULO 7

Implementação do Protótipo Laboratorial do *DSTATCOM*

OS resultados de simulação apresentados no CAPÍTULO 5 e no CAPÍTULO 6 comprovam as otimizações propostas para o *DSTATCOM* desenvolvido neste trabalho. Nesse contexto, os resultados obtidos nas etapas de simulação serão comparados com os resultados obtidos na bancada de forma a validar o equipamento proposto.

Este capítulo irá apresentar as etapas relacionadas com o desenvolvimento da bancada para validar o protótipo laboratorial em escala reduzida do *DSTATCOM* em cascata assimétrico de 19 níveis proposto neste trabalho.

7.1 Circuito de Potência

Os circuitos de potência modelados no CAPÍTULO 6 no programa de transitórios eletromagnéticos PSCAD/EMTDC foram implementados na bancada do

laboratório de forma a validar o equipamento proposto neste trabalho. A Figura 80 apresenta o esquema elétrico da bancada laboratorial.

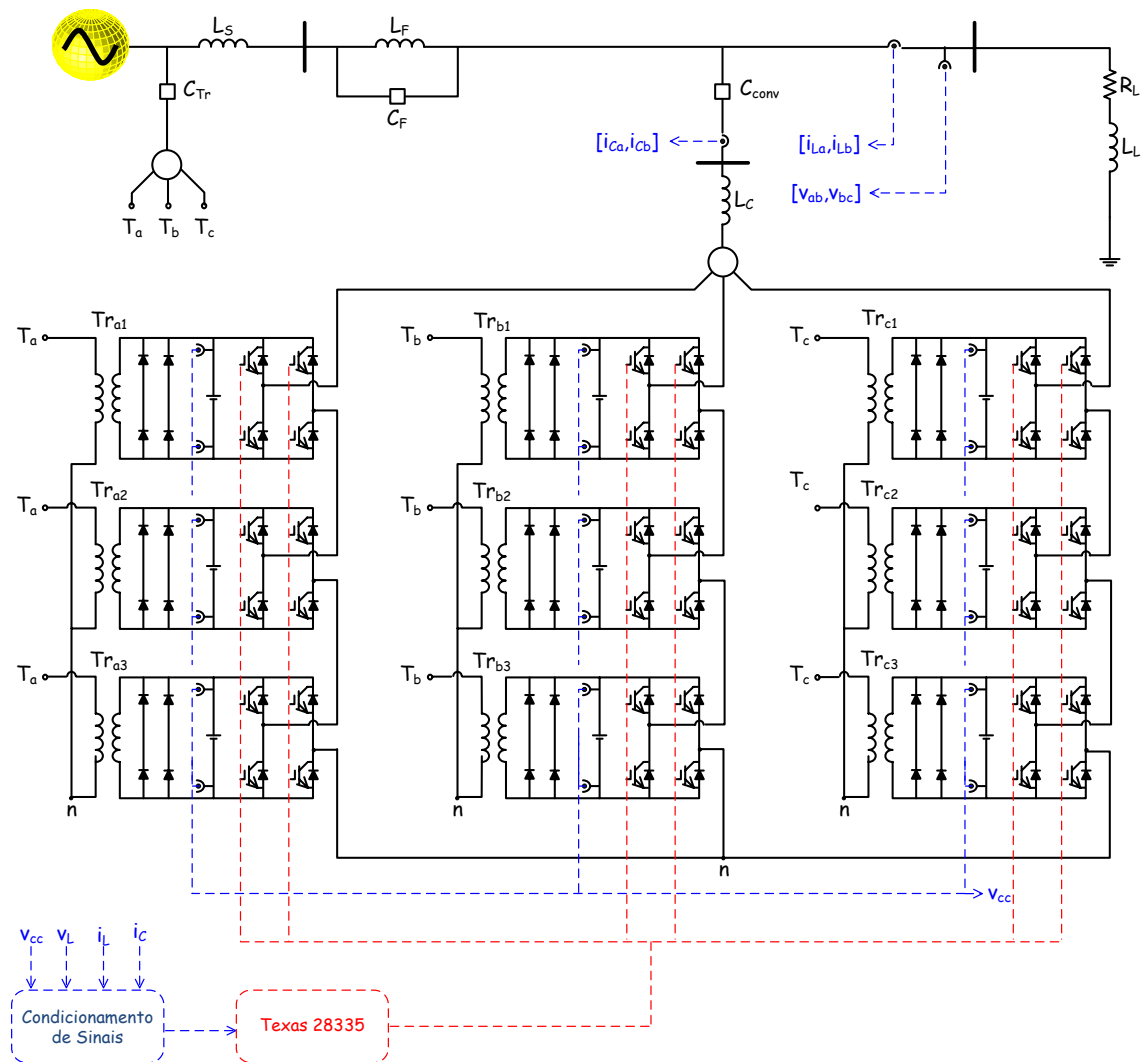


Figura 80: Esquema elétrico da bancada laboratorial do *DSTATCOM* multinível.

O circuito de potência do equipamento é constituído por nove conversores monofásicos em ponte completa da Semikron, modelo SKS 15F B2CI 2P 03 V12, com tensão nominal de 240 V eficaz (ca) e 450 V (cc) e corrente nominal de 15 A eficaz (ca) [73]. O conversor adquirido está apresentado na Figura 81. Pode-se notar que, cada conversor é composto por duas pontes completas monofásicas. O valor de capacitância adotados para compor o elo de corrente contínua de cada conversor monofásico foi de 5,7 mF.

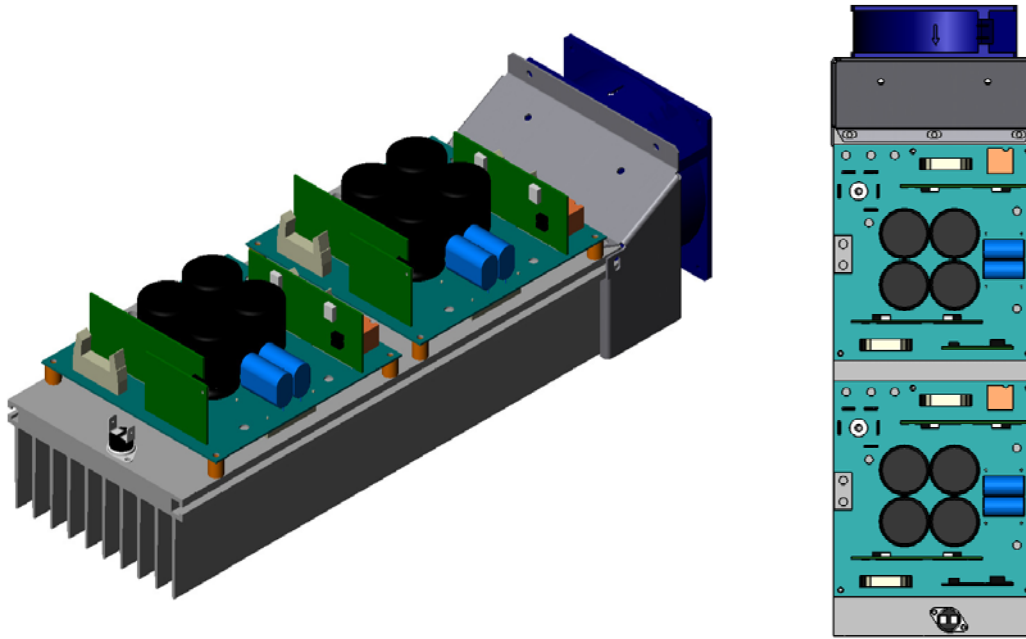


Figura 81: Conversor SKS 15F B2CI 2P 03 V12 da Semikron.

Os elos de corrente contínua são carregados inicialmente pela ponte de diodos própria dos conversores [74]. As tensões assimétricas de cada nível são obtidas utilizando os transformadores Tr_{nk} ($n = a,b,c$ e $k = 1,2,3$), que estão conectados diretamente à rede elétrica de 220 V, e possuem relações de transformações adequadas para cada nível, atingindo os valores nominais das tensões de corrente contínua para cada nível. Após o carregamento inicial dos capacitores, a contatora C_{Tr} é aberta, isolando o circuito de carregamento inicial dos capacitores.

O conversor multinível é conectado ao sistema em paralelo através da contatora C_{CONV} . O valor das indutâncias de comutação L_C para cada fase é de 5 mH.

A carga foi projetada para consumir 2,7 KVA em 220 V. Dessa forma, os valores de resistência e indutância de R_L e L_L , para cada fase, são de 15 Ω e 30 mH. O valor calculado para a indutância do sistema é de 2,4 mH (20 p.u.).

Conforme detalhado no CAPÍTULO 5 e no CAPÍTULO 6, o afundamento da tensão do barramento de carga será provocado pela inserção de uma indutância em série com a rede elétrica do sistema. O valor calculado da indutância L_F é de 16 mH.

7.2 Instrumentação e Controle

O protótipo do *DSTATCOM*, desenvolvido neste trabalho, tem um núcleo de controle constituído por um Processador Digital de Sinais (DSP) da Texas, modelo TMF320F28335 [75] apresentado na Figura 82, o qual é responsável por todas as funções do equipamento. Contudo, o processador central (DSP) possui níveis/características operacionais de tensão e corrente que deverão ser respeitados para o seu correto funcionamento. Tendo em vista que o sistema de potência apresentado na Figura 80 apresenta níveis de tensão e corrente superiores aos permitidos pelo DSP, foi necessária a utilização de instrumentação para realizar a interface entre os sinais de potência e sinais de controle.



Figura 82: DSP da TEXAS modelo TMF320F28335.

Conforme apresentado na Figura 80, são adquiridas no total 15 grandezas elétricas para a monitoração e controle do equipamento, são elas, 9 tensões de corrente contínua dos capacitores ($V_{cc_{nk}}$ para $n = a, b, c$ e $k=1, 2, 3$), 2 tensões de linha do barramento de carga (V_{ab} e V_{bc}), 2 correntes de carga (I_{La} e I_{Lb}) e 2 correntes do conversor (I_{Ca} e I_{Cb}).

O sistema de instrumentação desenvolvido para realizar a interface entre o sistema de controle e a planta operacional é composto por grupos de circuitos que podem ser divididos da seguinte forma: Placa de Suporte do DSP (SDSP), Placa de Medição (MAV), Placa de Condicionamento de Sinais (CS) e Placa de Entrada/Saída (IO).

A placa MAV tem como finalidade principal obter as informações necessárias do sistema de potência, através da monitoração das variáveis de interesse, para o controle da planta. Além disso, a placa MAV promove a isolação entre o sistema de potência e o sistema de controle. O diagrama funcional da placa MAV está ilustrado na Figura 83.

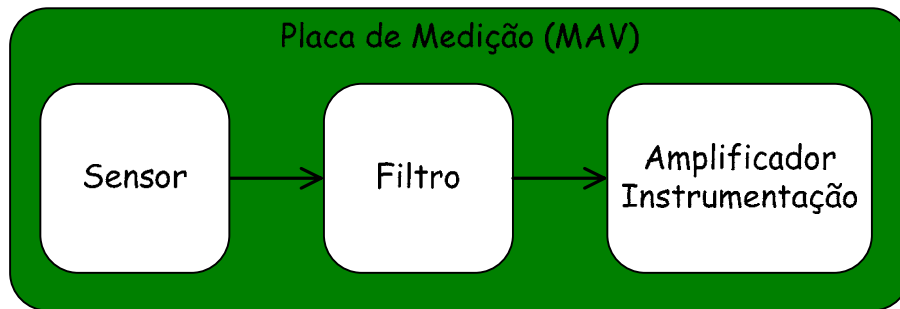


Figura 83: Diagrama funcional da placa MAV.

As grandezas elétricas do sistema de potência são medidas através de sensores de tensão ou corrente presentes na placa MAV. No próximo estágio, os sinais medidos são filtrados para eliminar os ruídos do sistema de potência, e logo em seguida, os mesmos são amplificados para otimizar a relação sinal/ruído das variáveis monitoradas. Os sensores utilizados para a medição das tensões e correntes do sistema de potência são LP 25-P [76] e HAS-100S [77], respectivamente.

A placa CS tem como finalidade principal adequar os níveis de tensão provenientes da placa MAV para os níveis operacionais do DSP. O diagrama funcional da placa CS está ilustrado na Figura 84.

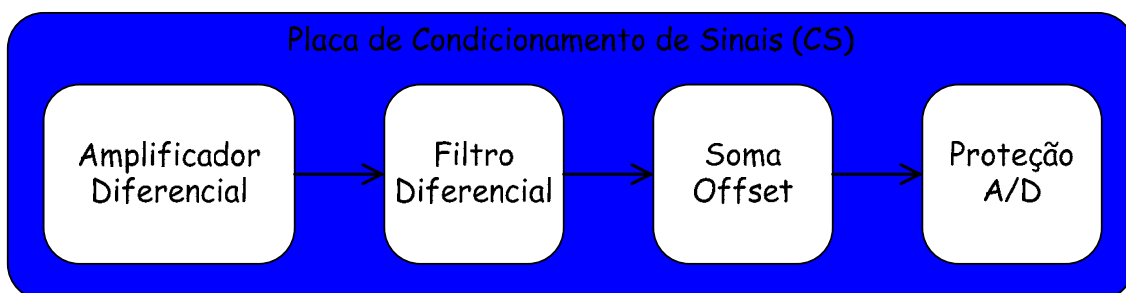


Figura 84: Diagrama funcional da placa CS.

No primeiro estágio, os sinais oriundos da placa MAV são condicionados por um amplificador diferencial, que tem como objetivos rejeitar os ruídos em modo

comum e adequar os sinais para os níveis compatíveis com o DSP. No estágio seguinte, os sinais são filtrados a fim de atenuar os ruídos que, por algum motivo, não foram totalmente eliminados no estágio anterior. O DSP funciona apenas com sinais unipolares até 3,3V. Dessa forma, os sinais bipolares obtidos através da medição e condicionamento são acrescidos de um offset de forma a garantir uma excursão de sinal entre 0 e 3,3 V. Por fim, um último estágio de proteção é inserido de forma a grampear o sinal condicionado caso o mesmo extrapole os limites operacionais.

A placa IO tem como finalidade principal isolar os sinais dos periféricos da bancada laboratorial do sistema de controle e de controlar os disparos dos conversores. Cabe ressaltar que a placa IO trabalha de forma bidirecional, ou seja, ela condiciona os sinais digitais provenientes do DSP para o sistema de potência, bem como, os sinais provenientes do sistema de potência para o DSP. O diagrama funcional da placa IO está ilustrado na Figura 85.

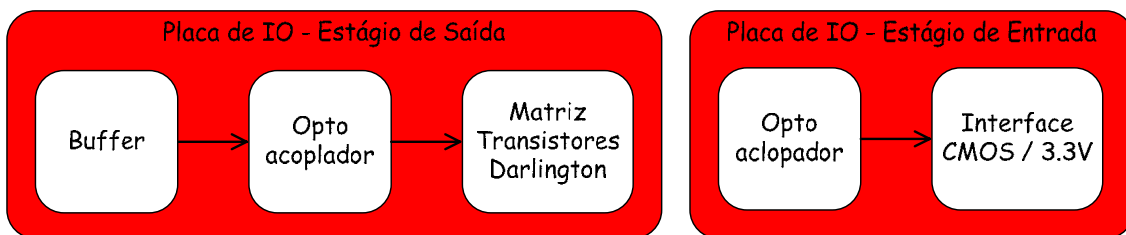


Figura 85: Diagrama funcional da placa IO.

No estágio de saída da placa IO, os sinais provenientes do DSP passam inicialmente por um buffer que irá suprir as necessidades de potência requeridas pelo optoacoplador. O optoacoplador, por sua vez, tem a função de isolar os sinais elétricos entre o DSP e os periféricos. Por último, os sinais isolados são amplificados por uma matriz de transistores *darlington* de forma a fornecer os níveis de corrente solicitados pelos periféricos.

No estágio de entrada da placa IO, os sinais provenientes dos periféricos são isolados por um optoacoplador. Os sinais isolados são condicionados por uma interface CMOS/3,3V para que os níveis de tensão sejam adequados ao DSP.

Por fim, a placa SDSP tem como finalidades principais dar suporte mecânico ao Processador Digital de Sinais e promover a interconexão de todos os subsistemas presentes no sistema de instrumentação. O diagrama funcional da placa SDSP está

ilustrado na Figura 86. No primeiro estágio, os ruídos presentes nos sinais analógicos são filtrados na entrada da placa SDSP. As entradas analógicas filtradas e as entradas digitais são então entregues ao controlador principal (DSP) que irá processar as informações e fornecer as saídas digitais para o comando da planta.

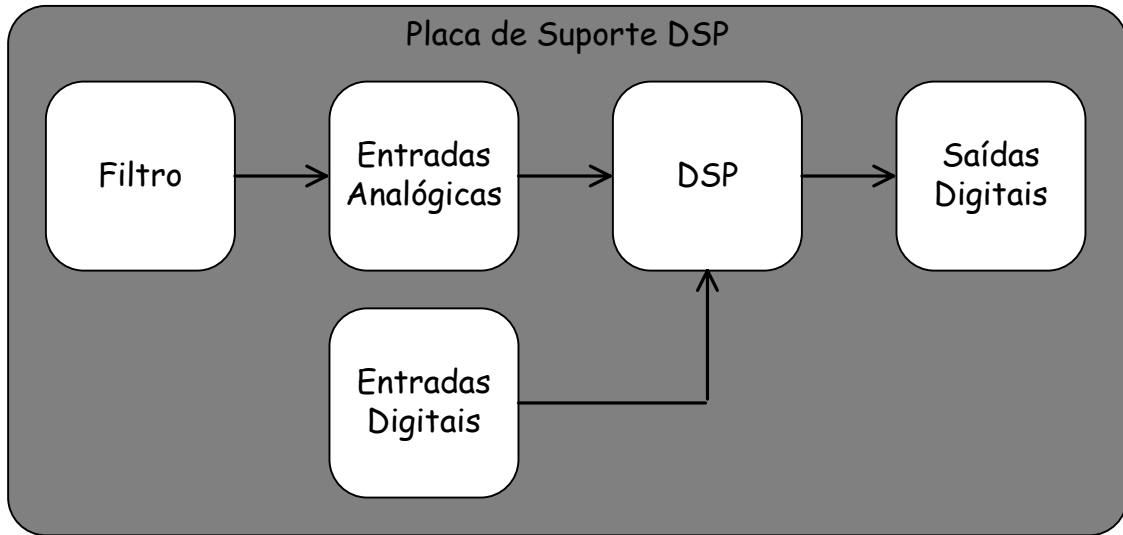


Figura 86: Diagrama funcional da placa SDSP.

O diagrama funcional do sistema de instrumentação e controle, devidamente apresentado neste trabalho, está ilustrado na Figura 87.

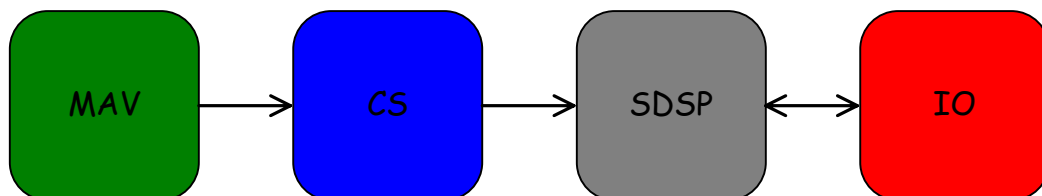


Figura 87: Diagrama funcional do sistema de instrumentação e controle.

7.3 Integração do protótipo

A bancada laboratorial, composta pelo circuito de potência, apresentado na Figura 80, e pelo sistema de instrumentação e controle, apresentado na Figura 87, está apresentada na Figura 88. Alguns componentes de potência, instrumentação e controle estão detalhados na Figura 88.

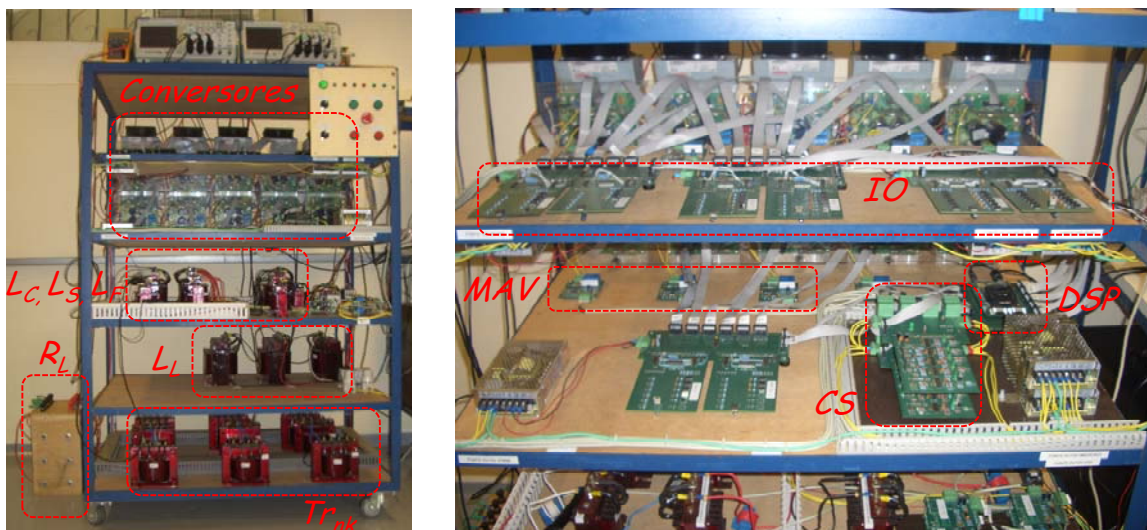


Figura 88: Bancada laboratorial do *DSTATCOM* proposto.

7.4 RESULTADOS EXPERIMENTAIS

Conforme comentado anteriormente, os resultados experimentais obtidos neste capítulo servirão para validar o controle proposto neste trabalho. Portanto, os resultados experimentais obtidos com o controle de correção de fator de potência e com o controle de regulação da tensão do barramento de carga, serão apresentados separadamente, de forma a facilitar a comparação dos resultados computacionais, obtidos no CAPÍTULO 6, com os resultados experimentais obtidos neste capítulo.

Cabe ressaltar que o circuito de potência e o circuito de controle para ambos os resultados são os mesmos, conforme apresentado na Figura 62 e na Figura 80. Nesse contexto, os cálculos das tensões de fase para cada módulo de potência do conversor multinível para sistemas de baixa tensão é idêntico ao apresentado em (38).

7.4.1 Validação do Chaveamento proposto

Primeiramente, antes de validar as lógicas de controle do *DSTATCOM* proposto, é de grande interesse validar a estratégia de modulação multinível proposta no CAPÍTULO 4 deste trabalho.

A Figura 38, Figura 39 e Figura 40 apresentam as formas de onda e conteúdo harmônico total, obtidos no programa de transitório eletromagnético PSCAD/EMTDC, da tensão de fase e linha do conversor proposto com as modulações PWM bipolar,

unipolar e descontínua. Com o objetivo de validar os cálculos obtidos no programa de transitórios eletromagnéticos, as mesmas formas de onda foram adquiridas na bancada experimental. Para a realização deste experimento, os controles de compensação reativa e de regulação das tensões dos capacitores foram desativados. Contudo, para manter a tensão dos elos de corrente contínua regulados, a contatora dos transformadores (C_{Tr}) foi mantida acionada e a contatora do conversor (C_{CONV}) foi mantida aberta. Dessa forma, as influências das estratégias de controle e de perdas no chaveamento são reduzidas, não interferindo na forma de onda das tensões e nos seus conteúdos harmônicos.

A Figura 89 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto e o chaveamento PWM bipolar aplicado na célula de menor tensão. A frequência de chaveamento adotada para a célula de menor tensão foi de 5 kHz.

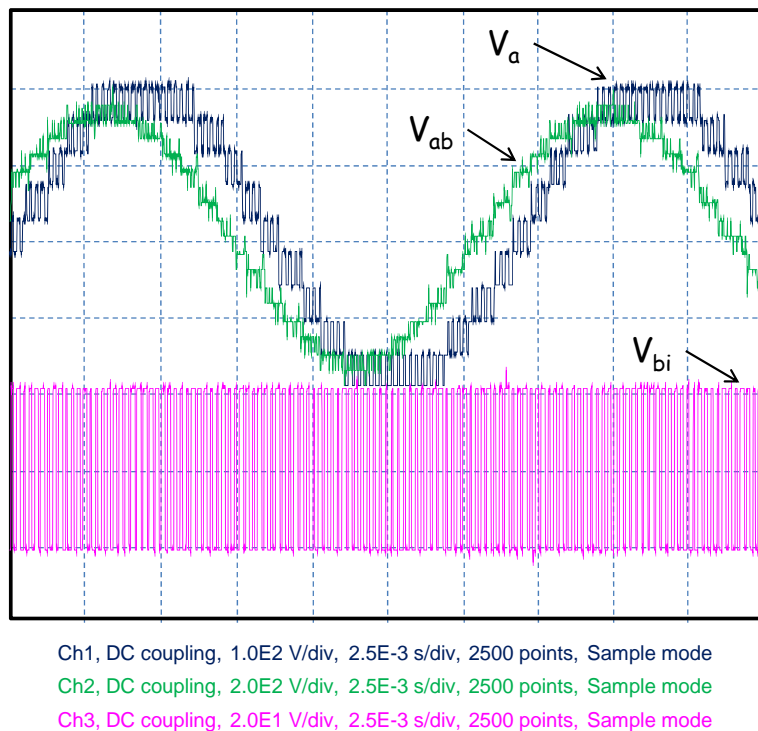
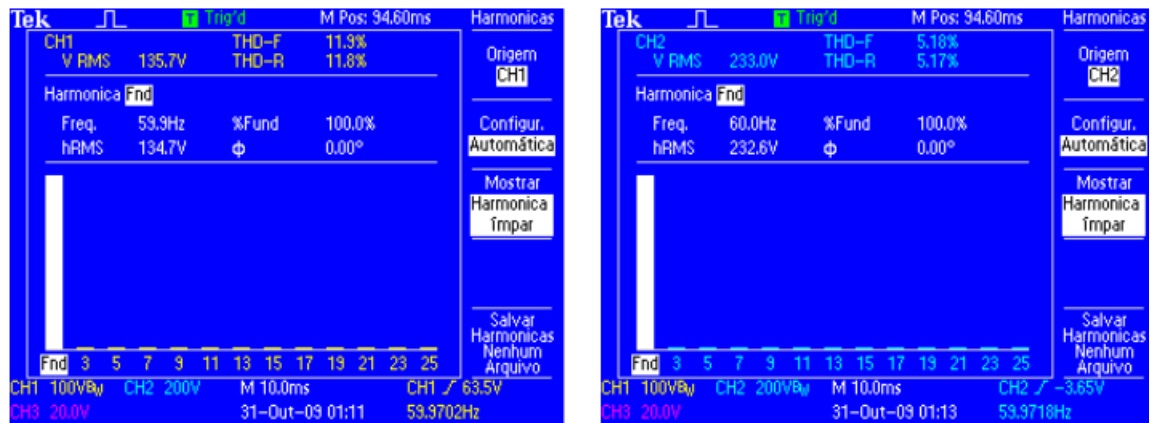


Figura 89: Tensões de fase (azul) e linha (verde) e chaveamento bipolar (rosa).

Os conteúdos harmônicos totais calculados para a tensão de fase (11,9%) e de linha (5,18%) com a modulação bipolar estão apresentados na Figura 90.



(a)

(b)

Figura 90: THD da tensão de fase (a) e de linha (b) com modulação bipolar.

A Figura 91 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto e o chaveamento PWM unipolar aplicado na célula de menor tensão. A frequência de chaveamento adotada para a célula de menor tensão foi de 5 kHz.

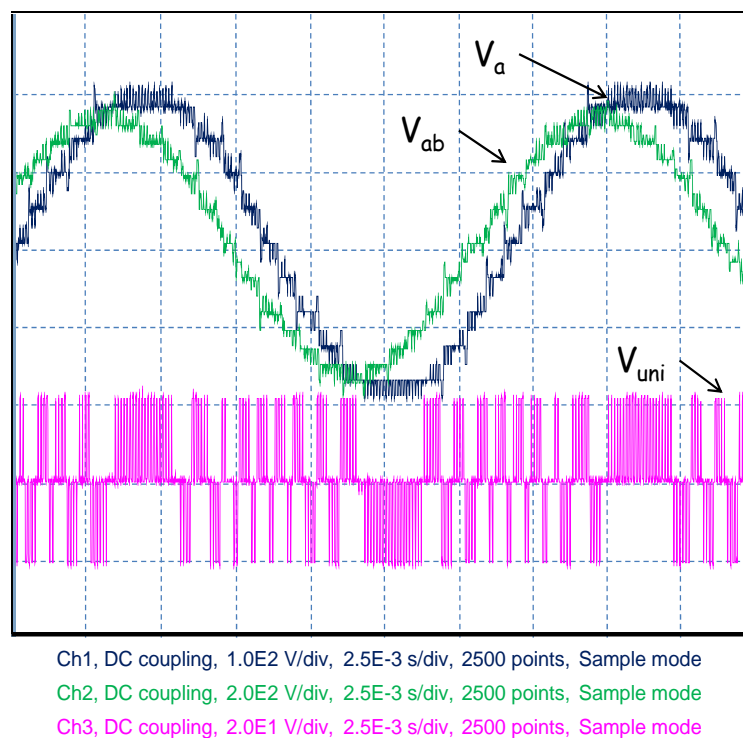
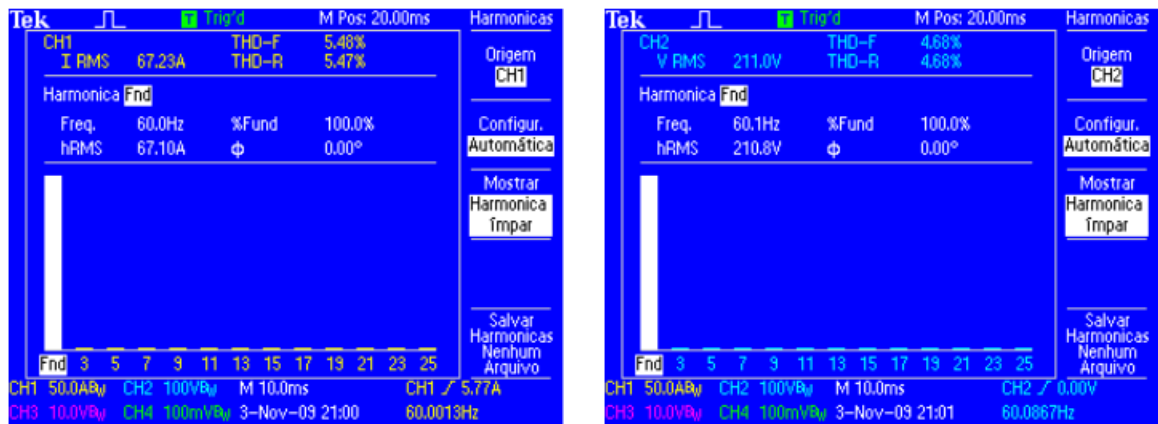


Figura 91: Tensões de fase (azul), linha (verde) e chaveamento unipolar (rosa).

Os conteúdos harmônicos totais calculados para a tensão de fase (5,48%) e de linha (4,68%) com a modulação unipolar estão apresentados na Figura 92.

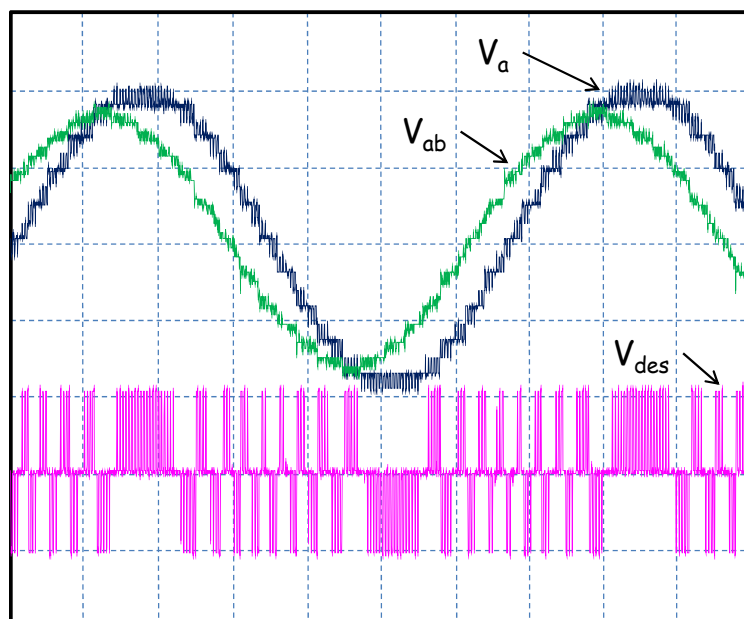


(a)

(b)

Figura 92: THD da tensão de fase (a) e de linha (b) com modulação unipolar.

A Figura 93 apresenta a forma de onda da tensão de saída de fase e de linha para o conversor proposto e o chaveamento PWM descontínuo proposto aplicado na célula de menor tensão. A frequência de chaveamento adotada para a célula de menor tensão foi de 10 kHz para obter um mesmo número de chaveamento por ciclo que os demais experimentos.



Ch1, DC coupling, 1.0E2 V/div, 2.5E-3 s/div, 2500 points, Sample mode
 Ch2, DC coupling, 2.0E2 V/div, 2.5E-3 s/div, 2500 points, Sample mode
 Ch3, DC coupling, 2.0E1 V/div, 2.5E-3 s/div, 2500 points, Sample mode

Figura 93: Tensões de Fase (azul) e linha (verde) e lógica descontínuo (rosa).

Os conteúdos harmônicos totais calculados para a tensão de fase (4,32%) e de linha (3,63%) com a modulação proposta estão apresentados na Figura 94.

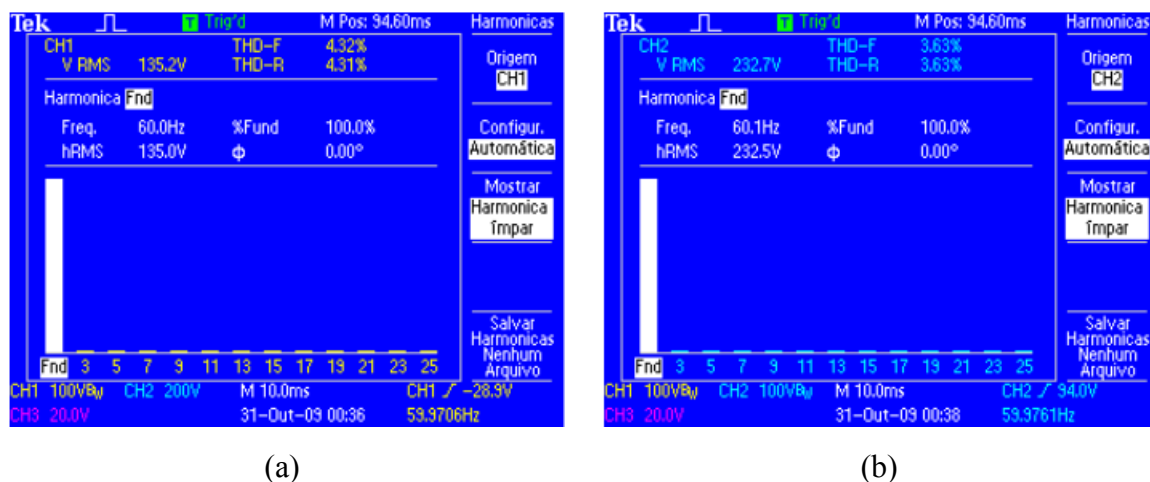


Figura 94: THD da tensão de fase (a) e de linha (b) com modulação descontínua.

A Tabela 9 apresenta os conteúdos harmônicos com cada estratégia de modulação obtidos na simulação e na bancada experimental.

Tabela 9: THD de simulação versus experimental sem lógica de controle.

	THD Simulação		THD Experimental	
	Fase	Linha	Fase	Linha
Bipolar	11,0%	6,1%	11,9%	5,18%
Unipolar	4,8%	3,9%	5,48%	4,68%
Descontínuo	4,8%	1,9%	4,32	3,63%

Pode-se observar na Tabela 9 que os conteúdos harmônicos das formas de onda obtidas através dos resultados experimentais são similares aos obtidos durante a etapa de simulação. Nesse contexto, pode-se afirmar que a estratégia de modulação proposta reduz o conteúdo harmônico da tensão conforme esperado.

7.4.2 Correção do Fator de Potência

Nesta seção, serão apresentados os resultados experimentais do *DSTATCOM* com a lógica de controle de correção de fator de potência. Inicialmente, os capacitores serão carregados pelas pontes a diodo até os seus valores nominais. Após o carregamento dos capacitores, a contatora de alimentação auxiliar (C_{Tr}) é aberta e, simultaneamente, a contatora do conversor C_{CONV} é fechada conectando o conversor ao

sistema de potência. Nesse instante, apenas a lógica de regulação dos elos de corrente contínua é ligada. Portanto o conversor irá sintetizar uma corrente mínima para manter as tensões dos elos nos seus valores nominais.

Em seguida, a lógica de correção do fator de potência é acionada, fazendo com que o conversor injete no sistema uma corrente capacitiva para corrigir o fator de potência que inicialmente era indutivo.

A Figura 95 apresenta o exato momento quando a lógica de correção do fator de potência é acionada. Pode-se observar que, a corrente do conversor, antes e depois do acionamento da lógica de correção do fator de potência, é de aproximadamente 1 A e 7 A, respectivamente. Além disso, o fator de potência da carga, representada pelo atraso da corrente da fonte (em verde) em relação à tensão da fonte (em vermelho), é corrigido após o acionamento da lógica de controle.

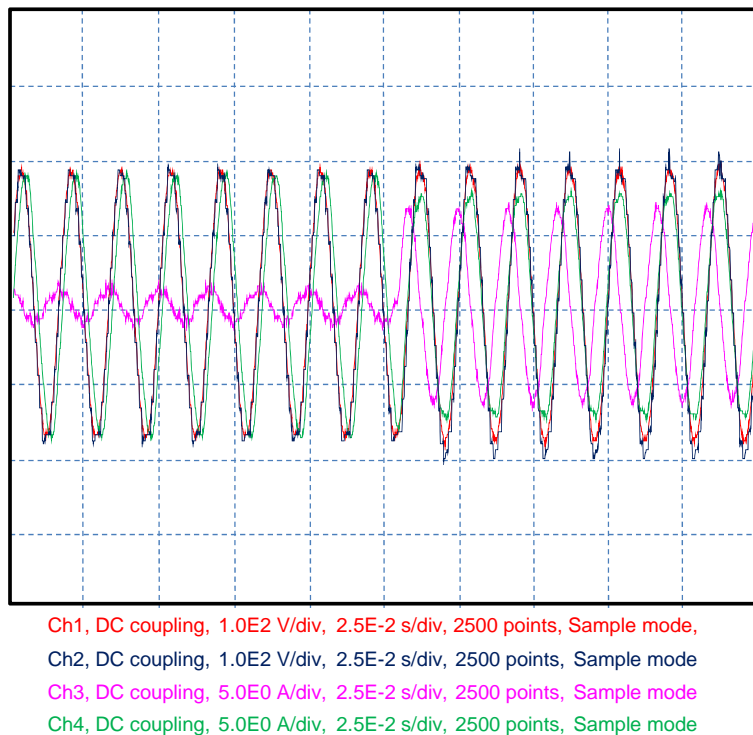


Figura 95: V_{Sa} (vermelho), V_{Ca} (azul), I_{Fa} (verde) e I_{Ca} (rosa).

Os intervalos distintos apresentados na Figura 95 são detalhados na Figura 96 no intuito de ilustrar melhor o funcionamento do *DSTATCOM*.

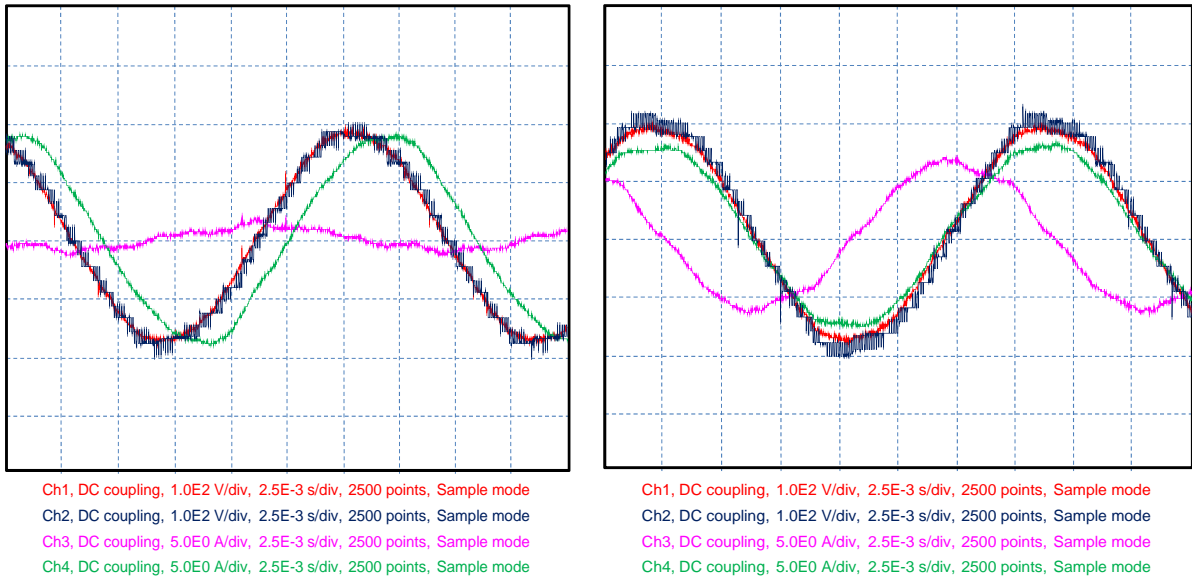


Figura 96: Sistema antes (a) e depois (b) da correção do fator de potência.

As tensões de fase (azul) e de linha (verde) e a corrente (vermelho) sintetizadas pelo *DSTATCOM* com a lógica de correção de fator de potência são apresentadas na Figura 97. Os conteúdos harmônicos totais calculados das tensões e da corrente do conversor com a estratégia de modulação proposta estão apresentados na Figura 98.

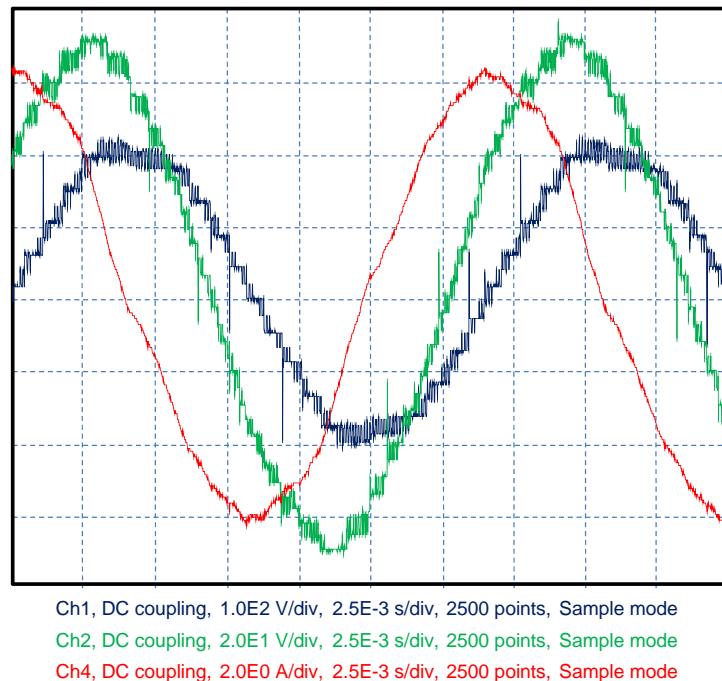
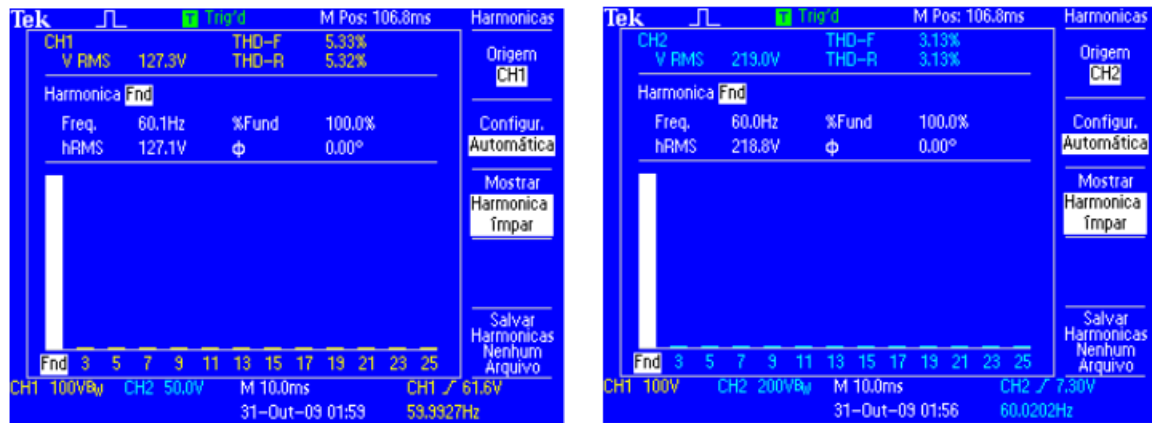
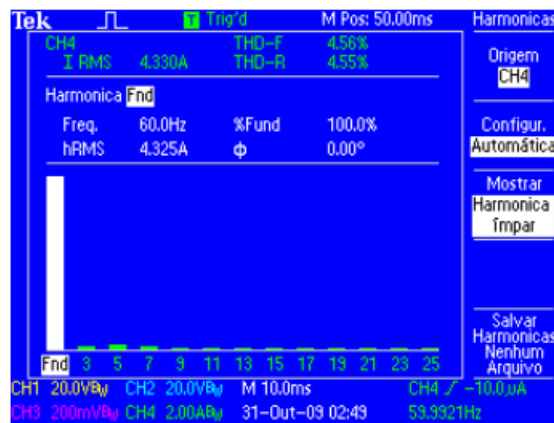


Figura 97: Tensão de fase e de linha sintetizada pelo *DSTATCOM*.



(a)

(b)



(c)

Figura 98: THD da tensão de fase (a), linha (b) e da corrente (c) do *DSTATCOM*.

A Tabela 10 apresenta os conteúdos harmônicos do *DSTATCOM* com a lógica de correção de fator de potência obtidos na simulação e na bancada experimental.

Tabela 10: THD de simulação versus experimental com lógica de controle FP.

THD Simulação			THD Experimental		
V Fase	V Linha	I	V Fase	V Linha	I
5,40%	2,37%	1,60%	5,33%	3,13%	4,56%

Pode-se notar que o comportamento do conteúdo harmônico das tensões obtido na simulação e na bancada experimental é bastante próximo, validando a estratégia de modulação proposta mesmo com o controle de correção do fator de potência acionado. Contudo, o conteúdo harmônico da corrente obtido na bancada experimental é significativamente superior ao conteúdo harmônico da corrente obtido na simulação. Isto se deve ao fato de que as perdas observadas na bancada são superiores às perdas na

simulação. De fato, tanto na bancada quanto na simulação, as correntes responsáveis para regular as tensões de cada capacitor influenciam o conteúdo harmônico total da corrente de saída do conversor. Como a parcela de perda é muito superior na bancada, o conteúdo harmônico da corrente fica ligeiramente comprometido.

As tensões sintetizadas para a célula de maior tensão (em vermelho), de média tensão (em verde), de baixa tensão (em rosa) e a tensão multinível de saída (em azul), podem ser observados individualmente na Figura 99.

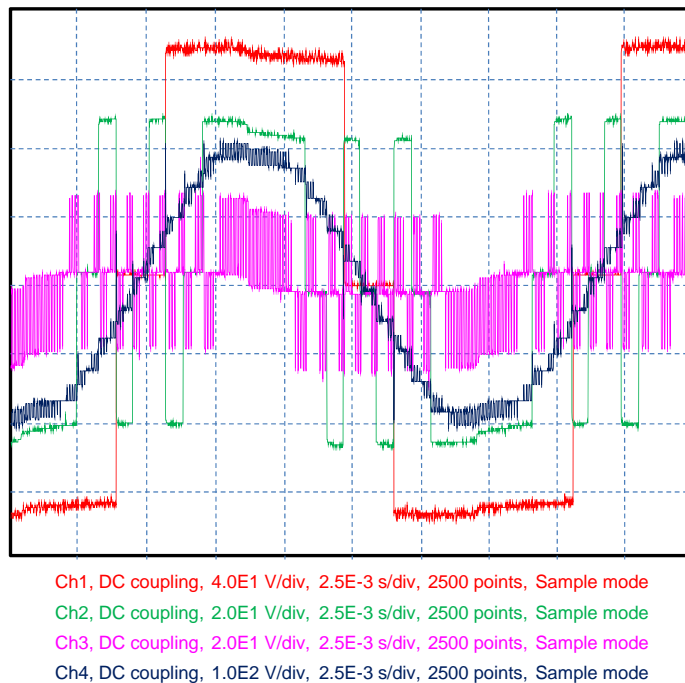
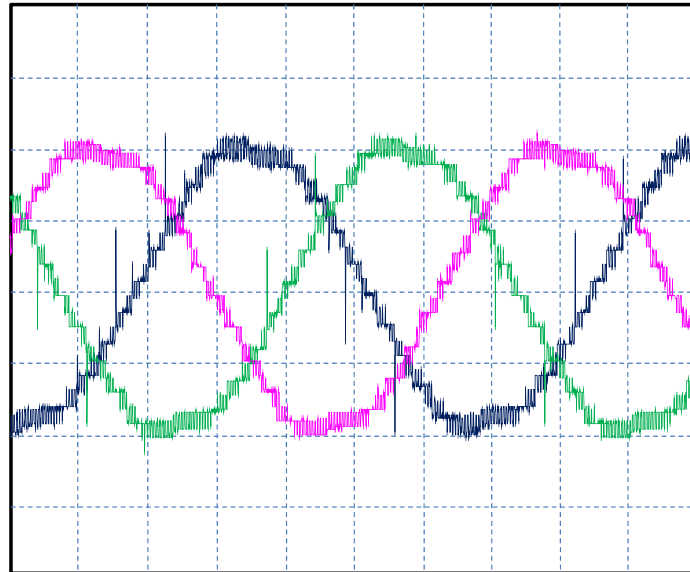


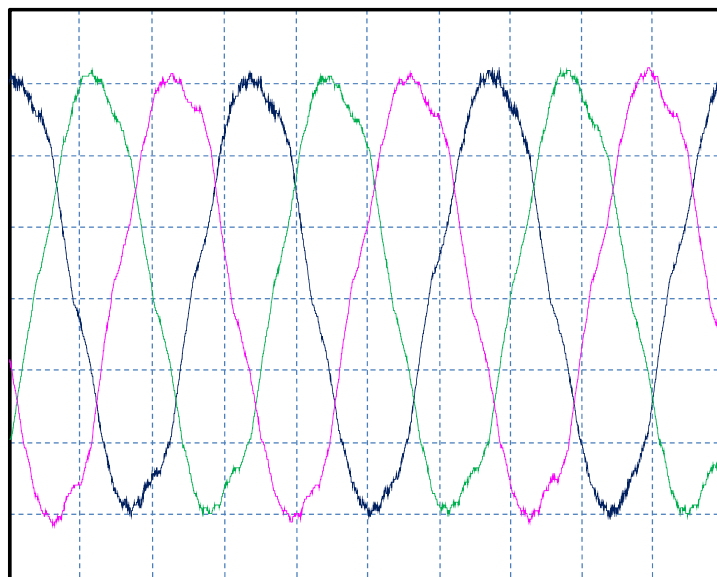
Figura 99: Tensão multinível total e por células.

A Figura 100 e a Figura 101 apresentam, respectivamente, as tensões e correntes trifásicas sintetizadas pelo conversor no intuito de mostrar a capacidade do mesmo em gerar tensões e correntes equilibradas, mesmo quando o conversor é composto por unidades monofásicas.



Ch1, DC coupling, 1.0E2 V/div, 2.5E-3 s/div, 2500 points, Sample mode
 Ch2, DC coupling, 1.0E2 V/div, 2.5E-3 s/div, 2500 points, Sample mode
 Ch3, DC coupling, 1.0E2 V/div, 2.5E-3 s/div, 2500 points, Sample mode

Figura 100: Tensões trifásicas sintetizadas pelo conversor.



Ch1, DC coupling, 2.0E0 A/div, 5.0E-3 s/div, 2500 points, Sample mode
 Ch2, DC coupling, 2.0E0 A/div, 5.0E-3 s/div, 2500 points, Sample mode
 Ch3, DC coupling, 2.0E0 A/div, 5.0E-3 s/div, 2500 points, Sample mode

Figura 101: Correntes trifásicas sintetizadas pelo conversor.

Por fim, a Figura 102 apresenta as tensões dos capacitores da célula de maior tensão (em vermelho), média tensão (em verde) e menor tensão (em rosa), que compõe a fase *a* do conversor, reguladas durante a compensação reativa do *DSTATCOM*.

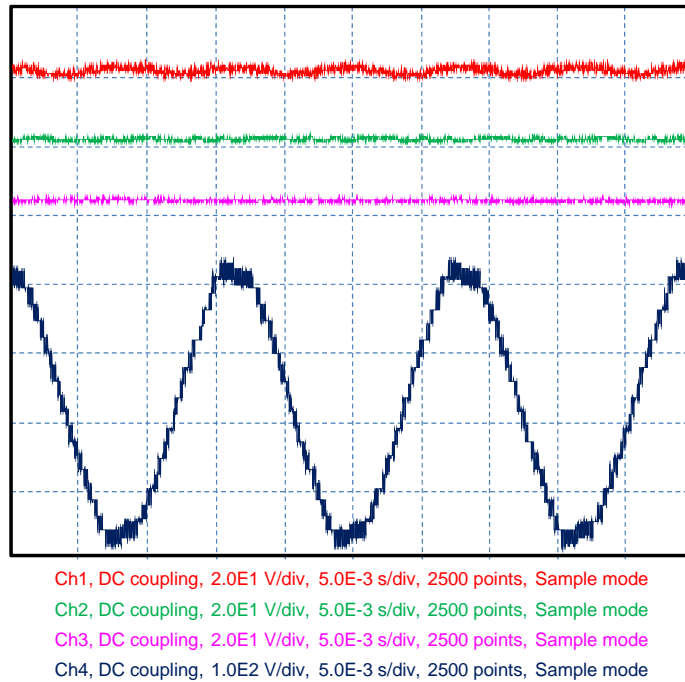


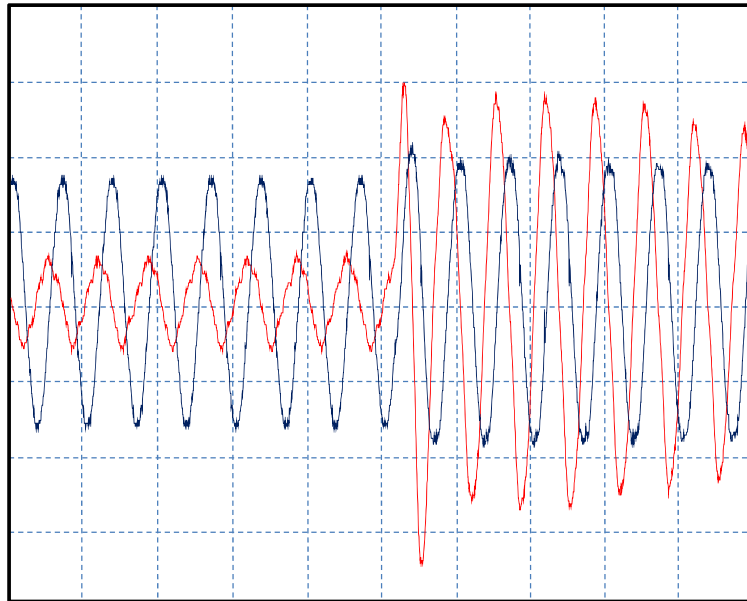
Figura 102: Tensão multinível de fase e tensões dos capacitores da fase *a*.

7.4.3 Regulação da Tensão de Carga

Nesta seção, serão apresentados os resultados experimentais do *DSTATCOM* com a lógica de controle de regulação da tensão do barramento de carga. O processo de etapas de carregamento dos capacitores é idêntico ao detalhado na seção 7.4.2.

Em seguida, a lógica de regulação da tensão do barramento de carga é acionada, fazendo com que o conversor injete no sistema uma corrente reativa para regular a tensão da carga.

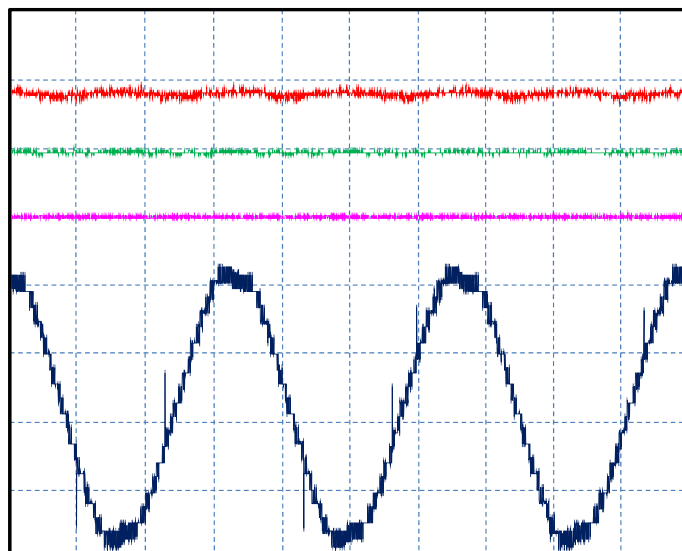
A Figura 103 apresenta o exato momento quando a lógica de regulação da tensão do barramento de carga é acionada. Pode-se observar que, a corrente do conversor (em vermelho), antes e depois do acionamento do controle, são aproximadamente 1 A e 8 A, respectivamente. Além disso, a tensão do barramento (em azul), que antes apresentava uma amplitude de pico de aproximadamente 160 V, é regulada para aproximadamente 180 V, comprovando o adequado funcionamento do *DSTATCOM*.



Ch1, DC coupling, 2.0E0 A/div, 2.5E-2 s/div, 2500 points, Sample mode
 Ch2, DC coupling, 1.0E2 V/div, 2.5E-2 s/div, 2500 points, Sample mode

Figura 103: Tensão do barramento de carga e corrente sintetizada pelo conversor.

A Figura 104 apresenta as tensões dos capacitores da célula de maior tensão (em vermelho), média tensão (em verde) e menor tensão (em rosa), que compõe a fase a do conversor, reguladas durante a compensação reativa do *DSTATCOM*.



Ch1, DC coupling, 2.0E1 V/div, 5.0E-3 s/div, 2500 points, Sample mode
 Ch2, DC coupling, 2.0E1 V/div, 5.0E-3 s/div, 2500 points, Sample mode
 Ch3, DC coupling, 4.0E1 V/div, 5.0E-3 s/div, 2500 points, Sample mode
 Ch4, DC coupling, 1.0E2 V/div, 5.0E-3 s/div, 2500 points, Sample mode

Figura 104: Tensão multinível de fase e tensões dos capacitores da fase a .

7.5 Conclusões Parciais

Neste capítulo foram apresentadas as etapas desenvolvidas para a implementação do protótipo laboratorial de baixa tensão do *DSTATCOM* multinível proposto, bem como os resultados experimentais obtidos. Inicialmente foram apresentados os dados dos circuitos de potência desenvolvidos na bancada laboratorial e os diagramas funcionais do circuito de instrumentação e controle do conversor.

Os resultados experimentais comprovaram o adequado desempenho do conversor frente a condições normais do sistema. Além disso, os resultados experimentais foram confrontados com os resultados de simulação obtidos no CAPÍTULO 6, de forma a validar a estratégia de modulação proposta e os algoritmos de controle desenvolvidos.

CAPÍTULO 8

Conclusões e Trabalhos Futuros

FOI apresentado neste trabalho um estudo para otimizar o funcionamento de um compensador síncrono estático aplicando os conceitos relativos aos conversores multiníveis.

No Capítulo 2, diversas topologias multiníveis foram apresentadas e suas principais vantagens e desvantagens foram comparadas, de forma a identificar a topologia mais adequada para o tipo de aplicação desejada e os níveis de potência aplicados.

De forma análoga, no Capítulo 3, foram apresentadas as estratégias de chaveamento mais difundidas na literatura para aplicação aos conversores multiníveis listando as vantagens e desvantagens de cada estratégia. Dessa forma foi possível padronizar cada estratégia de modulação e identificar qual estratégia possui o melhor conteúdo harmônico.

No Capítulo 4, foi realizada uma análise matemática, utilizando os conceitos básicos da transformada dupla de Fourier, para calcular as expressões analíticas e os

espectros harmônicos das estratégias de chaveamento *PWM* mais utilizadas nas aplicações de conversores multiníveis. Dessa forma, as características básicas de cada estratégia de modulação foram analisadas de forma a se propor uma estratégia otimizada de chaveamento para a topologia do conversor adotado. Ainda neste capítulo, foi comprovado que o espectro harmônico do conversor com a estratégia de chaveamento adotada apresentou uma melhora significativa, reduzindo o conteúdo harmônico conforme validado posteriormente com os resultados experimentais.

No Capítulo 5, foram apresentadas as lógicas de controle para a compensação da potência reativa, tanto para correção do fator de potência quanto para regulação da tensão do barramento, e a lógica de controle para regulação das tensões dos capacitores do conversor multinível. Além disso, também foram apresentados os circuitos de sincronismo e detecção da fase e da frequência de sequência positiva da rede elétrica.

Os cálculos necessários para adaptar o sistema simulado na rede elétrica de média tensão para uma rede elétrica de baixa tensão, de forma a facilitar a validação dos resultados experimentais com os resultados computacionais, estão apresentados no Capítulo 6. Os cálculos e as adaptações necessárias para desenvolver o conversor proposto numa rede elétrica de baixa tensão foram devidamente apresentados neste capítulo. Além disso, todo o código fonte que, futuramente foi embarcado no protótipo laboratorial, foi desenvolvido e validado na plataforma computacional.

As etapas de desenvolvimento do sistema de instrumentação e de potência do protótipo laboratorial em escala reduzida foram apresentadas no Capítulo 7. Os circuitos de potência utilizados para compor o conversor multinível, os circuitos eletrônicos que compõem o circuito de instrumentação e o microcontrolador utilizado na bancada foram detalhados de forma a exemplificar o funcionamento do equipamento desenvolvido. Os resultados experimentais foram adquiridos e comparados com os resultados computacionais, de forma a validar a lógica de chaveamento proposta e o desempenho do conversor.

A integração de todas as etapas apresentadas neste capítulo possibilitou o desenvolvimento de um compensador síncrono estático de dezenove níveis otimizado para corrigir o fator de potência ou regular a tensão do barramento em tempo real de forma satisfatória, obedecendo as recomendações do IEEE e do PRODIST.

8.1 Trabalhos Futuros

Alguns tópicos apresentados neste trabalho ainda podem ser estudados de forma mais aprofundada proporcionando uma continuidade do tema desenvolvido pelo autor. Dentre eles podem ser citados os seguintes tópicos:

- Aprimoramento da malha de controle para otimização dos ajustes dos ganhos dos controladores. De fato, a malha de controle proposta neste trabalho apresenta muitos controladores independentes, cujo os ganhos não foram devidamente calculados através de uma análise de sistemas de controle;
- Obtenção da expressão analítica completa do conversor em cascata assimétrico de 19 níveis através da transformada dupla de Fourier. Neste trabalho, foi realizado um estudo baseado nos conversores de cinco níveis para propor uma estratégia de chaveamento otimizada para os conversores em cascata assimétrico. O desenvolvimento das expressões analíticas para as formas de onda da tensão de saída do conversor de 19 níveis podem indicar uma melhoria no desempenho do conversor proposto;
- Análise da contribuição da distorção harmônica devido à lógica de controle das tensões dos capacitores dos elos de corrente contínua; Conforme comentado no item 5.1.3, a lógica de controle da tensão dos capacitores influencia no conteúdo harmônico sintetizado pelo conversor. Um estudo mais aprofundado sobre essa correlação pode sugerir uma melhoria no desempenho da malha de controle, bem como no próprio desempenho do conversor;
- Análise do desempenho do conversor multinível frente a cargas desbalanceadas e/ou faltas assimétricas.

Referências Bibliográficas

- [1] HINGORANI, N.G.; "Power Electronics in Electric Utilities: Role of Power Electronics in Future Power Systems", *Proceedings of the IEEE*, v. 76, n. 4, pp. 481-482, April 1988.
- [2] SANTOS, R.P.P.; AQUINO, C.A.S.; NETO, E.C.; ALVES, S.R.M., "FURNAS HVDC system performance and experience", *Proceedings of the IEEE Transmission and Distribution Conference*, pp. 164-169, 15-20 September 1996.
- [3] SUMI, Y.; HARUMOTO, Y.; HASEGAWA, T.; YANO, M.; IKEDA, K.; MATSUURA, T.; "New Static var Control Using Force-Commutated Inverters", *IEEE Transactions on Power Apparatus and Systems*, v. PAS-100, n. 9, pp. 4216-4224, September 1981.
- [4] EDWARDS, C.W.; MATTERN, K.E.; STACEY, E.J.; NANNERY, P.R.; GUBERNICK, J.; "Advanced Static VAr Generator Employing GTO Thyristors", *IEEE Transaction on Power Delivery*, v. 1, n. 4, pp 1622-1627, October 1988.
- [5] MORI, S.; MATSUNO, K.; HASEGAWA, T.; OHNISHI, S.; TAKEDA, M.; SETO, M.; MURAKAMI, S.; ISHIGURO, F.; "Development of a large static VAr generator using self-commutated inverters for improving power system stability", *IEEE Transactions on Power Systems*, v. 8, n. 1, pp. 371- 377, February 1993.
- [6] GYUNGYI, L.; MEHRABAN, B.; "Development and Application of Self-Commutated Converters for Power Transmission Control", *IEEE Power Engineering Society Winter Meeting*, v. 4, pp. 2488-2491, January 2000.
- [7] SCHAUDER, C.; GERNHARDT, M.; STACEY, E.; LEMAK, T.; GYUGYI, L.; CEASE, T.W.; EDRIS, A.; "Development of a ± 100 Mvar Static Condenser

- for Voltage Control of Transmission Systems", *IEEE Transactions on Power Delivery*, v. 10, n. 3, pp. 1486-1496, July 1995.
- [8] HINGORANI, N.G.; "Introducing Custom Power", *IEEE Spectrum*, v. 32, n. 6, pp. 41-48, June 1995.
- [9] FREITAS, W.; MORELATO, A.; WILSON XU; SATO, F.; "Impacts of AC Generators and DSTATCOM devices on the dynamic performance of distribution systems", *IEEE Transactions on Power Delivery*, v. 20, n. 2, pp. 1493-1501, April 2005.
- [10] BLAZIC, B.; PAPIĆ, I.; "Improved D-StatCom Control for Operation with Unbalanced Currents and Voltages" *IEEE Transactions on Power Delivery*, v. 21, n. 1, pp. 225-233, January 2006.
- [11] GHOSH, A.; LEDWICH, G.; "Load compensating DSTATCOM in weak AC systems" *IEEE Transactions on Power Delivery*, v. 18, n. 4, pp. 225-233, October 2003.
- [12] SATOH, K.; YAMAMOTO, M. G., "The Present State of the Art in High-Power Semiconductor Devices", *Proceedings of the IEEE*, v. 89, n. 6, pp. 813-821, June 2001.
- [13] RODRÍGUEZ, J.; LAI, J. S.; PENG, F. Z., "Multilevel Inverters: A Survey of Topologies, Controls, and Applications", *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, pp. 724-738, August 2002.
- [14] BUM-SEOK SUH ; SINHA, G.; MANJREKAR, M.D.; LIPO, T.A., "Multilevel Power Conversion - An Overview Of Topologies And Modulation Strategies", *Proceedings of the 6th International Conference on Optimization of Electrical and Electronic Equipments*, v. 2, pp. 11-24, May 1998.
- [15] BAKER, R.H ; BANNISTER, L.H ; "Electric Power Converter", U.S. Patent 3 867 643, February 1975.

- [16] NABAE A., TAKAHASHI, I., AKAGI, H.;"A New Neutral-Point clamped PWM Inverter". *IEEE Transactions on Industry Applications*, v. 17, pp. 518-523, September-October 1981.
- [17] BAKER, R.H.; "Switching Circuit", U.S. Patent 4 210 826, July 1980.
- [18] LAI, J. S.; PENG, F. Z.; "Multilevel converters-a new breed of power converters", *IEEE Transactions on Industry Applications*, v. 32, n 3, pp. 509-517, May/June- 1996.
- [19] CHEN Y.; MWINYIWIWA, B.; WOLANSKI, Z.; OOI, B.T.; "Regulating and equalizing DC capacitance voltages in multilevel STATCOM", *IEEE Transactions in Power Delivery*, v. 12, n. 2, pp. 901-907, April 1997.
- [20] CHEN Y ; MWINYIWIWA, B ; WOLANSKI, Z ; OOI, B.T ; " Unified power flow controller (UPFC) based on chopper stabilized diode-clamped multilevel converters", *IEEE Transactions in Power Electronics*, v. 15, n. 2, pp. 258-267, March 2000.
- [21] PENG, F. Z.; LAI, J. S.; MCKEEVER, J. W.; VANCOEVERING, J.; "A Multilevel Voltage-Source Converter System with Balanced DC Voltages". *Proceedings of the 26th Annual IEEE Power Electronics Specialists Conference*, v. 2, pp. 1144-1150, June 1995.
- [22] MEYNARD, T.A.; FOCH, H.; "Multilevel Conversion: High Voltage Choppers and Voltage-Source Inverters" *Proceedings of the 23rd Annual IEEE Power Electronics Specialists Conference*, v. 1, pp. 397-403, June 1992.
- [23] MEYNARD, T.A.; FOCH, H.; "Multilevel Conversion: High Voltage Choppers and Voltage-Source Inverters" *European Power Electronics Drives*, v. 2, n. 1, pp. 41, March 1992.

- [24] MEYNARD, T.A.; FADEL, M.; AOUDA, N.; "Modeling of Multilevel Converters" *IEEE Transactions on Industrial Electronics*, v. 44, n. 3, pp. 356-364, June 1997.
- [25] PENG, F. Z.; LAI, J. S.; MCKEEVER, J. W.; VANCOEVERING, J.; "A Multilevel Voltage-Source Inverter with Separate DC Sources for Static Var Generation". *IEEE Transactions on Industry Applications*, v. 32, n. 5, pp. 1130-1138, September 1996.
- [26] PENG, F. Z.; LAI, J. S.; MCKEEVER, J. W.; DONALD J. A.; "A Power Line Conditioner Using Cascaded Multilevel Inverters for Distribution Systems". *IEEE Transactions on Industry Applications*, v. 34, n. 6, pp. 1293-1298, November/December 1998.
- [27] PENG, F. Z.; MCKEEVER, J. W.; ADAMS, D. J., "Cascade Multilevel Inverters for Utility Applications". *Proceedings of the 23rd IEEE International Conference on Industrial Electronics, Control, and Instrumentation*, v. 2, pp. 437-442, New Orleans, LA, United States of America, 9-14 November 1997.
- [28] AKAGI, H.; INOUE S.; YOSHII T.; "Control and Performance of a Transformerless Cascade PWM STATCOM with Star Configuration", *IEEE Transactions on Industry Applications*, v. 43, n. 4, pp. 1041-1049, July/August 2007.
- [29] HAN, B.M.; MATTAVELLI, P.; "Operation Analysis of Novel UPFC Based on 3-Level Half-Bridge Modules", *Proceedings of the IEEE Bologna Power Tech Conference*, v. 4, pp. 23-26, June 2003.
- [30] LOPEZ, M.G.; MORAN, L.T.; ESPINOZA, J.C.; DIXON, J.R.; "Performance Analysis of a Hybrid Asymmetric Multilevel Inverter for High Voltage Active Power Filter Applications", *Proceedings of the 29th Annual Conference of the IEEE Industrial Electronics Society*, v. 2, pp. 1050-1055, November 2003.

- [31] MANJREKAR, M.D.; STEIMER, P.K.; LIPO, T.A.; "Hybrid Multilevel Power Conversion System: A Competitive Solution for High-Power Applications", *IEEE Transactions on Industry Applications*, v. 36, n. 3, pp. 834-841, May/June 2000.
- [32] SILVA, L.A.; PIMENTEL, S.P.; POMILIO, J.A.; "Nineteen-level Active Filter System using Asymmetrical Cascaded Converter with DC Voltages Control", *Proceedings of the 36th Annual IEEE Power Electronics Specialists Conference*, pp. 303-308, 2002.
- [33] PENG, F. Z; LAI, J. S.; MCKEEVER, J.; VANCOEVERING, J.; "A Hybrid Multilevel Inverter Topology for Drive Applications", *Proceedings of the 30th Annual Applied Power Electronics Conference and Exposition*, v. 2, pp. 523-529, February 1998.
- [34] LUIZ, A. A.; BRAZ, J. C. F.; "ASSESSMENT OF LOW FREQUENCY MODULATION FOR MULTILEVEL INVERTERS", In: *VII Conferência Internacional de Aplicações industriais – Induscon*, Recife, PE, Brasil, Abril de 2006.
- [35] LUIZ, A. A.; BRAZ, J. C. F.; "A LOW FREQUENCY MODULATION STRATEGY: ANALYSIS AND DESIGN", In: *VII Conferência Internacional de Aplicações industriais – Induscon*, Recife, PE, Brasil, Abril de 2006.
- [36] CASSIANO, R.; PINHEIRO, J. R.; "IMPACTO DA ESTRATÉGIA DE MODULAÇÃO DE CONVERSORES MULTINÍVEIS HÍBRIDOS NO CONTEÚDO HARMÔNICO DAS CORRENTES DE ENTRADA ", In: *XV Congresso Brasileiro de Automática- CBA*, Gramado, RS, Brasil, Setembro de 2004.
- [37] CASSIANO, R.; GRUNDLING, H. A.; HÉLIO, L. H.; PINHEIRO, H.; PINHEIRO, J. R.; "A GENERALIZED DESIGN METHODOLOGY FOR HYBRID MULTILEVELS INVERTERS", *Proceedings of the 28th Annual*

Conference of Industrial Electronic Society - IECON, v. 1, pp. 834-839, November 2002.

- [38] IEEE std 519 – IEEE Recommended Practices and Requirements for Harmonic Control in Electrical power Systems.
- [39] Agência Nacional de Energia Elétrica – ANEEL; “Modulo 8 – Qualidade de Energia - Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional - PRODIST”.
- [40] CELANOVIC, N.; BOROYEVICH, D.; "A Fast Space-Vector Modulation Algorithm for Multilevel Three-Phase Converters", *IEEE Transactions on Industry Applications*, v. 37, n. 2, pp. 637-641, March/April 2001.
- [41] RODRIGUEZ, J.; MORAN, L.; CORREA, P.; SILVA, C.; "A Vector Control Technique for Medium-Voltage Multilevel Inverters", *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, pp. 882-888, August 2002.
- [42] HAMMOND, P.W.; "A New Approach To Enhance Power Quality For Medium Voltage ACdrives", *IEEE Transactions on Industry Applications*, v. 33, n. 1, pp. 202-208, January/February 1997.
- [43] TOLBERT, L.M.; HABELTLER, T.G.; "Novel Multilevel Inverter Carrier-Based PWM Method", *IEEE Transactions on Industry Applications*, v. 35, n. 5, pp. 1098-1107, September/October 1999.
- [44] LIANG, Y.; NWANKPA, C.O.; "A New Type Of STATCOM Based On Cascading Voltage-Source Inverters with Phase-Shifted Unipolar SPWM", *IEEE Transactions on Industry Applications*, v. 35, n. 5, pp. 1118-1123, September/October 1999.
- [45] LI, L.; CZARKOWSKI, D.; YAGUANG, L.; PILLAY, P.; "Multilevel Selective Harmonic Elimination PWM Technique in Series-Connected Voltage Inverters",

IEEE Transactions on Industry Applications, v. 36, n. 1, pp. 160-170, January/February 2000.

- [46] SIRISUKPRASERT, S.; JIH-SHENG L.; TIAN-HUA, L.; "Optimum Harmonic Reduction with a Wide Range of Modulation Indexes for Multilevel Converters", *IEEE Transactions on Industrial Electronics*, v. 49, n. 4, pp. 875-881, August 2002.
- [47] HOLMES, D. G; LIPO, T.A.; "Pulse Width Modulation for Power Converters ", *Principles and Practice*, New York, United States of America, John Wiley & Sons, Inc., 2003
- [48] LEE, Y. H.; KIM, R. Y.; HYUN, D. S.; "A Novel SVPWM Strategy Considering DC-Link Balancing for a Multi-Level Voltage Source Inverter", *Applied Power Electronics Conference and Exposition, 1999. APEC '99. Fourteenth Annual*, v. 1, n. 4, pp. 509-514, March 1999.
- [49] MCGRATH, B.P.; HOLMES, D.G.; LIPO, T.; "Optimized space vector switching sequences for multilevel inverters", *IEEE Transactions on Power Electronics*, v. 18, n. 6, pp. 1293-1301, November 2003.
- [50] CARRARA, G.; GARDELLA, S.; MARCHESONI, M.; SALUTARI, R.; SCIUTTO, G.; "A New Multilevel PWM Method: A Theoretical Analysis", *IEEE Transactions on Power Electronics*, v. 7, n. 3, pp. 407-505, July 1992.
- [51] MCGRATH, B.P.; HOLMES, D.G.; "A Comparison of Multicarrier PWM Strategies for Cascaded and Neutral Point Clamped Multilevel Inverters", *Power Electronics Specialists Conference, 2000. PESC 2000 IEEE 31st Annual*, v. 2, pp. 674-679.
- [52] HOLMES, D.G.; MCGRATH, B.P.; "Opportunities for Harmonic Cancellation with Carrier-Based PWM for a Two-Level and Multilevel Cascaded Inverters", *IEEE Transactions on Industry Applications*, v. 37, n° 2, pp. 574-582, March/April 2001.

- [53] BENNETT, W.R.; "New Results in the Calculation of Modulation Products", *The Bell System Technical Journal*, v. 12, April 1933.
- [54] BLACK, H.S. "Modulation Theory", *Van Nostrand*, New York, 1953.
- [55] BOWES, S.; BIRD, B.M.; "Novel Approach to the Analysis and Synthesis of Modulation Processes in Power Converters", *IEE proceedings*, v. 122, n° 5, pp. 507-513, May 1975.
- [56] BOWES, S.; "New Sinusoidal Pulse Width Modulation Inverter", *IEE proceedings*, v. 122, n° 11, pp. 507-513, November 1975.
- [57] MCGRATH, B.P.; HOLMES, D.G.; MANJREKAR, M.; LIPO, T.A.; "An Improved Modulation Strategy for a Hybrid Multilevel Inverter", *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, v. 4, pp. 2086-2093, October 2000.
- [58] ENCARNACAO, L.F.; van EMMERIK, E.L.; AREDES, M.; "An optimized cascaded multilevel static synchronous compensator for medium voltage distribution systems", *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, pp. 4805-4811, June 2008.
- [59] AKAGI, H.; KANAZAWA, Y.; NABAE A.; "Generalized Theory of the Instantaneous Reactive Power in Three-Phase Circuits", *International Power Electronics Conference, IPEC83*, pp.1375-1386.
- [60] AKAGI, H.; KANAZAWA, Y.; NABAE A.; "Instantaneous Reactive Power Compensators Compromising Switching Devices without Energy Storage Components", *IEEE Transactions on Industry Applications*, v. 20, n° 3, pp. 625-630, 1984.
- [61] WATANABE, E.H.; STEPHAN, R.M.; AREDES, M.; "New Concepts of Instantaneous Active and Reactive Powers in Electrical Systems with Generic

- Loads ", *IEEE Transactions on Power Delivery*, v. 8, nº 8, pp. 697-703, April 1993.
- [62] AREDES, M., *Active Power Line Conditioners*. Dr.-Ing dissertation, Technische Universität Berlin, Berlin, Germany, 1996.
- [63] AKAGI, H.; WATANABE, E.H.; AREDES, M.; "Instantaneous Power Theory and Applications to Power Conditioning" New Jersey, United States of America, John Wiley & Sons, Inc., 2007.
- [64] AREDES, M; WATANABE, E.H.; VERGARA, S.E.; ENCARNACAO, L.F.; "Comparisons Between the p--q and p--q--r Theories in Three-Phase Four-Wire Systems" *Transactions on Power Electronics*, v. 24, nº 4, pp. 924-933, April 2009.
- [65] CLARKE, E.; "Circuit Analysis of A-C Power Systems", 2 vols. General Electric Co., Schenectady, New York, 1950.
- [66] COSTA, D. R.; ROLIM, L. G. B.; AREDES, M., "Analysis and Software Implementation of a Robust Synchronizing Circuit – PLL Circuit". In: *Proceedings of the IEEE International Symposium on Industrial Electronics*, v. 1, pp. 292-297, Rio de Janeiro, Brazil, 9-11 June 2003.
- [67] SASSO, E. M.; SOTELO, G. G.; FERREIRA, A. A.; et al., "Investigação dos Modelos de Circuitos de Sincronismo Trifásicos Baseados na Teoria das Potências Real e Imaginária Instantâneas (p-PLL e q-PLL)". In: *Anais do XIV Congresso Brasileiro de Automática*, pp. 480-485, Natal, RN, Brasil, 2 a 5 de Setembro de 2002.
- [68] MOHAN, N.; UNDELAND, T. M.; ROBBINS, W. P., "Switch- Mode dc-ac Inverters: dc ↔ Sinusoidal ac". In: Cervoni, C., Zobrist, B. (eds), *Power Electronics Converters, Applications and Design*, 3 ed., chapter 8, New York, United States of America, John Wiley & Sons, Inc., 2003.

- [69] MERCON, A.G.; ENCARNACAO, L.F.; MONTEIRO, L.F.; van EMMERIK, E.L.; AREDES, M.; "A Comparative Analysis of Cascaded-Multilevel Hybrid Filters Applied in Power Transmission Systems", In: *Anais do XVI Congresso Brasileiro de Automática*, Outubro 2006.
- [70] ENCARNACAO, L.F.; MERCON, A.G.; ALMEIDA, H.H.; van EMMERIK, E.L.; AREDES, M.; "A Case Study of Hybrid Filter Applications in Power Transmission Systems". *International Symposium on Industrial Electronics, 2006 IEEE*, v. 2, pp. 841-846, July 2006.
- [71] ENCARNACAO, L.F.; MERCON, A.G.; ALMEIDA, H.H.; van EMMERIK, E.L.; AREDES, M.; "Hybrid Filters to Damp Harmonic Resonance in Power Transmission Systems". *Revista da Associação Brasileira de Eletrônica de Potência*, pp. 25-32, Março 2006.
- [72] MERCON, A.G.; ENCARNACAO, L.F.; MONTEIRO, L.F.; van EMMERIK, E.L.; AREDES, M.; "A Comparative Analysis of Cascaded-Multilevel Hybrid Filters Applied in Power Transmission Systems", *Revista de Controle e Automação*, v. 19, n. 1, pp. 107-113, Março 2008.
- [73] SEMIKRON: "Datasheet SKS 15F (B2CI) 2P 03 12 – SEMISTACK – IGBT, Single Phase Inverter". Disponível em:
<http://www.semikron.com/internet/webcms/objects/stack/5BR28890.pdf>. Acesso em 01 Nov. 2009, 19:00:00.
- [74] SEMIKRON: "Datasheet SKB 25 – FAST-ON, Power Bridge Rectifiers". Disponível em:
<http://www.semikron.com/internet/ds.jsp?file=610.html>. Acesso em 02 Nov. 2009, 12:37:00.
- [75] TEXAS INSTRUMENTS: "Data Manual Digital Signal Processors – TMF320F28335". Disponível em:
<http://focus.ti.com/lit/ds/symlink/tms320f28235.pdf>. Acesso em 03 Nov. 2009, 14:50:00.
- [76] LEM: "Datasheet Voltage Transducer LV 25-P". Disponível em:

<http://www.lem.com/docs/products/lv%2025-p.pdf>. Acesso em 03 Nov. 2009, 14:44:00.

- [77] LEM: “Datasheet Current Transducer HAS100-S”. Disponível em: http://www.lem.com/docs/products/has50_600s_e.pdf. Acesso em 03 Nov. 2009, 14:45:00.

Apêndice A

Transformada Dupla de Fourier

A transformada dupla de Fourier é utilizada para obter analiticamente o espectro harmônico das formas de onda a serem moduladas com as diversas estratégias *PWM*. As equações abaixo demonstram o desenvolvimento da transformada dupla de Fourier.

As variáveis de entrada do sinal de referência e da portadora são apresentadas em A.1.

$$\begin{aligned}x(t) &= \omega_c t + \theta_c \\y(t) &= \omega_o t + \theta_o \\ \omega_c &= \frac{2\pi}{T_c} = \text{Frequência angular da portadora} \\ T_c &= \text{Período da portadora} \\ \theta_c &= \text{Ângulo de fase da portadora} \\ \omega_o &= \frac{2\pi}{T_o} = \text{Frequência angular da onda fundamental } (\omega_o < \omega_c) \\ T_o &= \text{Período da onda fundamental} \\ \theta_o &= \text{Ângulo de fase da onda fundamental}\end{aligned}\tag{A.1}$$

Da série simples de Fourier (A.2) temos que:

$$\begin{aligned}f(t) &= \frac{a_o}{2} + \sum_{m=1}^{\infty} [a_m \cos m\omega t + b_m \sin m\omega t] \\ \text{Onde} \\ a_m &= \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \cos m\omega t \, d\omega t \\ b_m &= \frac{1}{\pi} \int_{-\pi}^{\pi} f(t) \sin m\omega t \, d\omega t\end{aligned}\tag{A.2}$$

Nesse mesmo contexto, quando aplicamos a transformada dupla (A.3), baseado nas formas de onda da referência e da portadora, temos que:

$$f(x, y) = \frac{A_{oo}}{2} + \sum_{n=1}^{\infty} [A_{on} \cos ny + B_{no} \sin ny] + \sum_{m=1}^{\infty} [A_{mo} \cos mx + B_{mo} \sin mx] \\ + \sum_{m=1}^{\infty} \sum_{n=-\infty}^{\infty} [A_{mn} \cos(mx + ny) + B_{mn} \sin(mx + ny)]$$

Onde

$$A_{mn} = \frac{1}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \cos(mx + ny) dx dy$$

$$B_{mn} = \frac{1}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) \sin(mx + ny) dx dy$$

Na sua forma complexa temos :

$$\overline{C}_{mn} = A_{mn} + B_{mn} = \frac{1}{2\pi^2} \int_{-\pi}^{\pi} \int_{-\pi}^{\pi} f(x, y) e^{j(mx+ny)} dx dy \quad (A.3)$$

Substituindo x por $\omega_c t + \theta_c$ e y por $\omega_o t + \theta_o$, temos :

$$f(t) = \frac{A_{oo}}{2} + \sum_{n=1}^{\infty} [A_{on} \cos(n[\omega_o t + \theta_o]) + B_{on} \sin(n[\omega_o t + \theta_o])] \\ + \sum_{m=1}^{\infty} [A_{mo} \cos(m[\omega_c t + \theta_c]) + B_{mo} \sin(m[\omega_c t + \theta_c])] \\ + \sum_{m=1}^{\infty} \sum_{\substack{n=-\infty \\ (n \neq 0)}}^{\infty} [A_{mn} \cos(m[\omega_c t + \theta_c] + n[\omega_o t + \theta_o]) + B_{mn} \sin(m[\omega_c t + \theta_c] + n[\omega_o t + \theta_o])]$$

Onde m e n são os índices múltiplos da portadora e do sinal de referência respectivamente.